(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[6]
H01L 21/76

(11) 공개번호 특1997-0077490
(43) 공개일자 1997년12월12일

(21) 출원번호 특1996-0017364
(22) 출원일자 1996년05월22일

(71) 출원인 현대전자산업 주식회사 김주용
경기도 이천시 부발읍 아미리 산 136-1 (우 : 467-860)
(72) 발명자 피승호
경기도 이천시 대월면 사동리 441-1 현대전자 사원아파트 108-207호
조병진
경기도 이천시 창전동 49-1 현대아파트 102동 1207호
(74) 대리인 이권희, 이정훈

심사청구 : 없음

(54) 트랜치 소자분리막 제조방법

요약

본 발명은 반도체소자의 트렌치 소자분리막 제조방법에 관한 것으로 트렌치 소자분리막과 인접된 반도체기판의 상측 모서리부에서 게이트 산화막이 얇아지거나 집중되는 전기장에 게이트 산화막의 특성이 저하되는 것을 방지하기 위하여 트렌치를 형성하기전에 버즈 빅이 발생되는 필드산화막을 얇은 두께로 형성한 다음, 트렌치를 형성함으로써 트렌치와 인접된 반도체기판의 상측 모서리가 라운드 되도록 트렌치 소자분리막을 형성하는 방법이다.

대표도

도3

명세서

[발명의 명칭]

트랜치 소자분리막 제조방법

[도면의 간단한 설명]

제3도 내지 제8도는 본 발명의 실시예에 의해 트렌치 소자분리막을 형성하는 단계를 도시한 단면도.

본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

반도체기판 상부에 패드 산화막과 질화막을 적층하는 단계와, 트렌치 마스크를 이용하여 트렌치가 형성될 부분에 있는 상기 질화막과 패드 산화막을 식각하여 질화막패턴과 패드 산화막 패턴을 형성하는 단계와, 상기질화막패턴을 마스크로 이용하여 노출되는 반도체기판을 산화시켜 버즈 빅이 발생되는 얇은 두께의 필드 산화막을 형성하는 단계와, 상기 질화막패턴을 하드 마스크로 이용하여 상기 필드산화막과 그 하부의 반도체기판을 식각하여 트렌치를 형성하는 단계와, 전체적으로 산화막을 증착하여 상기 트랜치에 채우는 단계와, 상기 산화막, 질화막패턴과 패드 산화막패턴을 반도체 기판의 상부면까지 제거하여 상기 트렌치에만 산화막이 남은 트렌치 소자분리막을 제조하는 단계를 포함하는 트랜치 소자분리막 제조방법.

청구항 2

제1항에 있어서, 반도체기판 상부에 형성하는 패드 산화막의 두께는 70~300A인 것을 특징으로 하는 트랜치 소자분리막 제조방법.

청구항 3

제1항에 있어서, 상기 질화막의 두께는 1000~3000A인 것을 특징으로 하는 트랜치 소자분리막 제조방법.

청구항 4

제1항에 있어서, 상기 필드 산화막은 300~2000A의 두께로 형성하는 것을 특징으로 하는 트랜치 소자분리막 제조방법.

청구항 5

제1항에 있어서, 상기 트랜치는 1000~3000A의 깊이로 형성하는 것을 특징으로 하는 트랜치 소자분리막 제조 방법.

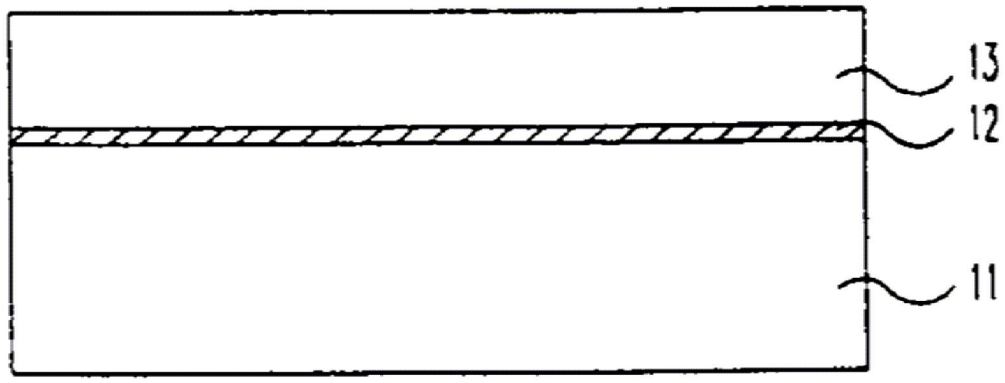
청구항 6

제1항에 있어서, 상기 트렌치를 형성한다음, 식각공정에서 생기는 결함을 제거하기 위해트랜치의 측벽을 70~300A 두께를 산화시켜 산화막을 형성하는 것을 특징으로 하는 트랜치 소자분리막 제조방법.

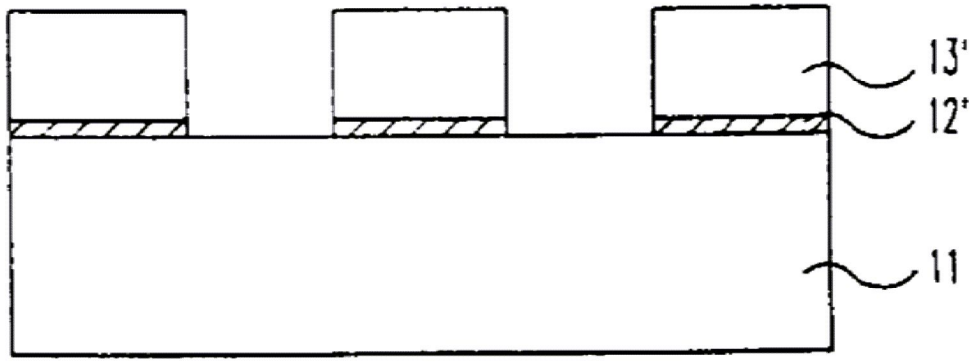
※ 참고사항 : 최초출원 내용에 의하여 공개되는 것임.

도면

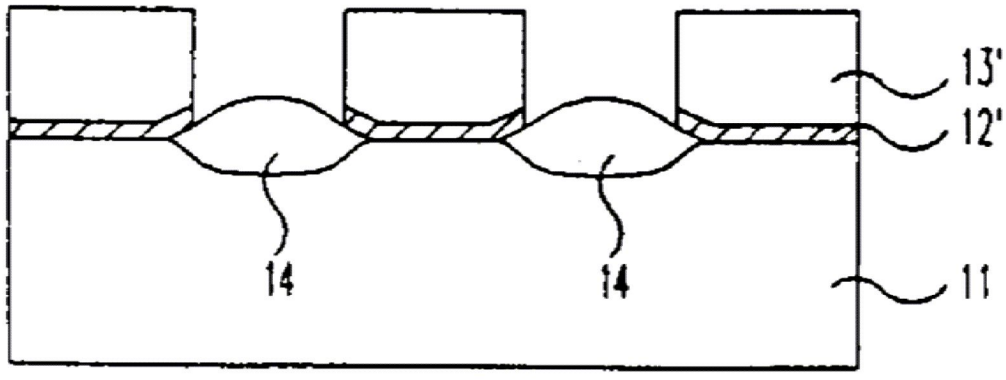
도면3



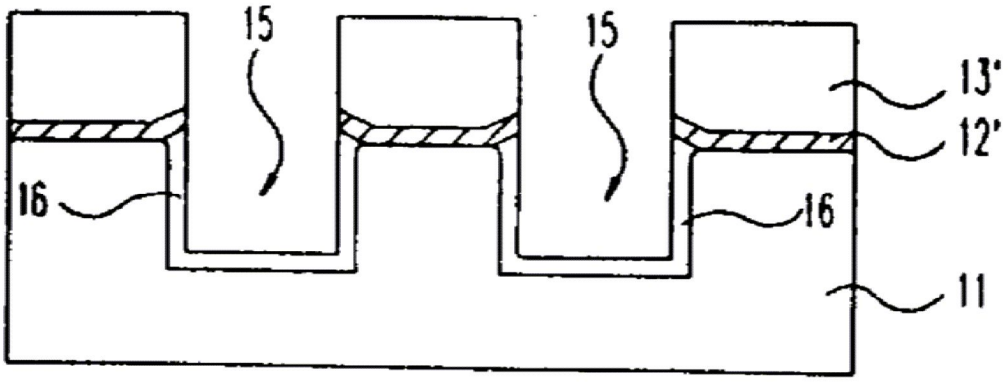
도면4



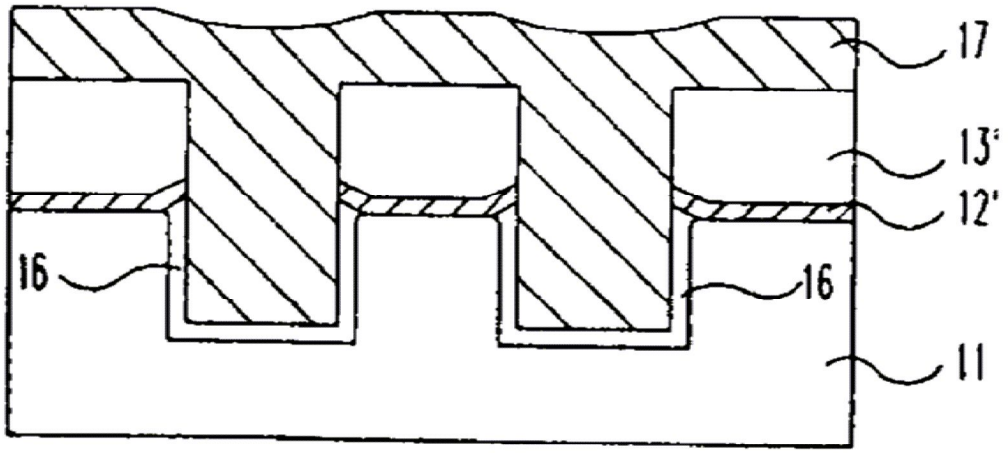
도면5



도면6



도면7



도면8

