

(19) 日本国特許庁(JP)

## (12) 公表特許公報(A)

(11) 特許出願公表番号

特表2014-528688  
(P2014-528688A)

(43) 公表日 平成26年10月27日(2014.10.27)

(51) Int.Cl.	F 1	テーマコード (参考)
<b>H02M 3/28 (2006.01)</b>	H02M 3/28 Q 5H006	
<b>H02M 7/12 (2006.01)</b>	H02M 3/28 C 5H730	
	H02M 3/28 U	
	H02M 7/12 601A	

審査請求 未請求 予備審査請求 未請求 (全 22 頁)

(21) 出願番号	特願2014-534889 (P2014-534889)
(86) (22) 出願日	平成24年10月15日 (2012.10.15)
(85) 翻訳文提出日	平成26年5月26日 (2014.5.26)
(86) 國際出願番号	PCT/AU2012/001246
(87) 國際公開番号	W02013/053020
(87) 國際公開日	平成25年4月18日 (2013.4.18)
(31) 優先権主張番号	2011904189
(32) 優先日	平成23年10月14日 (2011.10.14)
(33) 優先権主張國	オーストラリア (AU)

(71) 出願人	513144512 インディス、プロプライエタリー、リミテッド INDICE PTY LTD オーストラリア連邦ビクトリア州、キャンバーウェル、トゥーラック、ロード、1100-1102、ユニット、1
(74) 代理人	100117787 弁理士 勝沼 宏仁
(74) 代理人	100082991 弁理士 佐藤 泰和
(74) 代理人	100103263 弁理士 川崎 康
(74) 代理人	100107582 弁理士 関根 肇

最終頁に続く

(54) 【発明の名称】電力制御

## (57) 【要約】

直列「L C」回路を介して負荷に接続されたトランジスタ(T2)を備えるFETを有し、定電流源を介して供給電圧に接続され、共振コントローラを更に含み、前記共振コントローラは、ACアプリケーションの電力制御を提供し、電源によって供給される入力インダクタの共振トラッキングシステムを含み、前記共振トラッキングシステムは、直列に2つの検出抵抗負荷を有する抵抗共振検出器を使用するE級増幅器。

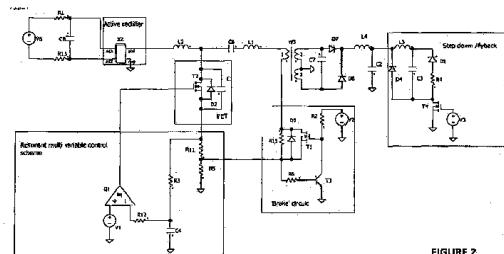


FIGURE 2

**【特許請求の範囲】****【請求項 1】**

直列「L C」回路を介して負荷に接続されたトランジスタ(T 2)を備えるFETを有し、定電流源を介して供給電圧に接続され、共振コントローラを更に含むE級増幅器。

**【請求項 2】**

前記共振コントローラは、ACアプリケーションの電力制御を提供し、電源によって供給される入力インダクタの共振トラッキングシステムを含み、前記共振トラッキングシステムは、直列に2つの検出抵抗負荷を有する抵抗共振検出器を使用する請求項1に記載のE級増幅器。

**【請求項 3】**

前記共振コントローラは、構成要素、基準電圧、共振センサおよび第1の入力電流センサを含む請求項2に記載のE級増幅器。

**【請求項 4】**

前記共振コントローラは、接地への第1および第2の検出抵抗R 5およびR 1 1である検出抵抗負荷を含み、第1の検出抵抗R 5が接地に至り、第2の検出抵抗R 1 1が基準電圧の入力と比較して出力制御ドライブ信号を提供するように比較器に供給する2つの検出抵抗負荷の間で受信される入力インダクタL 2のフィードバックを有する請求項2または3に記載のE級増幅器。

**【請求項 5】**

前記共振コントローラは、2つのそれぞれの信号の電圧加算ノードを形成する前記第1および第2の検出抵抗負荷の配列を含み、接地への前記第1の検出抵抗R 5は、入力のDC変動を検出し、比較器に供給する前記第2の検出抵抗R 1 1は、AC変動を検出する請求項4に記載のE級増幅器。

**【請求項 6】**

前記共振コントローラは、システム電力が制御されるようなL 2の望ましい電流を追跡するための主要な役割を有する第1の検出抵抗R 5を含む請求項1～5のいずれか1項に記載のE級増幅器。

**【請求項 7】**

前記共振コントローラは、L 2のリップル電流により、前記検出抵抗負荷R 5におけるリップル情報の使用を含む請求項4に記載のE級増幅器。

**【請求項 8】**

前記共振コントローラは、整流されたAC波形によりシステムに課される大きい電圧範囲にわたり、十分な信号強度を確保するためにリップル成分を増幅するために、R 1 1と組み合わせて第1の検出抵抗負荷R 5を含む請求項4に記載のE級増幅器。

**【請求項 9】**

前記共振コントローラは、システム力率の制御を可能にするために選択されたR 1 1およびR 5の比を含む請求項8に記載のE級増幅器。

**【請求項 10】**

前記共振コントローラは、AC信号が十分になると、システム共振周波数をデジタルシステム待ち時間と一致させることを含む請求項4に記載のE級増幅器。

**【請求項 11】**

前記AC信号が十分になるとシステム共振周波数をデジタルシステム待ち時間と一致させることは、オプションの位相遅れRCフィルタを追加することによって達成される請求項10に記載のE級増幅器。

**【請求項 12】**

前記比較器の出力において前記システム共振周波数を前記デジタルシステム待ち時間と一致させることは、デジタルセクションで実行される請求項11に記載のE級増幅器。

**【請求項 13】**

システム共振制御は、1つの本線電圧半サイクルにわたる正確および定期的な動作15を良好に保証し、システムが、高速、低損失の動作に優先するゼロ電圧スイッチ(ZVS)

10

20

30

40

50

)を行うことを可能とする請求項4に記載のE級増幅器。

**【請求項14】**

電流のオーバーシュートにより抵抗負荷経由のフローが可能で、これによって過電流に対する停止手段またはブレーキが提供されるように、前記ブレーキ要素が前記ブレーキ回路のFETをオフにするような入力インダクタ供給のフィードバックの決定にしたがつた、増幅器のFETの出力および増幅器のFETの入力のためのフィードバック回路におけるFETおよび抵抗負荷R3およびトランジスタT3の配置によって備えられるブレーキ要素を有する、ブレーキ回路を更に備える請求項1～13のいずれか1項に記載のE級増幅器。

**【請求項15】**

ブレーキ回路スイッチングは、その他の信号制御を電源オフにした後にしか行われないので、過電流の可能性を回避する請求項14に記載のE級増幅器。

**【請求項16】**

線形調整器と組み合わせたFETコントローラの使用によって、FETゲートがしきい値内であることを保証するために入力電力のアクティブ整流器を含む電力制御を使用するアクティブ整流器を更に備える請求項1～15のいずれか1項に記載のE級増幅器。

**【請求項17】**

前記線形調整器は、制御スイッチングにおける電流の最小化を通じて電力損失を最小化するために、100Kオームの大きい抵抗R4およびFETの動作電圧に近い電圧を組み入れる請求項16に記載のE級増幅器。

**【請求項18】**

前記整流器は、PおよびNの不純物添加MOSFETの複数のペアから形成され、1つのP不純物添加MOSFETのゲートは、N不純物添加MOSFETのドレーンに、およびその逆に接続される請求項16または17に記載のE級増幅器。

**【請求項19】**

前記整流器は、NFEETまたはPFETのペアのペアを含み、1ボルト未満の電圧によるFETの動作は、前記整流器によって制御される請求項18に記載のE級増幅器。

**【請求項20】**

前記整流器は、前記PおよびNの不純物添加MOSFETのペアのペアの間を接続するツェナー/抵抗配列を含む請求項19に記載のE級増幅器。

**【請求項21】**

ツェナーは、前記整流器FETが確実にオンされるのに十分なだけの大きさであり、エネルギーの転送を低く抑える請求項19に記載のE級増幅器。

**【請求項22】**

前記MOSFETのインピーダンスはブリッジMOSFETの充電中は低いので、急速な充電が可能であるが、いったんツェナー電圧に到達すると非常に高くなり、入力上にどのAC信号があるかには関わりなく漏損が生じないようにする請求項19に記載のE級増幅器。

**【請求項23】**

ツェナーバイアス抵抗は、ブリッジMOSFETゲートキャップを充電していないので、その値は非常に大きく、ごくわずかなエネルギーしか使用しない可能性がある請求項19に記載のE級増幅器。

**【請求項24】**

ゲート信号が低下すると、D1(Tiのボディダイオード)はブリッジゲート容量を放電する請求項19に記載のE級増幅器。

**【発明の詳細な説明】**

**【技術分野】**

**【0001】**

本発明は、電力制御に関し、詳細には、電力制御を達成するためのスイッチングの明確な制御に関する。より詳細には、本発明は、シリコン・トポロジーにおける電力制御の改

10

20

30

40

50

良された手段を提供するが、そのような手段に限定されない。

【0002】

本発明は、低電圧から本線電圧に至る電源、および直流(DC: Direct Current)または交流(AC: Alternating Current)の電源の範囲に適用されうるが、便宜上、本発明は、本明細書において、ある範囲の電圧について発光ダイオード(LED: Light Emitting Diode)の制御に関して説明するものとする。特に、本発明は、E級增幅器に関して説明される。しかし、本発明の範囲は、E級增幅器に限定されず、その他の電力制御の使用のセクションの1つまたは複数を含むことができる。

【背景技術】

【0003】

電力制御回路における重要な懸念事項は、電力損失および電力貯蔵である。スイッチモード電源において、電力損失は、さまざまな形で発生する。主要な方法の一部は以下のとおりである。

【0004】

1. 以下の式により説明される抵抗R素子を通じて電流Iから生じる抵抗電力P損失

$$P = I^2 \times R$$

2. FETのようなスイッチがオンまたはオフのいずれかから遷移する場合、および電流または電圧のいずれかがFET内にあったか、またはFETを通過した場合、遷移期間は前記FETの両端間で電流および電力をもたらし、電力損失と同等となる。

【0005】

3. ハードスイッチングは、以前オフであり両端間で電圧Vを有するFETがオンに切り替わるイベントである。出力にわたる寄生容量Cは、30エネルギーEを保持する。

【0006】

$$E = 0.5 \times C \times V^2$$

この条件下でFETがオンになるごとに、貯蔵されたエネルギーは電力損失として放散される。

【0007】

4. Cがゲート容量であり、Rが接続ゲート抵抗である、等価RC回路の形態のゲートドライブ損失。RC回路は、周波数F、静電容量C、および電圧Vの2乗に比例して電力を放散する。

【0008】

$$P = F \times c \times V^2$$

電力制御の1つの特定の形態は、E級增幅器である。標準的なE級增幅器は、図1に示されるようなものであり、直列「LC」回路を介して負荷(R1)に接続されたトランジスタ(T2)を備えるFETを有し、大きいインダクタ(L2)を介して供給電圧(図示せず)に接続されている。L2は、概ね定電流源として機能する。E級增幅器は、接地に至るトランジスタ出力の両端間でキャパシタ(C1)を追加する。しかし、そのような電力増幅器は、ある程度の電力損失を被る。

【発明の概要】

【発明が解決しようとする課題】

【0009】

したがって、従来技術の欠点の1つまたは複数を克服または大幅に改善するか、もしくは効果的な代替策を少なくとも提供することが、本発明の目的である。

【課題を解決するための手段】

【0010】

本発明は、状態ベースの制御を使用する電力制御の手段および方法を提供する。本発明は、個別に、または併せて使用されうる、いくつかの異なる変更を提供する。

【0011】

ACアプリケーションの電力制御は、電源によって供給される入力インダクタの共振ト

10

20

30

40

50

ラッキングシステムを含むことができ、共振トラッキングシステム 20 は、接地への直列の 2 つの検出抵抗負荷を有し、第 1 の検出抵抗負荷が接地に至り、第 2 の検出抵抗負荷が基準電圧の入力と比較して出力制御ドライブ信号を提供するように比較器に供給する、2 つの検出抵抗負荷の間の入力インダクタのフィードバックを受信する、抵抗共振検出器を使用する。

## 【0012】

検出抵抗負荷の配列は、明らかに、2 つのそれぞれの信号の電圧加算ノードであることが分かる。接地への第 1 の検出抵抗負荷は、入力の DC 変動を検出することができる。比較器に供給する第 2 の検出抵抗負荷は、AC 変動を検出することができる。

## 【0013】

10

第 2 の抵抗負荷から比較器への供給は、RC フィルタによって変更されてもよい。

## 【0014】

電力制御は、過電流が生じないようにするために電圧入力フィードバック上に RC 回路を含む検出手段を有するブレーキ回路を含むことができる。

## 【0015】

電力制御は、FET ゲートがしきい値内になることを保証するための、中に線形調整器と併せて FET コントローラがある、入力電力のアクティブ整流器を含むことができる。線形調整器は、制御スイッチングにおける電流の最小化を通じて電力損失を最小化するために、大きい抵抗および小さいツェナー電圧を組み入れることができる。

## 【0016】

20

電力制御は、P および N の不純物添加 MOSFET の複数のペアから形成された整流器を含むことができ、1 つの P 不純物添加 MOSFET のゲートは、N 不純物添加 MOSFET のドレーンに、およびその逆に接続される。好ましくは、P および N の 10 の不純物添加 MOSFET のペアのペアがある。

## 【0017】

このようにして、1 ボルト未満の電圧での FET の動作は、引き続き整流器によって制御される。これはまた、MOSFET のペアの動作が同時に生じることができない / 不可能であるので、突き抜け現象を回避する。

## 【0018】

30

本発明の 1 つの形態において、電力使用および電力損失を制限するように相互に補う共振および給電の周期でスイッチングする調節における状態スイッチングが提供される。

## 【0019】

本発明は、E 級増幅器に 1 つの形態で大幅な改善をもたらすことができる。

## 【0020】

好ましい実施形態において、電力制御は、E 級増幅器に関連し、以下のセクションのうちの任意の 1 つまたは複数を含むことができる。それらのセクションは次のものを含む。

## 【0021】

A . 共振トラッキング

B . ブレーキ回路

C . 整流器

D . ステップダウン (降圧)

40

しかし、これらのセクションはまた、類似する利点を実行するために他の電力制御システムに使用されてもよい。

## 【0022】

本発明が、1 つの形態において E 級トポロジー制御の新しい方法を提供することができる。自己共振ではあるが、新しい手法は、FET ドライブ制御が変換器のような他のコンポーネントから結合される他の自己共振システムとほとんど共通点を有していない。そのようなアプリケーションに関連する問題は、満足に定義されていない開始 / 停止条件、および波形制御のための制限された余地を含む。

## 【0023】

50

提案される方法は、設計の自由度および利点を備えた、簡単なコンポーネントにおける、リアルタイムの、サイクルごとのデジタル制御を組み入れる。異なる値および周波数の複数の類似信号は、加算され、単一比較点によってしきい値処理される。それらのパラメータの制御は、並外れた効率、速度、および力率を備えた、D C から、広い範囲の入力電圧の共振回路の物理的限度までの、正確な共振制御を可能にする。

#### 【0024】

本発明がさらに容易に理解されうるために、特定の実施形態が、非限定的な実施例により説明される。

#### 【図面の簡単な説明】

#### 【0025】

【図1】従来技術のE級増幅器を示す回路図である。

【図2】本発明の実施形態のE級増幅器に使用される共振ドライバの形態の本発明の電力制御を示す回路図である。

【図3】A C検出を有するがブレーキのない制御を示す、本発明の1つの実施形態の電力制御を示す回路図である。

#### 【図4】図3の電力制御回路のVおよびIの動作トレースを示す図である。

#### 【図5】ブレーキを示す本発明の1つの実施形態の電力制御を示す回路図である。

#### 【図6】図5の電力制御回路のVおよびIの動作トレースを示す図である。

#### 【図7】整流器を示す本発明の1つの実施形態の電力制御を示す回路図である。

#### 【図8】比較のために示される従来技術の整流器の電力制御を示す回路図である。

#### 【図9】図8の電力制御回路のVおよびIの動作トレースを示す図である。

【図10】アクティブ・プルダウンを備える整流器を示す本発明の1つの実施形態の電力制御を示す回路図である。

#### 【図11】図10の電力制御回路のVおよびIの動作トレースを示す図である。

【図12】線形調整器と組み合わせて、図10のF E T X1からX4の詳細を示すNのF E T等価分岐回路を示す図である。

【図13】線形調整器と組み合わせて、図10のF E T X1からX4の詳細を示すPのF E T等価分岐回路を示す図である。

【図14】ステップダウンおよびフライバックの代替を示す本発明の負荷へのアドオン電圧制御要素の1つの実施形態の電力制御を示す回路図である。

【図15】10 m sで9 Vの図14のステップダウンを使用する電力制御回路のVおよびIの動作トレースを示す図である。

【図16】マイクロレベルで図15の電力制御回路のVおよびIの動作トレースを示す図である。

#### 【発明を実施するための形態】

#### 【0026】

この好ましい実施形態において図面を参照して、図2に示されるように、本発明は、以下のすべてのセクションを有するE級増幅器を提供する。

#### 【0027】

A . 共振トラッキング

B . ブレーキ回路

C . 整流器

D . ステップダウン / フライバック

#### 【0028】

A . 共振トラッキング

図1に示されるように、電力制御の1つの特定の形態は、E級増幅器である。標準的なE級増幅器は、直列「L C」回路を介して負荷（R1）に接続されたトランジスタ（T2）を備えるF E Tを有し、概ね定電流源として動作する大きいインダクタ（L2）を介して供給電圧（図示せず）に接続される。

#### 【0029】

10

20

30

40

50

しかし、これを低電圧または高電圧いずれかの A C アプリケーションに拡大することが、図 3 に示される。ここでは、成分 0 1、V 1 ( 基準電圧 ) 、R 2 ( 共振センサ ) 、および R 5 ( 入力電流センサ ) を伴う新しい共振コントローラが含まれる。

#### 【 0 0 3 0 】

A C アプリケーションの電力制御は、電源によって供給される入力インダクタの共振トラッキングシステムを含み、共振トラッキングシステムは直列に 2 つの検出抵抗負荷を有する抵抗共振検出器を使用する。この場合、検出抵抗負荷は、接地への第 1 および第 2 の検出抵抗 R 5 および R 1 1 である。入力インダクタ L 2 のフィードバックは、第 1 の検出抵抗 R 5 が接地に至り、第 2 の検出抵抗 R 1 1 が基準電圧 V 1 の入力と比較して出力制御ドライブ信号を提供するように比較器 0 1 に供給する 2 つの検出抵抗負荷の間で受信される。

10

#### 【 0 0 3 1 】

検出抵抗負荷の配列は、明らかに、2 つのそれぞれの信号の電圧加算ノードであることが分かる。接地への第 1 の検出抵抗 R 5 は、入力の D C 变動を検出することができる。比較器 0 1 に供給する第 2 の検出抵抗 R 1 1 は、A C 变動を検出することができる。

#### 【 0 0 3 2 】

R 5 の主要な役割は、L 2 の望ましい電流を追跡することである。このように、システム電力は容易に制御されうる。L 2 の避けることができないリップル電流により、R 5 は確かにリップル情報を含むことに留意されたい。そのため、通常の動作は、R 1 1 を含めることなく生じうることが実現可能である。実際には、整流された A C 波形によりシステムに課される大きい電圧範囲にわたり、リップル成分を増幅する必要性が明らかになる。これは R 1 1 の重要点であり、R 1 1 を含めることで十分な信号強度が確実に存在するようになる。R 1 1 および R 5 の比もまた、システム力率の制御を可能にすることに留意されたい。

20

#### 【 0 0 3 3 】

A C 信号が十分になると、システム共振周波数をデジタルシステム待ち時間と一致させ有必要になる場合もある。これは、図 2 において R 3 および C 4 として示される、オプションの位相遅れ R C フィルタを追加することによって容易に達成されてもよい。比較器 0 1 の出力における追加の待ち時間制御は、必要に応じてデジタルセクションで実行されてもよい。

30

#### 【 0 0 3 4 】

図 4 は、上記の事項が、1 つの本線電圧半サイクルにわたり、いかにして良好に正確および定期的な動作 1 5 を保証するかを示し、マクロビューでは、いかにしてシステムが常に、高速、低損失の動作に優先するゼロ電圧スイッチ ( Z V S : Z e r o V o l t a g e S w i t c h ) を行なうかを示す。

#### 【 0 0 3 5 】

##### B . ブレーキ回路

ブレーキを持たない図 3 の回路を参照すると、ブレーキがない場合、過電流条件がさまざまな問題をもたらしうることが分かる。A C 信号は、共振の信号をもたらす D C リップルによりバイアスがかけられている。次いで、これは R 1 2 および C 4 を含み、それにより自己共振システムである、R C システムによって減速される。しかし、共振および電流パルスが追加される場合、過電流状態および障害がある。これは懸念の最大原因であり、従来技術の解決策では大量の電力を使用する。

40

#### 【 0 0 3 6 】

ブレーキを備える回路は図 5 に示され、ブレーキ要素は R 3 およびトランジスタ T 3 によって提供される。図 2 に示される他の形態において、R 6 および T 3 はブレーキ要素を提供する。重要な効果は、オーバーシュートにより R 1 5 経由のフロー ( flow ) が可能になる場合に、ブレーキ要素が T 1 の F E T をオフにすることである。図 5 、および図 6 の動作トレースを参照すると、過電流に対する停止手段またはブレーキが提供されることが示される。特に、スイッチングは、その他の信号制御を電源オフにした後にしか行なわれ

50

ないので、過電流の可能性を回避する。

【0037】

C. 整流器

従来技術のアクティプ整流器回路は、図8に示され、動作トレースが図9に示される。特に、AタイプまたはNタイプのいずれかであるFETは、ほぼ100オーム程度のR4のような外部抵抗に接続されるので、大量の電流フローおよび相応する電力損失を許容する。特に、図9のトレースは、上部に入力を、中央部に有効出力を示す。しかし、下側トレースによって示されるように、動作全体を通じて大量の電力損失がある。

【0038】

しかし、本発明は、図7に最も簡略な形式で示され、図10、12、および13に詳細に示され、図11のトレースは、FETゲートがしきい値内であることを保証するために入力電力のアクティプ整流器を含む電力制御を使用することができる整流器を示す。これは、線形調整器と組み合わせたFETコントローラによって達成される。線形調整器は、制御スイッチングにおける電流の最小化を通じて電力損失を最小化するために、ほぼ100Kオーム程度の大きい抵抗R4およびFETの動作電圧に近い電圧を組み入れることができる。図9のトレースとは対照的に、図10の本発明の図11におけるトレースは、上部に入力を、中央部に有効出力を示す。しかし、下側トレースによって示されるように、動作全体を通じて最小の断続的な電力損失がある。

【0039】

図10に示されるように、電力制御は、PおよびNの不純物添加MOSFETの複数のペアから形成された整流器を含むことができ、1つのP不純物添加MOSFETのゲートは、N不純物添加MOSFETのドレーンに、およびその逆に接続される。この場合、PおよびNの不純物添加MOSFETのペアのペアがあり、各々X1からX4は図12および図13のNFETまたはPFETを備える。

【0040】

このようにして、1ボルト未満の電圧によるFETの動作は、引き続き整流器によって制御される。これはまた、MOSFETのペアの動作が同時に生じることはありえず、しきい値を超える電圧を追加することができないので、突き抜け現象を回避する。

【0041】

特に低電圧、高電流のアプリケーションにおいて、AC/DC整流は、さほど大きい順方向伝導電圧降下を有する必要はないので、ダイオード（ショットキー、PN、カーバイドなど）よりも、FETフルブリッジでさらに効率的に実行されてもよい。実施において以下のような考慮事項がある。

【0042】

1. 最大電圧がFETゲート値を超える場合、MOSFETが破壊されないようにするため、保護が行なわれる必要がある。これは、提供される概略図におけるツェナー／抵抗配列の目的である。

【0043】

2. ツェナーは、最大ゲート電圧よりもほんのわずか小さい必要があり、そうしないとツェナーを経由する伝導が大量のエネルギーを消費し、それは残念なことに、ゲート容量がFETをオンにするために必要なエネルギーをはるかに超えるエネルギーを有することを意味する。

【0044】

3. 抵抗は、入力電圧がツェナーを超える場合に電流を制限できる十分な大きさである必要があるが、十分にオンおよびオフの時間を短くできるように、およびFET突き抜け現象を防ぐように十分に小さい必要がある。

【0045】

4. MOSFETはゲート容量を有するので、例と同様に使用される任意の抵抗は、オンおよびオフの切り替え遅延に関する問題を生じる。

【0046】

10

20

30

40

50

5 . ゲート容量および抵抗は R C フィルタを形成するが、 R C フィルタは、 A C が入力上有る場合にエネルギーを消費して、周波数および振幅とともに悪化する。

#### 【 0 0 4 7 】

図 10 に示される新しい構成は、図 8 の従来技術と類似する外観である。しかし、 X モジュールをさらに調べると明らかな相違が、図 12 および図 13 の「 S C H N F E T 基礎」および「 S C H P F E T 基礎」に示される。各分岐回路( N および P )は、従来技術の M O S F E T 、ツェナー、および抵抗を、ブリッジの底部の N の分岐回路、ブリッジの上部の P の分岐回路に置き換えるように設計される。

#### 【 0 0 4 8 】

N F E T 分岐回路を調べると、完全な F E T モデルがボックス内に表される。ボックスの外部には、追加された回路、ダイオードおよび F E T ( M O S F E T は常にボディダイオードを有するので唯一の素子となる)、抵抗、およびツェナーがある。 M O S F E T の追加は、回路に以下のような大きな影響を有する。

#### 【 0 0 4 9 】

1 . ツェナーはこれで、整流器 F E T が確実にオンにされるのに十分なだけの大きさになり、エネルギーの転送を低く抑えることができる。

#### 【 0 0 5 0 】

2 . M O S F E T のインピーダンスはブリッジ M O S F E T の充電中は低いので、急速な充電が可能であるが、いったんツェナー電圧に到達すると非常に高くなり、入力上有どの A C 信号があるかには関わりなく漏損が生じないようにする。

#### 【 0 0 5 1 】

3 . ツェナーバイアス抵抗はもはやブリッジ M O S F E T ゲートキャップを充電していないので、その値は非常に大きく、ごくわずかなエネルギーしか使用しない可能性がある。

#### 【 0 0 5 2 】

4 . ゲート信号が低下すると、 D 1 ( T i のボディダイオード)はブリッジゲート容量を放電する。

#### 【 0 0 5 3 】

P F E T 分岐回路は動作において同一であるが、ただし P F E T であるので負電圧という意味に限られる。

#### 【 0 0 5 4 】

図 9 の従来技術のトレースファイルおよび図 11 の新しいアクティブ整流器を参照すると、赤(上部)トレースは、構築された波形の、はるかに高い周波数で 5 V p p 信号の、 12 V R M S (+ - 17 ボルトピークツーピーク) A C のベース信号を示す。次のトレースは、ソースからの電流を示し、緑は負荷抵抗 R 1 の電圧であり、最後のトレースは、半波ブリッジ P / N F E T ペアに入る電流である。最大の改善の指標は、図 11 のトレースであり、示されているように、新しいアクティブ整流器は、スイッチング電流を除いては明らかな電流を伴わない。測定値は、図 9 との簡単な比較により、従来のシステムの 95 % に対して新しいシステムが 98 % の効率であることを示した。この分岐は、従来技術のツェナーがさらに伝導するのに応じて、または周波数が増大した場合に、大きい入力電圧範囲にわたり、はるかに大きくなつてゆく。

#### 【 0 0 5 5 】

最後に、図 10 の次の反復は、ブリッジ F E T のしきい値電圧を新しいゲートドライブ F E T のボディダイオードよりも低くすることができる機能拡張を示す。信号は N および P 分岐回路の間で共有されて、 F E T が確実にシャットダウンされる。

#### 【 0 0 5 6 】

各々の N または P ペアにおいて、対向側ドライブ F E T もまた、もう一方の新たに加えられた「プルダウン」 F E T を駆動する。

#### 【 0 0 5 7 】

D . ステップダウン / フライバック

10

20

30

40

50

図14に示されるステップダウン／フライバック・コンポーネントは、多くの場合、動作電圧の制限によるLEDの電力制御のために、図2に示されるキャパシタC2の両端間で出力において接続することが必要とされる。しかし、そのようなシステムは、その他の電力制御領域においては必須でないこともある。

#### 【0058】

光ダイオード(LED)の一定順方向電圧特性により、並列に接続されたキャパシタにおける使用可能なエネルギーは非常に限られている。これは、LED V<sub>f</sub>(順方向電圧)を上回るキャパシタ内の任意の電圧が、伝導が停止する時点となるV<sub>f</sub>に低下するまで、より高い電流で迅速に放電されるためである。その簡単な手法は、直列に抵抗を備えることであるが、そうすることでV<sub>f</sub>を超える電圧において電流を制限する。この手法の欠点は、当然ながら、抵抗において消費されるエネルギーである。

10

#### 【0059】

さらに複雑な方法は、完全「降圧(buck)」回路を実施することである。これを良好に実施することで、複雑さとコストという代償を払って、追加の電力損失を最小化することができる。その潜在的な問題は、電圧の上昇に応じて電流が低下する、およびその逆の状態が生じる、「負のインピーダンス(negative impedance)」の導入である。これは、電流および電圧が共に、比例的またはそうでなく上昇および降下する「正のインピーダンス(positive impedance)」と対照をなすものである。独立型の回路において、降圧の負のインピーダンスは問題とはならないが、別の制御方式と併せて使用される場合、問題を生じることがある。

20

#### 【0060】

キャパシタを直接LEDとともに並列に備えることに関わるもう1つの問題は、昇圧(boost)トポロジーを使用している場合に生じる。出力電圧が入力電圧よりも常時高い必要があるので、LED V<sub>f</sub>は比較的高くしなければならない。入力電圧が17Vピーク(12VRMS)に到達しうるMR16の場合、これは結果を20V+チップに制限する。より低い電圧のLEDを使用しようとする場合、当然の解決策は、昇圧の後に降圧ステージを導入することである。しかし、そうすることで、個々の昇圧および降圧ステージが相互に「争う」という問題をもたらし、その問題こそが、大きな容量エネルギー蓄積バッファリングが相互間にあるにもかかわらず、負のインピーダンス負荷(降圧)によって生じた過電圧出力条件によりブースタが頻繁に電源オフになってしまう理由である。

30

#### 【0061】

本発明は、導入されるべきはるかに簡単なステップダウン機構を含み、この機構ははるかに安価に実施することができ、しかも正のインピーダンスによる昇圧を提供する。

#### 【0062】

図14を参照すると、一般的に可能な組み合わせが示される。この組み合わせは、9Vおよび21V LEDの解決策に使用されてもよい。21V LEDがすでにより高い電圧要件を満たしているとしても、本線周波数(50~60Hz)を超えるLEDのリップル電流は、現在使用可能な大きい動作電圧範囲によるさらに容易に使用可能なエネルギー蓄積の理由から、はるかに優れている。

40

#### 【0063】

降圧の場合は負荷電圧まで、フライバックの場合完全な範囲の、正確な負荷調整を可能にすることを含む従来技術における降圧の利点がある。しかし、以下のような降圧およびフライバックに関する問題もある。

#### 【0064】

1. 高価であること
2. 複雑な閉ループシステムであり、特に(降圧構成において)高圧側FETドライバが必要である場合には非効率的であること
3. 電圧供給に負のインピーダンス特性を課すこと
4. 複雑さおよび安定度の要件が概して最大速度を制限し、そのため実施にあたりさらに大きい受動素子を必要とすること

50

同様に、固定の周波数およびデューティ・ステップダウンまたはフライバックの利点がある。

#### 【0065】

1. 開ループ（フィードバックなし）により、非常に安価で実施が容易であること
2. 低圧側スイッチングしか必要としないので、実施が容易であること
3. 常時正のインピーダンスを課すので、昇圧のような調整ステージとの組み合わせが容易であること
4. 簡易性、つまりより高い速度は共振源ドライブ能力によってしか制限されないので、極めて高くなりうること。

#### 【0066】

固定の周波数およびデューティ・ステップダウンまたはフライバックに関する問題は以下のとおりである。

#### 【0067】

1. 開ループとは、動作が入力電圧の固定変換に制限される、つまり適応が可能ではないことを意味する。

#### 【0068】

本発明の動作は図面を参照するが、図14において、R4がD1と直列に含まれ、望ましい寄生コンポーネントで構成される「実際の」LEDを表すことに留意されたい。9Vの概略およびトレースにおいて参照されるステップダウンは、この例V3において、非常に簡単な動作を有し、FETを駆動することができる任意のタイプの振動源を実装する。  
FETがバイアス電流をオンにされると、電流はL3でLED(D1)およびC3を上昇させ始める。FETがオフになると、インダクタはD1およびC3に放電する。C3は単に、LEDの電流リップルを最小に保持するためのACバイパスとしての役割を果たし、したがって極めて小さくなりうる。この簡単なアクションの結果、L3がLEDと直列の追加のインピーダンスとなり、LED-Vfと貯蔵C3との間の電圧の差のみによって変化する。このインピーダンスは、L1のインダクタンス、またはインバータの周波数/デューティ・サイクル比を変更することによって変動してもよい。

#### 【0069】

21Vのトレースおよび概略図において参照されるフライバックは、上記のように、実施が著しく簡単であり、また図14に概ね示される。FETがバイアス電流をオンにされると、L1は充電を開始する。FETがオフになると、L1はC4およびLEDに放電する。この場合も同様に、C4は、単にACをバイパスして、DC電流をLEDに供給するために含まれる。この回路は、LED電圧未満にC4を放電することができるという点でステップダウンと異なる。これは、21Vのような大きいVfでは望ましいが、最小の許容ブースト電圧をすでに下回っている電圧の場合には極めて望ましくない。ステップダウンの場合と同様に、インダクタは、周波数およびデューティ・サイクル比が固定されている限り、概ね線形の、正のインピーダンスとして現れる。

#### 【0070】

任意の周波数およびデューティが実施されてもよく、以下のようないくつかの調節について利点があることに留意されたい。

#### 【0071】

1. 周波数ジッタ - 電磁干渉(EMI: Electro Magnetic Interference)が生じる場合に役立つ可能性がある

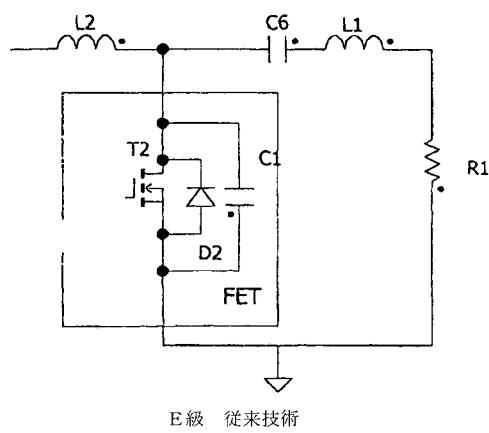
2. (例に使用されている) 50/50以外のデューティ・サイクル比は、より低いVfが望ましい場合には特に有用となりうるが、デューティをたとえば15/85オン/オフに設定することで、使用される発信源に応じて、さらに複雑さまたはフィードバックを追加することなく、電圧を3ボルト(单一LEDチップ)まで低くステップダウンすることが可能になる。

#### 【0072】

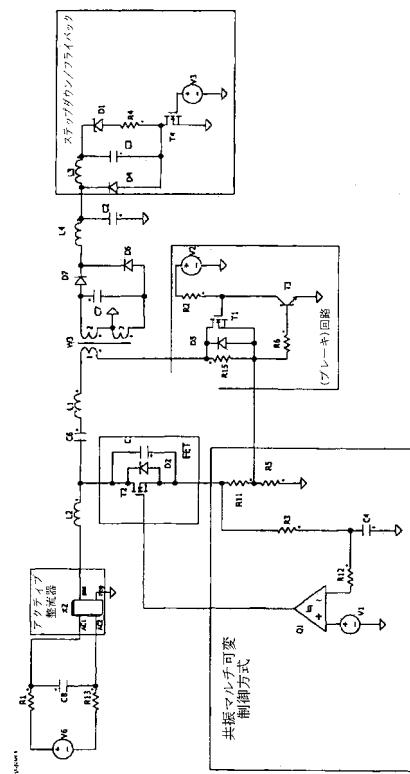
本明細書において、電力制御の特定の実施形態を説明してきたが、本発明のその他の実

施形態が上記で説明されている特徴の任意の数およびいずれか1つの任意の組み合わせを呈することができる事が、さらに想定される。しかし、本発明の精神および範囲を逸脱することなく变形および変更が行なわれてもよいことが理解されよう。

【図1】



【図2】



【図 3】

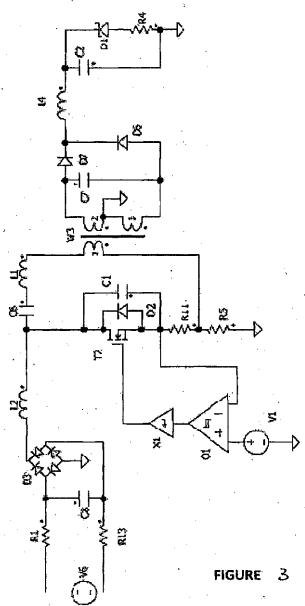


FIGURE 3

【図 4】

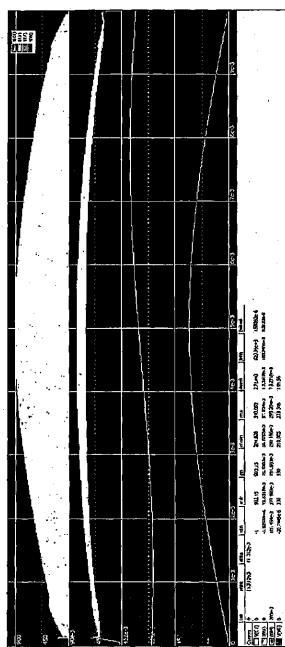


FIGURE 4

【図 5】

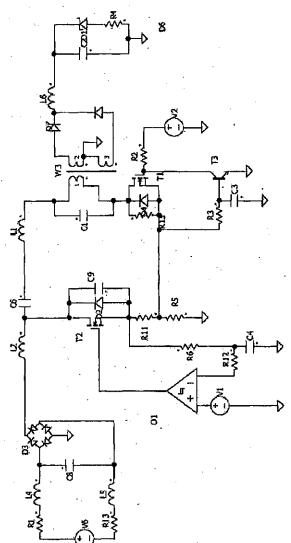


FIGURE 5

【図 6】

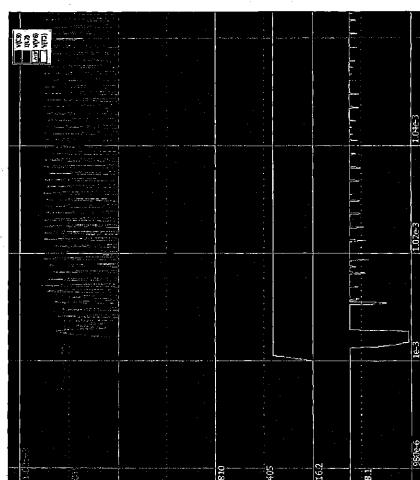
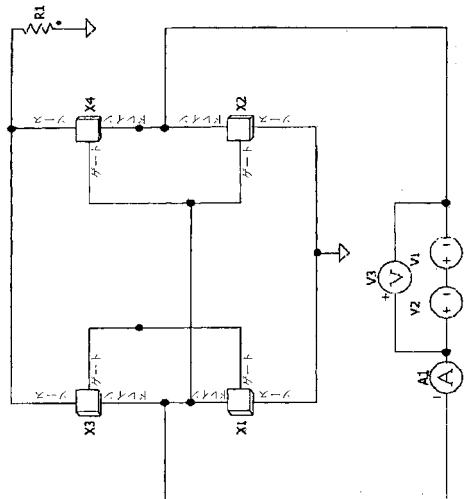


FIGURE 6

【図 7】



【図 8】

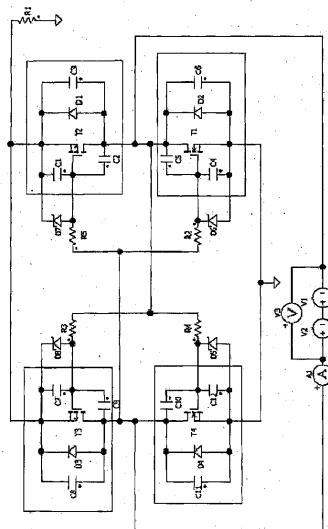


FIGURE 8

【図 9】

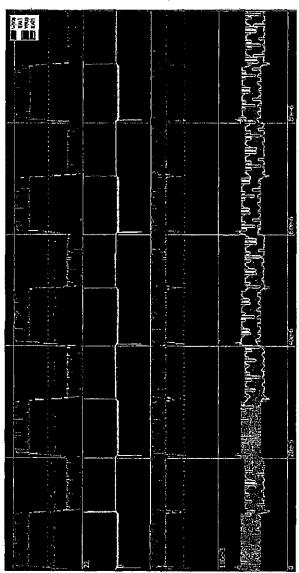
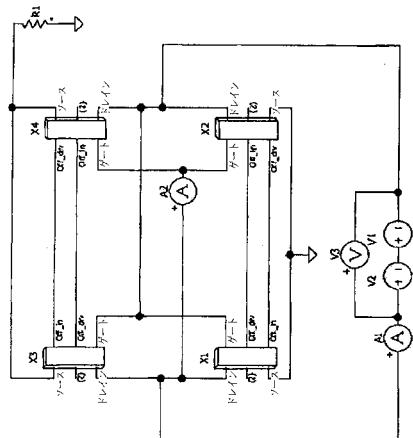


FIGURE 9

【図 10】



【図 1 1】

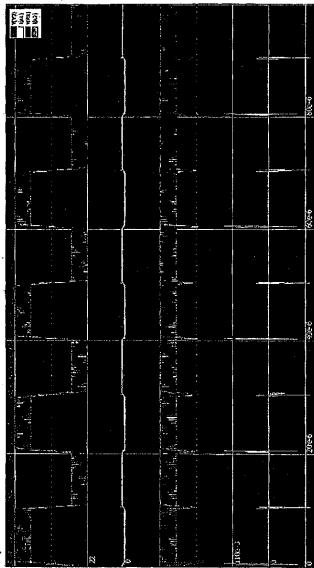
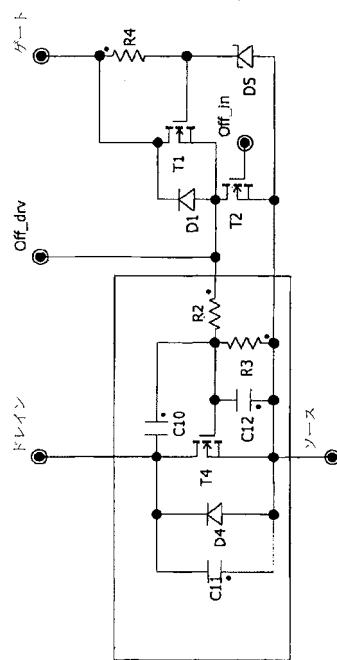
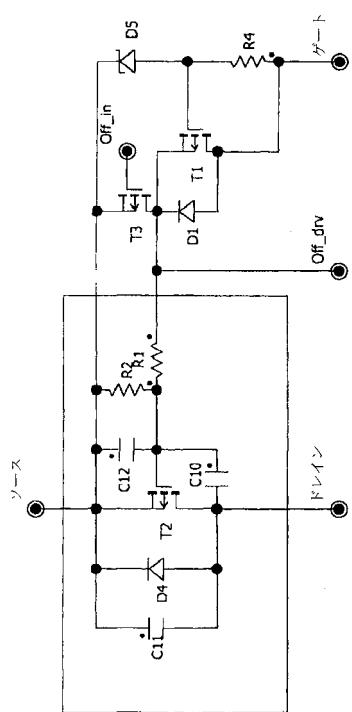


FIGURE 1-1

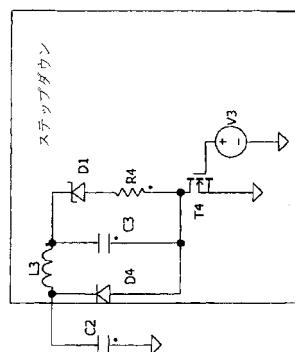
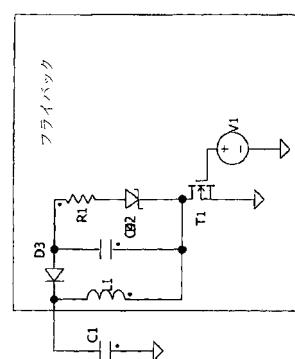
【図 1 2】



【図 1 3】



【図 1 4】



【図 15】

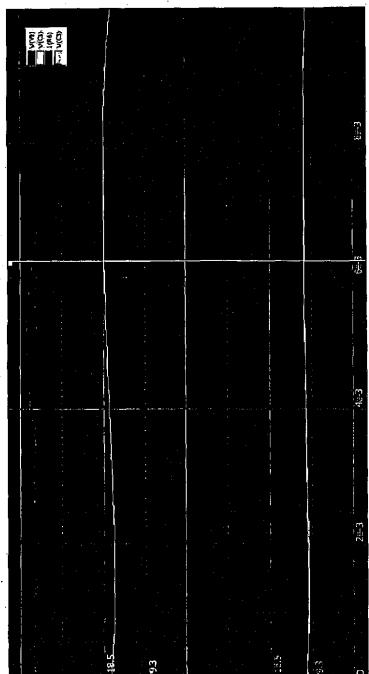


FIGURE 15

【図 16】

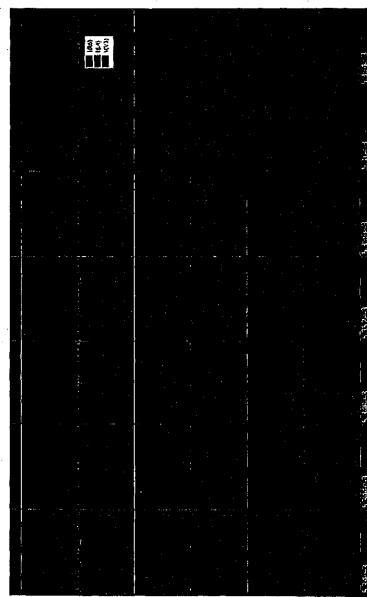


FIGURE 16

## 【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/AU2012/001246																				
<b>A. CLASSIFICATION OF SUBJECT MATTER</b> <i>H02M 3/335 (2006.01) H02M 7/539 (2006.01)</i>																						
According to International Patent Classification (IPC) or to both national classification and IPC																						
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols)																						
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched																						
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EPODOC, WPI, TXTUS0, TXTUS1, TXTUS2, TXTUS3, TXTUS4, TXTEP1, TXTGB1, TXTWO1, Google Patents, Espacenet: fet, amplifier, sense, resistor, current, resonant and like key words.																						
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b> <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 15%;">Category*</td> <td style="width: 70%;">Citation of document, with indication, where appropriate, of the relevant passages</td> <td style="width: 15%;">Relevant to claim No.</td> </tr> <tr> <td></td> <td>Documents are listed in the continuation of Box C</td> <td></td> </tr> </table> <p><input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C      <input checked="" type="checkbox"/> See patent family annex</p>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.		Documents are listed in the continuation of Box C															
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.																				
	Documents are listed in the continuation of Box C																					
<p>* Special categories of cited documents:</p> <table style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 20%; vertical-align: top;">"A"</td> <td style="width: 20%; vertical-align: top;">document defining the general state of the art which is not considered to be of particular relevance</td> <td style="width: 20%; vertical-align: top;">"T"</td> <td style="width: 40%; vertical-align: top;">later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</td> </tr> <tr> <td>"E"</td> <td>earlier application or patent but published on or after the international filing date</td> <td>"X"</td> <td>document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</td> </tr> <tr> <td>"L"</td> <td>document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</td> <td>"Y"</td> <td>document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</td> </tr> <tr> <td>"O"</td> <td>document referring to an oral disclosure, use, exhibition or other means</td> <td>"&amp;"</td> <td>document member of the same patent family</td> </tr> <tr> <td>"P"</td> <td>document published prior to the international filing date but later than the priority date claimed</td> <td></td> <td></td> </tr> </table>			"A"	document defining the general state of the art which is not considered to be of particular relevance	"T"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention	"E"	earlier application or patent but published on or after the international filing date	"X"	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone	"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y"	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art	"O"	document referring to an oral disclosure, use, exhibition or other means	"&"	document member of the same patent family	"P"	document published prior to the international filing date but later than the priority date claimed		
"A"	document defining the general state of the art which is not considered to be of particular relevance	"T"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention																			
"E"	earlier application or patent but published on or after the international filing date	"X"	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone																			
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y"	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art																			
"O"	document referring to an oral disclosure, use, exhibition or other means	"&"	document member of the same patent family																			
"P"	document published prior to the international filing date but later than the priority date claimed																					
Date of the actual completion of the international search 25 January 2013	Date of mailing of the international search report 25 January 2013																					
<b>Name and mailing address of the ISA/AU</b>  AUSTRALIAN PATENT OFFICE PO BOX 200, WODEN ACT 2606, AUSTRALIA Email address: pct@ipaustralia.gov.au Facsimile No.: +61 2 6283 7999	<b>Authorised officer</b>  Arpit Dixit AUSTRALIAN PATENT OFFICE (ISO 9001 Quality Certified Service) Telephone No. 0262832879																					

INTERNATIONAL SEARCH REPORT C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		International application No. <b>PCT/AU2012/001246</b>
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2005/0281061 A1 (RADECKER ET AL.) 22 December 2005 Fig.7-8, para.[0028], [0046], [0067]-[0070]	1-6
Y	Fig.5, 5A, 6-8, para.[0015], [0028], [0046], [0067]-[0070], [0095]-[0099]	7-24
Y	JP 01-186170 A (FUJII DENKI KOGYO KK) 25 July 1989 Abstract, fig.3	14-15
Y	EP 2333947 A1 (HARRIS CORPORATION) 15 June 2011 Abstract, fig.1, para.[0067]	16-24

Form PCT/ISA/210 (fifth sheet) (July 2009)

**INTERNATIONAL SEARCH REPORT**

International application No.

**PCT/AU2012/001246****Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)**

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1.  Claims Nos.:  
because they relate to subject matter not required to be searched by this Authority, namely:
  
  
  
  
  
2.  Claims Nos.:  
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
  
  
  
  
  
3.  Claims Nos.:  
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a)

**Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)**

This International Searching Authority found multiple inventions in this international application, as follows:

**See Supplemental Box for Details**

1.  As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2.  As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3.  As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
  
  
  
  
  
4.  No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

**Remark on Protest**

- The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- No protest accompanied the payment of additional search fees.

<b>INTERNATIONAL SEARCH REPORT</b>	International application No. <b>PCT/AU2012/001246</b>
<b>Supplemental Box</b>	
<p><b>Continuation of Box III</b></p> <p>This International Application does not comply with the requirements of unity of invention because it does not relate to one invention or to a group of inventions so linked as to form a single general inventive concept.</p> <p>This Authority has found that there are different inventions based on the following features that separate the claims into distinct groups:</p> <ul style="list-style-type: none"> <li>• Claims 1-13 are directed to a class E amplifier. Claim 1 can be grouped with any one of the three groups. However, for the simplicity, claim 1 is included in this group.. The feature of the means to track system using resistor resonance detector having two sense resistor loads in series is specific to this group of claims.</li> <li>• Claims 14-15 are directed to a class E amplifier.. The feature of the means to provide stoppage or brake for any overcurrent by using a brake circuit having brake elements such as FET, load R3, transistor T3 in the output of the amplifier is specific to this group of claims.</li> <li>• Claims 16-24 are directed to a class E amplifier.. The feature of the means to guarantee FET gate is within threshold by providing an active rectifier by using a FET controller in combination with a linear regulator is specific to this group of claims.</li> </ul> <p>PCT Rule 13.2, first sentence, states that unity of invention is only fulfilled when there is a technical relationship among the claimed inventions involving one or more of the same or corresponding special technical features. PCT Rule 13.2, second sentence, defines a special technical feature as a feature which makes a contribution over the prior art.</p> <p>When there is no special technical feature common to all the claimed inventions there is no unity of invention.</p> <p>In the above groups of claims, the identified features may have the potential to make a contribution over the prior art but are not common to all the claimed inventions and therefore cannot provide the required technical relationship. The only feature common to all of the claimed inventions and which provides a technical relationship among them is a Class E amplifier having a FET with the transistor connected via a serial LC circuit to the load, and connected to a supply voltage via a constant current source, the amplifier further including a resonant controller.</p> <p>However this feature does not make a contribution over the prior art because it is disclosed in:          Fig.7, para. [0028], [0046] of D1: US 2005/0281061 A1 (RADECKER ET AL.) 22 December 2005</p> <p>Therefore in the light of this document this common feature cannot be a special technical feature. Therefore there is no special technical feature common to all the claimed inventions and the requirements for unity of invention are consequently not satisfied <i>a posteriori</i>.</p>	

<b>INTERNATIONAL SEARCH REPORT</b> Information on patent family members		International application No. <b>PCT/AU2012/001246</b>	
This Annex lists known patent family members relating to the patent documents cited in the above-mentioned international search report. The Australian Patent Office is in no way liable for these particulars which are merely given for the purpose of information.			
<b>Patent Document/s Cited in Search Report</b>		<b>Patent Family Member/s</b>	
<b>Publication Number</b>	<b>Publication Date</b>	<b>Publication Number</b>	<b>Publication Date</b>
US 2005/0281061 A1	22 Dec 2005	CN 1729613 A	01 Feb 2006
		DE 10259088 A1	22 Jul 2004
		US 2005281061 A1	22 Dec 2005
		US 7218533 B2	15 May 2007
		WO 2004055962 A2	01 Jul 2004
JP 01-186170 A	25 Jul 1989	JP 1186170 A	25 Jul 1989
EP 2333947 A1	15 Jun 2011	EP 2333947 A1	15 Jun 2011
		US 2011141782 A1	16 Jun 2011
		US 8045350 B2	25 Oct 2011
<b>End of Annex</b>			
Due to data integration issues this family listing may not include 10 digit Australian applications filed since May 2001. Form PCT/ISA/210 (Family Annex)(July 2009)			

---

フロントページの続き

(81)指定国 AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA,RW,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MK,MT,NL,NO,PL,PT,RO,R,S,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CZ,DE,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,LA,LK,LR,LS,LT,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SC,SD,SE,SG,SK,SL,SM,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC

(74)代理人 100137523

弁理士 出口 智也

(72)発明者 ジェームズ、ハ蒙ド

オーストラリア連邦ビクトリア州、キュー、エッジベール、ロード、7 / 40 - 44

F ターム(参考) 5H006 CA02 CB01 CB07 CC02

5H730 AA14 AA20 AS11 BB22 BB62 BB86 CC01 DD04 EE03 EE23  
EE24 FD41 FG01 XX02 XX15 XX25 XX35 XX42