



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201810043 A

(43)公開日：中華民國 107 (2018) 年 03 月 16 日

(21)申請案號：105129448

(22)申請日：中華民國 105 (2016) 年 09 月 10 日

(51)Int. Cl.：

G06F12/02 (2006.01)

G06F12/0866(2016.01)

G06F11/30 (2006.01)

(30)優先權：2016/05/12

美國

15/153,014

(71)申請人：廣達電腦股份有限公司 (中華民國) QUANTA COMPUTER INC. (TW)

桃園市龜山區文化二路 188 號

(72)發明人：余俊慶 YU, CHUN CHIN (TW)；王舜宏 WANG, SHUEN HUNG (TW)

(74)代理人：洪澄文；顏錦順

申請實體審查：有 申請專利範圍項數：10 項 圖式數：11 共 50 頁

(54)名稱

管理系統與管理方法

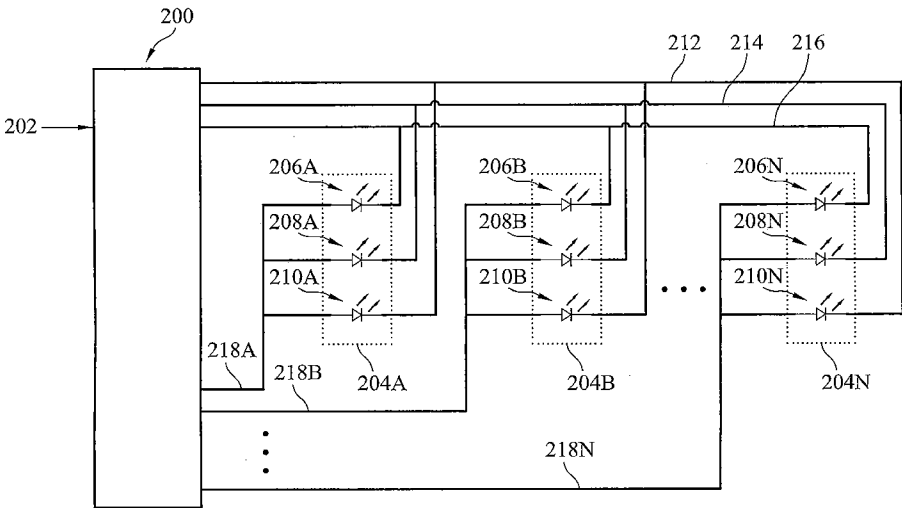
MANAGEMENT METHOD AND MANAGEMENT SYSTEM

(57)摘要

在本發明一些實施例中，提供用於彈性地管理快速非揮發性記憶體碟機的系統，此系統可包括第一控制器，第一控制器包括第一碟機暫存器以及第二碟機暫存器；第一處理器，透過第一串列匯流排通訊地耦接第一碟機暫存器；以及第二處理器，透過第二串列匯流排通訊地耦接第二碟機暫存器。此系統亦可包括第一組快速非揮發性記憶體碟機，透過第一碟機暫存器通訊地耦接第一處理器；以及第二組快速非揮發性記憶體碟機，透過第二碟機暫存器以及第二串列匯流排通訊地耦接第二處理器。

In some embodiments, a system for flexible non-volatile memory express drive management can include a first controller including a first drive register and a second drive register, a first processor communicatively coupled with the first drive register via a first serial bus, and a second processor communicatively coupled with the second drive register via a second serial bus. The system can also include a first set of non-volatile memory express drives communicatively coupled with the first processor via the first drive register, and a second set of non-volatile memory express drives communicatively coupled with the second processor via the second drive register and the second serial bus.

指定代表圖：



第 2 圖

符號簡單說明：

- 200 . . . 控制器
- 202 . . . 輸入
- 204A、204B、
204N . . . 碟機
- 206A、206B、
206N . . . 活動發光
二極體
- 208A、208B、
208N . . . 位置發光
二極體
- 210A、210B、
210N . . . 失效發光
二極體
- 206、208、
210 . . . 發光二極體
- 212、214、
216 . . . 控制線
- 218A、218B、
218N . . . 選擇線

發明摘要

※ 申請案號：105129448

※ 申請日：105/09/10

※IPC 分類：

G06F 12/02 (2006.01)

G06F 12/0866 (2016.01)

G06F 11/30 (2006.01)

【發明名稱】 管理系統與管理方法

MANAGEMENT METHOD AND MANAGEMENT
SYSTEM

【中文】

在本發明一些實施例中，提供用於彈性地管理快速非揮發性記憶體碟機的系統，此系統可包括第一控制器，第一控制器包括第一碟機暫存器以及第二碟機暫存器；第一處理器，透過第一串列匯流排通訊地耦接第一碟機暫存器；以及第二處理器，透過第二串列匯流排通訊地耦接第二碟機暫存器。此系統亦可包括第一組快速非揮發性記憶體碟機，透過第一碟機暫存器通訊地耦接第一處理器；以及第二組快速非揮發性記憶體碟機，透過第二碟機暫存器以及第二串列匯流排通訊地耦接第二處理器。

【英文】

In some embodiments, a system for flexible non-volatile memory express drive management can include a first controller including a first drive register and a second drive register, a first processor communicatively coupled with the first drive register via a first serial bus, and a second processor communicatively coupled with the second drive register via a second serial bus. The system can also include a first set of

non-volatile memory express drives communicatively coupled with the first processor via the first drive register, and a second set of non-volatile memory express drives communicatively coupled with the second processor via the second drive register and the second serial bus.

【代表圖】

【本案指定代表圖】：第（2）圖。

【本代表圖之符號簡單說明】：

200~控 制 器

202~輸 入

204A、204B、204N~碟 機

206A、206B、206N~活 動 發 光 二 極 體

208A、208B、208N~位 置 發 光 二 極 體

210A、210B、210N~失 效 發 光 二 極 體

206、208、210~發 光 二 極 體

212、214、216~控 制 線

218A、218B、218N~選 擇 線

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無。

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】 管理系統與管理方法

MANAGEMENT METHOD AND MANAGEMENT
SYSTEM

【技術領域】

【0001】 本發明一般是有關於作為硬碟機(hard disk drive (HDD))的狀態指示器之發光二極體(LED)以及快速非揮發性記憶體(non-volatile memory express (NVMe))碟機的控制器。更特別而言，本發明是有關於可不需要額外之發光二極體控制線以及碟機之佈局管理以執行複數個發光二極體之時間管理的控制器。

【先前技術】

【0002】 快速非揮發性記憶體(non-volatile memory express (NVMe))是用於非揮發性儲存媒體的一邏輯裝置介面規格(例如固態硬碟)，且應用於PCIe標準。快速非揮發性記憶體(NVMe)的技術利用快速非揮發性記憶體裝置(例如固態硬碟)的速度以及PCIe所支援的高頻寬匯流排通訊，在儲存效能、容量以及可靠度方面提供顯著的改善。不出所料地，快速非揮發性記憶體技術的應用已在伺服器以及資料中心的環境中穩定地增加，藉以達到更好的效能。

【0003】 在大型電路部署中可包括眾多用於附加功能(added capabilities)的快速非揮發性記憶體碟機。每一個快速非揮發性記憶體碟機通常被分配至一特定處理器，上述特定處理器可管理以及監測上述快速非揮發性記憶體碟機。一處理器可被分配至複數個快速非揮發性記憶體碟機，藉以管理以及監

測該等快速非揮發性記憶體碟機。為了將一處理器與複數個快速非揮發性記憶體碟機進行連結，通常會設置輸入/輸出擴充晶片。每一個擴充晶片將一快速非揮發性記憶體碟機連接至一特定處理器。每一個被分配至一處理器的快速非揮發性記憶體碟機需要一個自的輸入/輸出擴充晶片以連接至該處理器，且每增加一個快速非揮發性記憶體碟機即需要設置一額外的輸入/輸出擴充晶片。因此，具有眾多快速非揮發性記憶體碟機之大型電路部署需要大量的輸入/輸出擴充晶片，藉以將上述快速非揮發性記憶體碟機與個自的處理器進行連接。因此，上述電路配置將導致成本提高；電路設計沒有彈性；以及使得電路過於龐大。

【0004】一般硬碟機發光二極體控制器(HDD LED controller)(如第1圖所示)對於一硬碟機的每一個發光二極體指示器，需要額外的控制線。此配置限制了硬碟機的連接數量。第1圖描繪硬碟機發光二極體控制器100連接複數個硬碟機104A、104B...104N(以下可統稱為硬碟機104)。複數個硬碟機104可包括複數個活動發光二極體106A、106B...106N(以下可統稱為發光二極體106)、複數個位置發光二極體108A、108B...108N(以下可統稱為發光二極體108)以及複數個失效發光二極體110A、110B...110N(以下可統稱為發光二極體110)。硬碟機發光二極體控制器100可包括一輸入102，並可透過複數個活動控制線112A、112B...112N(以下可統稱為控制線112)、複數個位置控制線114A、114B...114N(以下可統稱為控制線114)以及複數個失效控制線116A、116B...116N(以下可統稱為控制線116)連接至複數個發光二極體106、108、110。因此，複數個控制線112、114、116會限制硬碟機發光二極體控制器100可

連接之複數個硬碟機104的數量。

【發明內容】

【0005】 本發明之附加特徵以及優點，將在本說明書中闡述，而本發明之部分特徵與優點可明顯地從本說明書之描述中得知，或者可以透過實踐本說明書所揭露之理論而獲知。本發明可透過所附申請專利範圍中特別描述的元件以及組合的裝置，來實現與獲得本發明之特徵以及優點。本發明之特徵，將透過本說明書以及所附申請專利範圍的描述而更為明顯，或者可以透過實踐本說明書所揭露之理論而獲知。

【0006】 本發明可有效率地管理快速非揮發性記憶體碟機(non-volatile memory express (NVMe) drive)。舉例而言，本發明可提供一快速非揮發性記憶體碟機的系統結構，允許複數快速非揮發性記憶體碟機透過暫存器連接至個別的處理器(不需要複數個輸入/輸出擴充晶片)。複數處理器可連接至複數暫存器，而每一個暫存器可處理一組快速非揮發性記憶體碟機。一控制器可連接至上述碟機暫存器以與該組快速非揮發性記憶體碟機以及上述處理器進行通訊。上述控制器可進一步管理以及監測各組快速非揮發性記憶體碟機。上述控制器亦可偵測通訊失效以及啟動一故障轉移(failover)路徑，藉以在一組快速非揮發性記憶體碟機以及處理器之間的路徑失效時，連接該組快速非揮發性記憶體碟機至一不同的處理器。

【0007】 本發明之一實施例是有關於彈性地管理快速非揮發性記憶體碟機。在一些實施例中，一系統可包括一第一控制器，上述第一控制器包括一第一碟機暫存器以及一第二碟機暫存器；一第一處理器，透過一第一匯流排，通訊地耦接至上述第一碟機暫存器；以及一第二處理器，透過一第二匯流排，通

訊地耦接上述第二碟機暫存器。此外，上述系統可包括一第一組快速非揮發性記憶體碟機，透過上述第一碟機暫存器，通訊地耦接至上述第一處理器；以及一第二組快速非揮發性記憶體碟機，透過上述第二碟機暫存器以及第二串列匯流排，通訊地耦接至上述第二處理器。

【0008】 上述系統亦可包括一第二控制器(例如一基板管理控制器)，通訊地耦接至上述第一碟機暫存器以及上述第二碟機暫存器。上述第二控制器可透過一或多個串列匯流排耦接至上述第一碟機暫存器以及上述第二碟機暫存器。上述第二控制器可被配置以判定、紀錄及/或維持有關上述第一組快速非揮發性記憶體碟機以及上述第二組快速非揮發性記憶體碟機的狀態資訊。上述第二控制器可與上述第一碟機暫存器以及上述第二碟機暫存器進行通訊，藉以判定上述第一組、第二組快速非揮發性記憶體碟機的狀態。舉例而言，上述第二控制器可傳送上述狀態訊號至上述第一、第二碟機暫存器，以及可從上述第一、第二碟機暫存器接收上述狀態訊號。上述第二控制器亦可傳送控制訊號至上述第一、第二碟機暫存器，藉以控制上述第一、第二碟機暫存器及/或上述第一組、第二組快速非揮發性記憶體碟機。

【0009】 上述第一處理器可被配置以與上述第一碟機暫存器進行通訊，藉以獲得有關上述第一組快速非揮發性記憶體碟機的狀態資訊及/或控制以及管理上述快速第一組快速非揮發性記憶體碟機。此外，上述第二處理器可被配置以與上述第二碟機暫存器進行通訊，藉以獲得有關上述第二組快速非揮發性記憶體碟機的狀態資訊及/或控制以及管理上述第二組快速非揮發性記憶體碟機。

【0010】 上述第一處理器亦可透過一串列匯流排，通訊地耦接至上述第二碟機暫存器以提供故障轉移。相似地，上述第二處理器可透過一串列匯流排，通訊地耦接至上述第一碟機暫存器以提供故障轉移。上述第二控制器可監測上述第一處理器以及上述第一碟機暫存器之間的連結，以及監測上述第二處理器以與上述第二碟機暫存器之間的連結，藉以在一失效事件時提供一故障轉移路徑。舉例而言，上述第二控制器可偵測上述第一處理器以及上述第一碟機暫存器之間之通訊路徑的一失效，並且觸發上述第二處理器以與上述第一碟機暫存器進行通訊，進而取代上述第一處理器在管理以及監測上述第一組快速非揮發性記憶體碟機中的腳色。

【0011】 上述系統亦可包括鎖存邏輯電路 (latch logic circuitry)，通訊地耦接至上述第二控制器以及一或多個快速非揮發性記憶體碟機，上述一或多個快速非揮發性記憶體碟機是與上述第一組快速非揮發性記憶體碟機或上述第二組快速非揮發性記憶體碟機相關聯。舉例而言，一快速非揮發性記憶體碟機可透過上述鎖存邏輯電路之對應的一接腳，耦接至上述鎖存邏輯電路。上述接腳可被配置以輸出一對應之電力啟動位元至上述快速非揮發性記憶體碟機，藉以啟動上述快速非揮發性記憶體碟機的電力。上述電力啟動位元可響應於一存在位元而被觸發，上述存在位元是由上述快速非揮發性記憶體碟機發送至上述第二控制器及/或上述鎖存邏輯電路。

【0012】 上述鎖存邏輯電路亦可包括一對應之輸入接腳，上述對應之輸入接腳被配置以從上述第二控制器接收一電力啟動位元，且被傳送至上述快速非揮發性記憶體碟機以啟動上述快速非揮發性記憶體碟機的電力。上述第二控制器可包括一

對應之存在接腳，通訊地耦接至上述鎖存邏輯電路的上述對應之輸入接腳。上述對應之存在接腳可被配置以運作為一多功能接腳，上述多功能接腳可從上述快速非揮發性記憶體碟機接收存在位元，以及傳送一或多個電力啟動位元至上述鎖存邏輯電路的上述對應之輸入接腳，且被傳送至上述快速非揮發性記憶體碟機以啟動上述快速非揮發性記憶體碟機的電力。

【圖式簡單說明】

【0013】 本發明所描述之上述舉例、其他優點及特徵可透過參考圖式中的特定範例而得到更清楚的解釋。在此須理解，此處所示之圖式僅為本發明之範例，並不能對本發明之範圍形成限制，本發明之原理係透過附圖以進行具有附加特徵與細節之描述與解釋，其中：

第1圖是表示習知的一發光二極體控制器。

第2圖是依據本發明一些實施例之一發光二極體控制器。

第3圖是依據本發明一些實施例之一發光二極體控制器的時序圖。

第4圖是依據本發明一些實施例之串接的發光二極體控制器。

第5圖是依據本發明一些實施例之串接的發光二極體控制器的時序圖。

第6圖是依據本發明一些實施例之一發光二極體控制器的分時方法的流程圖。

第7圖是依據本發明一些實施例之用於碟機管理的一系統。

第8圖是依據本發明一些實施例之用於碟機電力控制管理的一系統結構。

第9圖是依據本發明一些實施例之複數快速非揮發性記憶體碟機的管理方法的流程圖。

第10圖是依據本發明一些實施例之發光二極體控制器與碟機管理系統的一組合系統。

第11A圖是依據本發明一些實施例之一示範性系統。

第11B圖是依據本發明一些實施例之一示範性系統。

【實施方式】

【0014】 本發明之各種實施例將於本說明書中詳細描述。而對於本發明之各種特定實施例的描述，應當理解該等描述僅做為說明之用途。任何所屬技術領域中具有通常知識者應可了解在不偏離本發明之精神與範圍下，亦可使用其他額外之元件與配置。舉例而言，本發明之說明書並未針對公知的方法、程序、元件、電路以及網路進行詳細的描述，藉以避免對本發明的內容產生不必要的混淆。

【0015】 應當理解的是，本說明書雖使用「第一」、「第二」等詞彙描述各個元件，然而上述詞彙並不會對所述之各個元件形成任何限制。上述詞彙僅用以區別各個元件。舉例而言，在不偏離本發明之範圍下，一第一感測器可被改寫為一第二感測器；相似地，一第二感測器可被改寫為一第一感測器。

【0016】 本說明書所使用之技術用語僅用以描述特定實施例，且並非用於對本發明產生任何限制。如本說明書以及申請專利範圍所使用之用語「一」以及「該」，亦包括複數意涵，除非上下文已有清楚之定義。應當理解的是，本說明書所使用之用語「及/或」，是用於所有描述所列舉之相關元件的所有可能的組合。應當理解的是，本說明書所使用之用語「包括」及

/或「包含」，是用於描述所陳述的特徵、整數、步驟、操作、元件及/或組件的存在，但並不排除一或多個其他特徵、整數、步驟、操作、元件、組件及/或其他相關群組的存在或附加特性。

【0017】 本說明書所使用之用語「若」，依據上下文之內容，可被解釋為「當」、「一旦」、「響應於判定」或「響應於偵測」。相似地，依據上下文之內容，「若被判定」或「若(一情況或事件)被偵測」可被解釋為「一旦判定」、「響應於判定」、「一旦偵測(一情況或事件)」或「相應於偵測(一情況或事件)」。

【0018】 本說明書所使用之用語「碟機(disk drive)」可被解釋為意謂一硬碟機(hard disk drive (HDD))、一固態硬碟或其他任何類型之用以儲存電子資料的實體硬體裝置。

【0019】 本發明之技術可處理一發光二極體控制器的處理需求，上述發光二極體控制器可控制複數碟機之大量發光二極體，例如一分時硬碟機發光二極體控制器。習知控制器針對每一個碟機之每一個發光二極體，需要獨立的控制線。分時控制器針對每一個碟機之三個發光二極體需要三條控制線(例如活動、位置、失效)，搭配複數選擇線；上述選擇線被配置以在每個時間週期選擇一特定碟機(以及上述三個發光二極體)。分時控制器可被配置以基於較少的控制線數量，控制較多的發光二極體。

【0020】 本發明之技術亦可處理複數碟機(例如快速非揮發性記憶體碟機(non-volatile memory express (NVMe) drive)等等)的管理需求。本說明書將詳細描述複數碟機之管理，包括實施例以及一些變化。上述變化將在本說明書中以各種實施例闡

述。

【0021】 第2圖描繪一分時發光二極體控制器的實施例，上述分時發光二極體控制器被配置以控制大量發光二極體。控制器200可包括一輸入202。輸入202可被耦接至一串列通用輸入/輸出匯流排(serial general purpose input/output (SGPIO) bus)。輸入202被配置以透過上述串列通用輸入/輸出匯流排接收一位元序列。上述位元序列可包括至少三個位元的資料，上述資料與一活動、位置以及失效相關聯。舉例而言，當一活動發光二極體被點亮時，有關於活動之位元的內容是二進制的高狀態(亦即「1」)。另一方面，當上述活動發光二極體沒有被點亮時，有關於活動之位元的內容是二進制的低狀態(亦即「0」)。上述位元序列亦可包括一或多個位元的資料，上述一或多個位元的資料與一碟機的選擇相關聯。上述與一碟機的選擇相關聯的位元可與連接至控制器200之碟機的數量呈指數地比例關係(亦即 $2^n = x$ ，其中 x 等於連接至控制器之碟機的數量)。舉例而言，當連接四個碟機時，至少需要使用兩位元來選擇。；當連接八個碟機時，至少需要使用三位元來選擇。

【0022】 控制器200亦可被耦接至複數碟機204A、204B...204N(以下可統稱為碟機204)，上述各碟機可分別包括一活動發光二極體206A、206B...206N(以下可統稱為發光二極體206)、一位置發光二極體208A、208B...208N(以下統稱為發光二極體208)以及一失效發光二極體210A、210B...210N(以下統稱為發光二極體210)。控制器200可透過控制線212以及複數選擇線218A、218B...218N(以下統稱為選擇線218)其中之一，耦接至每一個碟機204之活動發光二極體206。每一條選擇線218可對應一特定碟機204。舉例而言，選擇線218A可對應至碟

機204A(以及活動發光二極體206A、位置發光二極體208A、失效發光二極體210A);選擇線218B可對應至碟機204B(以及活動發光二極體206B、位置發光二極體208B、失效發光二極體210B)等等。

【0023】 在一些實施例中，控制器200可被配置以透過上述串列通用輸入/輸出匯流排，從一碟機控制器接收一串六位元序列。上述六位元序列中之三個位元(例如包括最高有效位元開始)可被保留，用以設定所選擇之碟機204的發光二極體206、208、210;其他三個位元(例如包括最低有效位元)可用以選擇碟機204其中之一的碟機。舉例而言，一位元序列可為100001。上述位元序列的前三個位元(亦即100)可對應上述發光二極體，在此實施例中，由於第一個位元是二進制的高狀態(亦即「1」)，因此活動發光二極體206將被點亮;由於其餘的位元是二進制的低狀態(亦即「0」)，上述位置發光二極體以及失效發光二極體將不會被點亮。其餘三個位元(亦即001)可對應至選擇碟機204B(亦即第二個碟機)。因此，活動發光二極體204B將被點亮。上述對應活動的位元是二進制的高狀態，表示上述碟機有活動;上述對應活動的位元是二進制的低狀態，表示上述碟機沒有活動。上述對應位置的位元是二進制的高狀態，表示一使用者嘗試定位上述碟機。上述對應失效的位元是二進制的高狀態，表示上述碟機失效。一碟機之失效更可基於失效發光二極體的一顯示模式而被判定。

【0024】 第3圖描繪一控制器在一時段中接收位元序列的一時序圖。時序圖300可在一時段320中表示。在此實施例中，時段320為八個週期(亦即在上述控制器接收八個位元序列)。時序圖300可透過時序322、324、326分別將控制線212、214、216

表示為二進制的高狀態(亦即「1」)或低狀態(亦即「0」)。時序圖300可透過時序328、330、332分別將選擇線218表示為二進制的高狀態(亦即「1」)或低狀態(亦即「0」)。在一實施例中，控制器200在第一時間週期裡接收一位元序列。上述位元序列可對應至選擇線218A(例如對應至碟機204A)的一二進制的高狀態(亦即「1」)，且時序圖可將對應之時序328表示為二進制的高狀態。其餘之時序330、332表示為二進制的低狀態。同時，在上述第一時間週期中，對於控制線212(對應活動)以及控制線216(對應失效)，上述位元序列是二進制的高狀態(亦即「1」)，且時序圖可將對應之時序322以及時序326表示為二進制的高狀態(亦即「1」)。對於控制線214(對應位置)，上述位元序列是二進制的低狀態(亦即「0」)，且時序圖可將對應之時序324表示為二進制的低狀態(亦即「0」)。因此，在上述第一時間週期中，碟機204A之活動發光二極體206A以及失效發光二極體210A將顯示一顯示模式(例如被點亮、閃爍、不同顏色等等)。

【0025】 第4圖描繪一擴充數量之發光二極體的串接配置啟動控制的一範例。一串接配置包括兩個或多個發光二極體控制器。控制器200(如第2圖所示)亦可包括一裝置位址輸入434A。裝置位址輸入434A可被配置以接收一裝置位址(例如0x0、0x1等等)。上述裝置位址可針對一控制器分配複數碟機的一子集。舉例而言，控制器可在裝置位址輸入434A接收一裝置位址0x0。響應於接收到上述裝置位址0x0，控制器200可被配置以控制子集436A中之八個碟機204。

【0026】 上述串接配置亦可包括控制器400。控制器400包括與控制器200(如第2圖所示)相似的特徵。控制器400亦可被配

置以在裝置位址輸入434N接收一裝置位址，藉以分配複數碟機的一子集。舉例而言，控制器400可在裝置位址輸入434N接收一裝置位址0x1。響應於接收到上述裝置位址0x1，控制器400可被配置以控制子集436N中之八個碟機204(不同於子集436A)。

【0027】 第5圖描繪一時序圖500，用以表示複數碟機之一子集的選擇，上述碟機是由多個控制器其中之一所控制，且透過前述串列通用輸入/輸出匯流排以及一裝置位址所接收的上述位元序列來控制。時序圖500可在一時段520中表示。時序圖500可透過時序522將複數碟機之一子集的一選擇在每個時間週期中(亦即透過輸入202、402接收的位元序列)以二進制的高狀態(亦即「1」)表示。舉例而言，在一第一時間週期中，控制器200、400可透過上述串列通用輸入/輸出匯流排在輸入202、402接收一位元序列。基於上述位元序列以及所接收之裝置位址，可判定複數碟機的一子集。舉例而言，在上述第一週期中，上述子集436A可被判定，當控制器200基於上述所接收之裝置位址，判定控制器200控制與上述位元序列相關之複數碟機的上述子集(例如子集436A)。因此時序522對應子集436A為二進制的高狀態(亦即「1」)。

【0028】 第6圖所示之方法為一種實施例，亦有其他各種方式可實現上述方法。此外，雖然上述方法是以特定步驟次序表示，但熟知本發明所屬領域之技術者應可理解，第6圖所示之內容以及步驟，可透過完成本發明之技術優點的任何步驟次序來執行，且可包括相較於第6圖所示之較少或較多的步驟。

【0029】 第6圖所示之每一個步驟，代表一或多個程序、方法或子程序，透過方法範例呈現。第6圖所表示的步驟可透過

第2圖所示之系統來實現。第6圖所示之流程圖，至少可配合以及參考第1圖所示之控制器200來進行描述。

【0030】 方法600可起始於步驟610。在步驟610中，一控制器200可在輸入202，透過一串列通用輸入/輸出匯流排接收一位元序列。舉例而言，上述位元序列可包括一活動位元、一位置位元、一失效位元以及一或多個選擇位元。當一位元序列被接收時，方法600可進入步驟620。

【0031】 在步驟620中，複數控制線212、214、216以及複數選擇線218其中之一選擇線可基於上述位元序列而被設定。上述控制線以及選擇線可被連接至複數發光二極體206、208、210，上述發光二極體206、208、210是連接至複數碟機204。舉例而言，當上述活動位元是二進制的高狀態且上述位置位元、失效位元為二進制的低狀態時，控制線212可具備一二進制之高狀態的訊號，且控制線214、216可具備二進制之低狀態的訊號。每一條選擇線可被指派二進制序列(例如00、01、10、001、011等等)。當上述選擇位元對應至所指派之上述二進制序列其中之一時，對應之選擇線可被設定為二進制的高狀態。舉例而言，當選擇線218A被指派為00，且上述選擇位元為00，選擇線218A被設定為二進制的高狀態。當上述控制線以及一選擇線被設定後，方法600可進入步驟630。

【0032】 在步驟630中，發光二極體206、208、210之一子集可基於上述控制線的設定以顯示一顯示模式。舉例而言，當控制線212(對應活動)以及選擇線218A被設定為二進制的高狀態時，碟機204A之活動發光二極體206A顯示一顯示模式(例如被點亮、閃爍、不同顏色等等)。當複數發光二極體的一子集顯示一顯示模式，可結束方法600。

【0033】 第7圖描繪用於碟機管理的系統700。一控制器702可用於管理碟機(例如快速非揮發性記憶體碟機)。控制器702可包括碟機暫存器704、706。碟機暫存器704、706可被配置以與碟機718~724通訊，藉以獲得控制及/或監測碟機718~724。舉例而言，碟機暫存器704可通訊地耦接碟機群組714，且碟機暫存器706可通訊地耦接碟機群組716。碟機暫存器704可從碟機群組714獲得狀態資訊或情況；且碟機暫存器706可從碟機群組716獲得狀態資訊或情況。

【0034】 舉例而言，碟機暫存器704可從碟機群組714接收存在訊號(presence signal)。碟機暫存器704亦可傳送控制訊號至碟機群組714。相似地，碟機暫存器706可從碟機群組716接收存在訊號。碟機暫存器706亦可傳送控制訊號至碟機群組716。

【0035】 每一個碟機暫存器可連接至複數個碟機，藉以監測以及控制該等碟機，且不需要設置複數個輸入/輸出擴充晶片以支援該等碟機。除此之外，碟機暫存器704、706可連接至處理器708、710，藉以轉達或傳送碟機群組714、716的狀態資訊。舉例而言，碟機暫存器704可透過通訊匯流排726連接至處理器708，且碟機暫存器706可透過通訊匯流排728連接至處理器710。

【0036】 處理器708可被配置以監測以及管理碟機群組714，且處理器710可被配置以監測以及管理碟機群組716。舉例而言，處理器708可與碟機暫存器704通訊，藉以獲得有關碟機群組714的狀態資訊，亦可傳送控制訊號至碟機群組714。處理器710可與碟機暫存器706通訊，藉以獲得有關碟機群組716的狀態資訊，亦可傳送控制訊號至碟機群組716。因此，處理

器708可透過碟機暫存器704，從碟機群組714接收存在訊號，且處理器708可透過碟機暫存器704，發送控制訊號至碟機群組714；且處理器710可透過碟機暫存器706，從碟機群組716接收存在訊號，且處理器710可透過碟機暫存器706，發送控制訊號至碟機群組716。

【0037】 為了提供故障轉移(failover)，碟機暫存器704亦可透過通訊匯流排734連接至處理器710，且碟機暫存器706可透過通訊匯流排736連接至處理器708。因此，若處理器708或介於處理器708以及碟機暫存器704之間的通訊匯流排726失效，處理器710可透過通訊匯流排734與碟機暫存器704進行通訊，藉以繼續監測及/或管理碟機群組714的操作。相似地，若處理器710或介於處理器710以及碟機暫存器706之間的通訊匯流排728失效，處理器708可透過通訊匯流排736與碟機暫存器706進行通訊，藉以繼續監測及/或管理碟機群組716的操作。

【0038】 此外，控制器712可耦接至碟機暫存器704、706，藉以監測或管理碟機群組714、716中的碟機718~724。舉例而言，控制器712可透過通訊匯流排732連接碟機暫存器704，以及透過通訊匯流排730連接碟機暫存器706。控制器712可從碟機暫存器704、706獲得有關碟機718~724的存在以及狀態資訊，且維持或登錄上述狀態資訊以進行管理。控制器712亦可傳送管理訊號至碟機暫存器704、706及/或處理器708、710，藉以管理碟機718~724。舉例而言，控制器712可傳送控制訊號至碟機暫存器704、706及/或處理器708、710，藉以管理碟機718~724以及熱插拔操作。

【0039】 控制器712亦可監測處理器708、710至碟機暫存器704、706的通訊，藉以偵測任何通訊失效。舉例而言，控制器

712可監測通訊匯流排726、728，藉以偵測通訊匯流排726、728之任何錯誤或問題。在一些實施例中，控制器712可透過通訊匯流排738連接至處理器708、710，藉以監測從處理器708、710至碟機暫存器704、706的通訊，進而偵測任何通訊失效。

【0040】 響應於偵測到通訊匯流排726、728之一失效或錯誤，控制器712可提供用於碟機群組714、716之管理以及監測操作的故障轉移。舉例而言，處理器708可透過通訊匯流排726與碟機暫存器704通訊，藉以監測及/或管理碟機群組714。若控制器712偵測到有關通訊匯流排726及/或處理器708的一問題，控制器712可指示處理器710及/或碟機暫存器704，透過通訊匯流排734分享有關碟機群組714的監測以及管理資訊。因此，控制器712可將碟機群組714之監測以及管理從處理器708切換至處理器710。

【0041】 另外，若控制器712偵測到有關通訊匯流排728及/或處理器710的一問題，控制器712可指示處理器708及/或碟機暫存器706，透過通訊匯流排736分享有關碟機群組716的監測以及管理資訊。因此，控制器712可將碟機群組716之監測以及管理從處理器710切換至處理器708。

【0042】 控制器712可為微控制器或處理器(例如基板管理控制器等等)。此外，通訊匯流排726、728、730、734、736可為任何類型的通訊匯流排，例如一串列匯流排(例如內部積體電路匯流排等等)。此外，熟知本發明所屬領域之技術者應可理解處理器708、710可為相同或不同的計算裝置的一部份。舉例而言，處理器708、710可駐留在一單一伺服器或不同伺服器中。

【0043】 第7圖所示之控制器、處理器、碟機暫存器及/或碟

機(以及碟機群組)的數量，是用於示範之目的，並不用以對本發明產生任何限制。熟知本發明所屬領域之技術者應可理解在其他實施例中，可包括較多或較少之控制器、處理器、碟機暫存器、碟機及/或碟機群組。

【0044】 第8圖描繪用於電力控制管理的一系統結構800。控制器702可與鎖存邏輯電路802通訊，藉以提供用於碟機718~720之電力控制管理。鎖存邏輯電路802可儲存狀態或電力資訊，例如碟機718~720之存在或電力狀態。鎖存邏輯電路802亦可包括介面824~830(例如接腳)，用於從控制器702接收電力啟動訊號816~818，以及發送電力啟動訊號820~822至碟機718~720。

【0045】 控制器702可包括多功能介面808~810，用於從碟機718~720接收存在訊號以及發送電力啟動訊號至碟機718~720。舉例而言，控制器702可在多功能介面808，從碟機718接收存在訊號806；以及在多功能介面810，從碟機720接收存在訊號804。每一個多功能介面808~810可為一多功能接腳，例如一存在與電力啟動接腳。

【0046】 控制器702可基於在多功能介面808~810所接收之存在訊號804~806，判定碟機718及碟機720之一存在狀態。控制器702可進一步透過多功能介面808~810，發送電力啟動訊號816~818至鎖存邏輯電路802。鎖存邏輯電路802可透過介面824~826接收電力啟動訊號816~818，並且透過介面828~830發送電力啟動訊號820~822至碟機718~720。電力啟動訊號820~822可啟動碟機718~720的電力。

【0047】 控制器702亦可包括鎖存時脈812。鎖存時脈812可發送時脈或同步訊號814至鎖存邏輯電路802。鎖存邏輯電路

802可將時脈或同步訊號814用於發送至碟機718~720之電力啟動訊號820~822的計時(clocking)、同步(synchronizing)或定時(timing)。

【0048】 第9圖為一方法實施例，有許多不同的方式可執行上述方法。此外，雖然上述方法是以特定步驟次序表示，但熟知本發明所屬領域之技術者應可理解，第9圖所示之內容以及步驟，可透過完成本發明之技術優點的任何步驟次序來執行，且可包括相較於第9圖所示之較少或較多的步驟。

【0049】 第9圖所示之每一個步驟，代表一或多個程序、方法或子程序，透過方法範例呈現。第9圖所表示的步驟可透過第7圖所示之系統來實現。第9圖所示之流程圖，至少可配合以及參考第7圖所示之系統700來進行描述。

【0050】 方法900可起始於步驟902，控制器712可監測介於處理器708以及碟機暫存器704之通訊匯流排726。碟機暫存器704可通訊地耦接碟機群組714(其中碟機群組714包括碟機718~720)，藉以與碟機群組714進行傳送以及接收狀態及/或控制訊號。碟機暫存器704可發送複數訊號，上述訊號從碟機群組714至處理器708；且碟機暫存器704可接收源自處理器708的訊號，並且將上述訊號傳遞至碟機群組714中的特定碟機。處理器708可透過與碟機暫存器704交換上述訊號以管理(例如監測、控制、啟動電力等等)碟機群組714，上述訊號的交換是透過通訊匯流排726。舉例而言，處理器708可透過通訊匯流排726，從碟機暫存器704接收有關碟機群組714之狀態資訊。處理器708可監測及/或維持有關碟機群組714之狀態資訊，且發送控制訊號或指令至碟機群組714中之特定碟機。當上述控制器已監測上述匯流排，方法900可進入步驟904。

【0051】 在步驟904中，控制器712可偵測處理器708與碟機暫存器704之間的一通訊失效。上述通訊失效可為通訊匯流排726及/或處理器708的一失效，上述通訊失效阻止了處理器708至通訊匯流排726的通訊。舉例而言，上述通訊失效可能源於通訊匯流排726的一問題(例如一連接中斷、故障等等)。在其他實施例中，上述通訊失效可能源於處理器708的一問題。當上述控制器已偵測到一通訊失效，方法900可進入步驟906。

【0052】 在步驟906中，響應於上述通訊失效，控制器712可指派處理器710透過通訊匯流排734以及碟機暫存器704，管理(例如監測、控制、啟動電力等等)碟機群組714。舉例而言，控制器712可將用於碟機群組714之監測操作的控制，從處理器708切換至處理器710。因此，控制器712可啟動碟機群組714之監測，藉以透過處理器710取代處理器708。碟機暫存器704進一步可與處理器710通訊，且監測及/或控制與碟機群組714中之碟機718~720相關的訊號。

【0053】 碟機暫存器704以及處理器710可透過通訊匯流排734進行通訊，藉以在無法與處理器708通訊時，提供用於碟機暫存器704的一故障轉移路徑，進而與處理器710傳遞存在、控制及/或電力訊號。進一步地，處理器710可從碟機暫存器704獲得用於碟機群組714的存在或狀態資訊，以及透過通訊匯流排734以及碟機暫存器704傳送訊號(例如控制、電力等等)至碟機群組714。

【0054】 控制器712亦可偵測任何有關處理器710的通訊失效。舉例而言，碟機暫存器706可耦接至碟機群組716之碟機722~724，藉以與碟機722~724傳遞狀態及/或控制訊號(例如存在及/或控制訊號)。此外，處理器710可與碟機暫存器706通訊，

藉以監測以及維持有關碟機群組716之碟機722~724的狀態資訊。處理器710以及碟機暫存器706可透過通訊匯流排728傳遞上述資訊。控制器712可監測處理器710及/或通訊匯流排728，藉以判定碟機暫存器706是否可與處理器710通訊。若碟機暫存器706無法與處理器710進行通訊，控制器712可偵測通訊失效，且響應於上述偵測結果，將用於碟機群組716之管理(例如監測、控制等等)操作的控制，從處理器710切換至處理器708。

【0055】 控制器712可啟動碟機群組716之管理，藉以透過處理器708取代處理器710。碟機暫存器706進而可與處理器708通訊，藉以監測碟機群組716中之碟機722~724。碟機暫存器706以及處理器708可透過通訊匯流排736進行通訊，藉以在處理器710無法通訊時，提供一故障轉移路徑以使碟機暫存器706可與處理器708傳遞存在、控制及/或電力訊號。處理器708進而可從碟機暫存器706獲得碟機群組716之存在或狀態資訊，以及透過通訊匯流排736以及碟機暫存器706傳送控制訊號至碟機群組716。

【0056】 因此，在一碟機管理系統中(例如系統700)，控制器712可偵測介於處理器以及碟機暫存器之間的通訊失效。當控制器712偵測到介於一處理器與一碟機暫存器之間的一通訊失效，且有關於一碟機群組時(例如監測及/或管理上述碟機)，控制器712可啟動上述碟機暫存器，藉以透過一故障轉移路徑與一不同的處理器進行通訊。上述碟機暫存器進而可透過上述故障轉移路徑與上述不同的處理器交換上述碟機群組之狀態及/或控制資訊。上述不同之處理器進而可透過上述故障轉移路徑與上述碟機暫存器進行通訊，藉以監測及/或控制上述碟機群組。當上述控制器已指派一處理器以管理上述碟機群組

時，可結束方法900。

【0057】 第10圖描繪發光二極體控制器與碟機管理系統的一組合系統1000。第10圖所示之元件是以簡化的方式表示，藉以示範組合系統1000。第10圖之更顯示前述實施例之元件(例如第2圖之發光二極體的控制器200、控制器702以及第7圖之碟機暫存器704、706)。未顯示或省略之元件並不表示不能且不被包括於組合系統1000(例如碟機暫存器706)。

【0058】 組合系統1000可包括發光二極體的控制器200，控制器200被配置以控制複數發光二極體206、208、210。控制器200之詳細操作是在第2圖中表示。組合系統1000亦可包括碟機1040(例如碟機204、碟機718~724、碟機群組714~716等等)。當碟機1040以具備三個發光二極體206、208、210之單一碟機的方式表示時，碟機1040僅代表如第2圖以及第7圖所示之複數碟機(碟機204、碟機718~724等等)。

【0059】 組合系統1000可包括控制器702以管理碟機1040。控制器702可包括或多個碟機暫存器(704、706)。碟機暫存器704、706可被配置以與碟機1040進行通訊，藉以控制及/或監測碟機1040。控制器702以及碟機暫存器704、706之詳細操作是在第7圖中表示。

【0060】 組合系統1000可包括一或多個處理器(708、710)。處理器(708、710)可從控制器702之碟機暫存器(704、706)，獲得有關碟機1040之狀態資訊。上述狀態資訊可包括碟機1040之活動、位置以及失效狀態。響應於接收到上述狀態資訊，處理器(708、710)可判定碟機1040之上述狀態資訊是否對應於一活動、位置及/或失效狀態。當處理器(708、710)判定上述狀態資訊可對應一碟機1040之活動、位置及/或失效狀態時，處理器

(708、710)可傳送一位元序列至控制器200的輸入202。控制器200進而可對應於碟機1040之上述狀態資訊，點亮碟機1040之發光二極體(206、208、210)，如第2圖所示之相關內容。

【0061】 組合系統1000可透過以下非用於限定之實施例，得到最佳的解釋。在此實施例中，碟機1040可失效。碟機暫存器704可監測碟機1040。碟機暫存器704可獲得碟機1040之狀態資料，上述狀態資料表示碟機1040已失效。響應於獲得表示碟機1040之一失效的上述狀態資訊，控制器702可傳送上述狀態資訊至處理器708。處理器708可基於上述狀態資訊，判定碟機1040已失效。處理器708進而可產生一位元序列。上述位元序列可指示碟機1040，亦可指示失效位元的一二進制的高狀態。在一些實施例中，由於碟機1040已失效且需要被替代，處理器708亦可指示位置位元的一二進制的高狀態。處理器708進而可傳送上述位元序列至控制器200的輸入202。響應於接收到上述位元序列，控制器200可切換適當的線(例如用於碟機1040之選擇線218、控制線214(位置)以及控制線216(失效))。碟機1040之相對應的發光二極體208(位置)、210(失效)可進一步被點亮。

【0062】 第11A圖與第11B圖係依據本發明各種層面的可行系統範例。任何所屬技術領域中具有通常知識者可顯而易見地透過本發明之技術而實行更加適當的實施例。任何所屬技術領域中具有通常知識者也可理解其他系統範例亦可能實現。

【0063】 第11A圖揭示一習知系統匯流排計算系統1100之架構，其中該系統之各元件透過一匯流排1105以互相進行電性溝通。計算系統1100包含一處理器(中央處理器或處理器)1110與系統匯流排1105，匯流排1105將耦接包括記憶體1115之各系統元件至處理器1110，例如唯讀記憶體1120與隨機存取記憶體

1125。計算系統1100可包含一高速記憶體之快取(cache)，該高速記憶體可與處理器1110直接連接、靠近或整合為一部份。計算系統1100可由記憶體1115及/或儲存裝置1130複製資料至快取記憶體1112以使處理器1110可快速存取。透過此方法，該快取記憶體可提供一效能提升以避免處理器1110於等待資料時發生延遲。此模組與其他模組可控制或被配置以控制處理器1110執行各種動作。其他記憶體1115亦可被使用。記憶體1115可包含多種不同類型且具有不同效能特徵的記憶體。處理器1110可包含任何通用處理器及一硬體模組或軟體模組(如儲存於儲存裝置1130之模組1132、模組1134與模組1136)，並被配置以控制處理器1110以及一特殊目的處理器，其中軟體指令係合併於實際處理器設計中。處理器1110可實質上為一完全自足式計算系統，並包含多個核心或處理器、一匯流排、記憶體控制器、快取記憶體等。一多核處理器可為對稱或非對稱。

【0064】 為啟動使用者與計算系統1100的互動，一輸入裝置445可表現任何數量的輸入機制，例如一演講之麥克風、一使用於手勢或圖形輸入之觸控螢幕、鍵盤、滑鼠、動態輸入、語音等等。一輸出裝置1135亦可為一個或多個一數量之輸出機制，且該輸出機制為所屬技術領域中具有通常知識者所習知。在一些實施例中，多模式介面(multimodal)系統可致使一使用者以提供多種類型的輸入以與計算系統1100溝通。通訊介面1140通常可治理與管理使用者輸入與系統輸出。本發明並未限制操作在任何特定硬體配置中，因此本發明之特徵可被輕易的置換於所開發之較佳的硬體或軟體配置中。

【0065】 儲存裝置1130係一快速非揮發性記憶體且可為一硬碟或其他類型的電腦可讀媒體，該媒體可儲存電腦可讀取之

資料，例如磁式卡帶(magnetic cassettes)、快閃記憶卡、固態記憶體裝置、數位通用磁碟、盒式磁帶(cartridges)、隨機存取記憶體1125、唯讀記憶體1120與該等媒體之混和。

【0066】 儲存裝置1130可包含軟體模組如模組1132、1134、1136以控制處理器1110。其他硬體或軟體模組皆已考慮在內。儲存裝置1130可連接至匯流排1105。在一方面，執行一特定功能之一硬體模組可包含儲存於一電腦可讀媒介之軟體元件，該軟體元件與必要硬體元件相連接以發揮功能。該必要硬體元件可為處理器1110、匯流排1105、輸出裝置1135(如一顯示器)等。

【0067】 第11B圖揭示一具有一晶片組架構之電腦系統1150，該晶片組架構可用以執行本發明之方法、產生並顯示一使用者介面(GUI)。電腦系統1150為電腦硬體、軟體與韌體之一範例，且電腦系統1150可用以實現本發明之技術。電腦系統1150可包含一處理器1155，且代表任何數量之實體的及/或邏輯的不同資源，該等資源可執行軟體、韌體與硬體配置以行使已識別之計算。處理器1155可與一晶片組1160溝通，該晶片組1160可控處理器1155之輸入與輸出。在此實施例中，晶片組1160輸出資訊至輸出裝置1165(如一顯示器)，並且可讀取與寫入資訊至儲存裝置1170，該儲存裝置1170可包含磁式媒體與固態媒體。晶片組1160亦可從隨機存取記憶體1175讀取資料與寫入資料至隨機存取記憶體1175。與各種使用者介面元件1185銜接之一橋接器1180可用以與晶片組1160銜接。該使用者介面元件1185可包含一鍵盤、一麥克風、觸碰偵測與處理電路、一指向裝置(如滑鼠)等。一般而言，電腦系統1150之輸入可來自任何由機器產生及/或人為產生之來源。

【0068】 晶片組1160亦可與一個或多個通訊介面1190銜

接，該通訊介面1190可具備不同的實體介面。通訊介面可包含有線與無線之區域網路、寬頻無線網路以及個人區域網路的介面。本發明對於產生、使用與顯示使用者介面方法之應用可包含從實體介面接收有序數據，或由處理器1155分析儲存於儲存裝置1170或隨機存取記憶體1175的資料而由機器自我產生。進一步而言，該機器可從一使用者透過使用者介面元件1185接收輸入並且執行適當之功能，例如透過處理器1155解譯該等輸入以執行瀏覽功能。

【0069】 在此應能理解計算系統1100與電腦系統1150可具有一個以上的處理器1110，或成為透過網路連結在一起之計算裝置群體或叢集的一部份以提供更好的處理能力。

【0070】 為了能清楚的解釋，本發明在一些情況之下可以表示為包含獨立功能區塊，該等獨立功能區塊包含具有裝置、裝置元件、步驟或常規於一方法之功能區塊，而該方法可體現於軟體，或硬體與軟體的組合。在一些實施例中，本發明已描述相關之PCIe裝置。然而，上述實施例之方法以及概念可應用於其他類型之裝置的硬體恢復(hardware recovery)。事實上，本發明所描述之概念可應用在硬體恢復，包括任何支援熱插拔(hot-plug or hot-swap)之裝置的熱添加(hot-add)以及熱移除(hot-remove)，例如USB裝置。本發明所述之PCIe裝置是用於說明之目的，並非用以對本發明產生任何限制。

【0071】 本發明所描述之任何步驟、操作、功能或程序，可透過硬體以及軟體之一組合，與其他裝置一起使用或進行組合來執行或實現。在一實施例中，一軟體模組可為駐留在一客戶裝置及/或內容管理系統之一或多個伺服器之記憶體中的軟體，且在一處理器執行有關於上述模組之上述軟體時，執行一

或多個功能。上述記憶體可為一非暫態電腦可讀媒體。

【0072】 在一些實施例中，電腦可讀取儲存裝置、媒體與記憶體可包含一電纜或無線訊號等，該訊號含有一位元流。然而，當提到非暫時性電腦可讀取儲存媒體時，則明確排除如能量、載波、電磁波與訊號本身的媒體。

【0073】 依據上述實施例所提之方法，該等方法可透過儲存於或可用於電腦可讀取媒體之電腦可執行指令以實現。該等指令可包含導致或以其他方式配置一通用電腦、特殊目的電腦或特殊目的處理器裝置以行使某些功能或一組功能之指令與資料。部分電腦資源之使用可由網路存取。該電腦可執行指令(例如二位元)可為中間格式指令如組合語言、韌體或原始碼。在上述實施例之方法期間可被用以存取指令、使用資訊及/或創造指令之電腦可讀取媒體之範例，可包含磁碟或光碟、快閃記憶體、具有快速非揮發性記憶體之USB裝置與網路儲存裝置等。

【0074】 依據本發明之實施例所揭示之裝置實現方法可包含硬體、韌體及/或軟體，並且可以採取任何各種形式的形狀因數(form factor)。該形狀因數之範例通常可包含筆記型電腦、智慧型手機、小形狀因數個人電腦、個人數位助理等。本發明所述之功能亦可體現於週邊設備或附加(add-in)卡。該功能亦可透過上述方法，實現於一單一裝置中之不同晶片或不同處理器間的一電路板。

【0075】 用以傳送指令、執行指令之計算資源與其他支援該計算資源之結構的指令、媒體係為提供本發明之功能的手段。

【0076】 雖然本發明透過不同的實施例與其他資訊解釋申

請專利範圍中的各種樣式，惟上述各種實施例之特徵或安排並不能用以暗示申請專利範圍之限制條件，任何所屬領域中具有通常知識者應可基於上述各種實施例以衍生出大量不同之實施方式。此外，雖然一些主要特徵已透過一些方式進行描述，特別是運用一些結構特徵及/或方法步驟而加以描述，應當理解申請範圍專利中定義之主要特徵毋需受限於上述之結構特徵或方法步驟。舉例而言，本發明之功能可進行不同於上述各實施例之分配，或透過不同於上述實施例之元件以執行。此外，上述各特徵與步驟皆以系統與方法之要素的形式揭露於申請專利範圍之中。

【符號說明】

【0077】

100~硬碟機發光二極體控制器

102、202~輸入

104A、104B、104N~硬碟機

106A、106B、106N~活動發光二極體

108A、108B、108N~位置發光二極體

110A、110B、110N~失效發光二極體

112A、112B、112N~活動控制線

114A、114B、114N~位置控制線

116A、116B、116N~失效控制線

200~控制器

204A、204B、204N~碟機

206A、206B、206N~活動發光二極體

208A、208B、208N~位置發光二極體

210A、210B、210N~失效發光二極體

206、208、210~發光二極體

212、214、216~控制線

218A、218B、218N~選擇線

300~時序圖

320~時段

322、324、326~時序

328、330、332~時序

400~控制器

402~輸入

434A、434N~裝置位址輸入

436A、436N~子集

500~時序圖

520~時段

522~時序

600~方法

610-630~步驟

700~系統

702、712~控制器

704、706~碟機暫存器

708、710~處理器

714、716~碟機群組

718-724~碟機

726、728、730、732、734、736、738~通訊匯流排

800~系統結構
802~鎖存邏輯電路
804、806~存在訊號
808-810~多功能介面
812~鎖存時脈
814~時脈或同步訊號
816-818~電力啟動訊號
820-822~電力啟動訊號
824-830~介面
900~方法
902-906~步驟
1000~組合系統
1040~碟機
1100~計算系統
1105~匯流排
1110~處理器
1112~快取記憶體
1115~記憶體
1120~唯讀記憶體
1125~隨機存取記憶體
1130~儲存裝置
1132~模組
1134~模組
1135~輸出裝置

1136~模組

1140~通訊介面

1145~輸入裝置

1150~電腦系統

1155~處理器

1160~晶片組

1165~輸出裝置

1170~儲存裝置

1175~隨機存取記憶體

1180~橋接器

1185~使用者介面元件

1190~通訊介面

申請專利範圍

1. 一管理系統，包括：

一第一控制器，包括一第一碟機暫存器以及一第二碟機暫存器；

一第一處理器，透過一第一串列匯流排通訊地耦接至該第一碟機暫存器；

一第二處理器，透過一第二串列匯流排通訊地耦接至該第二碟機暫存器；

一第一組快速非揮發性記憶體碟機，透過該第一碟機暫存器以及該第一串列匯流排通訊地耦接至該第一處理器；以及

一第二組快速非揮發性記憶體碟機，透過該第二碟機暫存器以及該第二串列匯流排通訊地耦接至該第二處理器。

2. 如申請專利範圍第1項所述之管理系統，更包括：

一第二控制器，透過一第三串列匯流排通訊地耦接至該第一碟機暫存器，且透過一第四串列匯流排通訊地耦接至該第二碟機暫存器。

3. 如申請專利範圍第2項所述之管理系統，其中，該第一處理器更透過一第五串列匯流排通訊地耦接至該第二碟機暫存器，且該第二處理器更透過一第六串列匯流排通訊地耦接至該第一碟機暫存器。

4. 如申請專利範圍第3項所述之管理系統，其中，該第一處理器被配置以基於透過該第一碟機暫存器從該第一組快速非揮發性記憶體碟機接收之一或多個訊號，監測該第一

組快速非揮發性記憶體碟機；

其中，該第二處理器被配置以基於透過該第二碟機暫存器從該第二組快速非揮發性記憶體碟機接收之一或多個訊號，監測該第二組快速非揮發性記憶體碟機；

其中，該第二控制器被配置以偵測該第一處理器與該第一碟機暫存器之間的一通訊失效，且響應於該通訊失效，透過該第六串列匯流排建立該第一組快速非揮發性記憶體碟機以及該第二處理器之間的一通訊路徑，藉以透過該第二處理器偵測該第一組快速非揮發性記憶體碟機。

5. 如申請專利範圍第1項所述之管理系統，更包括：

一第二控制器，透過一第三串列匯流排通訊地耦接至該第一碟機暫存器以及該第二碟機暫存器；

一鎖存邏輯電路，通訊地耦接至該第二控制器以及一或多個快速非揮發性記憶體碟機，上述一或多個快速非揮發性記憶體碟機是與該第一組快速非揮發性記憶體碟機或該第二組快速非揮發性記憶體碟機相關聯。

6. 一管理系統，包括：

一第一組快速非揮發性記憶體碟機，連接至一第一控制器中的一第一碟機暫存器，其中，該第一碟機暫存器被配置以從該第一組快速非揮發性記憶體碟機獲得複數第一存在指示；

一第二組快速非揮發性記憶體碟機，連接至該第一控制器中的一第二碟機暫存器，其中，該第二碟機暫存器被配置以從該第二組快速非揮發性記憶體碟機獲得複數第二存在

指示；

一第一處理器，透過一第一串列匯流排連接至該第一碟機暫存器，其中，響應於該等第一存在指示，該第一處理器被配置以基於從該第一碟機暫存器接收之存在資訊來監測該第一組快速非揮發性記憶體碟機；

一第二處理器，透過一第二串列匯流排連接至該第二碟機暫存器，其中，響應於該等第二存在指示，該第二處理器被配置以基於從該第二碟機暫存器接收之存在資訊來監測該第二組快速非揮發性記憶體碟機；以及

一第二控制器，透過一第三串列匯流排連接至該第一碟機暫存器，且透過一第四串列匯流排連接至該第二碟機暫存器，其中，該第二控制器被配置以基於從該第一碟機暫存器以及該第二碟機暫存器所接收之個別狀態資訊，判斷該第一組快速非揮發性記憶體碟機以及該第二組快速非揮發性記憶體碟機的狀態。

7. 如申請專利範圍第6項所述之管理系統，其中，該第一處理器亦透過一第五串列匯流排連接至該第二碟機暫存器；

其中，該第二處理器亦透過一第六串列匯流排連接至該第一碟機暫存器；

其中，該第二控制器更被配置以執行：

偵測該第一處理器與該第一碟機暫存器之間的一通訊失效；以及

響應於該通訊失效，指示該第二處理器透過該第一碟機暫

存器監測該第一組快速非揮發性記憶體碟機。

8. 如申請專利範圍第6項所述之管理系統，更包括：

一鎖存邏輯電路，連接至該第二控制器以及一或多個快速非揮發性記憶體碟機，上述一或多個快速非揮發性記憶體碟機是與該第一組快速非揮發性記憶體碟機或該第二組快速非揮發性記憶體碟機相關聯，該鎖存邏輯電路包括：

一個別之輸出接腳，被配置以輸出一個別之電力啟動位元至個別之上述一或多個快速非揮發性記憶體碟機；以及

一個別之輸入接腳，被配置以從一個別之存在接腳接收該個別之電力啟動位元，該個別之存在接腳與該第一控制器相關聯；

其中，該個別之存在接腳被配置以運作為一多功能接腳，該多功能接腳可從個別之上述一或多個快速非揮發性記憶體碟機接收複數存在訊號，且可傳送該個別之電力啟動位元至該個別之輸入接腳，該個別之輸入接腳與該鎖存邏輯電路相關聯。

9. 一管理方法，包括：

透過一第一控制器，監測在一第二控制器中之一第一處理器以及一第一碟機暫存器之間的一第一通訊路徑，其中，該第一碟機暫存器通訊地耦接至複數快速非揮發性記憶體碟機，且該第一處理器被配置以透過該第一通訊路徑，從該第一碟機暫存器獲得該等快速非揮發性記憶體碟機的狀態資訊；

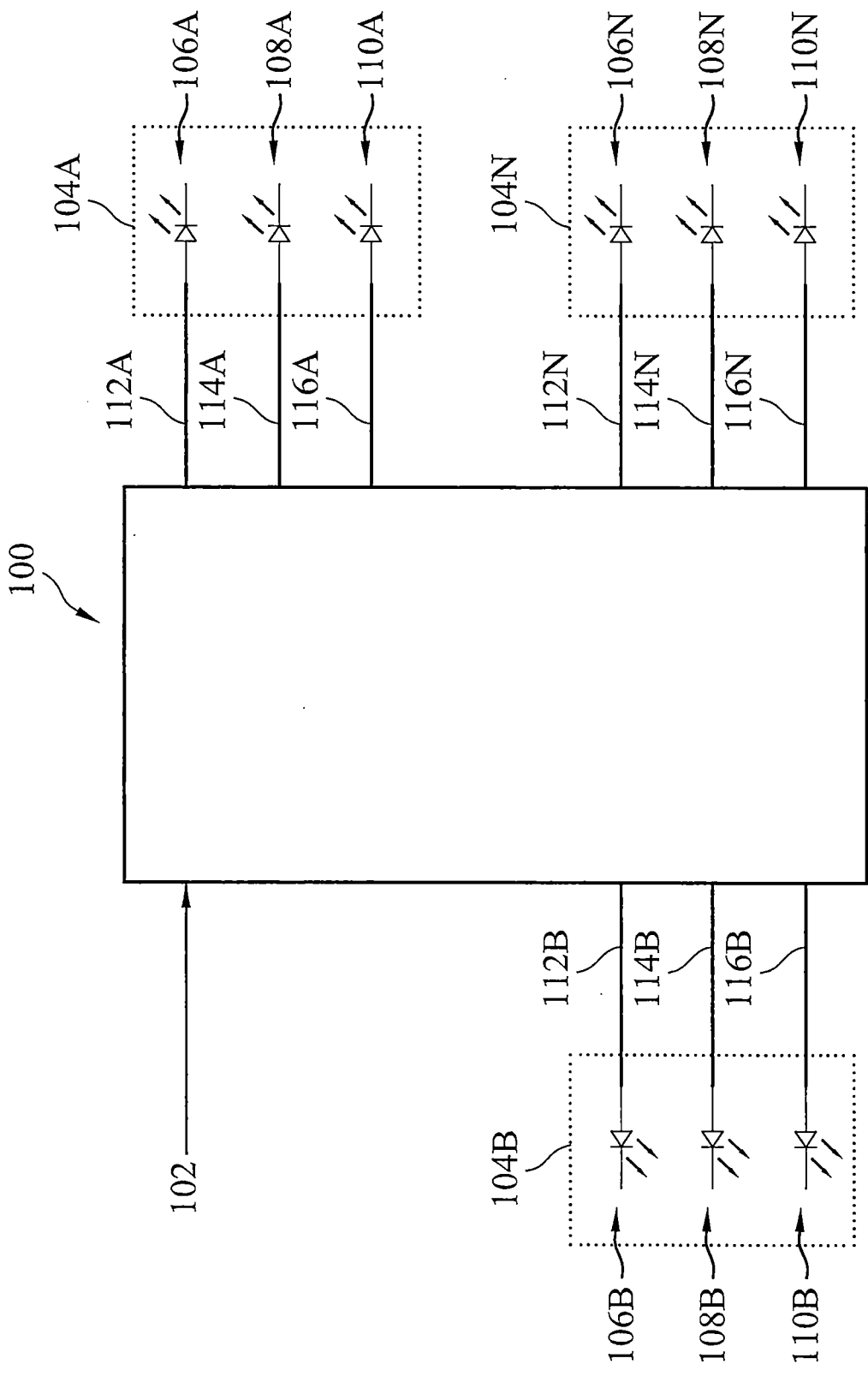
透過該第一控制器偵測該第一通訊路徑之一通訊失效；以及

響應於該通訊失效，透過該第一控制器指定一第二處理器透過在該第二處理器與該第一碟機暫存器之間的一第二通訊路徑，從該第一碟機暫存器接收該等快速非揮發性記憶體碟機的該狀態資訊。

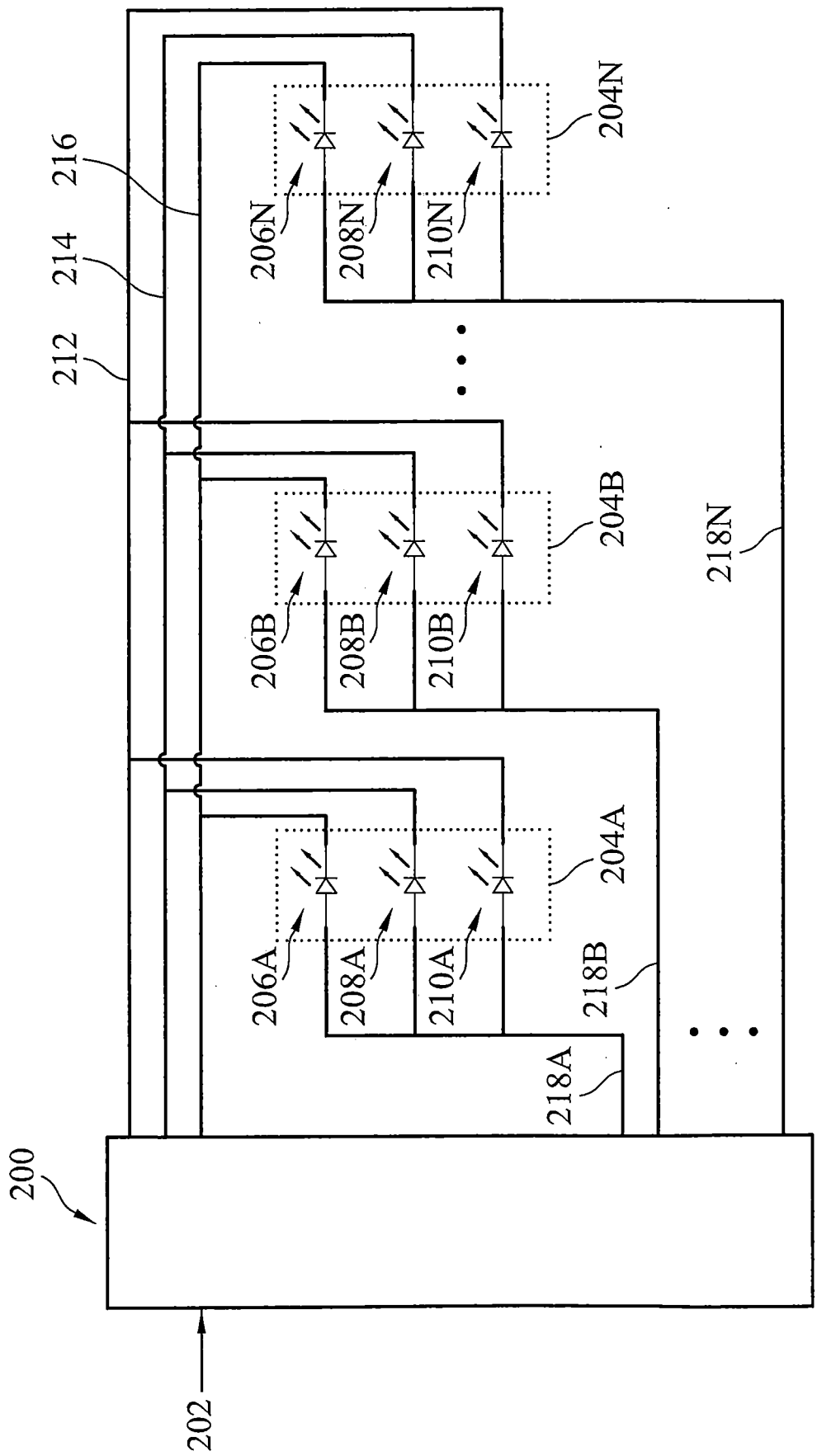
10. 如申請專利範圍第9項所述之管理方法，其中，該第二控制器包括一第二碟機暫存器，該第二碟機暫存器耦接至一第二複數快速非揮發性記憶體碟機；

其中，該第二碟機暫存器被配置以與該第一控制器和該第二處理器至少其中之一傳遞複數狀態訊號，該等狀態訊號與該等第二複數快速非揮發性記憶體碟機相關聯。

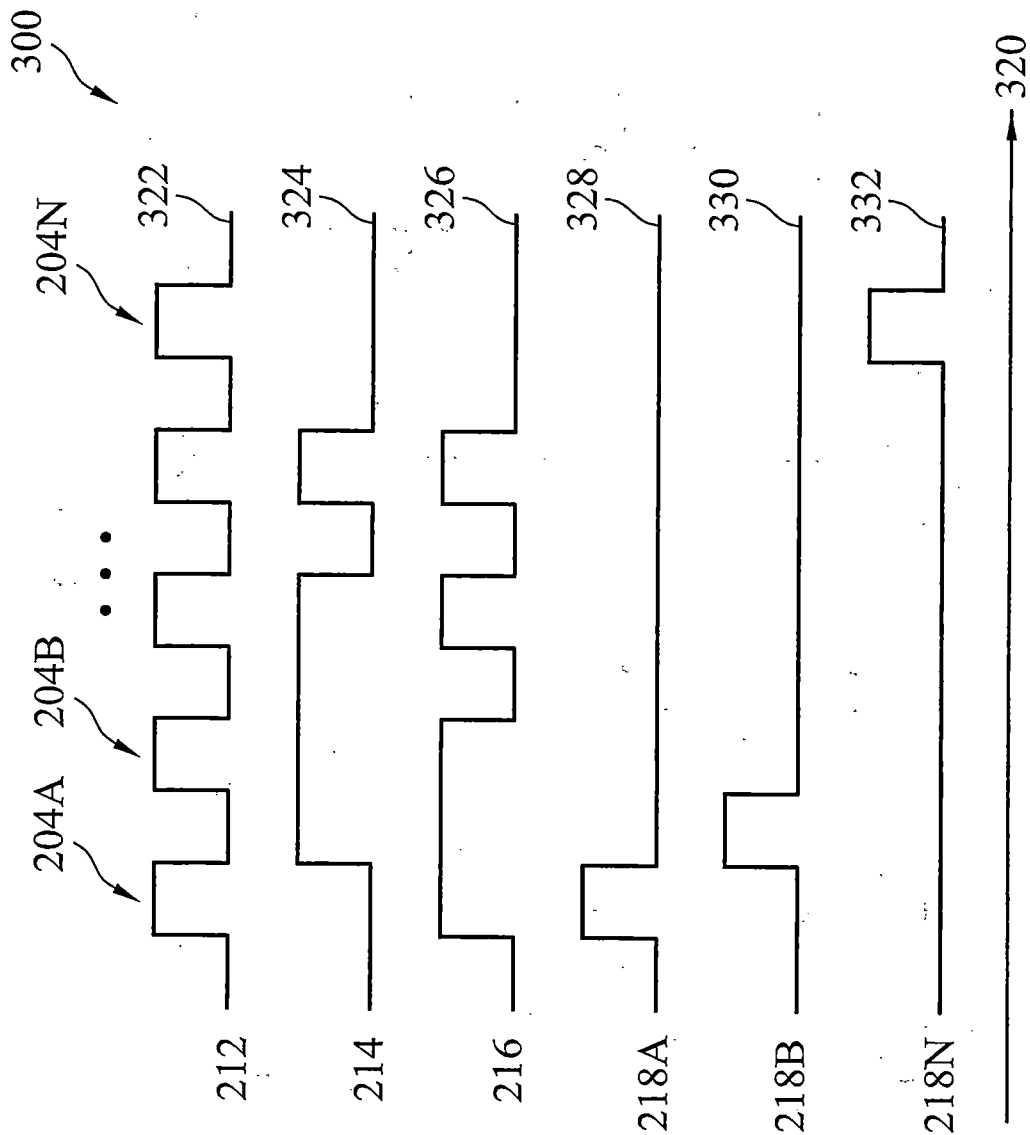
圖式



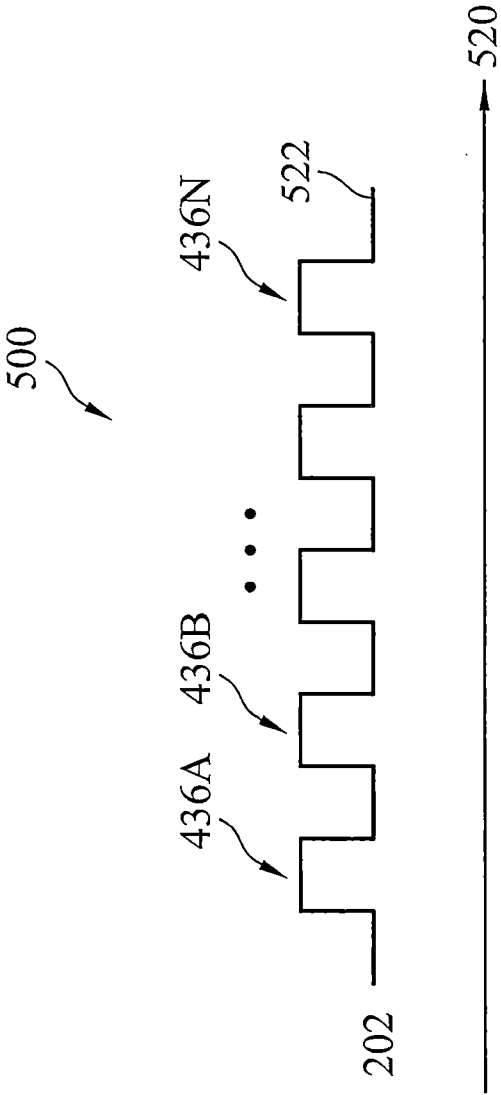
第 1 圖



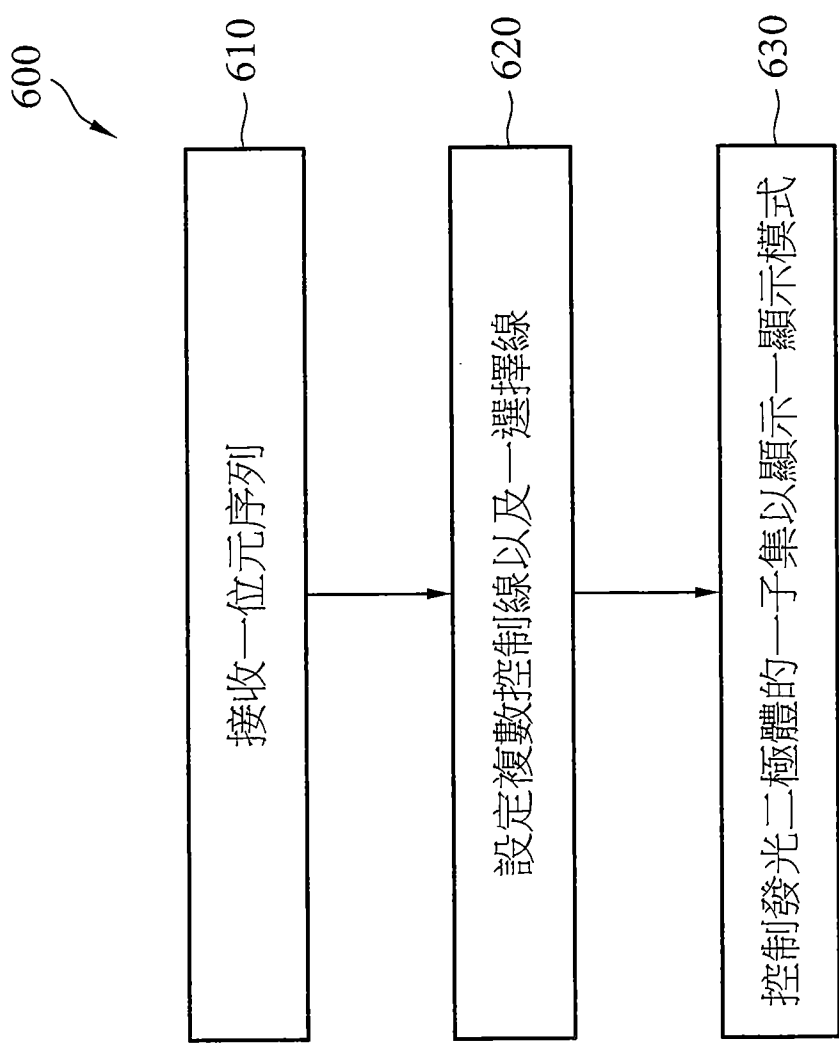
第 2 圖



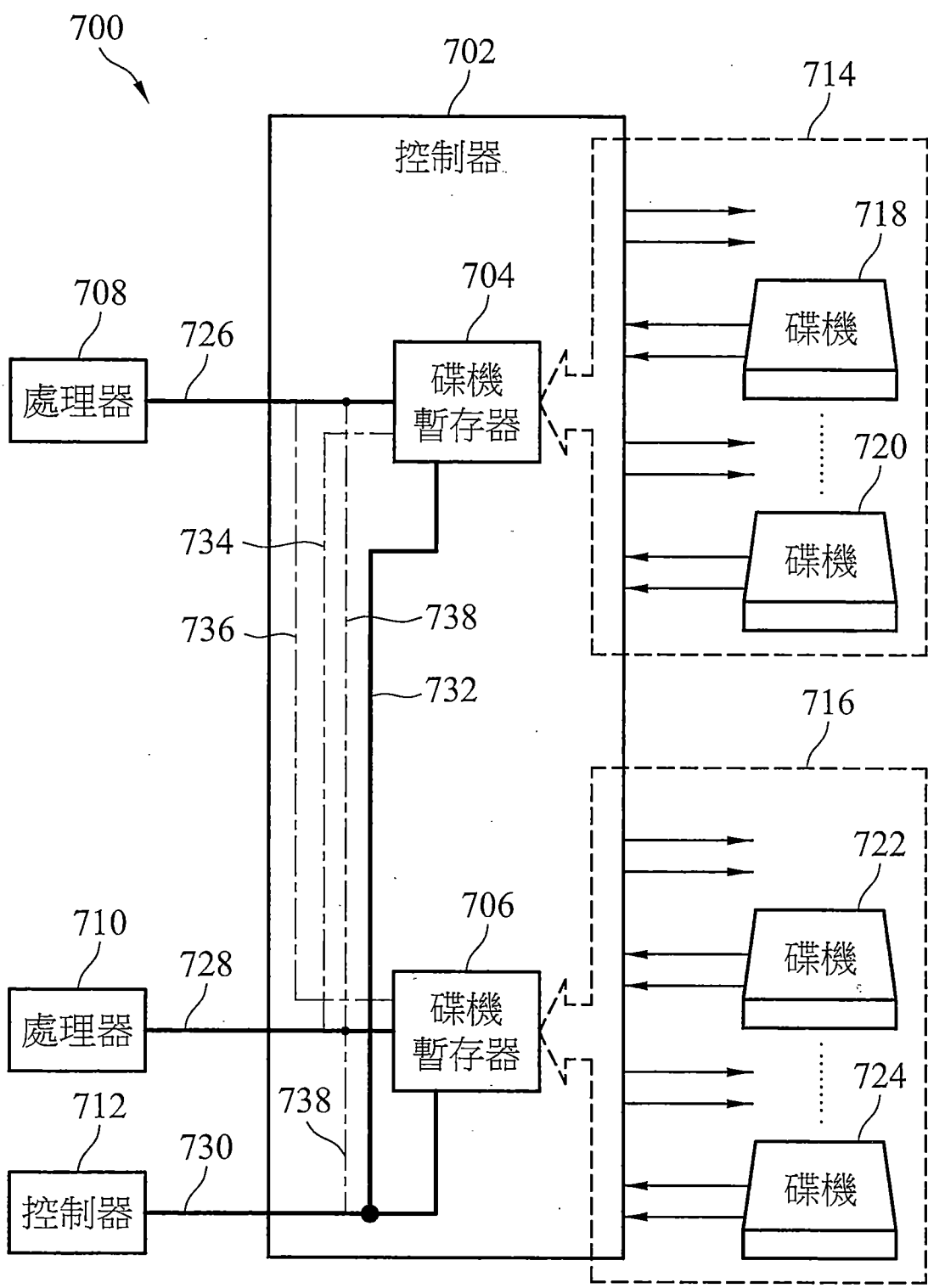
第 3 圖



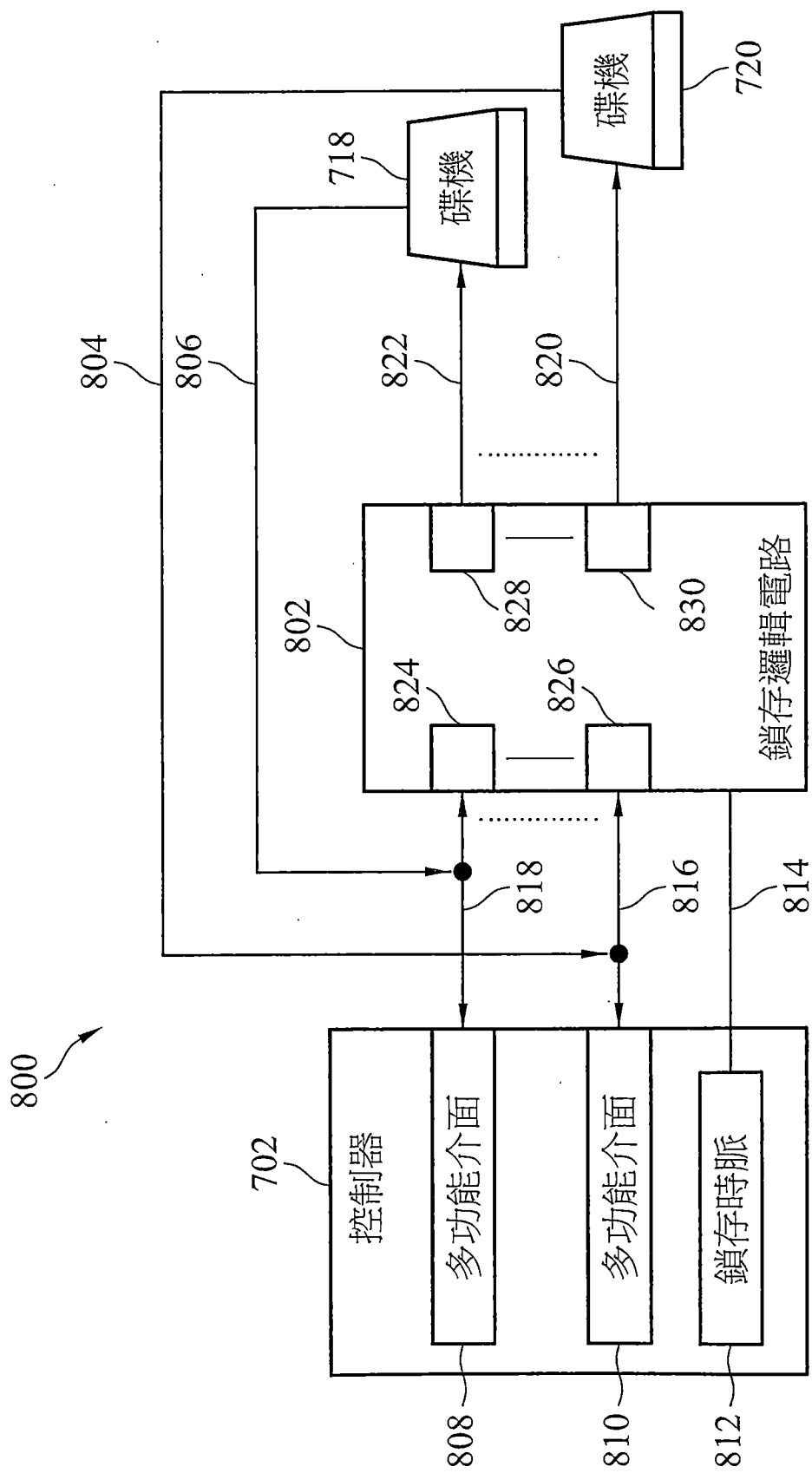
第 5 圖



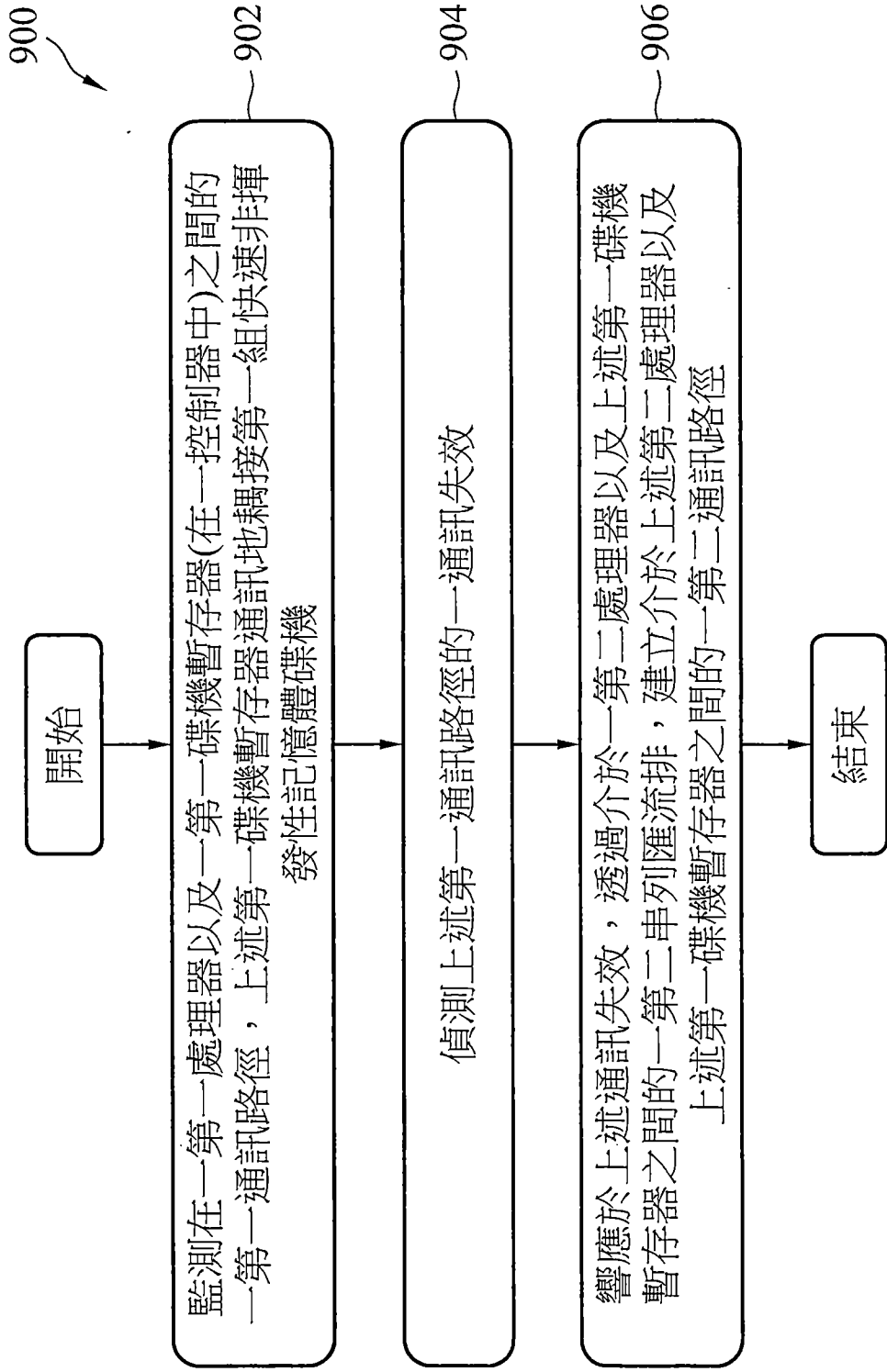
第 6 圖



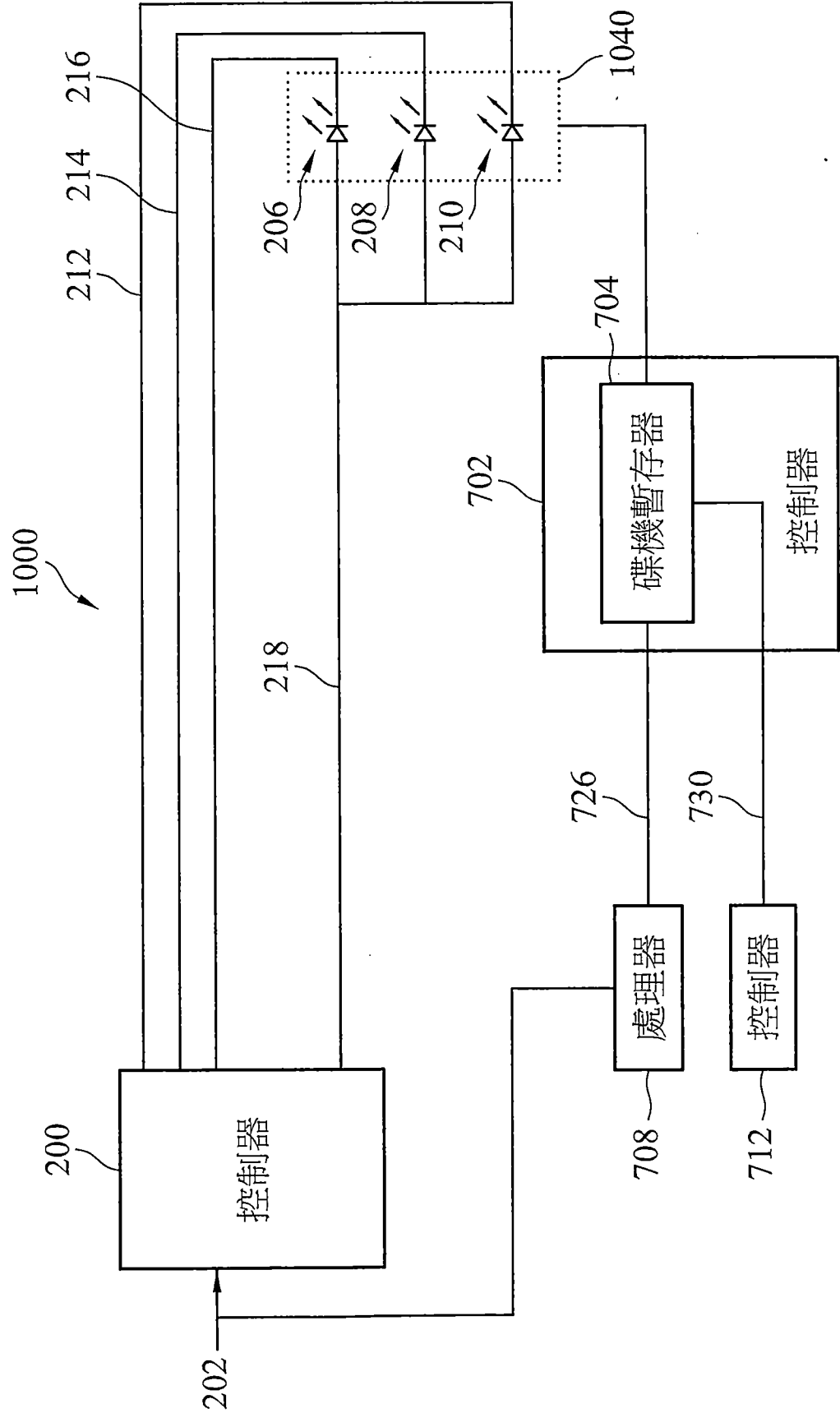
第 7 圖



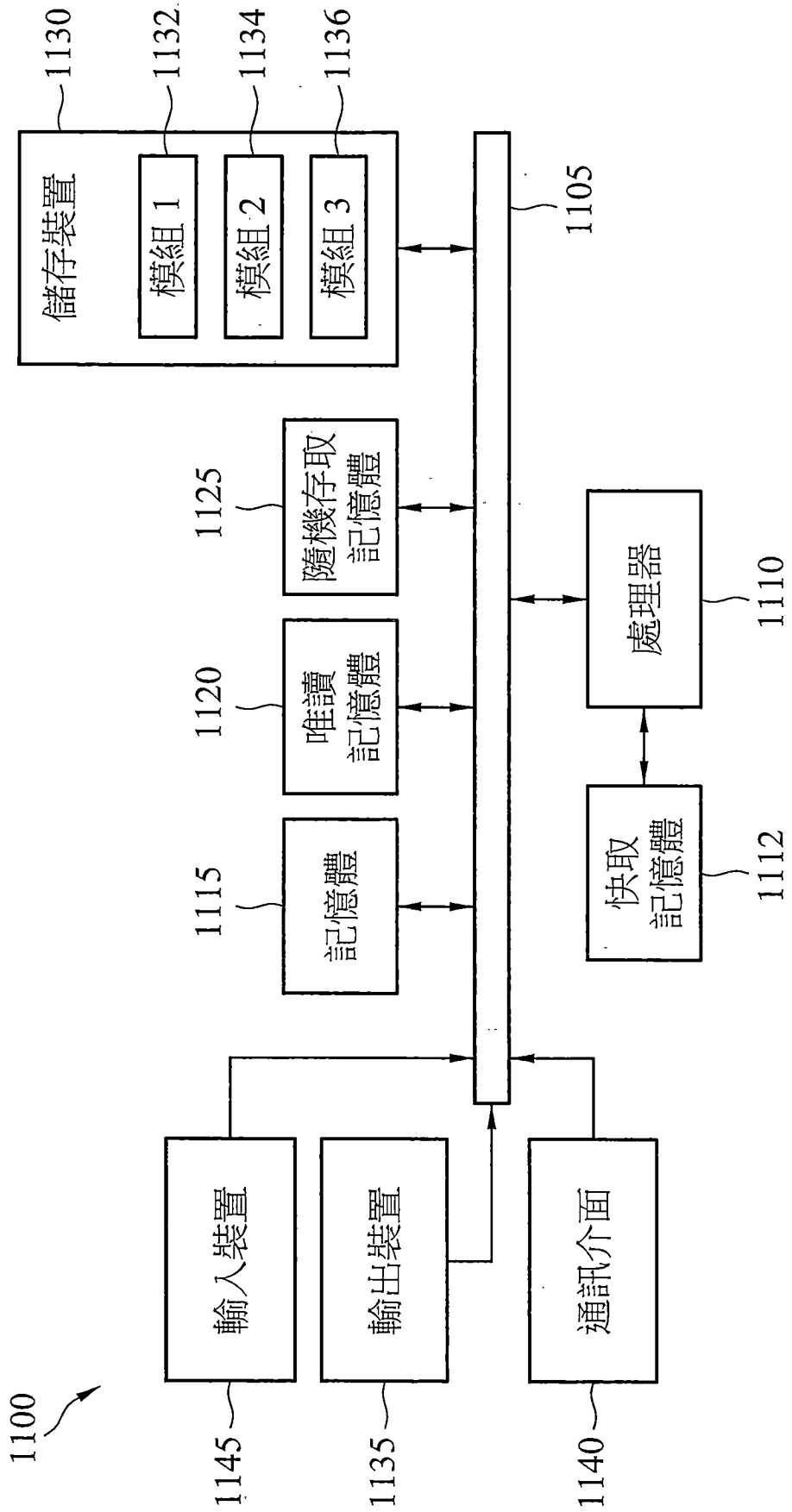
第 8 圖



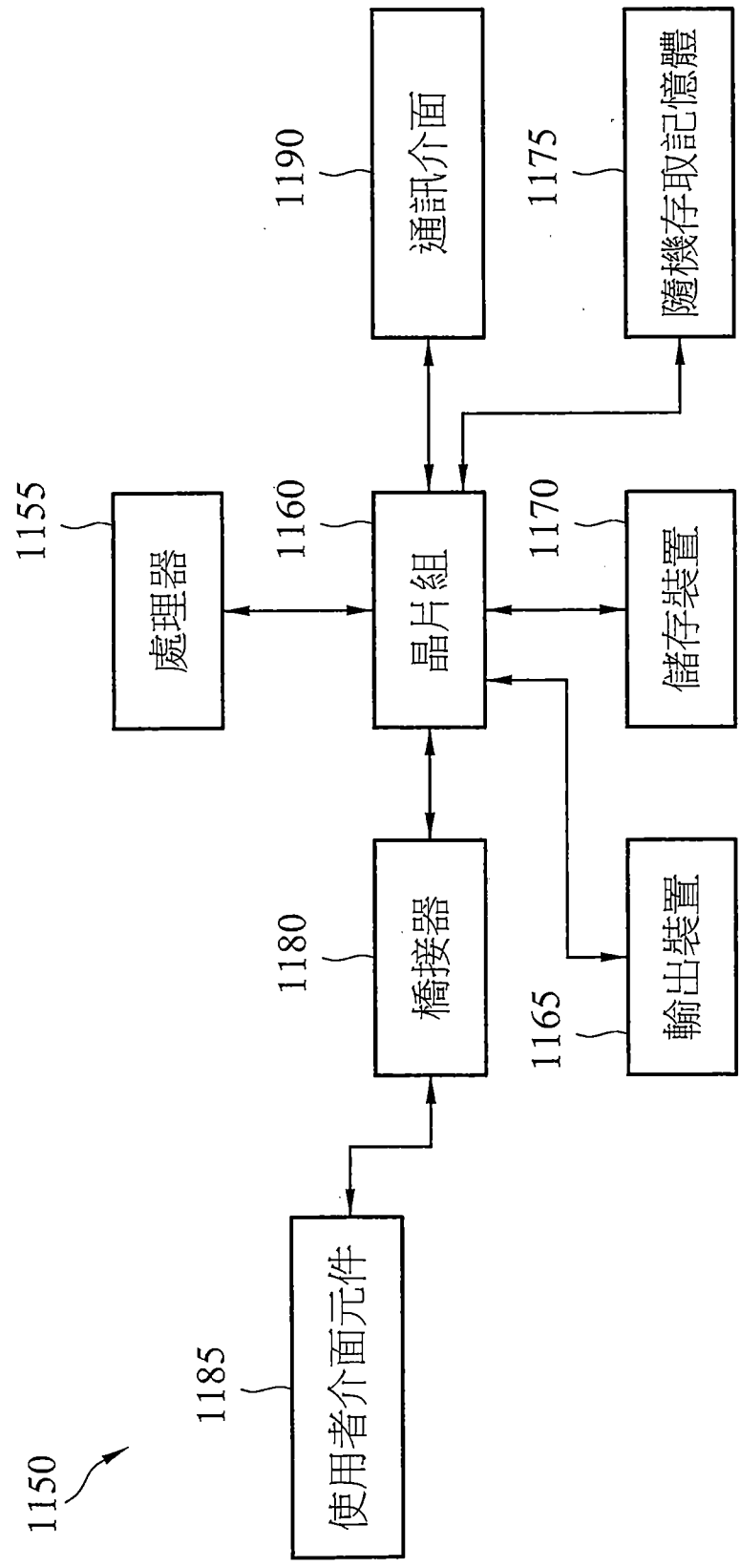
第9圖



第 10 圖



第 11A 圖



第 11B 圖