

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6098285号
(P6098285)

(45) 発行日 平成29年3月22日(2017.3.22)

(24) 登録日 平成29年3月3日(2017.3.3)

(51) Int.Cl.	F I		
H01L 23/12	(2006.01)	H01L 23/12	E
H05K 1/02	(2006.01)	H01L 23/12	Q
H05K 3/46	(2006.01)	H05K 1/02	N
		H05K 3/46	Z
		H05K 3/46	G

請求項の数 11 (全 20 頁) 最終頁に続く

(21) 出願番号	特願2013-67954 (P2013-67954)	(73) 特許権者	000005223 富士通株式会社
(22) 出願日	平成25年3月28日(2013.3.28)		神奈川県川崎市中原区上小田中4丁目1番1号
(65) 公開番号	特開2014-192416 (P2014-192416A)	(74) 代理人	100092152 弁理士 服部 毅巖
(43) 公開日	平成26年10月6日(2014.10.6)	(72) 発明者	水谷 大輔 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
審査請求日	平成27年12月4日(2015.12.4)	(72) 発明者	河合 憲一 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(72) 発明者	竹本 貴仁 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

最終頁に続く

(54) 【発明の名称】 配線基板及び電子装置

(57) 【特許請求の範囲】

【請求項1】

基板と、

前記基板の表面における第1矩形領域の各頂点に配置された第1グランド電極群と、
前記表面の前記第1矩形領域内に配置され、前記第1矩形領域の一辺と平行な第1方向に並設された第1シグナル電極対と、
前記表面の前記第1矩形領域内に配置され、前記基板内の導体から電気的に独立した電極端子対と

を含むことを特徴とする配線基板。

【請求項2】

前記表面における、前記第1矩形領域に隣接する第2矩形領域の各頂点に配置された第2グランド電極群と、
前記表面の前記第2矩形領域内に配置され、前記第1方向と直交する第2方向に並設された第2シグナル電極対と
を更に含むことを特徴とする請求項1に記載の配線基板。

【請求項3】

前記第1方向は、前記基板の端辺と鋭角で交差する方向であることを特徴とする請求項1又は2に記載の配線基板。

【請求項4】

前記第1グランド電極群及び前記第1シグナル電極対は、前記表面の外周部に配置され

10

20

ていることを特徴とする請求項 1 乃至 3 のいずれかに記載の配線基板。

【請求項 5】

前記表面の前記外周部よりも内側に、格子状に配列された電極群を更に含むことを特徴とする請求項 4 に記載の配線基板。

【請求項 6】

前記表面の上方に配置され、一对の前記電極端子と前記第 1 シグナル電極をそれぞれ結合するコンデンサを更に含むことを特徴とする請求項 1 乃至 5 のいずれかに記載の配線基板。

【請求項 7】

基板と、前記基板の表面における第 1 矩形領域の各頂点に配置された第 1 グランド電極群と、前記表面の前記第 1 矩形領域内に配置され、前記第 1 矩形領域の一辺と平行な第 1 方向に並設された第 1 シグナル電極対と、前記表面の前記第 1 矩形領域内に配置され、前記基板内の導体から電氣的に独立した電極端子対とを含む第 1 配線基板と、

10

前記第 1 配線基板に実装された電子部品と
を含むことを特徴とする電子装置。

【請求項 8】

前記第 1 配線基板は、

前記表面における、前記第 1 矩形領域に隣接する第 2 矩形領域の各頂点に配置された第 2 グランド電極群と、

前記表面の前記第 2 矩形領域内に配置され、前記第 1 方向と直交する第 2 方向に並設された第 2 シグナル電極対と

20

を更に含むことを特徴とする請求項 7 に記載の電子装置。

【請求項 9】

前記第 1 配線基板が実装された第 2 配線基板を更に含むことを特徴とする請求項 7 又は 8 に記載の電子装置。

【請求項 10】

前記第 1 配線基板は、前記表面の上方に配置され、一对の前記電極端子と前記第 1 シグナル電極とをそれぞれ結合するコンデンサを更に含むことを特徴とする請求項 7 乃至 9 のいずれかに記載の電子装置。

【請求項 11】

30

前記電極端子対がそれぞれ前記第 2 配線基板と電氣的に接続されていることを特徴とする、請求項 9 を引用する請求項 10 に記載の電子装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、配線基板及び電子装置に関する。

【背景技術】

【0002】

40

電子装置には、各種部品を実装する配線基板が広く利用されている。例えば、半導体素子を配線基板（パッケージ基板）に実装した電子装置（半導体パッケージ）や、半導体パッケージをマザーボード等の配線基板に実装した電子装置等が知られている。電子装置の高速化に伴い、配線基板として、一对の伝送路で信号を伝送する差動伝送方式の配線基板も用いられるようになってきている。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2001 - 203470 号公報

【特許文献 2】特開 2010 - 192767 号公報

50

【発明の概要】

【発明が解決しようとする課題】

【0004】

配線基板内でのいは配線基板外へ、一对の伝送路（配線基板内の配線、及びそれに電気的に接続され他の部品と接合される配線基板表面のシグナル電極）を用いて信号を送る配線基板において、異なる一对の伝送路間のクロストークが問題となる場合がある。

【課題を解決するための手段】

【0005】

本発明の一観点によれば、基板と、前記基板の表面における第1矩形領域の各頂点に配置された第1グランド電極群と、前記表面の前記第1矩形領域内に配置され、前記第1矩形領域の一辺と平行な第1方向に並設された第1シグナル電極対と、前記表面の前記第1矩形領域内に配置され、前記基板内の導体から電氣的に独立した電極端子対とを含む配線基板が提供される。

10

【0006】

また、本発明の一観点によれば、上記のような配線基板を含む電子装置が提供される。

【発明の効果】

【0007】

開示の技術によれば、配線基板表面、配線基板と部品との接合部のクロストークを抑制することが可能になる。開示の配線基板を用い、高性能、高信頼性の電子装置を実現することが可能になる。

20

【図面の簡単な説明】

【0008】

【図1】電子装置の一例を示す図である。

【図2】配線基板の一例の説明図（その1）である。

【図3】配線基板の一例の説明図（その2）である。

【図4】配線基板の一例の説明図（その3）である。

【図5】第1の電極配置例の説明図である。

【図6】配線基板と部品との接合部の一例を示す図（その1）である。

【図7】第2の電極配置例の説明図である。

【図8】第3の電極配置例の説明図である。

30

【図9】第4の電極配置例の説明図である。

【図10】第5の電極配置例の説明図である。

【図11】クロストークのシミュレーションの説明図である。

【図12】シミュレーション結果の一例（その1）である。

【図13】シミュレーション結果の一例（その2）である。

【図14】マザーボードの一例の説明図（その1）である。

【図15】マザーボードの一例の説明図（その2）である。

【図16】第6の電極配置例の説明図である。

【図17】配線基板と部品との接合部の一例を示す図（その2）である。

【図18】配線基板を用いた電子装置の一例を示す図である。

40

【発明を実施するための形態】

【0009】

図1は電子装置の一例を示す図である。図1には、電子装置の一例の要部断面を模式的に図示している。

図1に示す電子装置100aは、パッケージ基板（配線基板）200と、パッケージ基板200に実装された半導体素子300と、半導体素子300が実装されたパッケージ基板200に接合されたマザーボード（配線基板）400とを有している。

【0010】

パッケージ基板200は、例えば、ビルドアップ基板であり、コア層210、及びコア層210の表裏面にビルドアップ工法を用いて形成された配線層220及び配線層230

50

を有している。

【0011】

パッケージ基板200のコア層210には、貫通ビア211が設けられている。コア層210の一方の側の配線層220内部には、コア層210の貫通ビア211に電氣的に接続されたビア221及び配線222が設けられ、配線層220の表面には、半導体素子300の電極310に対応する位置に電極223が設けられている。コア層210のもう一方の側の配線層230内部には、コア層210の貫通ビア211に電氣的に接続されたビア231及び配線232が設けられ、配線層230の表面には、マザーボード400の電極410に対応する位置に電極233が設けられている。

【0012】

このようなパッケージ基板200上に半導体素子300が実装されている。半導体素子300は、その電極310とパッケージ基板200の電極223とがバンプ320を介して接合されることで、パッケージ基板200に実装されている。半導体素子300がパッケージ基板200に実装され、半導体パッケージ110aが形成される。

【0013】

半導体パッケージ110aは、そのパッケージ基板200の電極233とマザーボード400の電極410とがバンプ120を介して接合されることで、マザーボード400に実装されている。マザーボード400には、例えば、表裏面、又は表面若しくは裏面に導体パターン420aを設けたプリプレグ420を積層したものをを用いることができる。プリプレグ420の積層体に、レーザー等で孔開け加工を施し、その孔内に導電膜を形成することで、マザーボード400の表裏面間を導通するスルーホール430が形成される。

【0014】

電子装置100aにおいて、比較的高周波の信号が伝送される場合には、そのような高周波の信号が伝送される伝送路上に、AC (Alternating Current) 結合コンデンサ500が設けられる。図1には、そのような高周波信号が伝送されるマザーボード400の伝送路上にAC結合コンデンサ500が、半田510で接合されて設けられている場合を例示している。

【0015】

ところで、電子装置には、比較的高周波の信号を伝送する配線基板として、差動伝送方式で信号を伝送する一对の伝送路(ペア伝送路)を備えたものが使用される場合がある。このような配線基板では、異なるペア伝送路間でクロストーク(電磁的な干渉)が生じる可能性がある。クロストークを抑制する方法の1つとして、配線基板内において、異なるペア伝送路間に、グランド電位の導体による電磁的な遮蔽構造を設ける方法がある。一方、配線基板の表面には、ペア伝送路から引き出されるシグナル電極が露出するため、このシグナル電極と、配線基板と接合される部品の電極との接合部において、クロストークが生じる可能性がある。

【0016】

ここで、図2~図4は配線基板の一例の説明図である。

図2には配線基板の一例として、半導体素子を実装するパッケージ基板600を例示している。パッケージ基板600の図2(A)に示す一方の面610には、半導体素子の実装領域611が設けられ、図2(B)に示す他方の面620には、パッケージ基板600を他の部品、例えばマザーボードと電氣的に接続するための電極621群が、所定領域に格子状に配列されている。

【0017】

パッケージ基板600がペア伝送路を備える場合、図2に示したような格子状の電極621群の中に、パッケージ基板600内部の配線のペア(ペア配線)から引き出されたシグナル電極が含まれる。例えば、図3に示すように、電極621群の中にシグナル電極621aのペア(図3では1つのペアを点線で囲んでいる)とグランド電極621bが含まれ、それらがパッケージ基板600の面620上に混在して格子状に配列される。

【0018】

10

20

30

40

50

図3のように異なるペアのシグナル電極621a同士を隣接させると、シグナル電極621a、或いはこれと接合されるマザーボードの電極との接合部において、クロストークが生じる可能性がある。このようなクロストークを抑制するためには、例えば、図4に示すように、異なるペアのシグナル電極621a(図4では1つのペアを点線で囲んでいる)の間にグランド電極621bを配置し、またそれにより、異なるペアのシグナル電極621aの間に一定の距離を確保する。

【0019】

しかし、その結果、パッケージ基板600の面620上に配置される電極621群(シグナル電極621a及びグランド電極621bを含む)の個数が増大し、電極621群の配置面積が増大する。高性能化の要求から電子装置に搭載される半導体素子が多ピン化し、大型化すれば、このようなクロストーク対策としての電極621群の個数、配置面積の増大と相俟って、パッケージ基板600が多ピン化し、大型化する。

10

【0020】

一方、高速化の観点からは、周波数の増加に伴って増加する伝送損失を低減するために、電極621群の間隔を狭めて配置密度を高め、多ピン化によるパッケージ基板600の大型化を抑制し、配線長を短くすることが行われている。

【0021】

上記図3に示す電極配置では、クロストークを有効に抑制することができず、また上記図4に示す電極配置では、一定のクロストーク抑制効果は得られるものの、パッケージ基板600の多ピン化、大型化を招き、配線が長くなり伝送損失が増加する恐れがある。

20

【0022】

以上のような点に鑑み、ここでは次の図5に示すような電極配置をパッケージ基板等の配線基板に採用する。

図5は第1の電極配置例の説明図である。図5には、配線基板の一部の領域における電極配置の一例を模式的に示している。

【0023】

図5に示す配線基板10は、その表面11の一部に、図5に点線で示すような矩形領域20Aの各頂点に配置された4つのグランド電極21と、その矩形領域20A内に配置されてグランド電極21に囲まれたシグナル電極22のペアとを有している。

【0024】

30

配線基板10は、例えば、パッケージ基板である。パッケージ基板としては、ビルドアップ基板、セラミック基板、ガラスセラミック基板、コアレス基板等、様々な形態のものが挙げられる。グランド電極21及びシグナル電極22が配置される配線基板10の表面11は、例えば、マザーボード等の他の部品と接合される側の表面である。グランド電極21は、配線基板10においてグランド電位とされる電極であり、シグナル電極22のペアは、配線基板10内部に設けられるペア配線の各々に電氣的に接続される電極である。

【0025】

シグナル電極22のペアは、矩形領域20Aの一辺23と平行な方向Sに、間隔a(シグナル電極22のペアの中心間の距離(ピッチ)a)で、並設されている。

矩形領域20Aは、例えば、正方形とされる。4つのグランド電極21は、シグナル電極22のペアの間隔aよりも大きい間隔b(隣接するグランド電極21の中心間のピッチb)で、正方形の矩形領域20Aの各頂点に配置される。グランド電極21の間隔bは、例えば、シグナル電極22の間隔aの2倍($b = a \times 2$)になるように設定され、シグナル電極22の間隔aを1mmとすれば、グランド電極21の間隔bは2mmとなる。

40

【0026】

このように、図5に示す配線基板10では、方向Sに並設されるシグナル電極22のペアを、正方形の矩形領域20Aの各頂点に配置した4つのグランド電極21で囲む電極配置を採用する。この図5に示すような電極配置とすることで、シグナル電極22のペアの、他のシグナル電極への或いは他のシグナル電極からの電磁的な干渉、即ちクロストークを、周りの4つのグランド電極21で抑制する。

50

【 0 0 2 7 】

図 6 は配線基板と部品との接合部の一例を示す図である。図 6 には、配線基板とマザーボードとの接合部の一例を透視図で模式的に示している。

図 6 において、4 つのグランド電極 2 1 及びシグナル電極 2 2 のペアは、上記図 5 のような電極配置で配線基板 1 0 の表面に設けられている。各グランド電極 2 1 及び各シグナル電極 2 2 にはそれぞれ、配線基板 1 0 内に設けられたビア 1 5 が接続されている。シグナル電極 2 2 のペアに接続されたビア 1 5 には、配線基板 1 0 内に設けられたシグナル配線 1 6 のペア（ペア配線）が接続されている。

【 0 0 2 8 】

このようなグランド電極 2 1 及びシグナル電極 2 2 がそれぞれ、バンプ 6 0 を介して、マザーボードの表面に設けられたグランド電極 6 1 及びシグナル電極 6 2 に接合されている。各グランド電極 6 1 及び各シグナル電極 6 2 にはそれぞれ、マザーボード内に設けられたビア 6 3 が接続されている。シグナル電極 2 2 と電氣的に接続されたビア 6 3 には、マザーボード内に設けられたシグナル配線 6 4 が接続されている。

10

【 0 0 2 9 】

上記図 5 のような電極配置を有する配線基板 1 0 は、例えば、この図 6 に示すようにしてマザーボードと接合される。配線基板 1 0 のシグナル電極 2 2 とマザーボードのシグナル電極 6 2 との接合部が、配線基板 1 0 のグランド電極 2 1 とマザーボードのグランド電極 6 1 との接合部に囲まれることで、シグナル電極 2 2 とシグナル電極 6 2 との接合部のクロストークが抑制される。

20

【 0 0 3 0 】

上記図 5 に示したような電極配置は、配線基板 1 0 の表面 1 1 の複数箇所に設けることができる。

図 7 は第 2 の電極配置例の説明図である。図 7 には、配線基板の一部の領域における電極配置の一例を模式的に示している。

【 0 0 3 1 】

図 7 には、上記図 5 に示したような電極配置を、表面 1 1 の隣接する 2 箇所に設けた配線基板 1 0 を例示している。

図 7 に示す配線基板 1 0 は、その表面 1 1 に、矩形領域 2 0 A の各頂点に配置されたグランド電極 2 1 と、その矩形領域 2 0 A 内において方向 S に並設されたシグナル電極 2 2 のペアとを有している。

30

【 0 0 3 2 】

更に、この図 7 に示す配線基板 1 0 は、その表面 1 1 に、矩形領域 2 0 A に隣接する矩形領域 2 0 B の各頂点に配置された 4 つのグランド電極 2 1 と、その矩形領域 2 0 B 内に配置されたシグナル電極 2 2 のペアとを有している。矩形領域 2 0 B 内のシグナル電極 2 2 のペアは、その矩形領域 2 0 B の一辺 2 4 と平行で、方向 S と直交する方向 T に、並設されている。

【 0 0 3 3 】

図 7 の例では、矩形領域 2 0 A と矩形領域 2 0 B との境界において、矩形領域 2 0 A の方向 T に並ぶグランド電極 2 1 のペアと、矩形領域 2 0 B の方向 T に並ぶグランド電極 2 1 のペアとが、共有されている。

40

【 0 0 3 4 】

図 7 に示すように、2 組のシグナル電極 2 2 のペアをそれぞれ直交する方向 S と方向 T に並設させることで、同一方向に並設させた場合に比べて、2 組のシグナル電極 2 2 のペアを離して配置することができる。

【 0 0 3 5 】

また、2 組のシグナル電極 2 2 のペアについて、上記図 4 のような格子状の電極配置を採用すると、クロストークの抑制のためにグランド電極 2 1 が 1 6 個要するのに対し、図 7 の電極配置では、そのようなグランド電極 2 1 が 6 個で足りる。図 7 に示すような電極配置によれば、配線基板 1 0 の表面 1 1 に配置する電極数の減少が図られる。

50

【 0 0 3 6 】

図 8 は第 3 の電極配置例の説明図である。図 8 には、配線基板の一部の領域における電極配置の一例を模式的に示している。

図 8 には、上記図 7 に示したような電極配置を、一部のグランド電極 2 1 のペアを共有させるようにして複数組み合わせる表面 1 1 に設けた配線基板 1 0 を例示している。図 8 の配線基板 1 0 では、シグナル電極 2 2 のペアが並ぶ方向（図 8 に点線で示す方向 U , V ）が、いずれも、配線基板 1 0 の端辺 1 2 と非平行で且つ直交しない方向となるように、グランド電極 2 1 及びシグナル電極 2 2 が配置されている。即ち、配線基板 1 0 では、シグナル電極 2 2 のペアが並ぶ方向 U , V が、端辺 1 2 と鋭角の角度で交差する方向となるように、グランド電極 2 1 及びシグナル電極 2 2 が配置されている。例えば、シグナル電極 2 2 のペアが並ぶ方向 U , V が、配線基板 1 0 の端辺 1 2 に対して等しい角度、即ち 4 5 ° になるように、グランド電極 2 1 及びシグナル電極 2 2 が配置される。

10

【 0 0 3 7 】

グランド電極 2 1 及びシグナル電極 2 2 を図 8 に示すように配置することで、上記図 4 のような格子状の電極配置に比べて、一定数のシグナル電極 2 2 のペアを囲むために配置するグランド電極 2 1 の数を減らすことができる。

【 0 0 3 8 】

更に、グランド電極 2 1 及びシグナル電極 2 2 を図 8 に示すように配置することで、それらの配置領域の長さを短縮することができる。例えば、図 8 にはシグナル電極 2 2 のペアを 7 組配置した場合を示すが、上記図 4 のようにそれと同数の 7 組のシグナル電極 6 2 1 a を配置した場合に比べて、電極配置領域の長さ L を約 2 0 % 短縮することができる。

20

【 0 0 3 9 】

図 9 は第 4 の電極配置例の説明図である。図 9 には、配線基板の一方の表面側から見た平面模式図の一例を示している。

図 9 には、上記図 8 に示したような電極配置を、表面 1 1 の外周部 1 3 に設けた配線基板 1 0 を例示している。配線基板 1 0 の、外周部 1 3 よりも内側の領域には、格子状に配列した電極 3 0 群が設けられている。

【 0 0 4 0 】

図 9 に示す配線基板 1 0 のように、シグナル電極 2 2 のペアを外周部 1 3 に配置することで、シグナル電極 2 2 のペアから引き出す配線が、他の電極（シグナル電極）と近接する状況が生じるのを抑え、クロストークを抑制することができる。

30

【 0 0 4 1 】

配線基板 1 0 の外周部 1 3 を、図 9 のような電極配置とすることで、シグナル電極 2 2 とグランド電極 2 1 を格子状に配列させる場合（図 4 ）に比べて、一定数のシグナル電極 2 2 のペアを囲むグランド電極 2 1 の数を減らすことができる。

【 0 0 4 2 】

更に、配線基板 1 0 の外周部 1 3 を、図 9 のような電極配置とすることで、外周部 1 3 にシグナル電極 2 2 のペアを一定数設ける場合に、それらをグランド電極 2 1 と共に格子状に配列させる場合（図 4 ）に比べて、電極配置領域の長さを短縮することができる。

【 0 0 4 3 】

40

図 9 に示す配線基板 1 0 によれば、シグナル電極 2 2 を介した配線基板 1 0 とマザーボードとの接合部のクロストークを、シグナル電極 2 2 の周りに設けるグランド電極 2 1 の数を抑えて、抑制することが可能になる。更に、外周部 1 3 のグランド電極 2 1 及びシグナル電極 2 2 の配置領域の長さを短縮することができるため、配線基板 1 0 の外形サイズを縮小することが可能になる。配線基板 1 0 の外形サイズの縮小により、シグナル電極 2 2 から引き出す配線の長さを短縮することが可能になり、配線基板 1 0 を比較的高周波の信号の伝送に用いる場合に、その伝送損失を低減することが可能になる。

【 0 0 4 4 】

図 9 のようにシグナル電極 2 2 のペア及びそれらを囲むグランド電極 2 1 を外周部 1 3 に配置する配線基板 1 0 において、外周部 1 3 よりも内側の領域には、電極 3 0 として、

50

電源用電極（電源電位又はグランド電位とされる電極）が配置される。

【0045】

尚、配線基板10に、比較的高周波の信号伝送用の電極と、比較的低周波の信号伝送用の電極とを配置する場合は、高周波の信号伝送用の電極を外周部13にシグナル電極22として配置し、低周波の信号伝送用の電極を外周部13よりも内側に電極30として配置する。配線基板10の中央部の電極30群には、このように電源用電極のほか、信号伝送用のシグナル電極も含まれ得る。

【0046】

電極30は、図9に示すように、格子状の配列とすることができる。この場合、電極30は、例えば、外周部13に配置するシグナル電極22のペアの間隔aと同一或いは略同一の間隔で、格子状に配列する。配線基板10の中央部の電極配置を格子状にすることで、中央部には外周部13の電極配置に比べて高密度で電極30を配置し、配線基板10に設ける電極の総数が減るのを抑制することができる。

10

【0047】

尚、図9には、配線基板10の表面11の中央部に電極30群の未形成領域を設けた形態を例示するが、配線基板10は、その表面11の中央部にも電極30群を格子状に配列した形態とすることもできる。

【0048】

また、ここでは、配線基板10の、マザーボードと接合される側の表面11を例に、グランド電極21及びシグナル電極22並びに電極30の配置を説明した。上記図8に示したような電極配置は、配線基板10の、半導体素子が接合（実装）される側の表面に採用することもできる。

20

【0049】

図10は第5の電極配置例の説明図である。図10には、配線基板の他方の表面側から見た平面模式図の一例を示している。

図10には、配線基板10の、半導体素子が実装される側の表面14に設けられた、半導体素子の実装領域14aに、上記図8に示したような電極配置を採用した形態を例示している。

【0050】

実装領域14aについても、その外周部14aaに、上記図8と同様に、矩形領域の各頂点に配置した4つのグランド電極21でシグナル電極22のペアを囲んだ電極配置を、一部のグランド電極21のペアを共有させるように複数組み合わせで設ける。隣接するシグナル電極22のペア同士は、互いのシグナル電極22のペアの並設方向が直交するように配置される。実装領域14aに配置されるシグナル電極22のペアは、いずれもその並設方向が、実装領域14aの端辺14abに対して等しい角度（45°）になるように配置される。

30

【0051】

電源用電極、比較的低周波の信号伝送用のシグナル電極は、実装領域14aの、外周部14aaよりも内側の領域に、格子状に配列させて設けることができる。

半導体素子の実装領域14aに、図10のような電極配置を採用することで、シグナル電極22を介した配線基板10と半導体素子との接合部のクロストークを、シグナル電極22の周りに設けるグランド電極21の数を抑えて、抑制することが可能になる。また、図10のような電極配置を採用することで、実装領域14aのサイズの縮小、配線基板10内に設ける配線の長さの短縮を図ることも可能になる。

40

【0052】

続いて、以上のような電極配置を採用した場合のクロストークのシミュレーションについて述べる。

図11はクロストークのシミュレーションの説明図、図12及び図13はシミュレーション結果の一例である。

【0053】

50

シミュレーションでは、図 1 1 に示すように、ポート 1 からポート 2 の間の伝送路を基準の伝送路 5 とし、ポート 3 からポート 4 の間の伝送路を評価対象の伝送路 6 として、基準の伝送路 5 から評価対象の伝送路 6 が受けるクロストークを評価する。伝送路 5 及び伝送路 6 は、配線基板 1 0 のシグナル電極 2 2 (ポート 1 及びポート 3 に対応) と、マザーボード等の部品の電極 (ポート 2 及びポート 4 に対応) との接合部 (異なるペアの接合部) である。シミュレーションでは、クロストークとして、ポート 1 とポート 3 の間の近端クロストーク (S d d 3 1) と、ポート 1 とポート 4 の間の遠端クロストーク (S d d 4 1) とを評価する。

【 0 0 5 4 】

シミュレーションにより得られる伝送信号周波数 [G H z] と近端クロストーク S d d 3 1 [d B] との関係の一例を図 1 2 に、伝送信号周波数 [G H z] と遠端クロストーク S d d 4 1 [d B] との関係の一例を図 1 3 に、それぞれ示す。図 1 2 及び図 1 3 にはそれぞれ、伝送路 5 及び伝送路 6 に、上記図 3 の電極配置を採用した場合の結果 X、上記図 4 の電極配置を採用した場合の結果 Y、及び上記図 8 の電極配置を採用した場合の結果 Z を示している。

10

【 0 0 5 5 】

図 1 2 及び図 1 3 より、上記図 3 の電極配置に対し、上記図 4 の電極配置を採用することで、近端クロストーク S d d 3 1 及び遠端クロストーク S d d 4 1 を低減することができる (結果 X, Y)。また、図 1 2 及び図 1 3 より、上記図 8 の電極配置を採用した場合には、上記図 4 の電極配置を採用した場合よりも更に、近端クロストーク S d d 3 1 及び遠端クロストーク S d d 4 1 を低減することができる (結果 Y, Z)。

20

【 0 0 5 6 】

上記図 8 の電極配置によれば、上記のようなグラウンド電極 2 1 の減少、電極配置領域の短縮等の効果に加え、優れたクロストーク抑制効果を得ることができる。

以上、マザーボード、半導体素子といった部品との接合部のクロストークが抑制可能な電極配置を備えた配線基板 1 0 について説明した。このような配線基板 1 0 を用いた、比較的高周波の信号が伝送される伝送路を含む電子装置では、低周波ノイズをカットするために、そのような高周波信号の伝送路上に、A C 結合コンデンサを設けることがある。この A C 結合コンデンサは、電子装置内の高周波信号の伝送路上であれば、配線基板 1 0 のほか、それと接合されるマザーボードに搭載することもできる。

30

【 0 0 5 7 】

ここで、図 1 4 及び図 1 5 は A C 結合コンデンサが搭載可能なマザーボードの一例の説明図である。

図 1 4 に示すマザーボード 7 0 a は、信号が伝送される 1 本のシグナル配線 7 2 の途中に、A C 結合コンデンサを搭載する一対のパッド電極部 7 3 を設けた構造部を有している。この構造部のシグナル配線 7 2 は、マザーボード 7 0 a の内部に設けられ、ビア (図示せず) を介して表面のシグナル電極 7 4 に引き出され、パッド電極部 7 3 に電氣的に接続されている。マザーボード 7 0 a の表面には、一対のパッド電極部 7 3 に接続されたシグナル電極 7 4 を挟むようにしてグラウンド電極 7 5 が配置されている。マザーボード 7 0 a は、このような構造部のペアを 1 組とし、更にそれを複数組並設させた構成を有している。

40

【 0 0 5 8 】

このような構成を有するマザーボード 7 0 a では、上記図 3 について述べたのと同様に、マザーボード 7 0 a の表面において、異なるペアのシグナル配線 7 2 に接続されたパッド電極部 7 3 及びシグナル電極 7 4 が隣接することで、クロストークが生じる可能性がある。

【 0 0 5 9 】

そして、このようなクロストークを抑制するために、上記図 4 と同様の考え方で、図 1 5 に示すマザーボード 7 0 b のように、異なるペアのシグナル配線 7 2 に接続されたパッド電極部 7 3 及びシグナル電極 7 4 の間にグラウンド電極 7 5 を配置する。しかし、このよ

50

うな電極配置のマザーボード70bでは、AC結合コンデンサを搭載するための面積が増加し、それによってマザーボード70bの外形サイズが大きくなったり、配線が長くなって伝送損失が増加したりする可能性がある。

【0060】

このような点に鑑み、以下に、AC結合コンデンサを配線基板10に搭載する手法の一例について説明する。

図16は第6の電極配置例の説明図である。図16には、配線基板の一部の領域における電極配置の一例を模式的に示している。

【0061】

図16に示す配線基板10は、上記図5と同様、その表面11の一部に、矩形領域20A（点線）の各頂点に配置された4つのグランド電極21と、その矩形領域20A内に配置されてグランド電極21に囲まれたシグナル電極22のペアとを有している。シグナル電極22のペアは、方向Sに並設されている。各シグナル電極22には、表面11の矩形領域20A内に配置されたパッド電極部22aが電氣的に接続されている。

10

【0062】

図16に示す配線基板10は更に、表面11の矩形領域20A内に配置されて方向Tに並設された電極端子25のペアを有している。電極端子25のペアは、例えば、シグナル電極22のペアの中間を通り方向Sと直交する線上（即ち方向Tの線上）に並設され、シグナル電極22のペアの間隔aと同一又は略同一の間隔で配置される。各電極端子25には、表面11の矩形領域20A内に配置されたパッド電極部25aが電氣的に接続されている。電極端子25単体、及びそれに接続されたパッド電極部25a単体は、配線基板10の表面11に、電氣的に独立して配置されている。

20

【0063】

図16に示す配線基板10の、シグナル電極22に接続されたパッド電極部22aと、電極端子25に接続されたパッド電極部25aには、AC結合コンデンサ26が接合されている。パッド電極部22aとパッド電極部25aは、AC結合コンデンサ26を介して結合されている。

【0064】

この図16に示すような構成を有する配線基板10が、マザーボード等の部品と接合される。

30

図17は配線基板と部品との接合部の一例を示す図である。図17には、配線基板とマザーボードとの接合部の一例を透視図で示している。

【0065】

図17において、4つのグランド電極21及びシグナル電極22のペアは、上記図16のような電極配置で配線基板10の表面に設けられている。各グランド電極21及び各シグナル電極22にはそれぞれ、配線基板10内に設けられたビア15が接続されている。シグナル電極22のペアに接続されたビア15には、配線基板10内に設けられたシグナル配線16のペアが接続されている。シグナル電極22に接続されたパッド電極部22aと、電極端子25に接続されたパッド電極部25aには、AC結合コンデンサ26が接合されている。

40

【0066】

電極端子25は、バンプ60を介して、マザーボードの表面に設けられたシグナル電極62に接合されている。同様に、グランド電極21は、バンプ60を介して、マザーボードの表面に設けられたグランド電極61に接合されている。各グランド電極61及び各シグナル電極62にはそれぞれ、マザーボード内に設けられたビア63が接続されている。電極端子25と電氣的に接続されたビア63には、マザーボード内に設けられたシグナル配線64が接続されている。

【0067】

このように図17の例では、シグナル配線16にビア15で電氣的に接続されたシグナル電極22が、パッド電極部22a、AC結合コンデンサ26、パッド電極部25aを介

50

して、電極端子 25 に電氣的に接続される。電極端子 25 は、バンプ 60 を介して、マザーボードのシグナル電極 62 に電氣的に接続され、シグナル電極 62 は、ビア 63 でシグナル配線 64 に電氣的に接続される。これにより、AC 結合コンデンサ 26 を途中に含む伝送路が実現され、低周波ノイズをカットして高周波信号を伝送することのできる伝送路、及びそのような伝送路を含む電子装置が実現可能になる。

【0068】

配線基板 10 の表面 11 のシグナル電極 22 から電極端子 25 までの伝送路は、グランド電極 21 で囲まれ、電極端子 25 とマザーボードのシグナル電極 62 との接合部は、配線基板 10 のグランド電極 21 とマザーボードのグランド電極 61 との接合部に囲まれる。これにより、配線基板 10 とマザーボードの間の領域でのクロストークが抑制される。

10

【0069】

図 16 及び図 17 に示すような電極配置では、単純な格子状の電極配置に比べ、方向 S に並ぶシグナル電極 22 のペアと、それらと平行に並ぶグランド電極 21 のペアとの間に、スペースが生まれる。このスペースを、AC 結合コンデンサ 26 の配置領域として利用する。例えば、シグナル電極 22 の間隔 a を 1 mm、グランド電極 21 の間隔 b を 2 mm とした場合、幅 0.3 mm、長さ 0.5 mm、厚さ 0.2 mm といったサイズの AC 結合コンデンサ 26 は十分に配置することが可能である。

【0070】

電極端子 25 は、グランド電極 21 と同様にバンプ 60 を用いてマザーボードに接合するための電極として機能するため、グランド電極 21 と同一又は略同一の平面サイズとすることが好ましい。電極端子 25 をこのような平面サイズとすることで、グランド電極 21 と共通のバンプ 60 を用い、配線基板 10 とマザーボードを一定のギャップで、接続不良等を抑えて、接合することが可能になる。シグナル電極 22 は、AC 結合コンデンサ 26 を接合するパッド電極部 22a に電氣的に接続される電極として機能するため、シグナル電極 22 をシグナル配線 16 と接続するビア 15 の直径（例えば 100 μm ）以上の平面サイズとすればよい。

20

【0071】

また、図 17 のようにマザーボードと接合する配線基板 10 は、上記図 6 の AC 結合コンデンサ 26 を搭載しない場合のシグナル電極 22 の位置に、電極端子 25 が配置されるような構造とすることができる。図 17 の配線基板 10 では、シグナル電極 22 の並設方向が、上記図 6 のシグナル電極 22 の並設方向から 90° 回転させた方向になっており、そのようなシグナル電極 22 にシグナル配線 16 が電氣的に接続されている。配線基板 10 を、この図 17 のような構造とすることで、マザーボード側の構造を変更せずに、そのグランド電極 61 にバンプ 60 を用いて電極端子 25 を接合することが可能になる。

30

【0072】

配線基板 10 には、図 16 及び図 17 に示すような電極配置を、上記図 7 ~ 図 10 の例に従い、隣接させて複数箇所に設けることができる。

以上説明したような配線基板 10 を用いた電子装置の一例を図 18 に示す。図 18 には、電子装置の一例の断面を模式的に図示し、説明の便宜上、一部を透視的に図示している。

40

【0073】

図 18 に示す電子装置 100 は、配線基板 10 と、配線基板 10 に実装された半導体素子 80 と、半導体素子 80 が実装された配線基板 10 に接合されたマザーボード 70 とを有している。ここでは一例として、配線基板 10 の、マザーボード 70 との接合面側に、AC 結合コンデンサ 26 が搭載されている場合を図示している。

【0074】

配線基板 10 は、例えば、コア層 17 とその両面に設けられた配線層 18 及び配線層 19 とを有するビルドアップ基板とされる。コア層 17 には、貫通ビア 17a が設けられている。

【0075】

50

配線層 18 の内部には、貫通ビア 17 a に電氣的に接続されたビア 18 a 及び配線 18 b が設けられ、配線層 18 の表面には、半導体素子 80 の電極 81 に対応する位置に電極 18 c が設けられている。配線基板 10 の電極 18 c が、半導体素子 80 の電極 81 とバンプ 90 を介して接合され、半導体素子 80 が配線基板 10 に実装された半導体パッケージ 110 が形成されている。

【0076】

配線層 19 の内部には、貫通ビア 17 a に電氣的に接続されたビア 19 a 及び配線 19 b が設けられ、配線層 19 の、マザーボード 70 側の表面の中央部には、マザーボード 70 の電極 71 に対応する位置に電極 19 c (30) が設けられている。

【0077】

配線層 19 の、マザーボード 70 側の表面の外周部には、グランド電極 21、シグナル電極 22、及び電極端子 25 が設けられている。各グランド電極 21 及び各シグナル電極 22 にはそれぞれ、配線基板 10 内に設けられたビア 19 a (15) が接続され、シグナル電極 22 に接続されたビア 19 a には、配線基板 10 内に設けられたシグナル配線 (16) となる配線 19 b が接続されている。配線層 19 上には、シグナル電極 22 に電氣的に接続されたパッド電極部 22 a と、電極端子 25 に電氣的に接続されたパッド電極部 25 a とを結合する AC 結合コンデンサ 26 が設けられている。

【0078】

電極端子 25 は、バンプ 60 (点線で図示) を介して、マザーボード 70 の表面に設けられたシグナル電極 (62) となる電極 71 に接合されている。同様に、グランド電極 21 は、バンプ 60 を介して、マザーボード 70 の表面に設けられたグランド電極 (61) となる電極 71 に接合されている。電極 71 には、マザーボード 70 内に設けられたビア 76 及び配線 77 が接続されている。電極端子 25 と電氣的に接続されたビア 76 には、マザーボード 70 内に設けられたシグナル配線 (64) となる配線 77 が接続されている。

【0079】

半導体素子 80 が実装された配線基板 10 の電極 19 c、電極端子 25 及びグランド電極 21 が、バンプ 60 を介してマザーボード 70 の電極 71 に接合され、半導体パッケージ 110 がマザーボード 70 に実装された電子装置 100 が形成されている。

【0080】

これにより、配線基板 10 上に AC 結合コンデンサ 26 が設けられ、低周波ノイズをカットして高周波信号を伝送することのできる伝送路を備えた電子装置 100 が実現される。電子装置 100 では、配線基板 10 に上記図 16 及び図 17 に示したような電極配置を採用することで、シグナル電極 22 と電極 71 (シグナル電極 62) のバンプ 60 を介した接合部のクロストークを抑制することができる。更に、配線基板 10 の外形サイズを縮小し、配線の長さを短縮することができ、比較的高周波の信号伝送時の伝送損失を低減することができる。

【0081】

尚、上記のような配線基板 10 は、所定の導体パターンを設けたシート部材を、所定の層数、コア層 17 の両面に積層することで、形成される。コア層 17 には、ガラスエポキシ基板等の一定の剛性を有する基板が用いられ、レーザー等で孔開け加工を施し、その孔内に導電部を形成することで、貫通ビア 17 a が形成される。コア層 17 に積層するシート部材には、例えば、所定の導体パターンを設けた、エポキシ樹脂等の一定の可撓性を有する樹脂シートを用いることができる。このようなシート部材を、所定の層数、積層することで、上記のビア 18 a、19 a、配線 18 b、19 b、電極 18 c、19 c、並びに、グランド電極 21、シグナル電極 22、電極端子 25 及びパッド電極部 22 a、25 a が形成される。

【0082】

また、マザーボード 70 には、例えば、表裏面、又は表面若しくは裏面に導体パターンを設けたプリプレグを積層したものをを用いることができる。マザーボード 70 には、所定

10

20

30

40

50

層のプリプレグ、又はプリプレグの積層体に、レーザー等で孔開け加工を施し、その孔内に導電膜を形成することで、表裏面間を導通するスルーホールを形成してもよい。

【0083】

尚、ここでは配線基板10上にAC結合コンデンサ26を設けた電子装置100を例示したが、マザーボード70上に伝送路を設け、その伝送路上にAC結合コンデンサ26を設けることもできる。

【0084】

また、ここでは配線基板10上に半導体素子80を実装した半導体パッケージ110を例示したが、配線基板10上には、半導体素子80のほか、他の部品(例えばAC結合コンデンサ等のチップ部品)が実装されていてもよい。

10

【0085】

更にまた、少なくともマザーボード70との接合面側に上記のような電極配置を設けた配線基板内に、半導体素子等の部品を内蔵した、所謂部品内蔵型配線基板を、マザーボード70に実装してもよい。

【0086】

以上説明した実施の形態に関し、更に以下の付記を開示する。

(付記1) 基板と、

前記基板の表面における第1矩形領域の各頂点に配置された第1グラウンド電極群と、
前記表面の前記第1矩形領域内に配置され、前記第1矩形領域の一辺と平行な第1方向に並設された第1シグナル電極対と
を含むことを特徴とする配線基板。

20

【0087】

(付記2) 前記表面における、前記第1矩形領域に隣接する第2矩形領域の各頂点に配置された第2グラウンド電極群と、
前記表面の前記第2矩形領域内に配置され、前記第1方向と直交する第2方向に並設された第2シグナル電極対と
を更に含むことを特徴とする付記1に記載の配線基板。

【0088】

(付記3) 前記第1グラウンド電極群のうちの一対の第1グラウンド電極と、前記第2グラウンド電極群のうちの一対の第2グラウンド電極とが共通であることを特徴とする付記2に記載の配線基板。

30

【0089】

(付記4) 前記第1シグナル電極対は、第1ピッチで配置され、前記第1グラウンド電極群は、前記第1ピッチの2倍の第2ピッチで配置されていることを特徴とする付記1乃至3のいずれかに記載の配線基板。

【0090】

(付記5) 前記第1方向は、前記基板の端辺と鋭角で交差する方向であることを特徴とする付記1乃至4のいずれかに記載の配線基板。

(付記6) 前記第1グラウンド電極群及び前記第1シグナル電極対は、前記表面の外周部に配置されていることを特徴とする付記1乃至5のいずれかに記載の配線基板。

40

【0091】

(付記7) 前記表面の前記外周部よりも内側に、格子状に配列された電極群を更に含むことを特徴とする付記6に記載の配線基板。

(付記8) 前記基板内に配置され、差動信号が伝送される配線対を更に含み、
前記第1シグナル電極対は、前記配線対に電氣的に接続されていることを特徴とする付記1乃至7のいずれかに記載の配線基板。

【0092】

(付記9) 前記表面の前記第1矩形領域内に配置され、前記基板内の導体から電氣的に独立した電極端子対を更に含むことを特徴とする付記1乃至8のいずれかに記載の配線基板。

50

【 0 0 9 3 】

(付記 1 0) 前記電極端子対は、前記第 1 シグナル電極対の中間を通り前記第 1 方向と直交する線上に並設されていることを特徴とする付記 9 に記載の配線基板。

(付記 1 1) 前記表面の上方に配置され、一对の前記電極端子と前記第 1 シグナル電極をそれぞれ結合するコンデンサを更に含むことを特徴とする付記 9 又は 1 0 に記載の配線基板。

【 0 0 9 4 】

(付記 1 2) 基板と、前記基板の表面における第 1 矩形領域の各頂点に配置された第 1 グランド電極群と、前記表面の前記第 1 矩形領域内に配置され、前記第 1 矩形領域の一边と平行な第 1 方向に並設された第 1 シグナル電極対とを含む第 1 配線基板と、

前記第 1 配線基板に実装された電子部品と
を含むことを特徴とする電子装置。

10

【 0 0 9 5 】

(付記 1 3) 前記第 1 配線基板は、前記表面における、前記第 1 矩形領域に隣接する第 2 矩形領域の各頂点に配置された第 2 グランド電極群と、

前記表面の前記第 2 矩形領域内に配置され、前記第 1 方向と直交する第 2 方向に並設された第 2 シグナル電極対と

を更に含むことを特徴とする付記 1 2 に記載の電子装置。

【 0 0 9 6 】

(付記 1 4) 前記第 1 方向は、前記基板の端辺と鋭角で交差する方向であることを特徴とする付記 1 2 又は 1 3 に記載の電子装置。

(付記 1 5) 前記第 1 配線基板の前記第 1 グランド電極群及び前記第 1 シグナル電極対は、前記表面の外周部に配置されていることを特徴とする付記 1 2 乃至 1 4 のいずれかに記載の電子装置。

20

【 0 0 9 7 】

(付記 1 6) 前記第 1 配線基板は、前記表面の前記外周部よりも内側に、格子状に配列された電極群を更に含むことを特徴とする付記 1 5 に記載の電子装置。

(付記 1 7) 前記第 1 配線基板が実装された第 2 配線基板を更に含むことを特徴とする付記 1 2 乃至 1 6 のいずれかに記載の電子装置。

30

【 0 0 9 8 】

(付記 1 8) 前記第 1 配線基板は、前記表面の前記第 1 矩形領域内に配置され、前記基板内の導体から電氣的に独立した電極端子対と、

前記表面の上方に配置され、一对の前記電極端子と前記第 1 シグナル電極をそれぞれ結合するコンデンサと

を更に含み、

前記電極端子対がそれぞれ前記第 2 配線基板と電氣的に接続されていることを特徴とする付記 1 7 に記載の電子装置。

40

【 符号の説明 】

【 0 0 9 9 】

1, 2, 3, 4 ポート

5, 6 伝送路

1 0 配線基板

1 1, 1 4 表面

1 2, 1 4 a b 端辺

1 3, 1 4 a a 外周部

1 4 a, 6 1 1 実装領域

1 5, 1 8 a, 1 9 a, 6 3, 7 6, 2 2 1, 2 3 1 ビア

1 6, 6 4, 7 2 シグナル配線

50

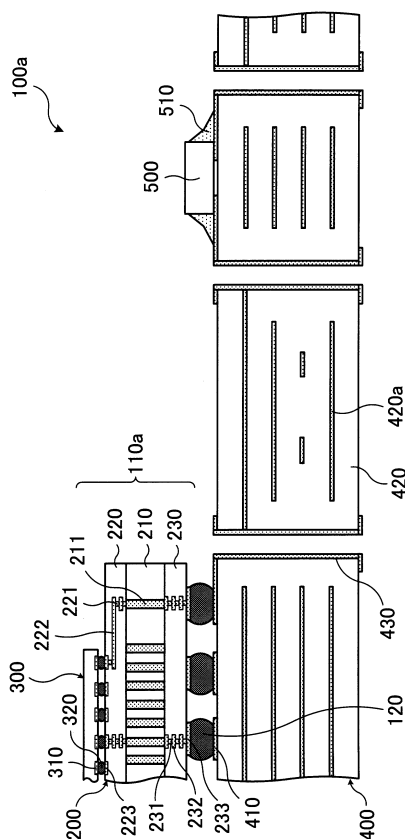
- 17, 210 コア層
- 17a, 211 貫通ビア
- 18, 19, 220, 230 配線層
- 18b, 19b, 77, 222, 232 配線
- 18c, 19c, 30, 71, 81, 223, 233, 310, 410, 621 電極
- 20A, 20B 矩形領域
- 21, 61, 75, 621b グランド電極
- 22, 62, 74, 621a シグナル電極
- 22a, 25a, 73 パッド電極部
- 23, 24 辺
- 25 電極端子
- 26, 500 AC結合コンデンサ
- 60, 90, 120, 320 バンプ
- 70, 70a, 70b, 400 マザーボード
- 80, 300 半導体素子
- 100, 100a 電子装置
- 110, 110a 半導体パッケージ
- 200, 600 パッケージ基板
- 420 プリプレグ
- 420a 導体パターン
- 430 スルーホール
- 510 半田
- 610, 620 面
- S, T, U, V 方向

10

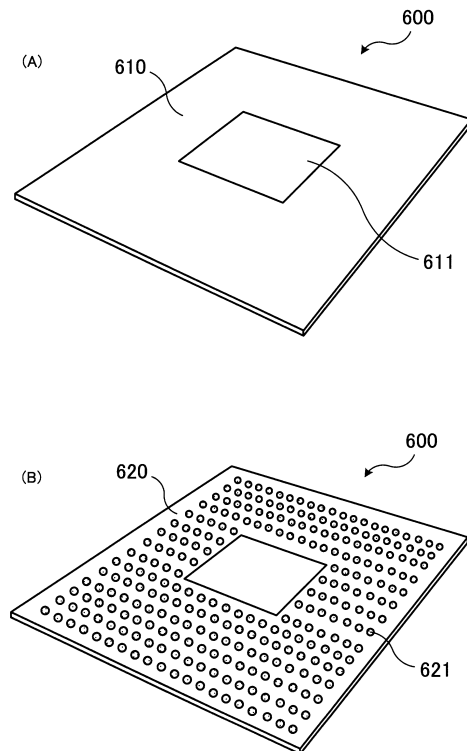
20

角度

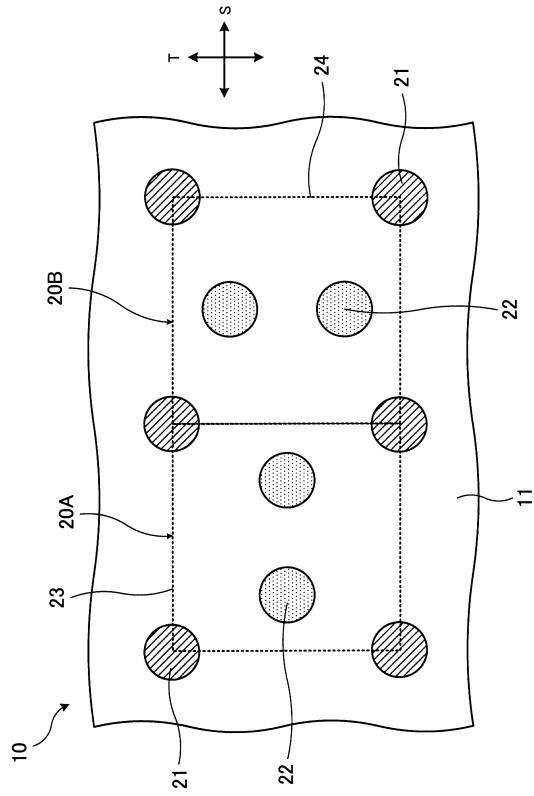
【図1】



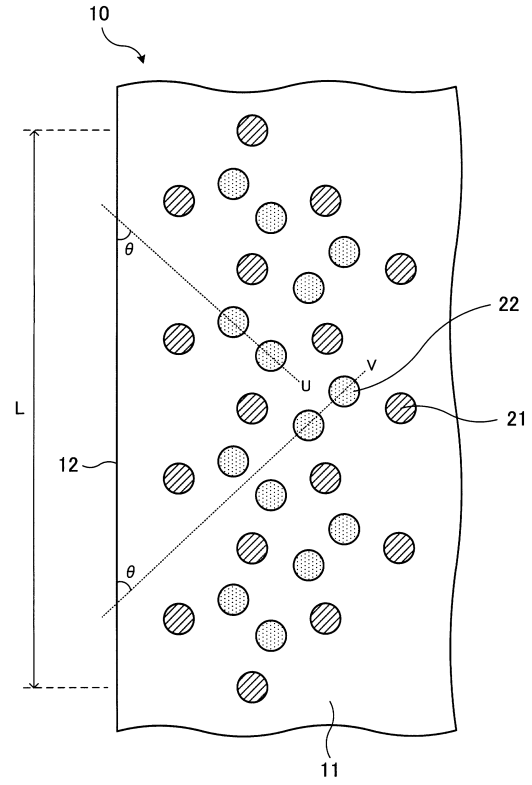
【図2】



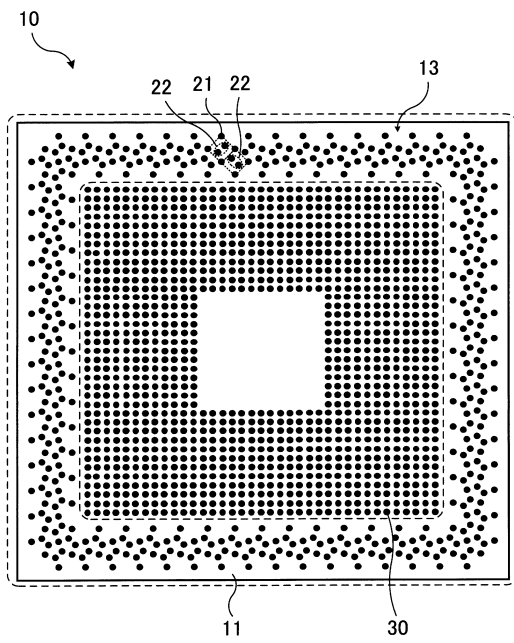
【 図 7 】



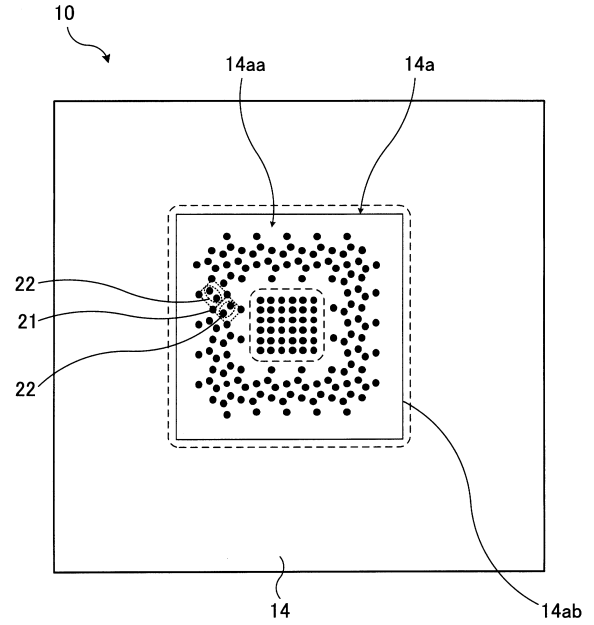
【 図 8 】



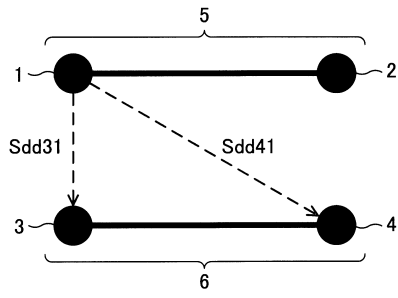
【 図 9 】



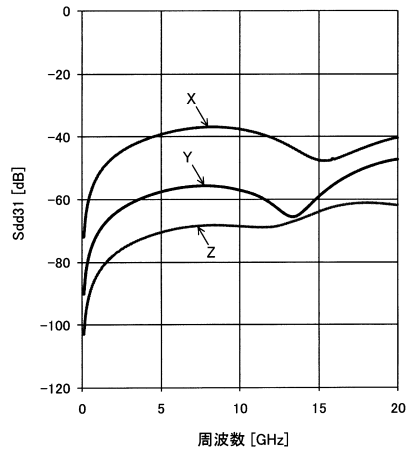
【 図 10 】



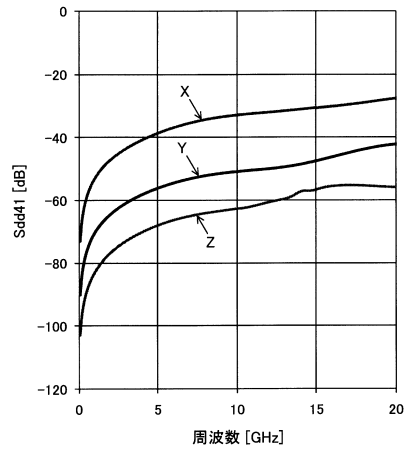
【図 1 1】



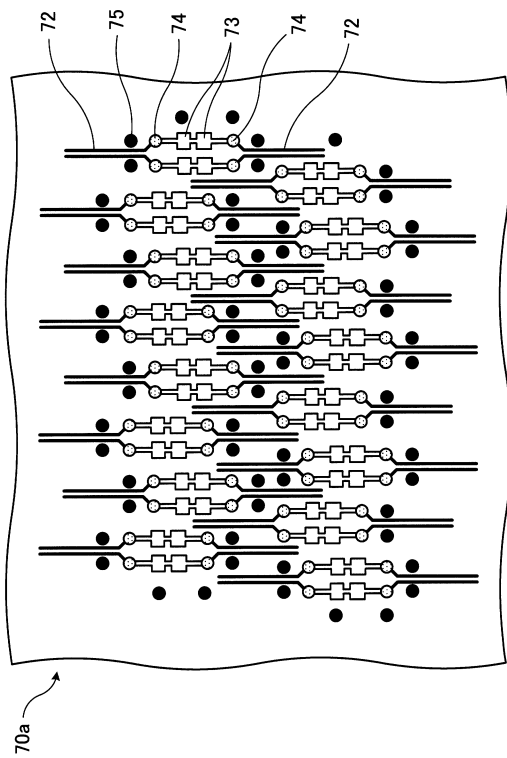
【図 1 2】



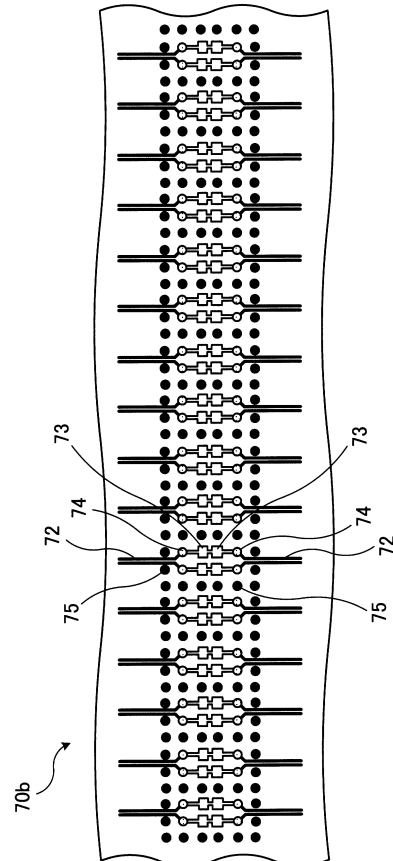
【図 1 3】



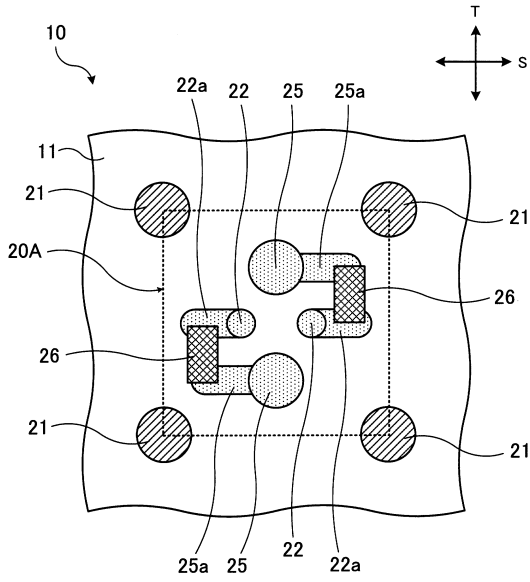
【図 1 4】



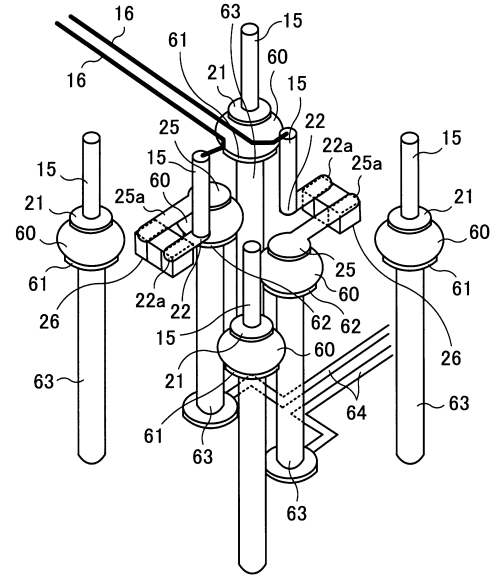
【図 1 5】



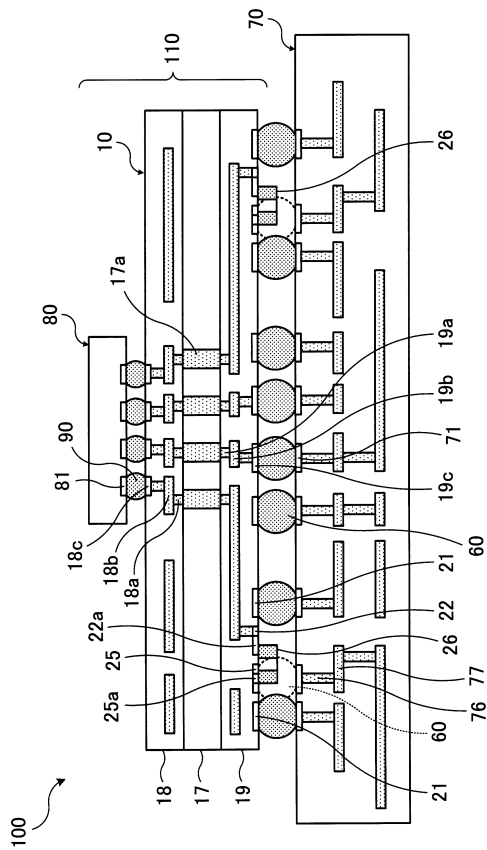
【図16】



【図17】



【図18】



フロントページの続き

(51)Int.Cl. F I
H 0 5 K 3/46 Q

(72)発明者 小出 正輝
神奈川県川崎市中原区上小田中4丁目1番1号 富士通アドバンステクノロジー株式会社内

審査官 豊島 洋介

(56)参考文献 特開2005-072581(JP,A)
特開2001-203470(JP,A)
特表2010-538446(JP,A)
米国特許第08748753(US,B1)

(58)調査した分野(Int.Cl., DB名)
H 0 1 L 2 3 / 1 2 - 2 3 / 1 5
H 0 5 K 1 / 0 0 - 1 / 0 2
3 / 4 6