(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0108168
(43) 공개일자 2015년09월25일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) *H01L 21/20* (2006.01)
H01L 21/335 (2006.01)
(21) 출원번호 10-2014-0031015
(22) 출원일자 2014년03월17일
심사청구일자 2014년03월17일

(71) 출원인
경희대학교 산학협력단
경기도 용인시 기흥구 덕영대로 1732 (서천동, 경희대학교 국제캠퍼스내)
(72) 발명자
장진
서울특별시 동대문구 경희대로 24 (회기동)
크리스토프아비스
서울특별시 동대문구 경희대로 24 (회기동)
(74) 대리인
송인호, 민영준, 최관락

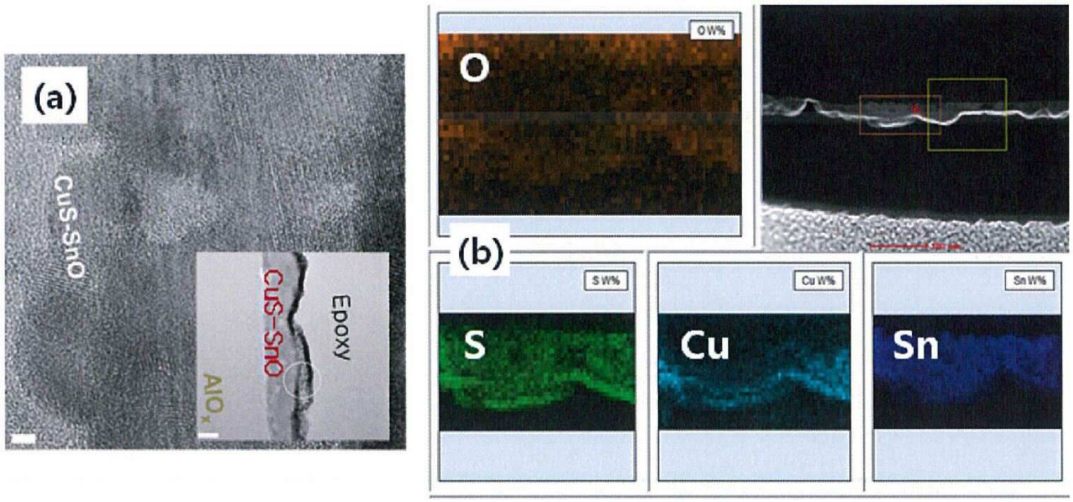
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 **갈륨을 포함하는 p형 비정질 산화물 반도체, 및 이의 제조방법**

(57) 요 약

본 발명은, 갈륨 농도 비율에 따른 용액공정으로 간편하게 제조할 수 있는 갈륨을 포함하는 p형 비정질 산화물 반도체, 및 이의 제조방법에 관한 것으로서, 보다 상세히는, CuS, 및 SnO, ITO, IZTO 및 IZO에서 선택되어지는 1종 이상의 결합에 Ga이 추가적으로 결합되어 있는 p형 산화물 반도체 및 이의 제조방법이다. 본 발명의 p형 산화물 반도체는, 용액공정에 의해 용이하게 제조할 수 있어 저온·저비용 제조가 가능할 뿐 아니라, 갈륨의 농도 비율에 따라 결정 또는 비정질 상태의 박막을 얻을 수 있으며, 높은 이동도의 고성능 박막 트랜지스터를 구현할 수 있다.

대 표 도 - 도3



이 발명을 지원한 국가연구개발사업
과제고유번호 10045269
부처명 미래창조과학부
연구관리전문기관 한국산업기술평가관리원
연구사업명 산업융합원천기술개발
연구과제명 AMOLED TV용 Soluble TFT 및 화소 형성 소재/공정 기술 개발
기 여 율 1/1
주관기관 경희대학교산학협력단
연구기간 2013.05.01 ~ 2018.04.30

명 세 서

청구범위

청구항 1

CuS, 및 SnO, ITO, IZTO, IGZO 및 IZO에서 선택되어지는 1종 이상의 결합에 Ga이 추가적으로 결합되어 있는 p형 산화물 반도체.

청구항 2

청구항 1에 있어서, 산화물 반도체는 비정질인 것임을 특징으로 하는 p형 산화물 반도체.

청구항 3

청구항 1에 있어서, Ga은 전체 조성 대비, 10 내지 60 mole% 범위 이내인 것임을 특징으로 하는 p형 산화물 반도체.

청구항 4

청구항 1에 있어서, 하기 화학식 1, 화학식 2, 및 화학식 3에서 선택되는 1종 이상으로 표현되는 것인 p형 산화물 반도체.

[화학식 1]

$CuS_{1-x}Ga_x-SnO$

[화학식 2]

$CuSGa_xSn_{1-x}O$

[화학식 3]

$CuSGa_xSnO$

상기 화학식 1, 화학식 2, 또는 화학식 3에서 $0 < x < 1$ 이다.

청구항 5

Cu, S, M, 및 Ga이 포함된 전구체 용액을 제조하는 단계(여기서, M은, SnO, ITO, IZTO, IGZO, 및 IZO에서 선택되는 1종 이상의 화합물이다);

상기 전구체 용액을 기판 상에 도포하는 단계; 및

상기 코팅층을 열처리하는 단계를 순차적으로 포함하는 p형 산화물 반도체의 제조방법.

청구항 6

청구항 5에 있어서, 상기 전구체 용액은, $[CuTu_3]Cl$를 포함하는 것임을 특징으로 하는 p형 산화물 반도체의 제조방법.

청구항 7

청구항 5에 있어서, 상기 전구체 용액은, Thiourea를 포함하는 것임을 특징으로 하는 p형 산화물 반도체의 제조방법.

청구항 8

청구항 5에 있어서, Ga은 전체 조성 대비, 10 내지 60 mole% 범위 이내인 것임을 특징으로 하는 p형 산화물 반도체.

청구항 9

청구항 5에 있어서, 상기 기판 상의 도포단계는 잉크젯 프린팅 공정에 의한 것임을 특징으로 하는 p형 산화물 반도체.

청구항 10

게이트 전극, 게이트 절연막, 활성층, 소스 전극, 및 드레인 전극을 포함하고,

상기 활성층이 청구항 1 내지 4에서 선택되는 어느 한 청구항의 p형 산화물 반도체인 것을 특징으로 하는 산화물 박막 트랜지스터.

청구항 11

청구항 10에 있어서, 상기 게이트 절연막은, SiO_2, Al_2O_3, 또는 이들의 조합인 산화물 절연 물질인 것을 특징으로 하는 산화물 박막 트랜지스터.

청구항 12

청구항 10에 있어서, 상기 게이트 전극은, 구리, 알루미늄, 또는 이들의 조합인 금속인 것을 특징으로 하는 산화물 박막 트랜지스터.

청구항 13

청구항 10에 있어서, 상기 활성층은, 위에 보호막층을 더 포함하는 것을 특징으로 하는 산화물 박막 트랜지스터.

청구항 14

스퍼터링에 의하여 증착된 박막에 있어서, 사용되는 스퍼터 타겟이 Cu, S, Ga, 및 Sn을 포함하는 것을 특징으로 하는 산화물 반도체 박막.

청구항 15

청구항 14에 있어서, O를 더 포함하는 것을 특징으로 하는 산화물 반도체 박막.

발명의 설명

기 술 분 야

[0001] 본 발명은, 갈륨 농도 비율에 따른 용액공정으로 간편하게 제조할 수 있는 갈륨을 포함하는 p형 비정질 산화물 반도체, 및 이의 제조방법에 관한 것이다.

배 경 기 술

[0002] 산화물 반도체는, 최근들어, 신문, 잡지, 교과서, 서적 등 각종 출판물을 대체할 수 있는 e-북(e-book)이나 휘어지는 플렉서블 디스플레이의 재료로서, 주목을 받고 있으며, 그의 연구가 활발히 진행되고 있다.

[0003] 왜냐하면, 산화물 반도체는, 이동도가 크고 투명하여 투명 디스플레이를 용히하게 구현할 수 있을 뿐 아니라, 종래의 기술의 한계점을 극복할 수 있는 대안 기술로서 평가되고 있기 때문이다(이하의 내용 비특허문헌 1 참조).

[0004] 즉, 기존의 실리콘(Si)기반의 기술로는, 차세대 디스플레이소자로 각광받는 OLED를 동작시키기 위한 스위칭 소자로써 a-Si 기반의 TFT소자의 낮은 이동도에 한계가 있을 뿐 아니라, 기존 a-Si 기반의 소자는 bias stress에 의해 문턱전압(threshold voltage)이 변하는 현상에 의해 오작동하는 단점이 있는데 이를 개선하기 위해서는 별도의 보정회로가 필요하게 되고, 결국 개구율과 비용적인 측면에서 한계를 극복하기 어렵다는 기술적 한계가 있다.

[0005] 또한, Excimer laser annealing(ELA) p-Si TFT의 경우에도, a-Si TFT에 비해서 높은 이동도를 갖으며, 문턱전

압 변화 현상이 적다는 장점을 가지고 있으나, laser annealing에 의한 polycrystalline 구조를 형성함에 있어서 균질도가 떨어진다는 단점을 가지고 있다.

[0006] 이에 반해, 산화물 반도체는 높은 이동도 (1~100 [cm^2/Vs])와 높은 밴드갭을 가는 직접 반도체(direct semiconductor)로서, 실리콘 기반의 소자와는 다르게 산화 현상이 발생하지 않으므로 소자의 특성 변화가 적은 장점이 있다.

[0007] 또한, 상온에서 비정질(amorphous) 또는 다결정질(polycrystalline) 구조를 갖기 때문에, 별도로 그레인(grain)을 형성하기 위한 열처리 과정이 필요하지도 않으며, TFT 소자의 균질도 또한 우수한 것으로 보고되어지고 있다.

[0008] 다만, 산화물 반도체는 oxygen-vacancies와 zinc interstitials에 의해 주로 n형으로 보고되어지고 있으며 p형 도핑이 어려운 단점을 가지고 있어서, 아직까지 CMOS type의 소자를 구현하는 것은 숙제로 남겨지고 있으며, 현재까지 산화물 반도체의 defect를 컨트롤하기 위한 노력이 많이 진행되고 있다.

[0009] 현재까지 비정질의 $InGaO_3(ZnO)_5$ (IGZO) 계열의 n-type channel 재료가 (상온 이동도: > 10㎠/Vs) 개발되어 TFT 재료로 사용되고 있다. 그러나, 유연기판 위에 반도체(inverter 등), 광소자(LED, LD 등), 태양전지와 같은 능동소자로 제작하기 위해서는 저온에서도 비정질상의 우수한 전기적 성질을 가지는 p형 산화물 재료의 개발이 요구된다.

[0010] 또한, 광기능을 활용한 광디바이스는 상기의 비정질 실리콘이 원래 가지는 작은 밴드갭으로 인한 불투명성 등의 제약으로 인하여 새로운 p형 투명 산화물 반도체를 이용한 박막트랜지스터의 개발을 필요로 하고 있다.

[0011] 2003년 일본의 호소노(Hosono) 그룹에서는 비정질 $ZnO-Rh_2O_3$ (p-type)과 IGZO (n-type) 물질을 이용한 pn 접합 다이오드를 발표하였다(비특허문헌 2 참조).

[0012] 호소노 그룹의 결과 이후에는 산화물을 이용한 p형의 반도체 신물질을 얻기 위한 연구가 진행되어 왔으나, 산화물 반도체를 만드는 과정 중에 진공장비를 사용하는 경우가 대부분이었는데, 이 방법은 저온공정이 가능하기는 하였지만 고가의 장비를 사용하는 것이 여전히 단점이 되어왔다.

[0013] 따라서 용액공정을 사용하여 산화물 반도체 TFT를 제작한다면 원가절감에 크게 도움이 될 것은 자명하다. 즉, 용액 공정으로 산화물 반도체를 개발할 경우 진공공정에 비해 각 반도체 전구체의 다양한 비율로 쉽게 용액 제작이 가능하고 스핀코팅이나 잉크젯 프린팅 방식으로 저온, 저비용으로 빠른 시간 내에 제작이 가능하다는 장점이 있다.

[0014] 현재까지 알려진 산화물 반도체는 대부분 n-type 특성을 보이고 있기 때문에 p-type 특성을 갖는 투명 산화물 반도체가 구현될 경우 CMOS 형태의 투명전자소자 제작이 가능하고 또 OLED의 구동에도 유리한 측면이 많기 때문에 도핑조건 조절 또는 신물질 개발 등으로 투명 TFT소자를 위한 p-type 투명 산화물 반도체 소재를 찾는 연구가 필요한 실정이다.

[0015] 나아가, 현재까지 발표된 p형 산화물 반도체의 경우 다결정질 상태의 산화물 박막 트랜지스터가 발표되었고 비정질 상의 산화물 박막 트랜지스터는 발표되지 않고 있다. 비정질의 투명 산화물 반도체(transparent oxide semiconductor:TOS)는 저온 공정이 가능하며, 결정립이 작아 표면조도(surface roughness)가 매우 낮아 적층 성장에 유리하며, 리소그래피 공정 등 미세패터닝에 적합하다는 장점이 있다.

선행기술문헌

비특허문헌

[0016] (비특허문헌 0001) A. P. Ramirez, 〃Oixde Electonics Emerge〃, Science, Vol.35, 2007, p.1377.

(비특허문헌 0002) S. Narushima, H Mizoguchi, K. Shimizu, K. Ueda, H. Ohta, M. Hirano, T.Kamiya, and H. Hosono, A p-type amorphous oxide semiconductor and room temperature fabrication of amorphous oxide p-n heterojunction diodes, Adv. Mater.,15, 1409 (2003).

발명의 내용

해결하려는 과제

[0017] 본 발명은, 상술한 기술의 문제점을 해결하기 위해, 갈륨을 포함하는 p형 산화물 반도체, 및 이의 제조방법을 제공하고자 한다. 특히, 본 발명의 p형 산화물 반도체는, 용액공정에 의해 용이하게 제조할 수 있어 저온·저비용 제조가 가능할 뿐 아니라, 갈륨의 농도 비율에 따라 일정 농도 이상에서 비정질 상태의 박막을 얻을 수 있다.

과제의 해결 수단

[0018] 본 발명은 상술한 종래 기술의 문제점을 해결하기 위해 안출된 것으로서,

[0019] CuS, 및 SnO, ITO, IZTO, IGZO 및 IZO에서 선택되어지는 1종 이상의 결합에 Ga이 추가적으로 결합되어 있는 p형 산화물 반도체를 제공한다.

[0020] 또한 본 발명의 산화물 반도체에 있어서, 산화물 반도체는 비정질인 것임을 특징으로 하는 p형 산화물 반도체를 제공한다.

[0021] 또한 본 발명의 산화물 반도체에 있어서, Ga은 전체 조성 대비, 10 내지 60 mole% 범위 이내인 것임을 특징으로 하는 p형 산화물 반도체를 제공한다.

[0022] 또한 본 발명의 산화물 반도체에 있어서, 하기 화학식 1, 화학식 2, 및 화학식 3에서 선택되는 1종 이상으로 표현되는 것인 p형 산화물 반도체를 제공한다.

[0023] [화학식 1]

[0024] $CuS_{1-x}Ga_x$-SnO

[0025] [화학식 2]

[0026] $CuSGa_xSn_{1-x}O$

[0027] [화학식 3]

[0028] $CuSGa_xSnO$

[0029] 상기 화학식 1, 화학식 2, 또는 화학식 3에서 $0 < x < 1$ 이다.

[0030] 또한, Cu, S, M, 및 Ga이 포함된 전구체 용액을 제조하는 단계(여기서, M은, SnO, ITO, IZTO, IGZO, 및 IZO에서 선택되는 1종 이상의 화합물이다);

[0031] 상기 전구체 용액을 기판 상에 도포하는 단계; 및

[0032] 상기 코팅층을 열처리하는 단계를 순차적으로 포함하는 p형 산화물 반도체의 제조방법을 제공한다.

[0033] 또한 본 발명의 방법에 있어서, 상기 전구체 용액은, $[CuTu_3]Cl$를 포함하는 것임을 특징으로 하는 p형 산화물 반도체의 제조방법을 제공한다.

[0034] 또한 본 발명의 방법에 있어서, 상기 전구체 용액은, Thiourea를 포함하는 것임을 특징으로 하는 p형 산화물 반도체의 제조방법을 제공한다.

[0035] 또한 본 발명의 방법에 있어서, Ga은 전체 조성 대비, 10 내지 60 mole% 범위 이내인 것임을 특징으로 하는 p형 산화물 반도체을 제공한다.

[0036] 또한 본 발명의 방법에 있어서, 상기 기판 상의 도포단계는 잉크젯 프린팅 공정에 의한 것임을 특징으로 하는 p형 산화물 반도체을 제공한다.

[0037] 또한, 게이트 전극, 게이트 절연막, 활성층, 소스 전극, 및 드레인 전극을 포함하고,

[0038] 상기 활성층이 본 발명의 화합물인 것을 특징으로 하는 산화물 박막 트랜지스터를 제공한다.

[0039] 또한 본 발명의 산화물 박막 트랜지스터에 있어서, 상기 게이트 절연막은, SiO_2, Al_2O_3, 또는 이들의 조합인 산화물 절연 물질인 것을 특징으로 하는 산화물 박막 트랜지스터를 제공한다.

[0040] 또한 본 발명의 산화물 박막 트랜지스터에 있어서, 상기 게이트 전극은, 구리, 알루미늄, 또는 이들의 조합인 금속인 것을 특징으로 하는 산화물 박막 트랜지스터.

[0041] 또한 본 발명의 산화물 박막 트랜지스터에 있어서, 상기 활성층은, 위에 보호막층을 더 포함하는 것을 특징으로 하는 산화물 박막 트랜지스터를 제공한다.

[0042] 또한, 스퍼터링에 의하여 증착된 박막에 있어서, 사용되는 스퍼터 타겟이 Cu, S, Ga, 및 Sn을 포함하는 것을 특징으로 하는 산화물 반도체 박막을 제공한다.

[0043] 또한 본 발명의 산화물 박막에 있어서, O를 더 포함하는 것을 특징으로 하는 산화물 반도체 박막을 제공한다.

발명의 효과

[0044] 본 발명의 p형 산화물 반도체는, 용액공정에 의해 용이하게 제조할 수 있어 저온·저비용 제조가 가능할 뿐 아니라, 갈륨의 농도 비율에 따라 결정 또는 비정질 상태의 박막을 얻을 수 있으며, 높은 이동도의 고성능 박막 트랜지스터를 구현할 수 있다.

도면의 간단한 설명

[0045] 도 1은 CuS-$Ga_xSn_{1-x}O$ 박막에서 Ga의 농도가 0~50%일 때의 XRD 결과를 나타낸다.

도 2는 CuS-$Ga_xSn_{1-x}O$ 박막에서 Ga의 농도가 0%, 30%, 50%일 때의 AFM 이미지를 나타낸다.

도 3은 CuS-SnO 박막의 (a) TEM 이미지와 (b) EDX (Energy Dispersive X-ray) 분광법에 의한 atomic mapping 이미지이다.

도 4는 CuS-$Ga_{0.5}Sn_{0.5}O$ 박막의 (a) TEM 이미지와 (b) EDX (Energy Dispersive X-ray) 분광법에 의한 atomic mapping 이미지이다.

도 5는 SnO_2와 CuS-$Ga_xSn_{1-x}O$의 UPS(Ultraviolet Photo Spectroscopy) 스펙트럼이다.

도 6은, p형 전구체 용액의 Raman 스펙트럼 결과를 나타낸다.

도 7은, 잉크젯 프린팅 방식으로 250℃에서 형성되고, 활성화 층으로 $CuSGa_{0.3}Sn_{0.7}O$, $CuSGa_{0.4}Sn_{0.6}O$, 및 $CuSGa_{0.5}Sn_{0.5}O$ 박막 트랜지스터의 출력 특성(output characteristics)이다.

도 8은 잉크젯 프린팅 방식으로 300℃에서 형성되고, 활성화 층으로 $CuSGa_{0.3}Sn_{0.7}O$, $CuSGa_{0.4}Sn_{0.6}O$, 및 $CuSGa_{0.5}Sn_{0.5}O$ 박막 트랜지스터의 출력 특성(output characteristics)이다.

도 9는 본 발명 일 실시예에 따른 박막 트랜지스터의 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0046] 이하, 본 발명에 대하여 상세히 설명한다.

[0047] 본 발명의 일측면은,

[0048] CuS, 및 SnO, ITO, IZTO, IGZO, 및 IZO에서 선택되어지는 1종 이상의 결합에 Ga이 추가적으로 결합되어 있는 p형 산화물 반도체에 관한 것이다.

[0049] 상기 CuS는 황화구리(Copper monosulfide)이고, SnO는 산화주석(Tin(Ⅱ) oxide)이고, ITO는 인듐 주석 산화물(Indium Tin Oxide)이고, IZTO는 인듐 징크 주석 산화물(Indium Zinc Tin Oxide)이고, IGZO는 인듐 갈륨 징크 산화물(Indium Zinc Gallium Oxide)이며, IZO는 인듐 징크 산화물(Indium Zinc Tin Oxide)을 말하는 용어로서, 당해 기술분야의 통상의 지식을 가진 자(이하, '당업자'라 한다)에게 자명한 사항이다.

[0050] 본 발명의 특징적인 요소는 CuS-$Ga_xSn_{1-x}O$에서 Ga의 농도를 0.3 이상으로 조절하면 결정상태의 박막이 비정질 박막으로 변화하는 것이다. 이에 대한 보다 상세한 설명은 후술한 실시예를 참조하여 이해할 수 있을 것이다.

[0051] 상기 Ga은 전체 조성 대비, 10 내지 60 mole% 범위 이내인 것이 바람직하다.

[0052] 본 발명의 p형 산화물 반도체는, 하기 화학식 1, 화학식 2, 및 화학식 3에서 선택되는 1종 이상으로 표현되는 것일 수 있다.

[0053] [화학식 1]

[0054] $CuS_{1-x}Ga_x$-SnO

[0055] [화학식 2]

[0056] $CuSGa_xSn_{1-x}O$

[0057] [화학식 3]

[0058] $CuSGa_xSnO$

[0059] 상기 화학식 1, 화학식 2, 또는 화학식 3에서 $0 < x < 1$ 이다.

[0060] 또한, 본 발명의 다른 측면은,

[0061] Cu, S, M, 및 Ga이 포함된 전구체 용액을 제조하는 단계(여기서, M은, SnO, ITO, IZTO, IGZO, 및 IZO에서 선택되는 1종 이상의 화합물이다);

[0062] 상기 전구체 용액을 기판 상에 도포하는 단계; 및

[0063] 상기 코팅층을 열처리하는 단계를 순차적으로 포함하는 p형 산화물 반도체의 제조방법에 관한 것이다.

[0064] 상기 전구체 용액은, $[CuTu_3]Cl$를 포함하는 것이 바람직하다.

[0065] 상기 전구체 용액은, Thiourea를 포함하는 것이 바람직하다.

[0066] 상기 Ga은 전체 조성 대비, 10 내지 60 mole% 범위 이내인 것이 바람직하다.

[0067] 상기 기판 상의 도포단계는, 진공 공정, 스핀 코팅, 슬롯 프린팅(slot printing), 또는 잉크젯 프린팅 공정에 의한 것일 수 있지만, 공정의 단순성 및 비용 측면에서 스핀 코팅 또는 잉크젯 프린팅 공정에 의한 것이 바람직하다.

[0068] 본 발명의 또 다른 측면은,

[0069] 게이트 전극, 게이트 절연막, 활성층, 소스 전극, 및 드레인 전극을 포함하고,

[0070] 상기 활성층이 본 발명의 p형 반도체 산화물인 것을 특징으로 하는 산화물 박막 트랜지스터에 관한 것이다.

[0071] 도 9에 본 발명 일 실시예에 따른 박막 트랜지스터의 단면도를 나타내었다.

[0072] 상기 게이트 절연막은, SiO_2, Al_2O_3, 또는 이들의 조합인 산화물 절연 물질인 것을 사용할 수 있고, 특별히 제한되지 않는다.

[0073] 상기 게이트 전극은, 구리, 알루미늄, 또는 이들의 조합인 금속인 것을 사용할 수 있고, 특별히 제한되지 않는다.

[0074] 상기 활성층은, 외부로부터의 손상 방지를 위해, 그 위에 보호막층을 포함하는 것일 수 있다.

[0075] 이상에서 설명한 구성 이외의 박막 트랜지스터에 대한 대해서는, 종래 기술의 구성을 본 발명의 목적을 해하지 않는 범위 내에서 자유롭게 비제한적으로 사용할 수 있고, 이에 대한 상세한 설명은 당업자에 자명하므로, 그 설명은 생략하도록 한다.

[0076] 이하, 본 발명에 대하여 실시예를 들어 보다 더 상세히 설명한다. 이하의 실시예는 발명의 상세한 설명을 위한 것일 뿐이므로, 이에 의해 권리범위를 제한하려는 의도가 아님을 분명히 한다.

[0077] **실시예**

[0078] 전구체 용액의 제조

[0079] 질소 환경 하에서, $CuCl_2$, NH_2CSNH_2(Thiourea), $Ga(NO_3)_3 \cdot xH_2O$(Gallium nitrate hydrate), $SnCl_2$를 아세토니트릴 및 에틸렌글리콜 용매에 녹여 전구체 용액을 제조하였다.

[0080] 활성층의 형성

[0081] 상기 제조된 전구체 용액을 스핀 코팅 한 후, 240℃ 핫플레이트 상에서 약 1분 동안 열처리하거나, 60℃ 기판 상에 잉크젯 프린팅하여 활성층을 형성하였다.

[0082] 열처리 단계

[0083] 상기 스핀 코팅 또는 잉크젯 프린팅에 의해 형성된 활성화층은, 질소 분위기 하에서 300℃ 온도에서 약 1시간 동안 어닐링(anealing) 되었다.

[0084] 반도체 산화물 분석

[0085] 도 1은 CuS-$Ga_xSn_{1-x}O$ 박막에서 Ga의 농도가 0~50%일 때의 XRD 결과를 나타낸다.

[0086] CuS-$Ga_xSn_{1-x}O$는 다결정 구조(2Θ=28°,32°)이고, Ga의 농도가 30% 이상인 경우 결정 상태에서 비정질 상태로 변화한다.

[0087] 도 2는 CuS-$Ga_xSn_{1-x}O$ 박막에서 Ga의 농도가 0%, 30%, 50%일 때의 AFM 이미지를 나타낸다.

[0088] Ga의 농도가 0%일 때 바늘 모양의 박막이 형성되었고, 제곱 평균 거칠기(root-mean-square(RMS) roughness)의 값이 23~90㎚이고, 이 경우 박막질이 좋지 않았다.

[0089] 그러나, Ga의 농도가 증가할수록 제곱 평균 거칠기의 값이 감소하여 박막질이 향상되었다. 30%일 때는, 0.46~2.5㎚이고, 50%일 때는 0.67~3.4㎚를 나타내었다.

[0090] 도 3은 CuS-SnO 박막의 (a) TEM 이미지와 (b) EDX (Energy Dispersive X-ray) 분광법에 의한 atomic mapping 이미지이다. CuS-SnO 박막은, Cu, S, Sn, 및 O가 각각 존재하며 균일하지 않은 박막 상태의 결정 구조를 나타낸다. 이는 도 1 XRD 결과에서 Ga이 0%일 때, 결정 피크가 존재함과 일치한다.

[0091] 도 4는 CuS-$Ga_{0.5}Sn_{0.5}O$ 박막의 (a) TEM 이미지와 (b) EDX (Energy Dispersive X-ray) 분광법에 의한 atomic mapping 이미지이다. CuS-$Ga_{0.5}Sn_{0.5}O$ 박막은, Cu, S, Sn, 및 O가 각각 존재하며 균일한 비정질 구조를 나타낸다.

[0092] 도 5와 표 1은 SnO_2와 CuS-$Ga_xSn_{1-x}O$의 UPS(Ultraviolet Photo Spectroscopy) 스펙트럼과 work function, Fermi level과 valence band의 차이, 및 ionization potential의 값을 정리한 표이다.

표 1

Material	Workfunction (eV)	E_F-E_{VBM} (eV)	Ip (eV)
SnO_2	3.96	3.56	7.52
CuS-SnO	4.64	0.73	5.37
CuS-$Ga_{0.1}Sn_{0.9}O$	4.63	0.94	5.57
CuS-$Ga_{0.2}Sn_{0.8}O$	4.61	0.93	5.54
CuS-$Ga_{0.3}Sn_{0.7}O$	4.66	0.93	5.59
CuS-$Ga_{0.4}Sn_{0.6}O$	4.7	0.99	5.69
CuS-$Ga_{0.5}Sn_{0.5}O$	4.7	1.02	5.72

[0093]

[0094] CuS-$Ga_xSn_{1-x}O$ 박막에서 결정화된 박막 (Ga<0.3)인 경우, 4.63, 4.61 eV의 work function 값을 나타내고, 비정질 박막 (Ga≥0.3)인 경우, ≥4.66 eV의 높은 값을 나타내었다.

[0095] 도 6은, p형 전구체 용액의 Raman 스펙트럼 결과를 나타낸다. (a)는 600-800cm^{-1} 영역의 p형 반도체 용액의 Raman 스펙트럼 결과로 710cm^{-1} 에서 $[Cu(Tu)_3]n$ 폴리머가 형성되었고, Ga 또는 Sn을 첨가하면 파상수 (Wavenumber)가 720cm^{-1}으로 이동하며, 용액 내에 Ga 또는 Sn이 존재함을 나타낸다.

[0096] (b)는 250-450cm^{-1} 영역의 Raman 스펙트럼 결과이다. 290cm^{-1} 에서는 Sn이 340cm^{-1} 에서는 Sn과 Cu가 존재함을 나타낸다. Tu 또는 Ca가 용액에 첨가되면 파상수(Wavenumber) 349cm^{-1} 로 이동하며, 이는 용액 내에 Tu가 존재함을 나타낸다.

[0097] 도 7은, 잉크젯 프린팅 방식으로 250℃에서 형성되고, 활성화 층으로 $CuSGa_{0.3}Sn_{0.7}O$, $CuSGa_{0.4}Sn_{0.6}O$, 및 $CuSGa_{0.5}Sn_{0.5}O$ 박막 트랜지스터의 출력 특성(output characteristics)이다.

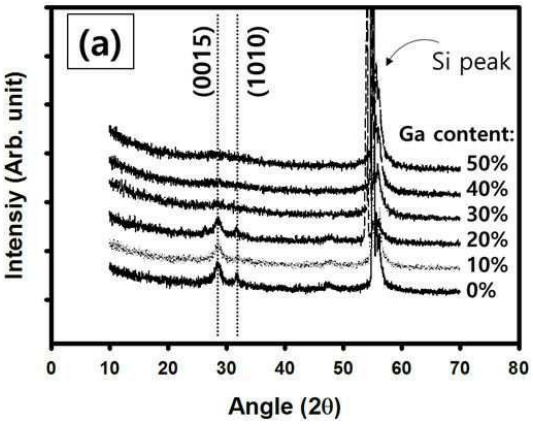
[0098] 도 8은 잉크젯 프린팅 방식으로 300℃에서 형성되고, 활성화 층으로 $CuSGa_{0.3}Sn_{0.7}O$, $CuSGa_{0.4}Sn_{0.6}O$, 및 $CuSGa_{0.5}Sn_{0.5}O$ 박막 트랜지스터의 출력 특성(output characteristics)이다.

[0099] 도 8에 나타난 바와 같이, 활성화 층으로 $CuSGa_{0.5}Sn_{0.5}O$ 박막 트랜지스터 경우는 28.52 ㎠/Vs의 높은 전계효과 이동도를 나타내고 -3.96V 문턱전압을 나타낸다.

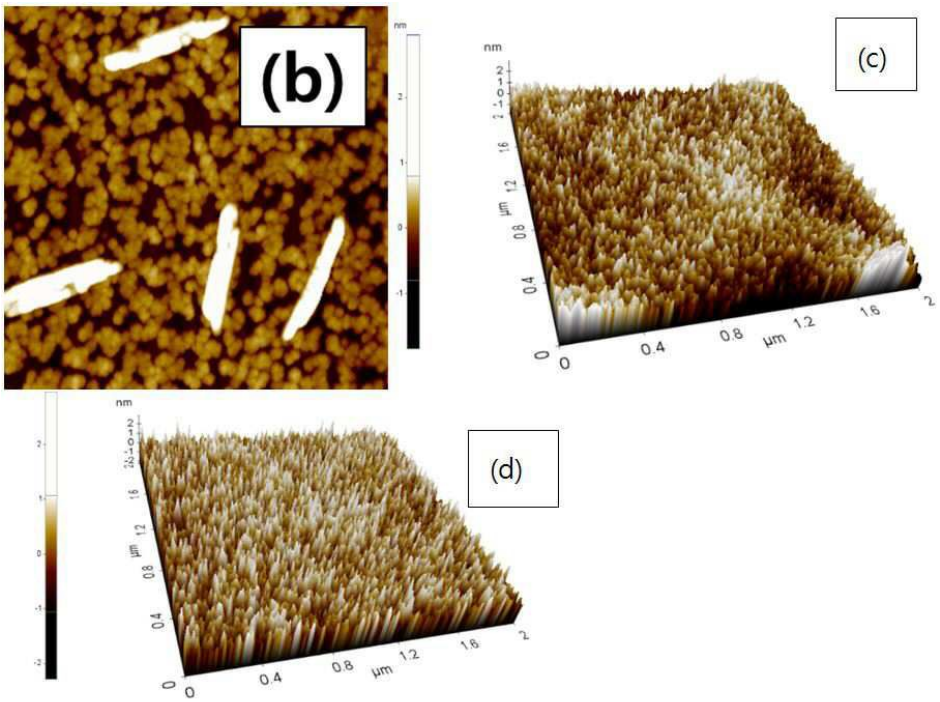
[0100] 이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 부가 및 변경이 가능하다는 것이 당업자에게 있어 명백할 것이다.

도면

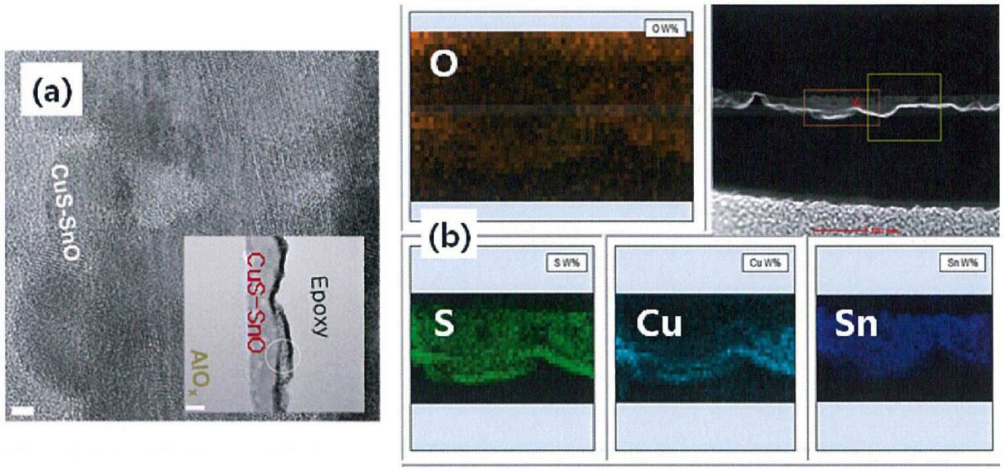
도면1


(a)
(0015)
(1010)
Si peak
Ga content:
50%
40%
30%
20%
10%
0%
Intensiy (Arb. unit)
0
10
20
30
40
50
60
70
80
Angle (2θ)

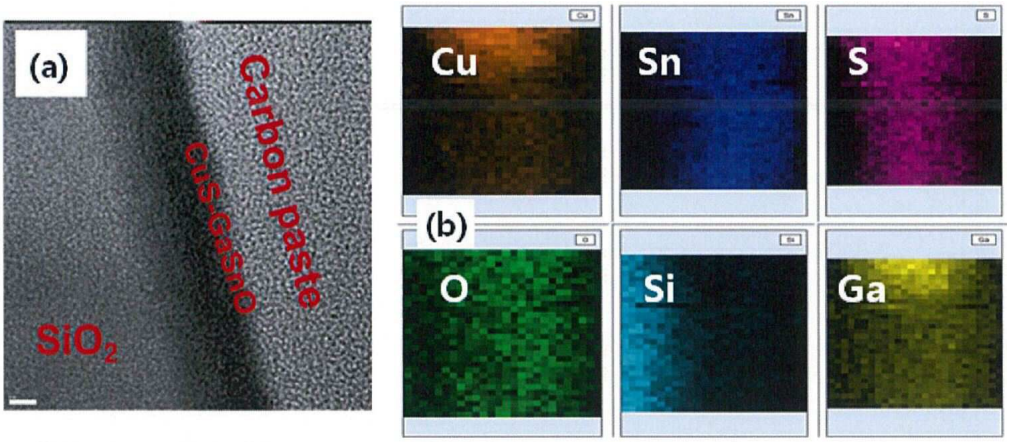
도면2


(b)
(c)
(d)
nm
μm
0
0.4
0.8
1.2
1.6
2

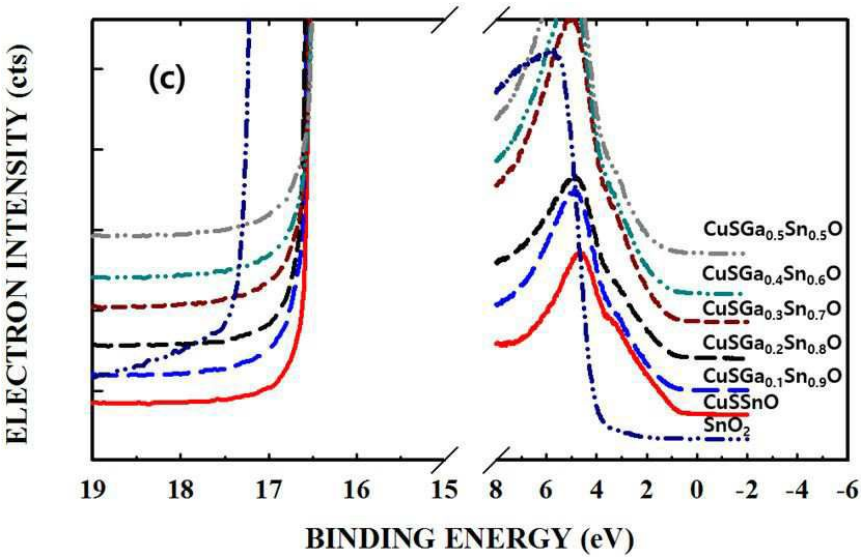
도면3


(a)
CuS-SnO
Epoxy
CuS-SnO
AlOx
O
(b)
S
Cu
Sn

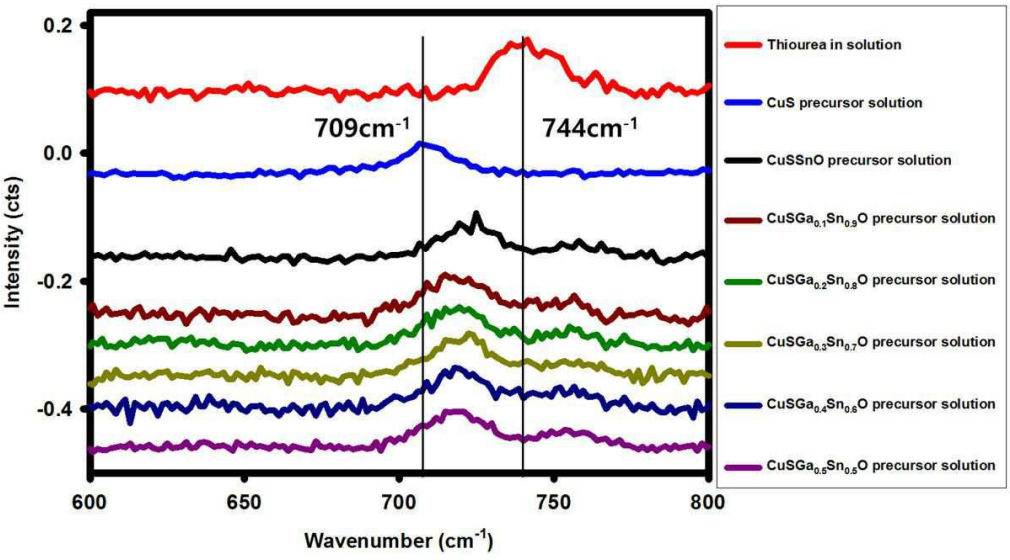
도면4


(a)
Carbon paste
CuS-GaSnO
SiO2
Cu
Sn
S
(b)
O
Si
Ga

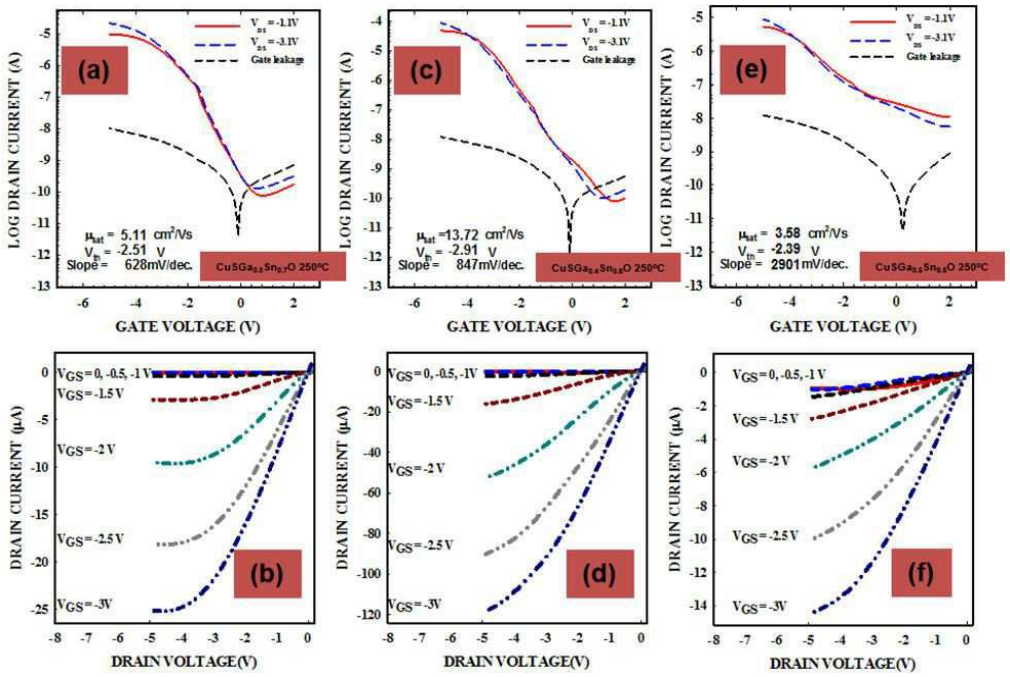
도면5


(c)
ELECTRON INTENSITY (cts)
BINDING ENERGY (eV)
19
18
17
16
15
8
6
4
2
0
-2
-4
-6
CuSGa0.5Sn0.5O
CuSGa0.4Sn0.6O
CuSGa0.3Sn0.7O
CuSGa0.2Sn0.8O
CuSGa0.1Sn0.9O
CuSSnO
SnO2

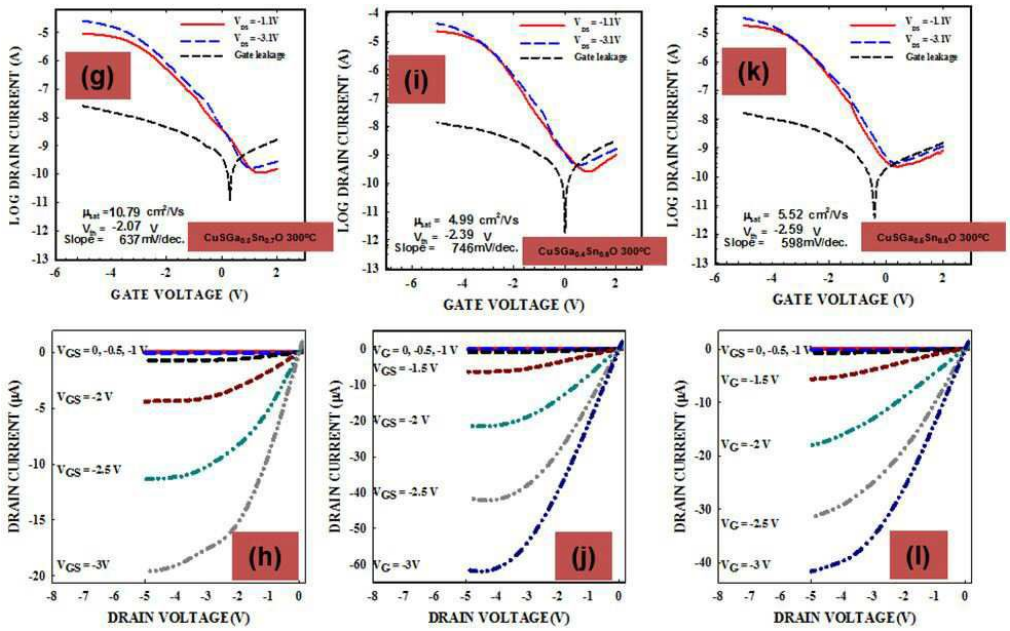
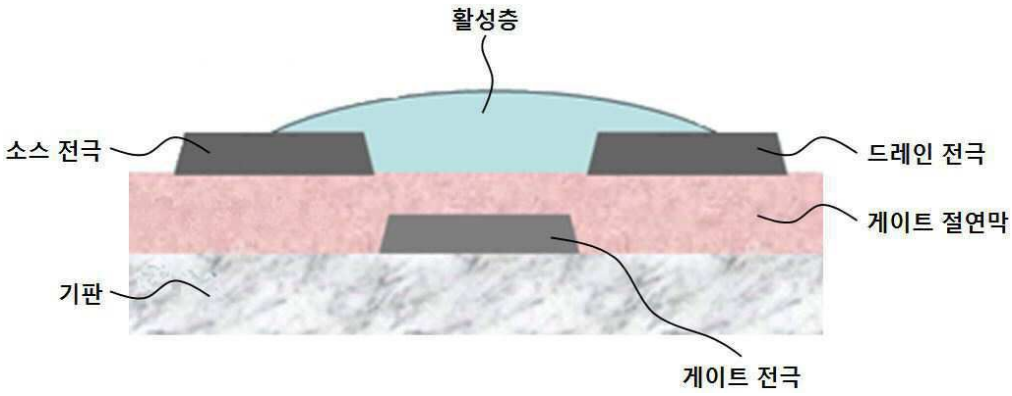
도면6


0.2
0.0
-0.2
-0.4
Intensity (cts)
709cm-1
744cm-1
600
650
700
750
800
Wavenumber (cm-1)
Thiourea in solution
CuS precursor solution
CuSSnO precursor solution
CuSGa0.1Sn0.9O precursor solution
CuSGa0.2Sn0.8O precursor solution
CuSGa0.3Sn0.7O precursor solution
CuSGa0.4Sn0.6O precursor solution
CuSGa0.5Sn0.5O precursor solution

도면7


(a)
(b)
(c)
(d)
(e)
(f)
LOG DRAIN CURRENT (A)
DRAIN CURRENT (μA)
GATE VOLTAGE (V)
DRAIN VOLTAGE(V)
Gate leakage
μsat = 5.11 cm²/Vs
Vth = -2.51 V
Slope = 628mV/dec.
CuSGa0.2Sn0.8O 250°C
μsat =13.72 cm²/Vs
Vth = -2.91 V
Slope = 847mV/dec.
CuSGa0.4Sn0.6O 250°C
μsat = 3.58 cm²/Vs
Vth = -2.39 V
Slope = 2901mV/dec.
CuSGa0.6Sn0.4O 250°C
VGS = 0, -0.5, -1 V
VGS = -1.5 V
VGS = -2 V
VGS = -2.5 V
VGS = -3V

도면8


(g)
(h)
(i)
(j)
(k)
(l)
LOG DRAIN CURRENT (A)
DRAIN CURRENT (μA)
GATE VOLTAGE (V)
DRAIN VOLTAGE(V)
Gate leakage
μsat =10.79 cm²/Vs
Vth = -2.07 V
Slope = 637 mV/dec.
CuSGa0.2Sn0.8O 300°C
μsat = 4.99 cm²/Vs
Vth = -2.39 V
Slope = 746mV/dec.
CuSGa0.4Sn0.6O 300°C
μsat = 5.52 cm²/Vs
Vth = -2.59 V
Slope = 598mV/dec.
CuSGa0.6Sn0.4O 300°C
VGS = 0, -0.5, -1 V
VGS = -1.5 V
VGS = -2 V
VGS = -2.5 V
VGS = -3V

도면9