



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2012년06월15일  
(11) 등록번호 10-1157240  
(24) 등록일자 2012년06월11일

(51) 국제특허분류(Int. Cl.)  
G09G 3/20 (2006.01) G09G 3/36 (2006.01)  
G09G 3/30 (2006.01) G02F 1/133 (2006.01)  
(21) 출원번호 10-2005-0029839  
(22) 출원일자 2005년04월11일  
심사청구일자 2010년03월24일  
(65) 공개번호 10-2006-0107635  
(43) 공개일자 2006년10월16일  
(56) 선행기술조사문헌  
KR100391729 B1\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
**엘지디스플레이 주식회사**  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
**김빈**  
서울특별시 양천구 목동서로 130, 목동4단지아파트 408동 2003호 (목동)  
**장용호**  
경기도 성남시 분당구 수내로 201, - 414동 806호 (분당동, 셋별마을)  
**조혁력**  
인천광역시 남동구 담방로 105, 만수주공8단지 805동 1109호 (만수동)  
(74) 대리인  
**허용록**

전체 청구항 수 : 총 9 항

심사관 : 최훈영

**(54) 발명의 명칭** 쉬프트 레지스터의 구동방법, 게이트 드라이버 및 이를구비한 표시장치

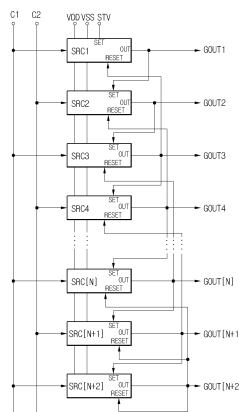
**(57) 요약**

신뢰성있는 쉬프트 레지스터의 구동방법, 게이트 드라이버 및 이를 구비한 표시장치가 개시된다.

본 발명의 게이트 드라이버는 순차적으로 출력신호들을 출력하는 다수의 쉬프트 레지스터들로 구성된다. 쉬프트 레지스터들 중 제[N] 쉬프트 레지스터는 제[N+2] 쉬프트 레지스터의 제[N+2] 출력신호에 의해 리셋된다.

따라서, 본 발명에서는 리셋 시점을 지연시켜 출력신호를 신속하게 방전되도록 함으로써, 오동작에 따른 화질 불량량을 억제하여 제품에 대한 신뢰성을 향상시킬 수 있다.

**대표도 - 도5**



**특허청구의 범위**

**청구항 1**

적어도 2상 이상의 클럭에 응답하여 순차적으로 출력신호들을 출력하는 다수의 쉬프트 레지스터들로 구성되고,

상기 쉬프트 레지스터들 중 제[N] 쉬프트 레지스터는 제[N+2] 쉬프트 레지스터의 제[N+2] 출력신호에 의해 리셋되고,

상기 제[N] 쉬프트 레지스터와 상기 제[N+2] 쉬프트 레지스터에는 동일 레벨의 동일 클럭이 인가되는 것을 특징으로 하는 게이트 드라이버.

**청구항 2**

제1항에 있어서, 상기 제[N] 쉬프트 레지스터는 제1 클럭 구간 동안 제[N-1] 쉬프트 레지스터의 제[N-1] 출력신호를 노드에 충전하고, 제2 클럭 구간 동안 상기 충전된 노드에 의해 하이 상태의 제[N] 출력신호를 출력하고, 제3 클럭 구간 동안 상기 하이 상태의 제[N] 출력신호를 로우 상태로 방전하고, 제4 클럭 구간 동안 상기 제[N+2] 쉬프트 레지스터의 제[N+2] 출력신호에 의해 상기 충전된 노드를 방전하는 것을 특징으로 하는 게이트 드라이버.

**청구항 3**

제2항에 있어서, 상기 [N] 쉬프트 레지스터에는 상기 제1 클럭 구간 동안 로우 레벨의 클럭이 인가되고, 상기 제2 클럭 구간 동안 하이 레벨의 클럭이 인가되고, 상기 제3 클럭 구간 동안 로우 레벨의 클럭이 인가되며, 상기 제4 클럭 구간 동안 하이 레벨의 클럭이 인가되는 게이트 드라이버.

**청구항 4**

제1항에 있어서, 상기 제[N] 쉬프트 레지스터와 상기 제[N+2] 쉬프트 레지스터 사이에 위치한 제[N+1] 쉬프트 레지스터로부터 제[N+1] 출력신호가 출력되는 동안, 상기 제[N] 쉬프트 레지스터의 제[N] 출력신호는 로우 상태로 방전되는 것을 특징으로 하는 게이트 드라이버.

**청구항 5**

적어도 2상 이상의 클럭에 응답하여 순차적으로 출력신호들을 출력하는 다수의 쉬프트 레지스터들로 구성된 게이트 드라이버에서 제[N] 쉬프트 레지스터의 구동방법에 있어서,

제1 클럭 구간 동안 제[N-1] 쉬프트 레지스터의 제[N-1] 출력신호를 노드에 충전하는 단계;

제2 클럭 구간 동안 상기 충전된 노드에 의해 하이 상태의 제[N] 출력신호를 출력하는 단계;

제3 클럭 구간 동안 상기 하이 상태의 제[N] 출력신호를 로우 상태로 방전하는 단계; 및

제4 클럭 구간 동안 제[N+2] 쉬프트 레지스터의 제[N+2] 출력신호에 의해 상기 충전된 노드를 방전하는 단계를 포함하고,

상기 제[N] 쉬프트 레지스터와 상기 제[N+2] 쉬프트 레지스터에는 동일 레벨의 동일 클럭이 인가되는 것을 특징으로 하는 쉬프트 레지스터의 구동방법.

**청구항 6**

제5항에 있어서,

상기 [N] 쉬프트 레지스터에는 상기 제1 클럭 구간 동안 로우 레벨의 클럭이 인가되고, 상기 제2 클럭 구간 동안 하이 레벨의 클럭이 인가되고, 상기 제3 클럭 구간 동안 로우 레벨의 클럭이 인가되며, 상기 제4 클럭 구간 동안 하이 레벨의 클럭이 인가되는 쉬프트 레지스터의 구동 방법.

**청구항 7**

게이트라인들과 데이터라인들에 의해 정의된 화소들이 매트릭스 형태로 배열된 표시패널;

상기 표시패널의 게이트라인들에 대응하는 출력신호들을 공급하기 위한 게이트 드라이버; 및  
 상기 표시패널의 데이터라인들에 화상 데이터를 공급하기 위한 데이터 드라이버  
 를 포함하고,  
 상기 게이트 드라이버는,  
 적어도 2상 이상의 클럭에 응답하여 순차적으로 출력신호들을 출력하는 다수의 쉬프트 레지스터들로  
 구성되고,  
 상기 쉬프트 레지스터들 중 제[N] 쉬프트 레지스터는 제[N+2] 쉬프트 레지스터의 제[N+2] 출력신호에 의해 리  
 셋되고,  
 상기 제[N] 쉬프트 레지스터와 상기 제[N+2] 쉬프트 레지스터에는 동일 레벨의 동일 클럭이 인가되는 것을 특  
 징으로 하는 표시장치.

**청구항 8**

제3항에 있어서,  
 상기 제3 클럭 구간 동안 상기 하이 상태의 제[N] 출력신호는 상기 로우 레벨의 클럭에 의해 로우 상태로 방  
 전되는 것을 특징으로 하는 게이트 드라이버.

**청구항 9**

제6항에 있어서,  
 상기 제3 클럭 구간 동안 상기 하이 상태의 제[N] 출력신호는 상기 로우 레벨의 클럭에 의해 로우 상태로 방  
 전되는 것을 특징으로 하는 쉬프트 레지스터의 구동 방법.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- [0009] 본 발명은 쉬프트 레지스터에 관한 것으로, 특히 신뢰성을 갖는 쉬프트 레지스터의 구동방법, 게이트 드라이  
 버 및 이를 구비한 표시장치에 관한 것이다.
- [0010] 매트릭스(matrix) 형태로 배열된 화소들을 제어하여 화상을 표시하는 표시장치가 각광받고 있다. 상기 표시장  
 치는 액정표시장치(LCD: Liquid crystal display)나 유기발광다이오드(OLED: Organic Light Emitting Diode)  
 일 수 있다.
- [0011] 이러한 표시장치는 화소들이 매트릭스 형태로 배열된 표시패널과, 라인별 화소들을 스캐닝하기 위한 게이트  
 드라이버와, 화상 데이터를 공급하기 위한 데이터 드라이버를 구비한다.
- [0012] 최근 들어, 제조단가, 공정 단순화, 경량 박형 등의 장점을 얻기 위해 게이트 드라이버 및/또는 데이터 드라  
 이버를 표시패널 상에 내장한 표시장치가 활발히 개발되고 있다. 표시패널을 제조할 때, 게이트 드라이버 및/  
 또는 데이터 드라이버도 동시에 제조된다. 즉, 표시패널에는 각 화소들을 제어하기 위한 박막트랜지스터(TF  
 T)가 구비되는데, 이러한 박막트랜지스터와 동일한 반도체 공정을 통해 게이트 드라이버 및/또는 데이터 드라  
 이버가 제조될 수 있다.
- [0013] 각 드라이버는 출력신호를 출력하기 위한 다수의 쉬프트 레지스터들로 구성된다. 예컨대, 표시패널의 게이트  
 라인이 10개인 경우, 상기 게이트라인에 개별적으로 출력을 공급하기 위한 쉬프트 레지스터 또한 10개가 구비  
 될 수 있다.
- [0014] 도 1은 종래의 게이트 드라이버를 도시한 블록도이다.
- [0015] 도 1을 참조하면, 종래의 게이트 드라이버는 종속 연결된 복수의 쉬프트 레지스터들(SRC1 내지 SRC[N+1])을

구비한다. 즉, 각 쉬프트 레지스터의 출력단자(OUT)가 다음 쉬프트 레지스터의 셋단자(SET)에 연결된다. 쉬프트 레지스터들은 N개의 게이트 라인들에 대응된 N개의 쉬프트 레지스터들(SRC1 내지 SRC[N])과 마지막 쉬프트 레지스터(SRC[N])를 리셋시키기 위한 더미 쉬프트 레지스터(SRC[N+1])로 구성된다.

- [0016] 제1 쉬프트 레지스터(SRC1)는 펄스 개시신호(STV)에 의해 셋된다. 여기서, 펄스 개시신호(STV)는 수직동기신호(Vsync)에 동기된 펄스이다. 제2 쉬프트 레지스터 내지 제N+1 쉬프트 레지스터(SRC2 내지 SRC[N+1])는 각각 이전 쉬프트 레지스터의 출력신호에 의해 셋된다. N개의 게이트라인들이 구비될 때, 각 쉬프트 레지스터의 출력신호(GOUT1 내지 GOUT[N])는 대응된 각 게이트라인에 연결되고, 더미 쉬프트 레지스터(SRC[N+1])의 출력신호(GOUT[N+1])는 어떠한 게이트라인에도 연결되지 않는다.
- [0017] 홀수 번째 쉬프트 레지스터들(SRC1, SRC3, ...)에는 제1 클럭(CKV)이 제공되고, 짝수 번째 쉬프트 레지스터들(SRC2, SRC4, ...)에는 제2 클럭(CKVB)이 제공된다. 여기서, 제1 클럭(CKV)과 제2 클럭(CKVB)은 서로 반대되는 위상을 가진다. 제1 클럭(CKV)은 홀수 번째 쉬프트 레지스터들(SRC1, SRC3 등)에 동시에 인가되고, 제2 클럭(CKVB)은 짝수 번째 쉬프트 레지스터들(SRC2, SRC4 등)에 동시에 인가된다.
- [0018] 상기 펄스 개시신호(STV)는 제2 클럭(CKVB)이 하이상태일 때 상기 제1 쉬프트 레지스터(SRC1)로 인가된다.
- [0019] 각 쉬프트 레지스터들(SRC1 내지 SRC[N])은 제1 클럭(CKV) 또는 제2 클럭(CKVB)에 동기되어 대응된 출력신호들(GOUT1 내지 GOUT[N])을 출력시킨다.
- [0020] 더미 쉬프트 레지스터(SRC[N+1])를 제외한 쉬프트 레지스터들(SRC1 내지 SRC[N])은 각각 다음 쉬프트 레지스터의 출력신호에 의해 리셋된다.
- [0021] 따라서, 각 쉬프트레지스터(SRC1 내지 SRC[N])는 이전 쉬프트 레지스터의 출력신호에 의해 셋되고, 제1 클럭(CKV) 또는 제2 클럭(CKVB)에 동기되어 출력되고 다음 쉬프트 레지스터의 출력신호에 의해 리셋된다. 다만, 더미 쉬프트 레지스터(SRC[N+1]) 다음 쉬프트 레지스터가 존재하지 않으므로, 더미 쉬프트 레지스터(SRC[N+1])는 자신의 출력신호(GOUT[N+1])에 의해 리셋된다.
- [0022] 도 2는 도1의 제1 쉬프트 레지스터를 상세히 도시한 도면이고, 도 3은 도 2를 구동시키기 위한 파형을 도시한 도면이다. 도 1에 도시된 모든 쉬프트 레지스터는 도 2와 동일한 구조를 가지므로, 설명의 편의를 위해 제1 쉬프트 레지스터(SRC1)가 대표 쉬프트 레지스터로 설명된다.
- [0023] 펄스 개시신호(STV)가 하이 상태일 때, 제1 클럭(CKV)은 로우 상태이고, 제2 클럭(CKVB)은 하이 상태가 된다. 또한, 상기 제1 클럭(CKV)과 상기 제2 클럭(CKVB)은 클럭 단위로 하이 상태를 갖는다.
- [0024] 도 2 및 도 3을 참조하면, 제2 클럭(CKVB) 구간 동안, 제1 하이 상태를 갖는 펄스 개시신호(STV)에 의해 제1 쉬프트 레지스터(SRC1)가 셋된다. 즉, 펄스 개시신호(STV)가 인가되면, Q노드가 펄스 개시신호(STV)로 충전되고, 충전된 Q노드에 의해 제1 트랜지스터(M1)가 턴-온되면 제2 공급전압과 제1 공급전압 간의 전압차(VDD-VSS)가 제1 및 제6 트랜지스터(M1, M6) 각각의 저항비(R1, R6)에 해당하는 로우전압으로 QB노드가 방전된다.
- [0025] 제1 클럭(CKV) 구간 동안, 제1 클럭(CKV)에 의해 제1 출력신호(GOUT1)가 출력된다. 즉, 제1 클럭(CKV)이 제2 트랜지스터(M2)로 인가되면, 제2 트랜지스터(M2)의 드레인과 게이트 간의 캐패시터(Cgd)에 의해 브트스트래핑(bootstrapping) 현상이 발생되어, 충전된 펄스 개시신호(STV)보다 큰 전압이 Q노드에 충전된다. 이에 따라, 제2 트랜지스터(M2)가 턴-온되어 제1 클럭(CKV)이 제1 출력신호(GOUT1)로 출력된다.
- [0026] 제2 클럭(CKVB) 구간 동안, 다음 쉬프트 레지스터(SRC2)의 제2 출력신호(GOUT2)에 의해 제1 쉬프트 레지스터(SRC1)가 리셋된다. 즉, 다음 쉬프트 레지스터(SRC2)의 제2 출력신호(GOUT2)에 의해 제 5 트랜지스터(M5)가 턴-온되면, 제5 트랜지스터(M5)를 경유한 제1 공급전압(VSS)에 의해 Q노드가 방전된다. 아울러, 방전된 Q노드에 의해 제1 트랜지스터(M1)가 턴-오프되어 QB노드에 제6 트랜지스터(M6)를 경유한 제2 공급전압(VDD)이 충전되고, 충전된 QB노드에 의해 제3 및 제4 트랜지스터(M3, M4)가 턴-온된다. 이에 따라, 턴-온된 제4 트랜지스터(M4)를 경유한 제1 공급전압(VSS)에 의해 Q노드의 방전이 보다 용이해진다. 이러한 경우, 출력신호(GOUT1)의 대부분은 제2 트랜지스터(M2)의 소오스-드레인을 경유하여 방전되고, 잔류하는 전압이 턴-온된 제3 트랜지스터(M3)에 의해 제1 공급전압(VSS)으로 방전된다.
- [0027] 나머지 쉬프트레지스터(SRC1 내지 SRC[N])도 앞서 설명한 제1 쉬프트 레지스터(SRC1)와 동일하게 동작하게 됨으로써, 하이상태의 출력신호들(GOUT1 내지 GOUT[N])을 순차적으로 출력하게 된다.
- [0028] 따라서, 한 프레임 동안 쉬프트레지스터들(SRC1 내지 SRC[N])에 의해 순차적으로 하이상태의 출력신호들

(VOUT1 내지 VOUT[N])이 출력되며, 이러한 과정은 프레임별로 반복하여 동작되게 된다.

- [0029] 하지만, 이와 같이 제1 쉬프트 레지스터(SRC1)를 제2 쉬프트 레지스터(SRC2)의 제2 출력신호(VOUT2)에 의해 리셋시키는 경우, 상기 제1 쉬프트 레지스터(SRC1)의 제1 출력신호(VOUT1)은 용이하게 로우 상태로 방전되지 않는 문제가 있다.
- [0030] 앞서 설명한 바와 같이, 제1 쉬프트 레지스터(SRC1)의 Q노드는 제2 쉬프트 레지스터(SRC2)의 제2 출력신호(VOUT2)에 의해 제5 트랜지스터(M5)가 턴-온될 때 로우 상태의 제1 공급전압(VSS)에 의해 방전된다. 이에 따라, Q노드는 로우상태로 유지되는 한편, 이러한 Q노드에 의해 제1 트랜지스터(M1)가 턴-온됨에 따라 QB노드에는 하이 상태의 제2 공급전압(VDD)으로 충전된다.
- [0031] 따라서, 로우 상태의 Q노드에 의해 제2 트랜지스터(M2)는 턴-오프되는 한편, 하이 상태의 QB노드에 의해 제3 트랜지스터(M3)는 턴-온된다.
- [0032] 통상 하이 상태의 제1 출력신호(VOUT1)은 제3 트랜지스터(M3)보다는 제2 트랜지스터(M2)를 경유하여 로우 상태로 방전되기가 용이하다.
- [0033] 하지만, 제2 트랜지스터(M2)가 턴-오프되어 있기 때문에 제1 출력신호(VOUT1)는 제2 트랜지스터(M2)를 경유하여 방전되기가 용이하지 않게 되어, 결국 제1 출력신호(VOUT1)는 신속하게 방전되지 못하게 된다. 이에 따라, 제1 출력신호(VOUT1)가 공급된 제1 게이트라인에 연결된 픽셀 상의 박막트랜지스터(TFT)가 턴-오프되지 못하게 되므로, 제2 게이트라인으로 공급된 제2 출력신호(VOUT2)에 의해 제2 게이트라인에 연결된 박막 트랜지스터가 턴-온될 때, 제2 게이트라인에 연결된 픽셀에 공급될 데이터 신호가 제1 게이트라인에 연결된 픽셀에 공급되므로 원하지 않는 게이트라인 상의 픽셀에 화상이 표시되게 된다. 결국, 이와 같이 원하는 시간에 출력신호를 신속히 방전하지 못함에 따라 화질 불량을 초래하는 문제가 있다.
- [0034] 도 4는 도 1의 게이트 드라이버의 쉬프트 레지스터에서 출력신호의 폴링 타임(falling time)이 늘어지는 모습을 도시한 도면이다.
- [0035] 앞서 설명한 바와 같이, 1 클럭 동안 하이 상태의 출력신호가 로우 상태의 출력신호로 방전되어야 한다. 하지만, 도 4에 도시된 바와 같이, 1 클럭이 완료되는 시점에 출력신호가 완전하게 로우 상태로 방전되지 못하게 된다.
- [0036] 결국, 도 2에 도시된 바와 같이, 제2 쉬프트 레지스터(SRC2)의 제2 출력신호(VOUT2)에 의해 Q노드가 리셋됨에 따라 Q노드에 연결된 제2 트랜지스터(M2)가 턴-오프되어 하이 상태의 제1 출력신호(VOUT1)가 신속하게 방전되지 못하므로, 제1 쉬프트 레지스터(SRC1)의 제1 출력신호(VOUT1)와 다른 쉬프트 레지스터(예컨대, 제2 쉬프트 레지스터(SRC2))의 출력신호가 겹치게 된다. 이에 따라, 정확한 출력신호의 제어가 이루어지지 않게 되어 역정표시장치에 적용할 경우, 인접한 게이트라인들 상의 픽셀들에 동일한 화상이 표시되므로, 화질 불량을 발생시키는 문제가 있다.

**발명이 이루고자 하는 기술적 과제**

- [0037] 따라서, 본 발명은 리셋 시점을 제어하여 출력신호를 신속하게 방전함으로써, 신뢰성을 향상시킬 수 있는 쉬프트 레지스터의 구동방법, 게이트 드라이버 및 이를 구비한 표시장치를 제공함에 그 목적이 있다.

**발명의 구성 및 작용**

- [0038] 상기 목적을 달성하기 위한 본 발명의 제1 실시예에 따르면, 게이트 드라이버는, 순차적으로 출력신호들을 출력하는 다수의 쉬프트 레지스터들로 구성되고, 상기 쉬프트 레지스터들 중 제[N] 쉬프트 레지스터는 제[N+2] 쉬프트 레지스터의 제[N+2] 출력신호에 의해 리셋된다.
- [0039] 본 발명의 제2 실시예에 따르면, 제[N] 쉬프트 레지스터의 구동방법은, 제1 클럭 구간 동안 제[N-1] 쉬프트 레지스터의 제[N-1] 출력신호를 노드에 충전하는 단계; 제2 클럭 구간 동안 상기 충전된 노드에 의해 하이 상태의 제[N] 출력신호를 출력하는 단계; 제3 클럭 구간 동안 상기 하이 상태의 제[N] 출력신호를 로우 상태로 방전하는 단계; 및 제4 클럭 구간 동안 상기 제[N+2] 쉬프트 레지스터의 제[N+2] 출력신호에 의해 상기 충전된 노드를 방전하는 단계를 포함한다.

- [0040] 본 발명의 제3 실시예에 따르면, 표시장치는, 게이트라인들과 데이터라인들에 의해 정의된 화소들이 매트릭스 형태로 배열된 표시패널; 상기 표시패널의 게이트라인들에 대응하는 출력신호들을 공급하기 위한 게이트 드라이버; 및 상기 표시패널의 데이터라인들에 화상 데이터를 공급하기 위한 데이터 드라이버를 포함하고, 상기 게이트 드라이버는, 순차적으로 출력신호들을 출력하는 다수의 쉬프트 레지스터들로 구성되고, 상기 쉬프트 레지스터들 중 제[N] 쉬프트 레지스터는 제[N+2] 쉬프트 레지스터의 제[N+2] 출력신호에 의해 리셋된다.
- [0041] 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 상세히 설명한다.
- [0042] 도 5는 본 발명의 게이트 드라이버를 도시한 블록도이다.
- [0043] 도 5에 도시된 바와 같이, 본 발명의 게이트 드라이버는 N개의 쉬프트 레지스터들(SRC1 내지 SRC[N])과 더미 쉬프트 레지스터들(SRC[N+1] 및 SRC[N+2])로 구성된다.
- [0044] 상기 쉬프트 레지스터들(SRC1 내지 SRC[N+2])에는 제1 및 제2 클럭(C1 및 C2) 중 어느 하나의 클럭이 입력된다. 또한, 상기 쉬프트 레지스터들(SRC1 내지 SRC[N+2])에는 로우 상태의 제1 공급전압(VSS)와 하이 상태의 제2 공급전압(VDD)가 공급된다. 상기 제1 공급전압(VSS)은 각 쉬프트 레지스터들(SRC1 내지 SRC[N+2])을 리셋시키기 위한 전압이고, 상기 제2 공급전압(VDD)은 각 쉬프트 레지스터들(SRC1 내지 SRC[N+2])을 셋시키기 위한 전압이다.
- [0045] 각 쉬프트 레지스터들(SRC1 내지 SRC[N+2])은 종속 연결된다. 즉, 첫 번째 쉬프트 레지스터(SRC1)는 펄스 개시신호(STV)에 의해 구동되어 제1 출력신호(GOUT1)가 출력된다. 상기 제1 출력신호(GOUT1)에 의해 제2 쉬프트 레지스터(SRC2)가 구동되어 제2 출력신호(GOUT2)가 출력된다. 이와 같은 과정에 의해 나머지 쉬프트 레지스터들(SRC3 내지 SRC[N+2])로부터 해당 출력신호들(GOUT3 내지 GOUT[N+2])가 순차적으로 출력된다.
- [0046] 따라서, 현재 쉬프트 레지스터는 이전 쉬프트 레지스터의 출력신호에 의해 구동될 수 있다.
- [0047] 한편, 제N 쉬프트 레지스터(SRC[N])는 제[N+2] 쉬프트 레지스터(SRC[N+2])의 출력신호(GOUT[N+2])에 의해 리셋된다. 즉, 제1 쉬프트 레지스터(SRC1)는 제3 쉬프트 레지스터(SRC3)의 제3 출력신호(GOUT3)에 의해 리셋된다. 마찬가지로, 제2 쉬프트 레지스터(SRC2)는 제4 쉬프트 레지스터(SRC4)의 제4 출력신호(GOUT4)에 의해 리셋된다. 이와 같은 과정으로 인해, 각 쉬프트 레지스터는 다다음 쉬프트 레지스터의 출력신호에 의해 리셋된다.
- [0048] 여기서, 각 쉬프트 레지스터(SRC1 내지 SRC[N+2])에는 서로 반대 위상을 갖는 제1 및 제2 클럭(C1 및 C2) 중 어느 하나가 입력된다. 각 쉬프트 레지스터에는 1 클럭 구간씩 지연된 신호가 입력된다. 이에 따라, 제1 쉬프트 레지스터(SRC1)에 제1 클럭(C1)이 입력되는 경우, 제2 쉬프트 레지스터(SRC2)에 제2 클럭(C2)이 입력되고, 제3 쉬프트 레지스터(SRC3)에 제1 클럭(C1)이 입력된다. 나머지 쉬프트 레지스터들(SRC4 내지 SRC[N+2])에는 이와 동일한 과정에 의해 제1 및 제2 클럭(C1 및 C2) 중 어느 하나의 클럭이 입력된다.
- [0049] 따라서, 상기 제1 쉬프트 레지스터(SRC1)는 제2 쉬프트 레지스터(SRC2)에 입력된 제2 클럭 구간 동안에는 어떠한 동작도 수행되지 않게 되고, 제3 쉬프트 레지스터(SRC3)에 입력된 제1 클럭(C1)에 의해 제3 쉬프트 레지스터(SRC3)로부터 출력된 제3 출력신호(GOUT3)에 의해 비로소 상기 제1 쉬프트 레지스터(SRC1)가 리셋된다. 이러한 경우, 제2 클럭 구간 동안 제1 쉬프트 레지스터(SRC1)는 리셋이 수행되지 않으므로, 상기 제2 클럭 구간 동안 제1 쉬프트 레지스터(SRC1)는 제1 출력신호(GOUT1)를 신속히 방전시킨다. 이에 따라, 종래에 제1 출력신호(GOUT1)의 폴링 시간이 늘어지는 것을 방지함으로써, 오동작에 의한 화질 불량을 해소할 수 있다.
- [0050] 이를 더욱 상세히 설명하면, 먼저, 제1 쉬프트 레지스터(SRC1)는 펄스 개시신호에 의해 셋되어 Q노드를 제2 공급전압(VDD)으로 충전된다. 상기 제1 쉬프트 레지스터(SRC1)으로 제1 클럭(C1)이 입력되는 경우, 상기 제1 클럭(C1)에 의해 브트스트래핑(bootstrapping) 현상이 발생하여 Q노드는 더욱 증가하게 되고, 이와 같이 증가된 Q노드에 의해 하이 상태의 제1 출력신호(GOUT1)가 출력된다.
- [0051] 제1 출력신호(GOUT1)에 의해 제2 쉬프트 레지스터(SRC2)가 셋되어 제2 쉬프트 레지스터(SRC2)의 Q노드가 제2 공급전압(VDD)으로 충전된다. 상기 제2 쉬프트 레지스터(SRC2)로 제2 클럭(C2)이 입력되는 경우, 상기 제2 클럭(C2)에 의해 상기 Q노드는 더욱 증가되고, 이와 같이 증가된 Q노드에 의해 하이 상태의 제2 출력신호(GOUT2)가 출력된다.
- [0052] 제2 출력신호(GOUT2)에 의해 제3 쉬프트 레지스터(SRC3)가 셋되어 제3 쉬프트 레지스터(SRC3)의 Q노드가 제2 공급전압(VDD)으로 충전된다. 상기 제3 쉬프트 레지스터(SRC3)로 제1 클럭(C1)이 입력되는 경우, 상기 제1 클럭(C1)에 의해 상기 Q노드는 더욱 증가되고, 이와 같이 증가된 Q노드에 의해 하이 상태의 제3 출력신호

(GOUT2)가 출력된다.

- [0053] 이와 같은 과정에 의해 나머지 쉬프트 레지스터들(SRC4 내지 SRC[N+2])로부터 제4 내지 제[N+2] 출력신호(GOUT4 내지 GOUT[N+2])가 출력된다.
- [0054] 한편, 상기 제3 출력신호(GOUT3)는 제1 쉬프트 레지스터(SRC1)로 입력되어, 상기 제1 쉬프트 레지스터(SRC1)가 리셋된다. 다시 말해, 상기 제1 쉬프트 레지스터(SRC1)의 Q노드는 제1 공급전압(VSS)으로 방전된다.
- [0055] 따라서, 제1 쉬프트 레지스터(SRC1)는 제1 클럭 구간 동안 하이 상태의 제1 출력신호(GOUT1)가 출력되고, 제2 클럭 구간 동안 Q노드가 리셋되지 않음으로써 상기 제1 출력신호(GOUT1)를 로우 상태로 신속히 방전시키고, 다시 제1 클럭 구간 동안 리셋된다.
- [0056] 나머지 쉬프트 레지스터들(SRC2 내지 SRC[N])도 이와 같은 동작에 의해 1 클럭 구간 동안 하이 상태의 출력신호를 로우 상태로 신속히 방전시킬 수 있다. 하지만, 더미 쉬프트 레지스터들(SRC[N+1] 및 SRC[N+2])은 그 출력신호의 폴링 시간이 늘어져도 액정 패널 상의 게이트라인들을 구동하는데 커다란 문제를 발생시키지 않으므로, 제[N+1] 쉬프트 레지스터(SRC[N+1])는 제[N+2] 쉬프트 레지스터(SRC[N+2])의 제[N+2] 출력신호에 의해 리셋되고, 제[N] 쉬프트 레지스터(SRC[N])는 자신의 제[N+2] 출력신호(GOUT[N+2])에 의해 리셋된다.
- [0057] 이상에서는 다수의 쉬프트 레지스터들을 종합적으로 설명하였다.
- [0058] 이하에서는 본 발명을 더욱 명확히 하기 위해 다수의 쉬프트 레지스터들 중 하나를 대표적으로 설명한다.
- [0059] 도 6은 도 5의 제1 쉬프트 레지스터를 상세히 도시한 도면이고, 도 7은 도 5의 게이트 드라이버를 구동시키기 위한 파형을 도시한 도면이다.
- [0060] 도 5 및 도 6을 참조하면, 제1 클럭 구간 동안, 제7 트랜지스터(M7)를 경유한 하이 상태를 갖는 펄스 개시신호(STV)에 의해 제1 쉬프트 레지스터(SRC1)가 셋된다. 즉, 펄스 개시신호(STV)가 인가되면, Q노드가 펄스 개시신호(STV)로 충전된다. 상기 펄스 개시신호(STV)에 의해 제9 트랜지스터(M9)가 턴-온되어 상기 제9 트랜지스터(M9)를 경유하여 제1 공급전압(VSS)으로 QB노드가 방전되고, 상기 펄스 개시신호(STV)가 충전된 Q노드에 의해 제1 트랜지스터(M1)가 턴-온되어 상기 제1 트랜지스터(M1)를 경유하여 제1 공급전압(VSS)으로 QB노드가 방전된다. 한편, 제8 트랜지스터(M8)를 경유하여 제2 공급전압(VDD)이 QB노드에 충전된다. 이러한 경우, 상기 QB노드에는 상기 제1 트랜지스터(M1)를 경유한 제1 공급전압(VSS), 상기 제9 트랜지스터(M9)를 경유한 제1 공급전압(VSS) 및 상기 제8 트랜지스터(M8)를 경유한 제2 공급전압(VDD) 간의 차이값에 해당하는 전압을 갖는다. 이에 따라, 상기 QB노드에는 로우 상태로 유지된다.
- [0061] 상기 제7 및 제8 트랜지스터(M7 및 M8)는 역방향 전류가 흐르는 것을 차단하기 위한 트랜지스터이다. 즉, 상기 제7 및 제8 트랜지스터(M7 및 M8)는 전류를 순방향으로만 흐르도록 하고 역방향으로는 흐르지 않도록 한다.
- [0062] 제2 클럭 구간 동안, 제1 클럭(C1)에 의해 제1 출력신호(GOUT1)가 출력된다. 즉, 제1 클럭(C1)이 제2 트랜지스터(M2)로 인가되면, 제2 트랜지스터(M2)의 드레인과 게이트 간의 캐패시터(Cgd)에 의해 브트스트래핑(bootstrapping) 현상이 발생되어, 충전된 펄스 개시신호(STV)보다 큰 전압이 Q노드에 충전된다. 이에 따라, 제2 트랜지스터(M2)가 턴-온되어 제1 클럭(C1)이 제1 출력신호(GOUT1)로 출력된다.
- [0063] 제3 클럭 구간 동안, 제1 클럭(C1)은 로우 상태를 갖고 펄스 개시 신호(STV)는 로우 상태를 갖는다. 이러한 경우, 제1 클럭(C1)이 로우 상태를 가짐에 따라 Q노드도 펄스 개시 전압으로 감소된다. 또한, Q노드에 의해 지속적으로 제2 트랜지스터(M2)가 턴-온됨으로써, 하이 상태의 제1 출력신호가 제2 트랜지스터(M2)를 통해 로우 상태로 신속히 방전된다.
- [0064] 또한, 제3 클럭 구간 동안, 제2 쉬프트 레지스터(SRC2)로부터 제2 출력신호(GOUT2)가 출력된다.
- [0065] 제4 클럭 구간 동안, 제3 쉬프트 레지스터(SRC3)로부터 제3 출력신호(GOUT3)가 출력된다. 이와 동시에, 상기 제3 출력신호(GOUT3)는 제1 쉬프트 레지스터(SRC1)로 입력된다. 즉, 상기 제3 쉬프트 레지스터(SRC3)의 제3 출력신호(GOUT3)에 의해 제5 트랜지스터(M5)가 턴-온되어 상기 제5 트랜지스터(M5)를 경유하여 제1 공급전압(VSS)으로 Q노드가 신속히 방전된다. 상기 제1 공급전압(VSS)으로 방전된 Q노드에 의해 제1 트랜지스터(M1)가 턴-오프되어 QB노드에는 제2 공급전압(VDD)이 충전된다. 제2 공급전압(VDD)으로 충전된 QB노드에 의해 제3 및 제4 트랜지스터(M3 및 M4)가 턴-온된다. 이에 따라, 제4 트랜지스터(M4)를 경유한 제1 공급전압(VSS)에 의해 Q노드가 방전되어 상기 Q노드에 연결된 제2 트랜지스터(M2)가 턴-오프된다. 또한, 제3 트랜지스터(M3)를 경유

한 제1 공급전압(VSS)으로 제1 출력신호(GOUT1)이 방전된다.

- [0066] 결국, 제1 쉬프트 레지스터(SRC1)는 제3 쉬프트 레지스터(M3)의 제3 출력신호(GOUT3)에 의해 리셋되고, 그 전 클럭 구간(예컨대, 제3 클럭 구간) 동안 Q노드가 하이 상태를 가짐에 따라 Q노드에 연결된 제2 트랜지스터(M2)를 지속적으로 턴-온시켜 상기 제2 트랜지스터(M2)를 경유하여 상기 제1 출력신호(GOUT1)를 로우 상태로 방전시킨다.
- [0067] 도 8에 도시된 바와 같이, 쉬프트 레지스터는 1 클럭 구간 동안 하이 상태의 출력신호가 출력되고, 하이 상태의 출력신호가 클럭이 로우 상태로 전위될 때 거의 동시에 로우 상태로 전위된다. 따라서, 각 클럭마다 해당 출력신호가 하이 상태에서 로우 상태로 전위됨으로써, 출력신호의 폴링 시간이 늘어지는 것을 방지하여 액정 패널에서 오동작에 의한 화질 불량을 억제할 수 있으므로 제품에 대한 신뢰성을 향상시킬 수 있다.
- [0068] 한편, 이상에서는 2상 클럭에 한정하여 설명되고 있지만, 본 발명은 2상 이상의 다상 클럭에 대해서도 동일하게 적용될 수 있다.

**발명의 효과**

- [0069] 이상에서 살펴본 바와 같이, 본 발명에 의하면, 제[N] 쉬프트 레지스터를 제[N+2] 쉬프트 레지스터의 제[N+2] 출력신호에 의해 리셋시켜, 그 이전에 하이 상태의 출력신호를 로우 상태로 신속히 방전시킴으로써, 출력신호의 폴링 시간의 지연을 방지하여 오동작에 의한 화질 불량을 억제하여 제품에 대한 신뢰성을 향상시킬 수 있다.
- [0070] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

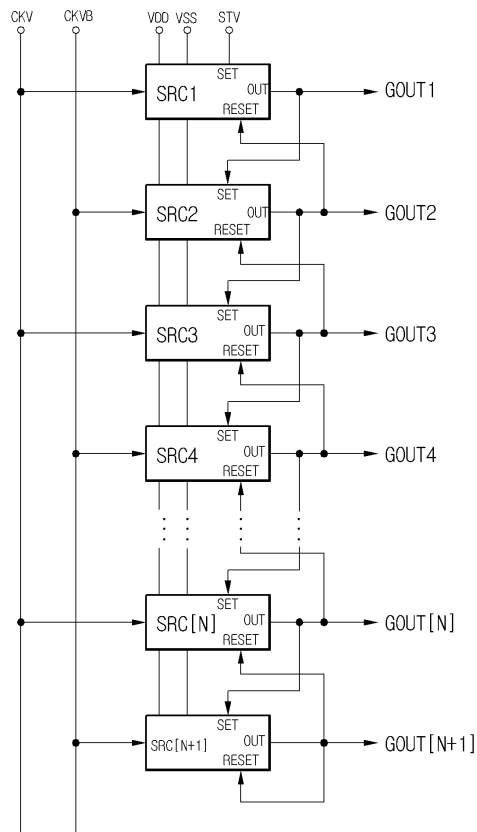
**도면의 간단한 설명**

- [0001] 도 1은 종래의 게이트 드라이버를 도시한 블록도.
- [0002] 도 2는 도1의 제1 쉬프트 레지스터를 상세히 도시한 도면.
- [0003] 도 3은 도 1의 게이트 드라이버를 구동시키기 위한 파형을 도시한 도면.
- [0004] 도 4는 도 1의 게이트 드라이버의 쉬프트 레지스터에서 출력신호의 폴링 타임(falling time)이 늘어지는 모습을 도시한 도면.
- [0005] 도 5는 본 발명의 게이트 드라이버를 도시한 블록도.
- [0006] 도 6은 도 5의 제1 쉬프트 레지스터를 상세히 도시한 도면.
- [0007] 도 7은 도 5의 게이트 드라이버를 구동시키기 위한 파형을 도시한 도면.
- [0008] 도 8은 도 5의 게이트 드라이버의 쉬프트 레지스터에서 출력신호의 폴링 타임을 감소시킨 모습을 도시한 도면.

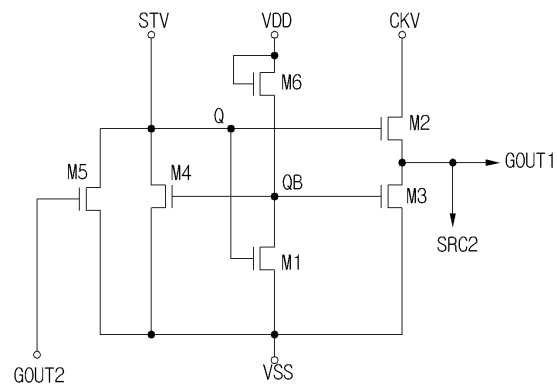


도면

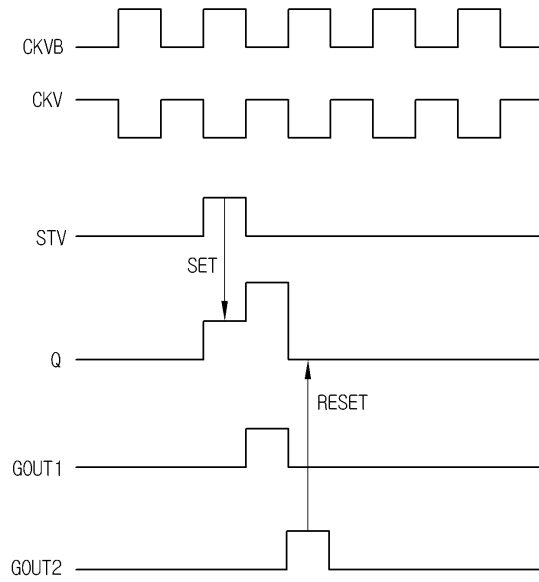
도면1



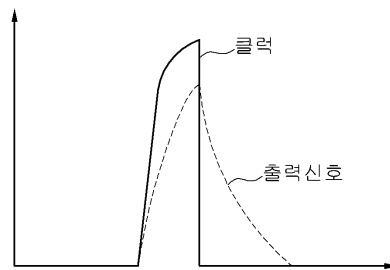
도면2



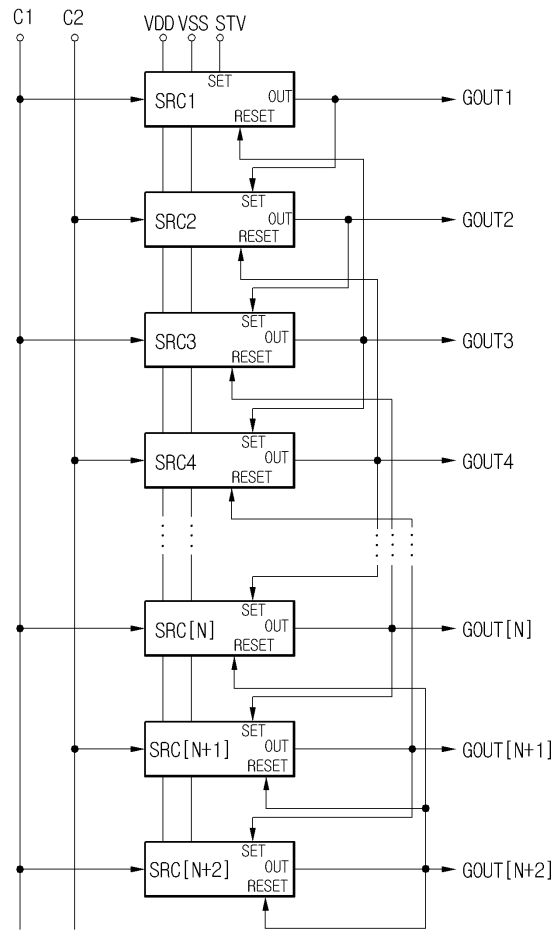
도면3



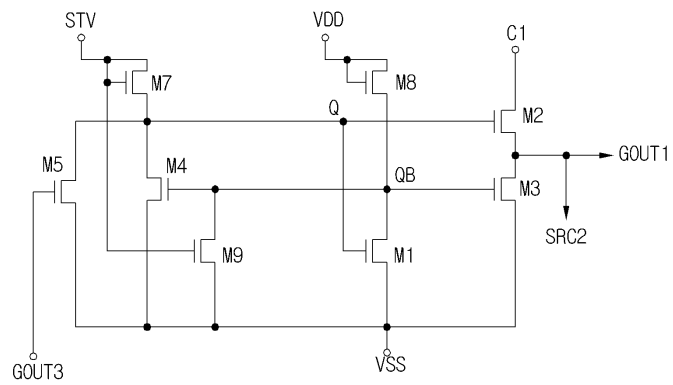
도면4



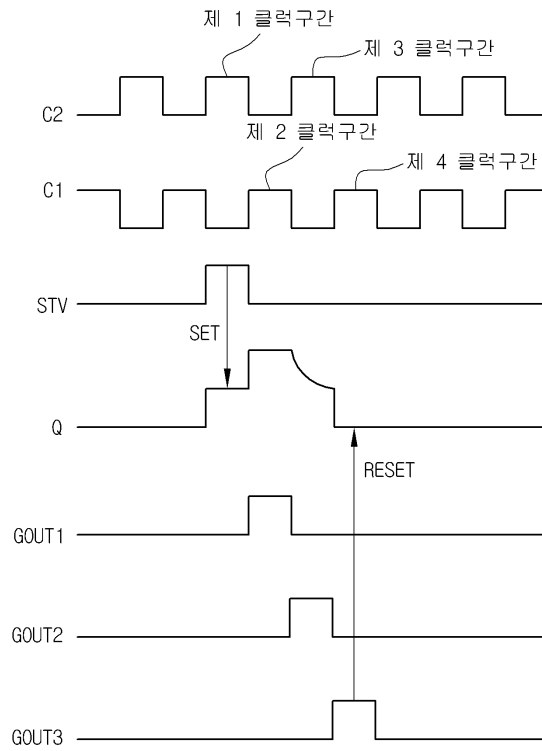
도면5



도면6



도면7



도면8

