

第 86109113 號 專利申請案
中文說明書修正本

88年1月(日)
民國 88 年 1 月 修正

公告本

申請日期	86 年 6 月 28 日
案 號	86109113
類 別	H01L 21/82

A4
C4

434829

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	半導體裝置及其製造方法、基本格資料庫及其製造方法、光罩
	英 文	
二、發明 人	姓 名	(1) 山口明
	國 籍	(1) 日本 (1) 日本國神奈川縣横浜市戸塚區秋葉町二一三-二尼克高級公寓東戸塚第二一一一〇
三、申請人	住、居所	
	姓 名 (名稱)	(1) 東芝股份有限公司 株式会社東芝
	國 籍	(1) 日本 (1) 日本國神奈川縣川崎市幸區堀川町七二番地
	住、居所 (事務所)	
	代 表 人 姓 名	(1) 西室泰三

434829

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利, 申請日期: 案號: , ☐有 ☐無主張優先權
日本 1996 年 7 月 15 日 8-204236 ☒有主張優先權

有關微生物已寄存於: , 寄存日期: , 寄存號碼:

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

發明之領域：

本發明與一種依具有新式構造之基本格之基本格資料庫，將半導體集成電路佈置於半導體基片之半導體裝置及其製造方法有關。

發明之背景：

半導體裝置，在基本上經設計過程（功能設計、邏輯設計、佈置設計等）及製造試驗過程（晶片製造過程、試驗評估過程等）製造成品。設計過程依功能設計→邏輯設計→佈置設計之順序實施。現今半導體裝置之處理技術已進入深次微米（Deep submicron）時代。跟著半導體裝置使用之配線寬度亦逐漸縮小至 $0.3\mu\text{m}$ 以下。惟例如多晶矽寬度等縮小化傾向，將招致並不能忽視因光鄰近效應產生之微小多晶矽寬度之變動情事。

光鄰近效應即指多晶矽配線之多晶矽寬度 W 之完成值因至該配線接近之多晶矽配線之距離（空間） d （以下稱多晶矽間）變動之現象。即隨著半導體裝置內之微細化及高密度化，在描繪、曝光此種圖型時使用電荷束曝光裝置及光學縮小投影曝光裝置，而此時因鄰近效應致降低圖型尺寸精密度之現象。

第17圖係多晶矽配線圖型平面圖及說明因光鄰近效應變化之配線寬度之配線間依靠性特性圖。縱軸表示多晶矽寬度 W （ μm ）、橫軸表示多晶矽間距 d （ μm ）。

例如靠近配置多晶矽寬度 W 為 $0.3\mu\text{m}$ 之多數多晶矽

（請先閱讀背面之注意事項再填寫本頁）

訂

像

五、發明說明(2)

配線而多晶矽間距 d 為 $2\ \mu\text{m}$ 前後時，將發生多晶矽寬度 W 變細至約 $0.26\ \mu\text{m}$ 之現象。因此，製造半導體裝置時，描繪或曝光形成在半導體裝置內之配線等圖型時，不可缺少提高因鄰近效應產生之圖型尺寸精密度之補正。

補正光鄰近效應之技術可考慮 OPC (Optical Proximity effect Correction)。OPC 係指由多晶矽配線與其靠近之其他多晶矽配線圖型之距離，預測多晶矽配線之因鄰近效應之多晶矽寬度變動量，預先補正形成前述多晶矽配線用光致抗蝕之光罩值打消其變動量，俾將曝光後多晶矽寬度之完成值保持為一定值之技術。先前之佈置，多晶矽配線圖型並未規格化，多晶矽間距由於晶片整體之多晶矽配線而紛歧，故對基片之所有多晶矽配線圖型以 OPC 加以補正。

〔發明欲解決之課題〕

先前之佈置標準單元方式等半導體裝置所用基本格資料庫，係如第 12 圖及第 13 圖之基本格平面圖所示。第 12 圖 (a) 係登錄於該基本格資料庫之 A 單元，在形成單元區之單元框 1 形成源／汲區之 1 對擴散區 2。擴散區 2 包含 p^+ 擴散區 21 及 n^+ 擴散區 22，將 1 支多晶矽矽閘 3 配置在此等擴散區 21、22 上。第 12 圖 (b) 係登錄於該基本格資料庫之 B 單元，將 2 支多晶矽矽閘 3 配置在 p^+ 擴散區 21 及 n^+ 擴散區 22 上。第 12 圖 (c) 係登錄於該基本格資料庫之 C 單元，將 3 支多晶矽矽閘 3

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(3)

配置在 p^+ 擴散區 21 及 n^+ 擴散區 22 上。第 13 圖係登錄於該基本格資料庫之 E 單元，將 1 支多晶矽矽閘 3 配置在 p^+ 擴散區 211、212 及 n^+ 擴散區 221、222 上。

第 14 圖及第 15 圖係佈置標準單元之晶片平面圖。圖之晶片 10 均配置登錄於基本格資料庫之基本格 (A、B、C) 1。第 14 圖中、將基本格 A ~ C 連續於晶片之所定位置，以 A B C 配置。第 15 圖係將基本格連續於晶片之所定位置，以 C B A 配置。以該 2 圖說明對象之多晶矽矽閘 (D) 3 (以下稱多晶矽資料 D) 與其鄰近之多晶矽矽閘 (E、F) 3 (以下稱鄰近多晶矽資料 E、F) 之晶片 10 上之位置關係。第 14 圖中、多晶矽資料 D 與鄰近多晶矽資料 E 接近。鄰近多晶矽資料 E 呈彎曲狀，多晶矽資料 D 與鄰近多晶矽資料 E 之擴散區 21 上之部分之多晶矽間距 b_1 比多晶矽資料 D 與鄰近多晶矽資料 E 之擴散區 22 上之部分之多晶矽間距 b_2 大。一方面、第 15 圖中多晶矽資料 D 與鄰近多晶矽資料 F 接近。多晶矽資料 D 與鄰近多晶矽資料 F 之多晶矽間距為 b_3 、 b_4 。由於 b_2 、 b_3 及 b_4 均相等，故多晶矽間距 b_1 比 b_4 大 ($b_1 > b_4$)。

如上述、由於晶片上基本格之佈置差異，致多晶矽資料至鄰近多晶矽資料之距離不同。

先前半導體裝置製造方法之設計過程，在實施功能設計、邏輯設計、佈置設計後實施對光鄰近效應之圖型形成

(請先閱讀背面之注意事項再填寫本頁)

訂

改

五、發明說明(4)

用光罩值補正。

第16圖係顯示對光鄰近效應之光罩值補正之基本格平面圖。如第17圖所示、因多晶矽寬度依鄰近多晶矽資料之距離變動，故一邊觀察多晶矽資料G之多晶矽寬度與多晶矽間距b之關係，一邊追加光罩上多晶矽資料G之多晶矽寬度（追加寬度c）。如上述、第16圖以多晶矽資料G之距離b改變多晶矽寬度。

如此、用對光鄰近效應補正處理之光罩，製造晶片製造過程之配線圖型。

如第16圖所示、應實施OPC補正之多晶矽資料大多僅存在於單元區內。故並非晶片全部實施OPC之多晶矽寬度補正，而在各單元內實施即可大幅減少OPC處理之多晶矽資料數而減少處理量。但如第12圖所示、目前之單元，在單元內使用之多晶矽資料至鄰近多晶矽資料之距離在單元內並未確定，而至將標準單元佈置於晶片時，方確定所定多晶矽資料（多晶矽矽間）至鄰接之多晶矽資料（鄰近多晶矽資料）之距離。

又即使同一單元，惟因鄰接單元致該多晶矽資料至鄰接之鄰近多晶矽資料之距離不同，故因光鄰近效應之多晶矽寬度變動值改變。因此、在單元佈置未完成前無法實施OPC之多晶矽寬度光罩之修正，而有招致TAT（Turn Around Time）之遲延或處理量增大之問題。

〔發明之目的〕

（請先閱讀背面之注意事項再填寫本頁）

訂

像

五、發明說明(5)

本發明有鑑於此種問題，其目的在提供：能減少 O P C 補正之多晶矽資料量，縮短 C A D 處理時間，各單元實施 O P C 補正以縮短產品 T A T 之半導體裝置；實現該半導體裝置用之基本格資料庫；半導體裝置之製造方法；基本格資料庫之製造方法及製造半導體裝置之光罩。

發明之概述：

〔解決課題之方法〕

本發明係以半導體裝置之沿基本格外周追加形成多晶矽配線圖型之虛擬配線圖型之多晶矽資料為特徵。

即登錄於基本格資料庫之基本格，預先將虛擬配線圖型形成在外周。由此，可確定在基本格內使用於電路之多晶矽矽閘 3 及其鄰近之虛擬配線圖型 4 之多晶矽配線距離。由於此結果，可預測基本格內所有多晶矽矽閘光鄰近效應之多晶矽寬度變動大小，故僅在單元內，即可決定依該多晶矽寬度變動補正閘寬度之光罩上之 O P C 補正值。

又，其補正並非每產品實施，而可事先每單元實施。

本發明因預先分別將虛擬配線圖型形成在登錄於基本格資料庫之基本格，故可在包含功能設計→邏輯設計→佈置設計之連續過程中，省略佈置設計後實施之因光鄰近效應之多晶矽寬度補正處理。

即因在產品（晶片）之單元配置以前，對基本格資料庫實施 O P C 補正，故無需在開發產品時實施 O P C，而可防止每產品實施 O P C 補正起因之 T A T 之遲延，能簡

（請先閱讀背面之注意事項再填寫本頁）

訂

後

五、發明說明(6)

單製作最適宜之多晶矽配線圖型之光罩。又因基本格內各多晶矽資料之補正值，並不依靠鄰接單元之多晶矽資料，而以基本格內多晶矽資料確定，故每基本格實施一次補正即可，而補正處理資料量比晶片全部補正為少。

申請專利範圍第1項發明之半導體裝置，其特徵為包含至少1個虛擬配線圖型配置在外周之基本格。申請專利範圍第2項發明之基本格資料庫，包含至少1個具有虛擬配線圖型之基本格。

申請專利範圍第2項發明之基本格資料庫之製造方法，包含：準備將多數基本開實現於半導體基片上佈置構造之第1基本格之方法，及將虛擬配線圖型配置於前述第1基本格外周以製造第2基本格之方法。

申請專利範圍第3項發明之半導體裝置之製造方法，包含：準備將多數基本開實現於半導體基片上佈置構造之第1基本格之方法，及將虛擬配線圖型形成於前述第1基本格區境界以製造第2基本格之方法，及用前述第2基本格將半導體集成電路佈置在前述半導體基片之方法。

申請專利範圍第3項發明之半導體裝置之製造方法，包含：準備將虛擬配線圖型沿其區境界形成之多種基本格之方法，及從前述多種基本格至少選出2個基本格，重疊其虛擬配線圖型之一部分，以製造新基本格，將此儲存在基本格資料庫之方法。

申請專利範圍第3項發明之光罩，至少具有1個將虛擬配線圖型配置在外周之基本格部。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(7)

較佳實施例之詳細說明：

以下參考附圖說明發明之實施形態。

首先、參考第1圖及第2圖說明第1實施例。圖均為本發明之登錄於基本格資料庫之基本格平面圖。基本格資料庫登錄構成半導體集成電路之基本格，在製造半導體裝置時，適當抽出登錄於該資料庫之基本格，佈置設計邏輯電路。圖示本發明之基本格，用於標準單元方式之半導體裝置之佈置。基本格係將多數基本閘實現於基片上之佈置構造，即由閘等內部配線、擴散區及本發明之要旨之虛擬配線圖型構成。基本格有：反相器、2輸入NAND、觸發器、EXOR、AND、NOR等，即指將基本閘實現於半導體基片上之佈置構造。第1圖(a)係登錄於該基本格資料庫之A單元。沿形成單元區之單元框，形成多晶矽配線圖型之虛擬配線圖型4。即、以虛擬配線圖型4包圍單元區。

在該單元區形成源／汲區之1對擴散區(SDG)2。擴散區2包含p⁺擴散區21及n⁺擴散區22，將1支多晶矽閘3配置於此等擴散區21、22上。本實施例之多晶矽閘3之閘寬度W1及虛擬配線圖型4之圖型寬度W2均例如為0.3μm。虛擬配線圖型4，由與多晶矽閘3平行之部分41及垂直之部分42構成。該平行之部分41在多晶矽閘3引起因光鄰近效應之閘寬度變動，惟因多晶矽閘3與虛擬配線圖型4之間距d0為一

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

定，故多晶矽矽閘3有閘寬度變動時，可預先以基本格狀態加以補正。第1圖(b)係登錄於該基本格資料庫之B單元，即將2支多晶矽矽閘3配置於 p^+ 擴散區21及 n^+ 擴散區22上。包圍單元區、形成與多晶矽矽閘之閘寬度同寬之多晶矽矽配線圖型之虛擬配線圖型4。與A單元同樣、虛擬配線圖型4，由與多晶矽矽閘3平行之部分41及垂直之部分42構成。

因該多晶矽矽閘3右側者與擬配線圖型4之間距 d_1 為一定，故多晶矽矽閘3有閘寬度變動時，可預先以基本格狀態加以補正。第1圖(c)係登錄於該基本格資料庫之C單元，即將3支多晶矽矽閘3配置於 p^+ 擴散區21及 n^+ 擴散區22上。包圍單元區、形成與多晶矽矽閘之閘寬度同寬之多晶矽矽配線圖型之虛擬配線圖型4。與A單元同樣、虛擬配線圖型4，由與多晶矽矽閘3平行之部分41及直角之部分42構成。因該多晶矽矽閘3右側者與擬配線圖型4之間距 d_2 、 d_3 為一定，故多晶矽矽閘3有閘寬度變動時，可預先以基本格狀態加以補正。

第2圖係登錄於該基本格資料庫之E單元。沿形成單元區之單元框，形成多晶矽矽配線圖型之虛擬配線圖型4。在該單元區形成擴散區2。

擴散區2包含 p^+ 擴散區211、212及 n^+ 擴散區221、222，將1支多晶矽矽閘3配置於此等擴散區211、221上，將2支多晶矽矽閘3配置於擴散區212、222上。

五、發明說明(9)

例如將多晶矽矽閘 3 之閘寬度 W_1 及虛擬配線圖型 4 之圖型寬度 W_2 均為 $0.3 \mu m$ 。虛擬配線圖型 4，由與多晶矽矽閘 3 平行之部分 41 及直角之部分 42 構成。該平行之部分 41 在多晶矽矽閘 3 引起因光鄰近效應之閘寬度變動，惟因多晶矽矽閘 3 與虛擬配線圖型 4 之間距 d_0 為一定，故多晶矽矽閘 3 有閘寬度變動時，可預先以基本格狀態加以補正。

標準單元方式之半導體裝置，由基本格資料庫將基本格佈置於晶片。本發明將第 1 圖及第 2 圖所示 A 單元、B 單元、C 單元、E 單元等基本格佈置於晶片以完成設計過程，轉換至晶片製造過程。因轉換時無需重新形成修正光鄰近效應用之虛擬配線圖型，故可簡化過程。

配線圖型，雖如前述發生依光鄰近效應用之寬度變動，惟有時發生依靠佈置之配線變細情形，其補正亦為正確形成配線圖型上重要之問題。本發明之虛擬配線圖型，亦能有效處理此補正。

本發明可省略此種佈置設計後實施之修正光鄰近效應用之虛擬配線圖型之形成處理。即因在產品（晶片）之單元配置前，對基本格資料庫實施 OPC 補正，故無需實施產品開發時之 OPC，可防止因對每一個產品之 OPC 補正起因之 TAT 之延遲，而能簡單製作最佳之多晶矽矽配線圖型之光罩。

依此佈置設計製成形成半導體基片上圖型之光罩。第 1 圖係由第 2 圖之基本格製作之光罩之局部平面圖。以下

（請先閱讀背面之注意事項再填寫本頁）

訂

像

五、發明說明 (10)

實施例，亦以此法製作光罩。

又基本格內各多晶矽配線圖型之補正值，因以基本格內多晶矽資料確定，故每基本格實施一次補正即可，而補正處理資料量比晶片補正為少即可。

其次、參考第 3 圖說明第 2 實施例。

圖係登錄於基本格資料庫之基本格平面圖。圖示之基本格 (D 單元) 係用於標準單元方式之半導體裝置之佈置。該 D 單元係組合第 1 圖之基本格資料庫之 A 單元、B 單元、C 單元構成。該基本格依 A B C 順序組合配置，惟以 B A C、C A B、A C B、B C A、C B A 組合亦可，此等將做為個別之基本格登錄於基本格資料庫。又將 A、B、C 區中任意二者以任意組合配置之構造者做為基本格登錄於基本格資料庫。如上述組合基本格形成新基本格時，按各原基本格將虛擬配線圖型形成在其周邊。A、B、C 區分別相當於原 A 單元、B 單元、C 單元。故在各區間形成與虛擬配線圖型 4 之多晶矽矽閘 3 平行之部分 4 1。而沿單元區形成之單元框形成多晶矽矽配線圖型之虛擬配線圖型 4。即以虛擬配線圖型 4 包圍單元區。

在該單元區，與 A、B、C 區一同形成源 / 汲區之 1 對擴散區 (S D G) 2。

擴散區 2，包含 p⁺擴散區 2 1 及 n⁺擴散區 2 2，將 1 支至 3 支多晶矽矽閘 3 配置於此等擴散區 2 1、2 2 上。本實施例之多晶矽矽閘 3 之閘寬度 W 1 及虛擬配線圖型 4 之圖型寬度 W 2 均例如為 0.3 μm。虛擬配線圖型 4

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(11)

由與多晶矽矽閘 3 平行之部分 4 1 及直角之部分 4 2 構成。該平行部分 4 1 在多晶矽矽閘 3 引起因光鄰近效應之閘寬度變動，惟因多晶矽矽閘 3 與虛擬配線圖型 4 之間距 d_0 為一定，故多晶矽矽閘 3 有閘寬度變動時，可預先以基本格狀態加以補正。

本發明可省略此種佈置設計後實施之修正光鄰近效應用之虛擬配線圖型之形成處理。即因在產品(晶片)之單元配置前，對基本格資料庫實施 OPC 補正，故無需實施產品開發時之 OPC，可防止因對每一個產品之 OPC 補正起因之 TAT 之延遲，而能簡單製作最佳之多晶矽矽配線圖型之光罩。

又、基本格內各多晶矽矽配線圖型之補正值，因以基本格內多晶矽資料確定，故每基本格實施一次補正即可，而補正處理資料量比晶片補正為少即可。

本發明之基本格資料庫之基本格，依已登錄於基本格資料庫之基本格形成新基本格，可將其重新登錄於基本格資料庫。

其次、參考第 4 圖及第 5 圖說明第 3 實施例。

第 4 圖係本發明之基本格資料庫之基本格平面圖，第 5 圖係配置第 4 圖之基本格之晶片平面圖。圖示本發明之基本格係用於標準單元方式之半導體裝置之佈置。第 4 圖(a)係登錄於該基本格資料庫之 A 單元。該基本格，沿單元區形成之單元框 1 形成多晶矽矽配線圖型之虛擬配線圖型 4。該實施例之虛擬配線圖型 4，僅由與多晶矽矽閘

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(12)

3 平行部分 4 1 構成。由於該平行部分 4 1 在多晶矽矽閘 3 引起因光鄰近效應之閘寬度變動，故虛擬配線圖型 4 無需與多晶矽矽閘 3 成直角之部分。擬配線圖型與內部配線成平行，並具有與內部配線同寬度、略同長度之形狀。在該單元區形成成為源／汲區之 1 對擴散區 2。擴散區 2，包含 p⁺擴散區 2 1 及 n⁺擴散區 2 2，將 1 支多晶矽矽閘 3 配置於此等擴散區 2 1、2 2 上。本實施例之多晶矽矽閘 3 之閘寬度 W 1 及虛擬配線圖型 4 之圖型寬度 W 2 均例如為 0.3 μ m。

由於多晶矽矽閘 3 與虛擬配線圖型 4 之間距為一定，故多晶矽矽閘 3 有閘寬度變動時，可預先以基本格狀態加以補正。第 4 圖 (b) 係登錄於該基本格資料庫之 B 單元，將 2 支多晶矽矽閘 3 配置於 p⁺擴散區 2 1 及 n⁺擴散區 2 2 上。包圍單元區、形成與多晶矽矽閘之閘寬度同寬之多晶矽矽配線圖型之虛擬配線圖型 4。與 A 單元同樣、虛擬配線圖型 4，由與多晶矽矽閘 3 平行之部分 4 1 構成。第 4 圖 (c) 係登錄於該基本格資料庫之 C 單元，將 3 支多晶矽矽閘 3 配置於 p⁺擴散區 2 1 及 n⁺擴散區 2 2 上。包圍單元區、形成與多晶矽矽閘之閘寬度同寬之多晶矽矽配線圖型之虛擬配線圖型 4。與 A 單元同樣、虛擬配線圖型 4，由與多晶矽矽閘 3 平行之部分 4 1 構成。

標準單元方式之半導體裝置，由基本格資料庫將基本格佈置於晶片。本發明將第 4 圖所示 A 單元、B 單元、C 單元等基本格佈置於晶片以完成設計過程，轉換至晶片製

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(13)

造過程。

因轉換時無需重新形成修正光鄰近效應用之虛擬配線圖型，故可簡化過程。

配線圖型，雖如前述發生依光鄰近效應用之寬度變動，惟有時發生依靠佈置之配線變細情形，其補正亦為正確形成配線圖型上重要之問題。本發明之虛擬配線圖型，亦能有效處理此補正。

第5圖係佈置標準單元之晶片平面圖。圖中晶片10均配置登錄於基本格資料庫之基本格(A、B、C)1，將基本格A~C連續以ABC配置在晶片所定位置。對象之多晶矽矽閘3與其鄰近之多晶矽矽閘3之晶片10上之位置關係，依晶片上基本格之佈置差異，兩者間之距離不同，惟實施佈置過程時自動實施對光鄰近效應之圖型形成用光罩值之補正。

其次、參考第6圖及第7圖說明第4實施例。

第6圖係本發明之基本格資料庫之基本格平面圖，第7圖係配置第6圖之基本格之晶片平面圖。圖示本發明之基本格係用於標準單元方式之半導體裝置之佈置。第6圖(a)係登錄於該基本格資料庫之A單元。該基本格，沿單元區形成之單元框1形成多晶矽矽配線圖型之虛擬配線圖型4。該實施例之虛擬配線圖型4，僅由與多晶矽矽閘3平行部分41構成，又、該平行部分由排列成1行之多數小部分43構成。與第3實施例同樣、由於該平行部分41在多晶矽矽閘3引起因光鄰近效應之閘寬度變動，故

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(14)

虛擬配線圖型4無需與多晶矽矽閘3成直角之部分。該單元區內構造與第4圖(a)之基本格(A單元)相同。由於多晶矽矽閘3與虛擬配線圖型4之間距為一定，故多晶矽矽閘3有閘寬度變動時，可預先以基本格狀態加以補正。

第6圖(b)係登錄於該基本格資料庫之B單元。單元區內構造與第4圖(b)之基本格(B單元)相同。包圍單元區、形成與多晶矽矽閘之間寬度同寬之多晶矽矽配線圖型之虛擬配線圖型4。與A單元同樣、虛擬配線圖型4，由與多晶矽矽閘3平行之部分41構成，又、該平行部分由排列成1行之多數小部分43構成。第6圖(c)係登錄於該基本格資料庫之C單元，單元區內構造與第4圖(c)之基本格(C單元)相同。與A單元同樣、虛擬配線圖型4，由與多晶矽矽閘3平行之部分41構成，又、該平行部分由排列成1行之多數小部分43構成。

因虛擬配線圖型4，由小部分構成，故可配合必要之被覆率形成虛擬配線圖型。

標準單元方式之半導體裝置，由基本格資料庫將基本格佈置於晶片。本發明之半導體裝置製造過程中，將第4圖所示A單元、B單元、C單元等基本格佈置於晶片以完成設計過程，轉換至晶片製造過程。

因轉換時無需重新形成修正光鄰近效應用之虛擬配線圖型，故可簡化過程。

配線圖型，雖如前述發生依光鄰近效應用之寬度變動

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(15)

，惟有時發生依靠佈置之配線變細情形，其補正亦為正確形成配線圖型上重要之問題。本發明之虛擬配線圖型，亦能有效處理此補正。

第7圖係佈置標準單元之晶片平面圖。圖中晶片10均配置登錄於基本格資料庫之基本格(A、B、C)1，將基本格A~C連續以ABC配置在晶片所定位置。對象之多晶矽矽閘3與其鄰近之多晶矽矽閘3之晶片10上之位置關係，依晶片上基本格之佈置差異，兩者間之距離不同，惟實施佈置過程時自動實施對光鄰近效應之圖型形成用光罩值之補正。

其次、參考第8圖至第10圖說明第5實施例。

第8圖至第10圖係本發明之基本格資料庫之基本格平面圖。此等基本格，用於標準單元之半導體裝置之佈置。第8圖之基本格，沿單元區形成之單元框1形成多晶矽矽配線圖型之虛擬配線圖型4。該實施例之虛擬配線圖型4，僅由與多晶矽矽閘3平行部分41構成，又、該平行部分由排列成1行之多數小部分構成。

由於該平行部分41在多晶矽矽閘3引起因光鄰近效應之閘寬度變動，故虛擬配線圖型4無需與多晶矽矽閘3成直角之部分。在該單元區形成成為源/汲區之1對擴散區2。擴散區2，包含p⁺擴散區21及n⁺擴散區22，將1支多晶矽矽閘3配置於此等擴散區21、22上。本實施例之多晶矽矽閘3之閘寬度及虛擬配線圖型4之圖型寬度均例如為0.3 μm。此圖之基本格中，前述小部分

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(16)

約與擴散區同尺寸。即、擴散區 2 1 與小部分 4 4 相對，而擴散區 2 2 與小部分 4 5 相對。

由於多晶矽矽閘 3 與虛擬配線圖型 4 之間距為一定，故多晶矽矽閘 3 有閘寬度變動時，可預先以基本格狀態加以補正。又因虛擬配線圖型被分割，故可配合必要之被覆率形成虛擬配線圖型。

第 9 圖之基本格，沿單元區形成之單元框，形成多晶矽矽配線圖型之虛擬配線圖型 4。本實施例之虛擬配線圖型 4，完全包圍多晶矽矽閘 3 形成之元件區。使虛擬配線圖型 4 之圖型寬度 W_2 大於多晶矽矽閘 3 之閘寬度 W_1 ($W_2 > W_1$)。如此，可適宜改變虛擬配線圖型與多晶矽矽閘之寬度。第 10 圖之基本格，沿單元區形成之單元框形成多晶矽矽配線圖型之虛擬配線圖型 4。又、與第 9 圖同樣，虛擬配線圖型 4，完全包圍多晶矽矽閘 3 形成之元件區。使虛擬配線圖型 4 之圖型寬度 W_3 小於多晶矽矽閘 3 之閘寬度 W_1 ($W_3 < W_1$)。因該圖型寬度小於閘寬度，故可減小形成於晶片之基本格面積。

又、本發明不僅適用於多晶矽矽配線圖型，亦可適用於鋁等金屬配線或其他層。

〔發明之效果〕

因預先將修正光鄰近效應之機構形成於登錄在基本格資料庫之基本格，故可在單元內確定基本格內使用於電路之多晶矽矽閘至其鄰近之多晶矽矽配線之虛擬配線圖型之

(請先閱讀背面之注意事項再填寫本頁)

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(17)

距離。由於此結果可預測因基本格內全部多晶矽矽閘之光鄰近效應之多晶矽寬度變動之大小，故僅在單元內即可決定依該多晶矽寬度變動補正閘寬度之光罩上OPC之補正值。又、因在產品(晶片)之單元配置以前，對基本格資料庫實施OPC補正，故無需在開發產品時實施OPC，而可防止每產品實施OPC補正起因之TAT之遲延，能簡單製作最適宜之多晶矽矽配線圖型之光罩。又補正處理資料量比晶片全部補正為少。

圖式之簡單說明：

- 第1圖係本發明之基本格資料庫之基本格平面圖。
- 第2圖係本發明之基本格資料庫之基本格平面圖。
- 第3圖係本發明之基本格資料庫之基本格平面圖。
- 第4圖係本發明之基本格資料庫之基本格平面圖。
- 第5圖係配置第4圖之基本格之晶片平面圖。
- 第6圖係本發明之基本格資料庫之基本格平面圖。
- 第7圖係配置第6圖之基本格之晶片平面圖。
- 第8圖係本發明之基本格資料庫之基本格平面圖。
- 第9圖係本發明之基本格資料庫之基本格平面圖。
- 第10圖係本發明之基本格資料庫之基本格平面圖。
- 第11圖係依本發明之基本格形成之光罩平面圖。
- 第12圖係先前之基本格資料庫之基本格平面圖。
- 第13圖係先前之基本格資料庫之基本格平面圖。
- 第14圖係配置先前之基本格之晶片平面圖。

(請先閱讀背面之注意事項再填寫本頁)

訂

像

五、發明說明(18)

第 1 5 圖係配置先前之基本格之晶片平面圖。

第 1 6 圖係對光鄰近效應之光罩值補正圖。

第 1 7 圖係說明因光鄰近效應變化之配線寬度之配線間依靠性特性圖及配線圖型平面圖。

圖號說明：

1 . . . 單元框

2 . . . 擴散區

3 . . . 多晶矽矽閘

4 . . . 虛擬配線圖型(多晶矽矽配線圖型)

2 1、2 1 1、2 1 2 . . . p^+ 擴散區

2 2、2 2 1、2 2 2 . . . n^+ 擴散區

4 1 . . . 與多晶矽矽閘平行之部分

4 2 . . . 與多晶矽矽閘垂直之部分

4 3 . . . 平行部分之小部分

4 4 . . . 與 p^+ 擴散區相對之小部分

4 5 . . . 與 n^+ 擴散區相對之小部分

(請先閱讀背面之注意事項再填寫本頁)

訂

四、中文發明摘要(發明之名稱：)

半導體裝置及其製造方法、基本格
資料庫及其製造方法、光罩

一種半導體裝置及其製造方法、基本格資料庫及其製造方法、光罩，即登錄在基本格資料庫資料庫之基本格，係預先將虛擬配線圖型4形成於外周。因此可在單元內確定基本格內使用於電路之多晶矽矽閘3至其靠近之虛擬配線圖型4之多晶矽矽配線之距離。由於此結果可預測因基本格內全部多晶矽矽閘之光鄰近效應(Optical proximity effect)之多晶矽矽配線寬度(以下簡稱多晶矽寬度)變動之大小，故僅在格內即可決定依該多晶矽寬度變動補正閘寬度之光罩上OPC之補正值。

英文發明摘要(發明之名稱：)

六、申請專利範圍

第 86109113 號 專利 申請 案

中文 申請 專利 範圍 修正 本

民國 89 年 9 月 修正

- 1 . 一種半導體裝置，包含：
半導體基板；
形成於該半導體基板，具有一閘極之邏輯電路；及
形成於該邏輯電路之周緣部之虛擬配線圖型。
- 2 . 如申請專利範圍第 1 項之半導體裝置，其中
上述邏輯電路為 A N D 閘電路、N A N D 閘電路、
E X - O R（排他邏輯和）閘電路、N O R 閘電路、換流
器電路及正反器電路之中之一。
- 3 . 如申請專利範圍第 1 項之半導體裝置，其中
上述閘極寬度係和上述閘極與上述虛擬配線圖型之間
之距離有關。
- 4 . 如申請專利範圍第 3 項之半導體裝置，其中
上述閘極與虛擬配線圖型間之距離設定為特定長，上
述閘極寬度設定為補償光近接效果之長度。
- 5 . 如申請專利範圍第 1 項之半導體裝置，其中
上述閘極寬度係小於或等於 $0.3 \mu m$ 。
- 6 . 如申請專利範圍第 1 項之半導體裝置，其中
上述閘極寬度係和上述虛擬配線圖型寬度大略相同。
- 7 . 如申請專利範圍第 1 項之半導體裝置，其中
上述閘極寬度係和上述虛擬配線圖型寬度不同。

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

8 . 如申請專利範圍第 1 項之半導體裝置，其中上述閘極及虛擬配線圖型係由聚矽所形成。

9 . 如申請專利範圍第 1 項之半導體裝置，其中上述虛擬配線圖型完全圍繞該邏輯電路。

10 . 如申請專利範圍第 1 項之半導體裝置，其中上述虛擬配線圖型係平行於上述閘極之長度方向。

11 . 如申請專利範圍第 1 項之半導體裝置，其中上述虛擬配線圖型包含複數虛擬配線部分。

12 . 一種半導體裝置，包含：

半導體基板；

形成於該半導體基板上，分別具有一閘極的多數邏輯電路；及

形成於該邏輯電路之周緣部及鄰接之上述邏輯電路之間的虛擬配線圖型。

13 . 如申請專利範圍第 12 項之半導體裝置，其中上述多數邏輯電路分別為 AND 閘電路、NAND 閘電路、EX - OR（排他邏輯和）閘電路、NOR 閘電路、換流器電路及正反器電路其中之一。

14 . 如申請專利範圍第 12 項之半導體裝置，其中上述各個閘極寬度係和上述閘極與上述虛擬配線圖型之間之距離有關。

15 . 如申請專利範圍第 14 項之半導體裝置，其中上述閘極與虛擬配線圖型間之距離設定為特定長，上述各個閘極寬度設定為補償光近接效果之長度。

（請先閱讀背面之注意事項再填寫本頁）

訂

六、申請專利範圍

1 6 . 如申請專利範圍第 1 2 項之半導體裝置，其中上述閘極寬度係小於或等於 $0.3 \mu m$ 。

1 7 . 如申請專利範圍第 1 2 項之半導體裝置，其中上述各個閘極寬度係和上述虛擬配線圖型寬度大略相同。

1 8 . 如申請專利範圍第 1 2 項之半導體裝置，其中上述閘極寬度係和上述虛擬配線圖型寬度不同。

1 9 . 如申請專利範圍第 1 2 項之半導體裝置，其中上述閘極及虛擬配線圖型係由聚矽所形成。

2 0 . 如申請專利範圍第 1 2 項之半導體裝置，其中上述虛擬配線圖型完全圍繞該邏輯電路。

2 1 . 如申請專利範圍第 1 2 項之半導體裝置，其中上述虛擬配線圖型係平行於上述閘極之長度方向。

2 2 . 如申請專利範圍第 1 2 項之半導體裝置，其中上述虛擬配線圖型包含複數虛擬配線部分。

2 3 . 一種基本格資料庫，包含：

多數邏輯格，各邏輯格具有：

具閘極之邏輯電路；及

形成於該邏輯電路周緣部之虛擬配線圖型；

其中上述邏輯格中之，上述閘極與上述虛擬配線圖型間之距離係設定為特定長，閘極寬度係設定為補償光近接效果之長度。

2 4 . 如申請專利範圍第 2 3 項之基本格資料庫，其中

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

上述各個邏輯格中之上述邏輯電路，係 A N D 閘電路、N A N D 閘電路、E X - O R（排他邏輯和）閘電路、N O R 閘電路、換流器電路、及正反器電路其中之一，各個邏輯格對應不同之邏輯電路。

25．如申請專利範圍第23項之基本格資料庫，其中

上述各個閘極寬度係和上述閘極與上述虛擬配線圖型之間之距離有關。

26．如申請專利範圍第23項之基本格資料庫，其中上述閘極寬度係小於或等於 $0.3\ \mu\text{m}$ 。

27．如申請專利範圍第23項之基本格資料庫，其中

上述各個閘極寬度係和上述虛擬配線圖型寬度大略相同。

28．如申請專利範圍第23項之基本格資料庫，其中

上述閘極寬度係和上述虛擬配線圖型寬度不同。

29．如申請專利範圍第23項之基本格資料庫，其中

上述閘極及虛擬配線圖型係由聚矽所形成。

30．如申請專利範圍第23項之基本格資料庫，其中

上述虛擬配線圖型完全圍繞該邏輯電路。

31．如申請專利範圍第23項之基本格資料庫，其

（請先閱讀背面之注意事項再填寫本頁）

裝
訂
線

六、申請專利範圍

中

上述虛擬配線圖型係平行於上述各個閘極之長度方向

。

3 2 . 如申請專利範圍第 2 3 項之基本格資料庫，其中

上述虛擬配線圖型包含複數虛擬配線部分。

3 3 . 一種基本格資料庫，包含：

多數邏輯格，其中至少一個邏輯格具有：

各具有一閘極的多數邏輯電路；及

形成於該邏輯電路之周緣部及鄰接之上述邏輯電路間的虛擬配線圖型；

上述邏輯格中之，上述閘極與虛擬配線圖型間之距離係設定為特定長，閘極寬度設定為補償光近接效果之長度。

3 4 . 如申請專利範圍第 3 3 項之基本格資料庫，其中

上述多數邏輯電路之各個為 A N D 閘電路、N A N D 閘電路、E X - O R (排他邏輯和) 閘電路、N O R 閘電路、換流器電路及正反器電路之中之一。

3 5 . 如申請專利範圍第 3 3 項之基本格資料庫，其中

上述各個閘極寬度係和上述閘極與上述虛擬配線圖型之間之距離有關。

3 6 . 如申請專利範圍第 3 3 項之基本格資料庫，其

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

中

上述閘極寬度係小於或等於 $0.3 \mu m$ 。

中

37. 如申請專利範圍第33項之基本格資料庫，其

上述各個閘極寬度係和上述虛擬配線圖型寬度大略相同。

中

38. 如申請專利範圍第33項之基本格資料庫，其

上述閘極寬度係和上述虛擬配線圖型寬度不同。

中

39. 如申請專利範圍第33項之基本格資料庫，其

上述閘極及虛擬配線圖型係由聚矽所形成。

中

40. 如申請專利範圍第33項之基本格資料庫，其

上述虛擬配線圖型完全圍繞該邏輯電路。

中

41. 如申請專利範圍第33項之基本格資料庫，其

上述虛擬配線圖型係平行於上述各個閘極之長度方向。

中

42. 如申請專利範圍第33項之基本格資料庫，其

上述虛擬配線圖型包含複數虛擬配線部分。

43. 一種半導體積體電路，包含：

半導體基板；

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

形成於該半導體基板上，具有一閘極的邏輯電路；及
形成於該邏輯電路之周緣部，具有介由與閘極之長度
方向平行之閘極而位於對稱位置關係之第1、第2配線圖
型的虛擬配線圖型。

44．如申請專利範圍第43項之半導體積體電路，
其中

第1及第2虛擬配線圖型包含複數虛擬配線部分。

45．如申請專利範圍第43項之半導體積體電路，
其中

第1及第2配線圖型係連續者。

46．如申請專利範圍第43項之半導體積體電路，
其中

另具有和上述第1、第2配線圖型垂直且一體形成，
因而上述虛擬配線圖型包圍上述邏輯電路般構成的第3、
第4配線圖型。

47．一種半導體積體電路，包含：

半導體基板；

形成於該半導體基板上，具有第1、第2閘極的邏輯
電路；及

形成於該邏輯電路之周緣部，具有分別與上述第1、
第2閘極之長度方向平行之第1、第2配線圖型的虛擬配
線圖型。

48．如申請專利範圍第47項之半導體積體電路，
其中

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

第 1 及第 2 虛擬配線圖型包含複數虛擬配線部分。

49 . 如申請專利範圍第 47 項之半導體積體電路，
其中

第 1 及第 2 配線圖型係連續者。

50 . 如申請專利範圍第 47 項之半導體積體電路，
其中

另具有和上述第 1、第 2 配線圖型垂直且一體形成，
因而上述虛擬配線圖型包圍上述邏輯電路般構成的第 3、
第 4 配線圖型。

51 . 一種半導體積體電路，包含：

半導體基板；

形成於該半導體基板上，具有第 1 閘極的第 1 邏輯電
路；

形成於該半導體基板上，鄰接於上述第 1 邏輯電路，
具與第 1 閘極平行之第 2 閘極的第 2 邏輯電路；

形成於位於與上述第 2 邏輯電路隔開之位置之上述第
1 邏輯電路之周緣部，和上述第 1 閘極之長度方向具平行
之位置關係的第 1 虛擬配線圖型；及

形成於位於和上述第 1 邏輯電路隔開之位置的上述第
2 邏輯電路之周緣部，和上述第 2 閘極之長度方向具平行
之位置關係的第 2 虛擬配線圖型。

52 . 如申請專利範圍第 51 項之半導體積體電路，
其中

第 1 及第 2 虛擬配線圖型包含複數虛擬配線部分。

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

5 3 . 如申請專利範圍第 5 1 項之半導體積體電路，
其中

第 1 及第 2 配線圖型係連續者。

5 4 . 如申請專利範圍第 5 1 項之半導體積體電路，
其中

另具有位於上述第 1、第 2 邏輯電路之間，與第 1、
第 2 閘極平行般形成的第 3 虛擬配線圖型。

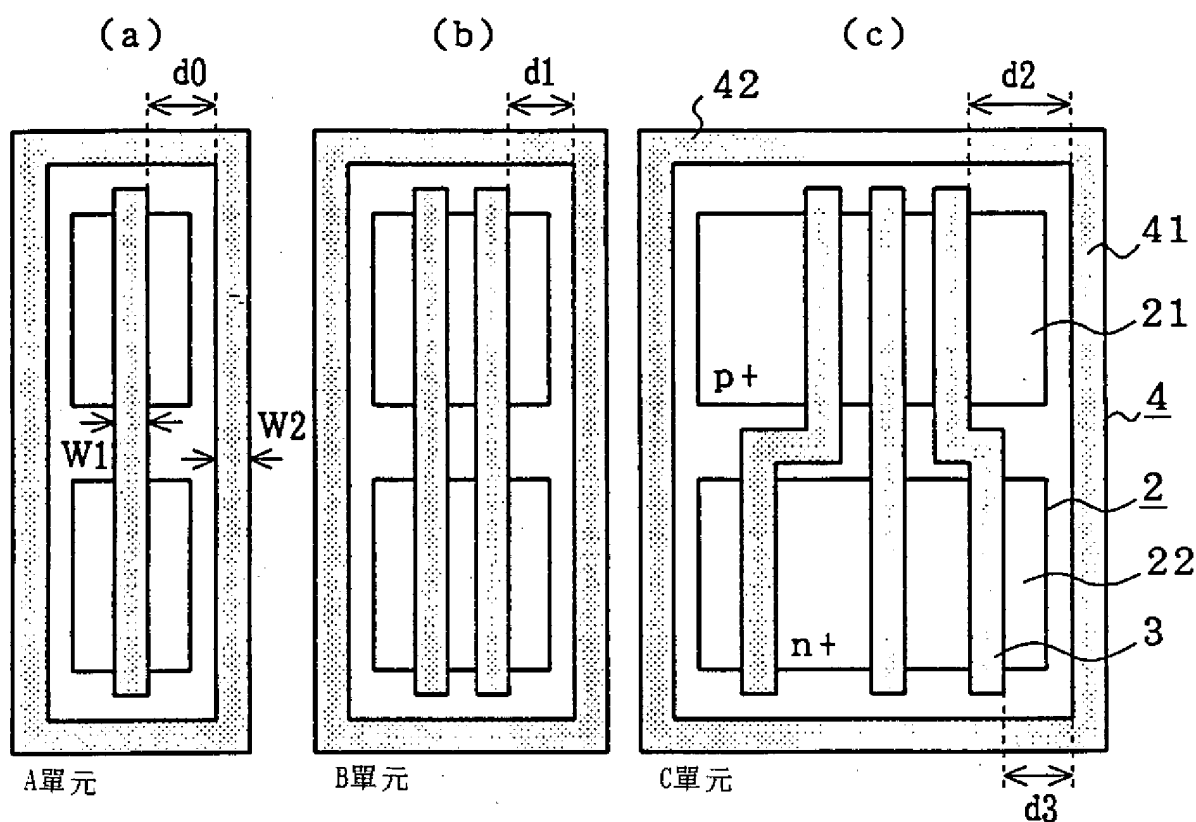
5 5 . 如申請專利範圍第 5 4 項之半導體積體電路，
其中

另具有垂直於上述第 1、第 2、第 3 配線圖型之各個
第 1、第 2 終端部，而且一體形成的第 4、第 5 配線圖型

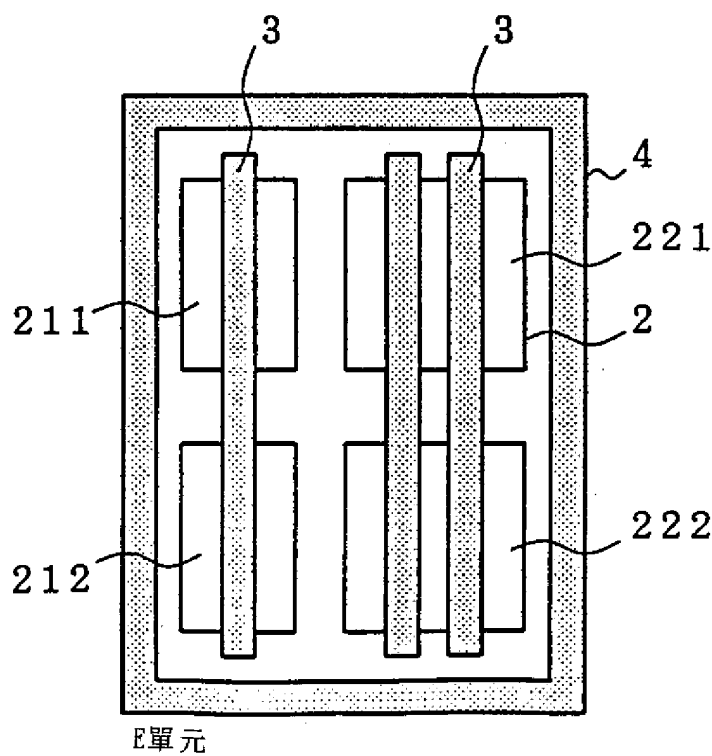
。

(請先閱讀背面之注意事項再填寫本頁)

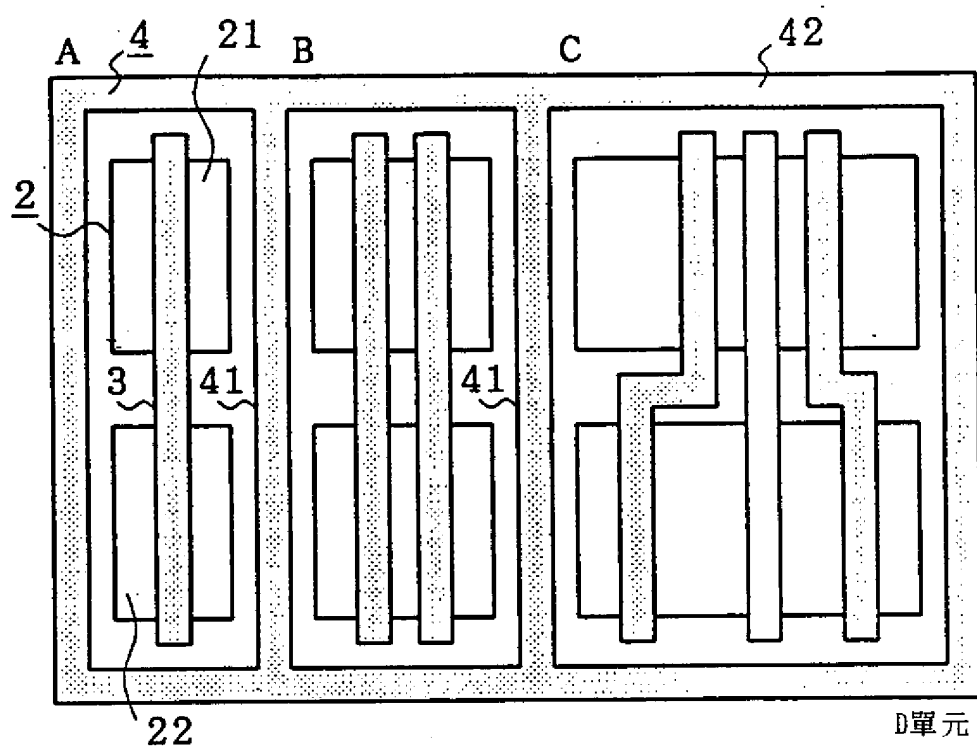
訂



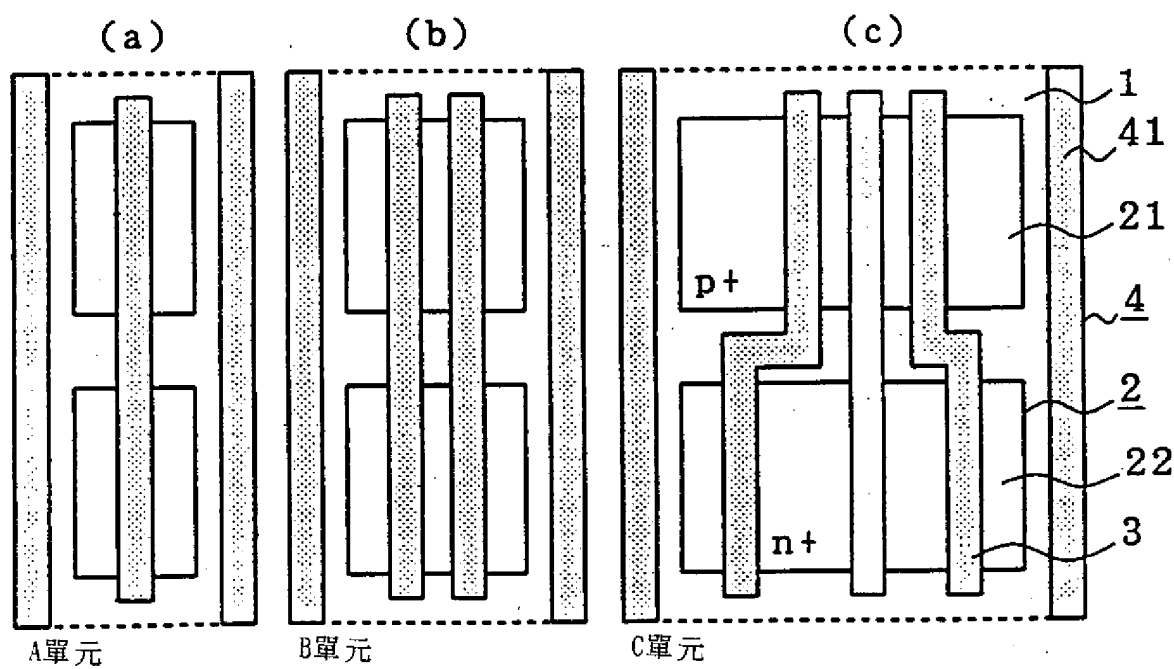
第 1 圖



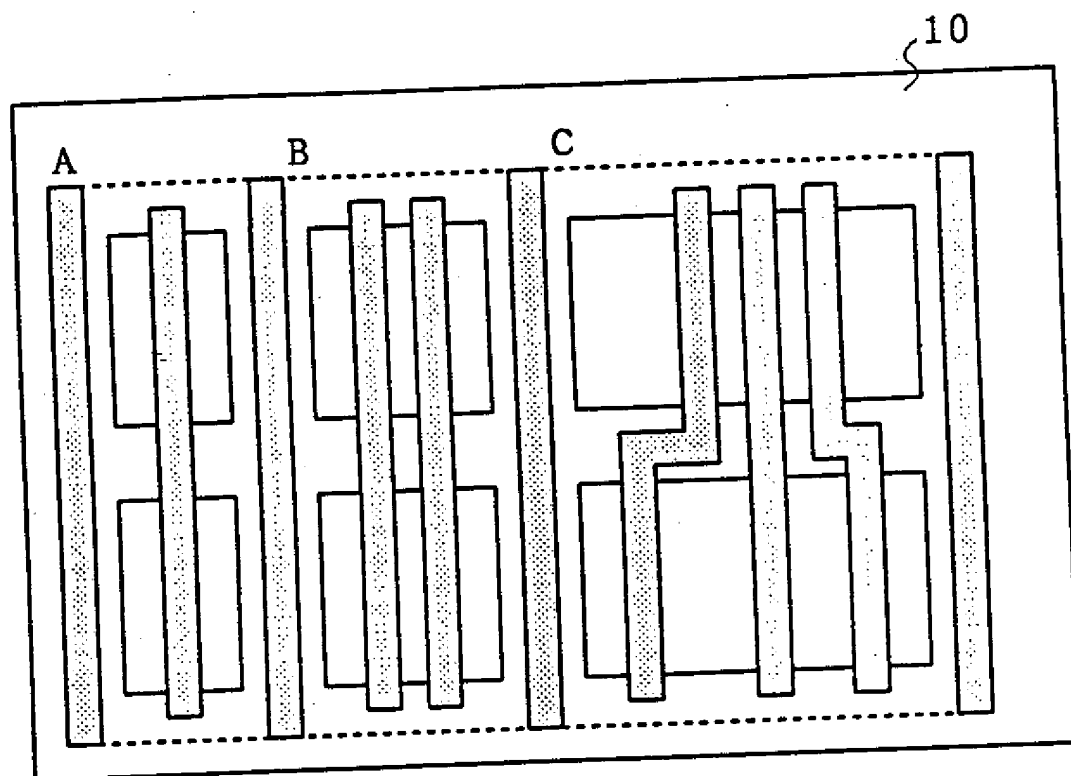
第 2 圖



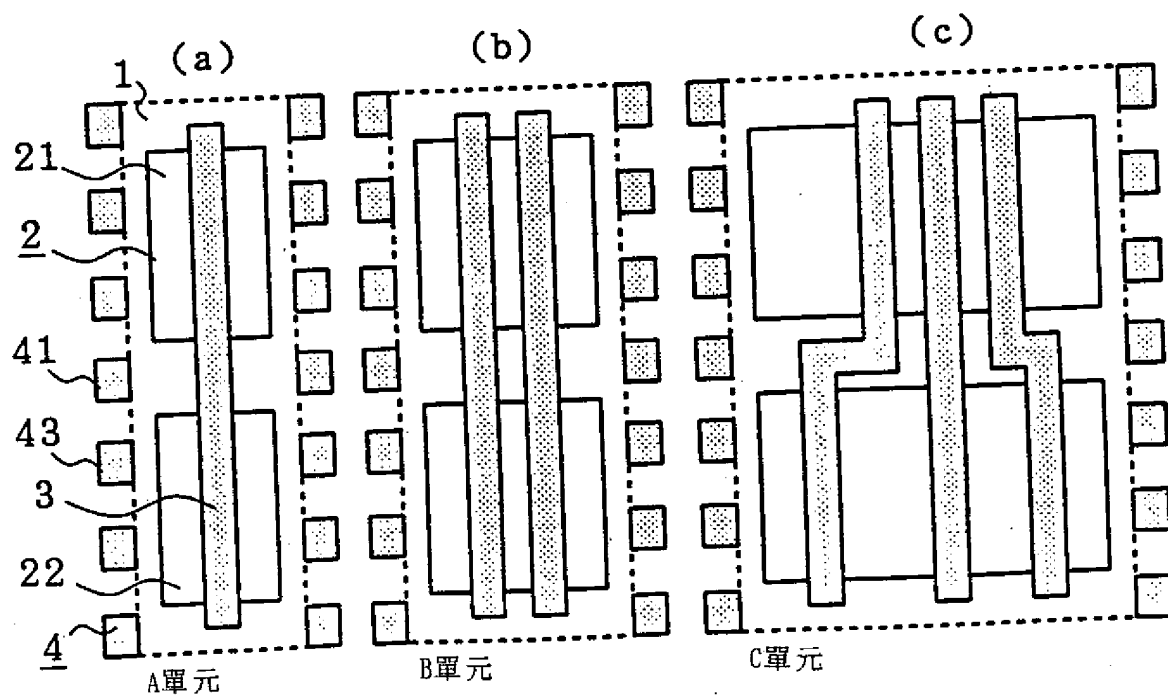
第 3 圖



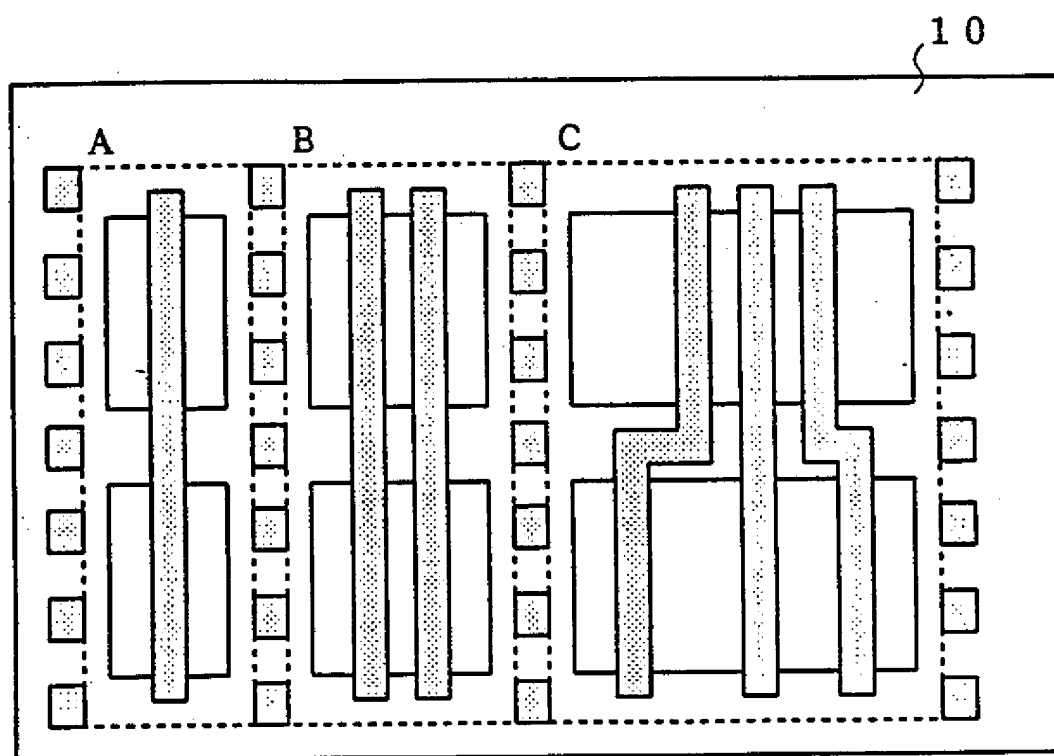
第 4 圖



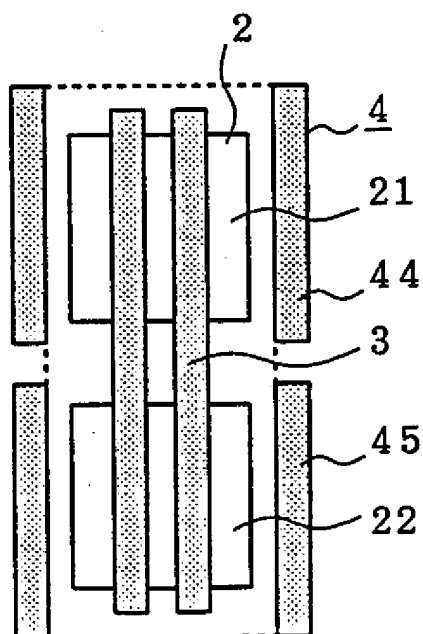
第 5 圖



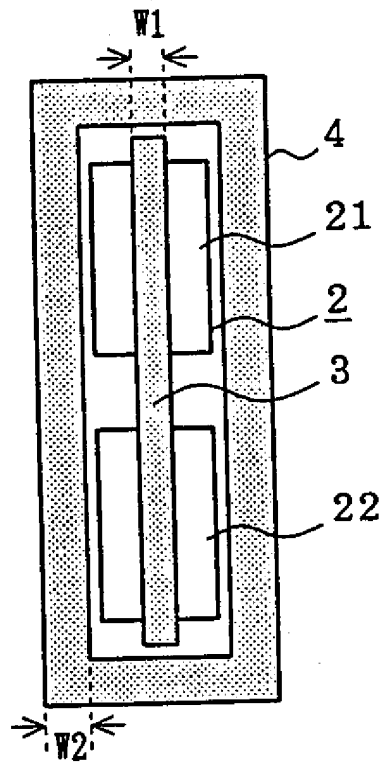
第 6 圖



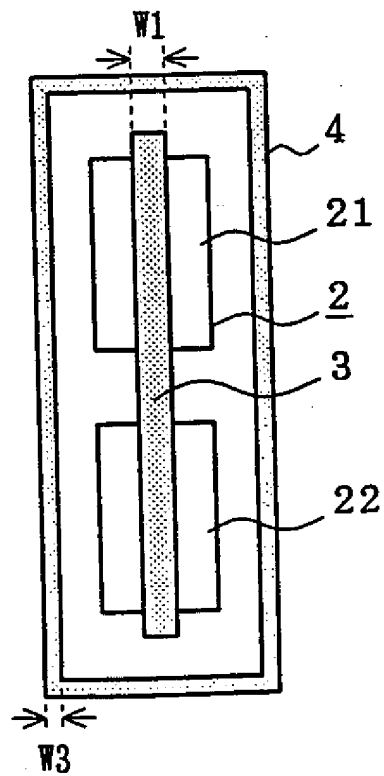
第 7 圖



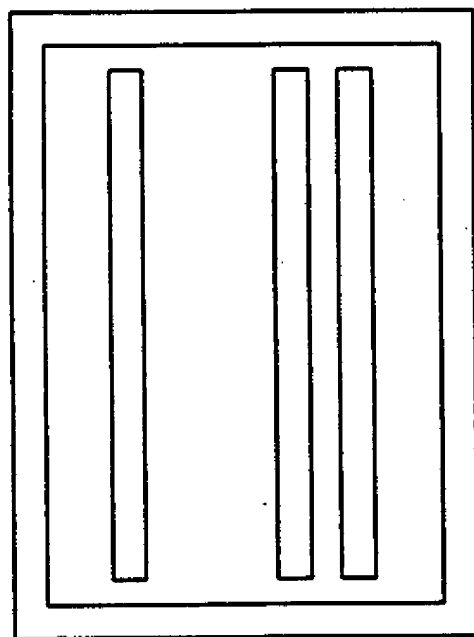
第 8 圖



第 9 圖

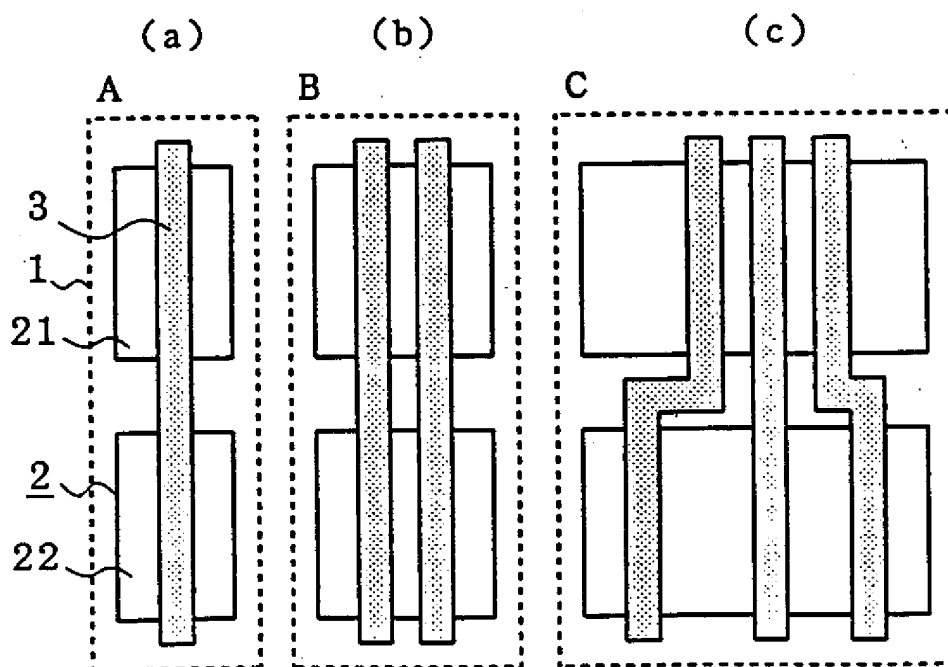


第10圖

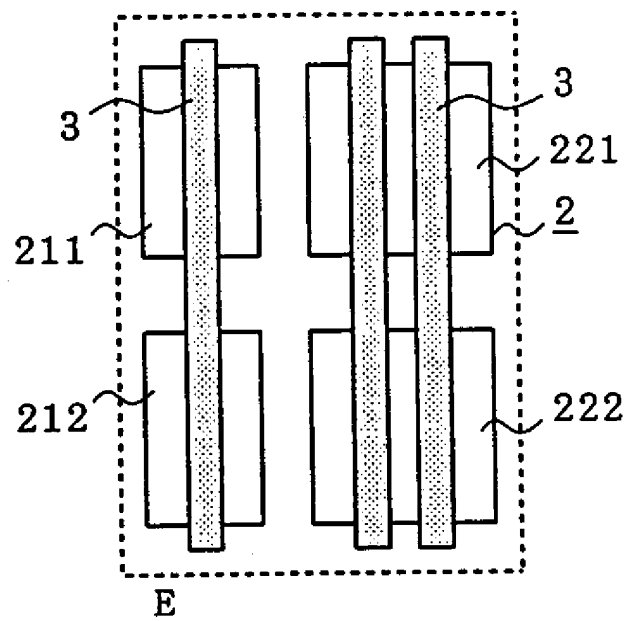


光障罩

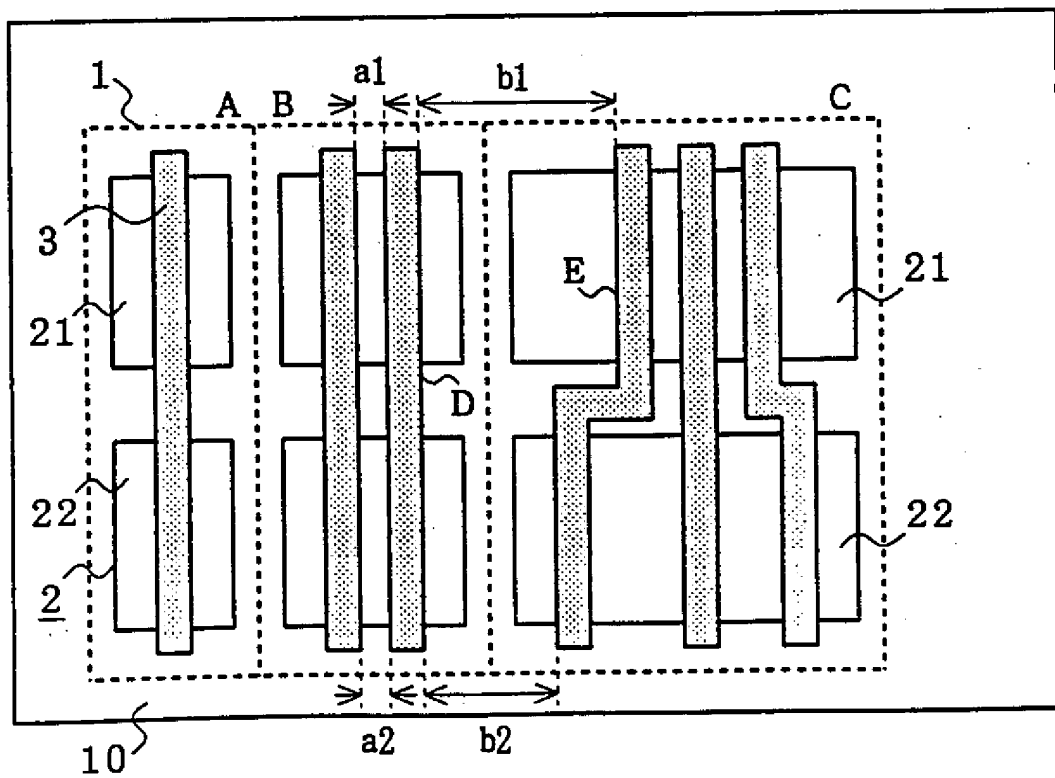
第11圖



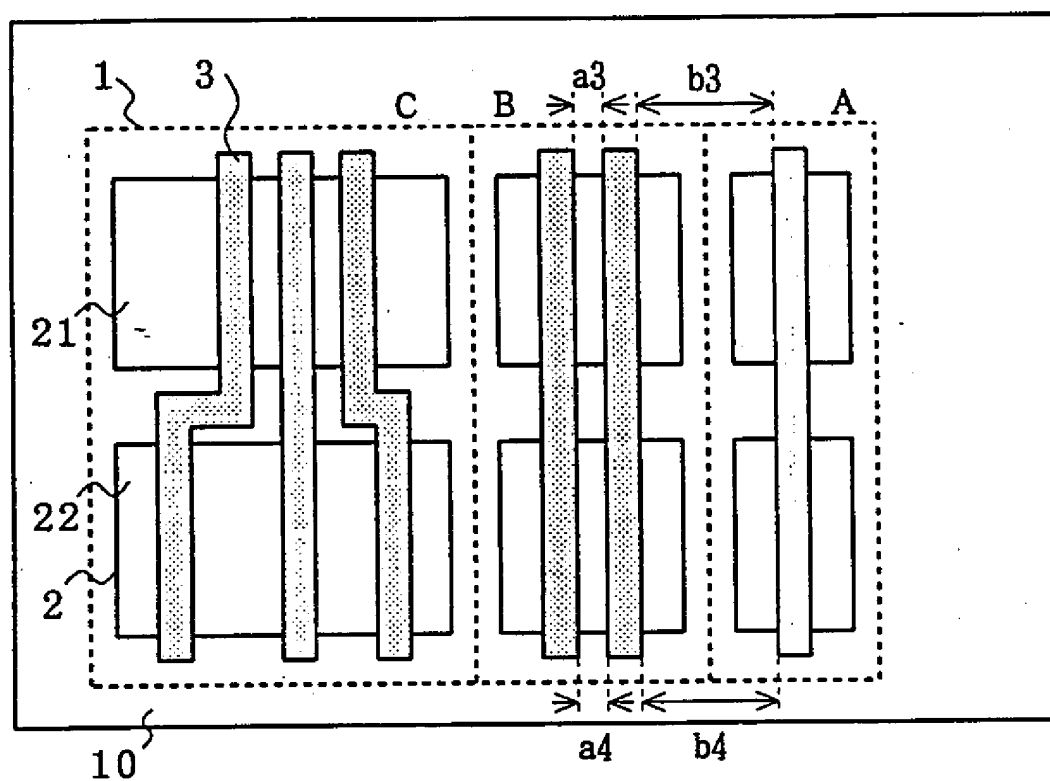
第12圖



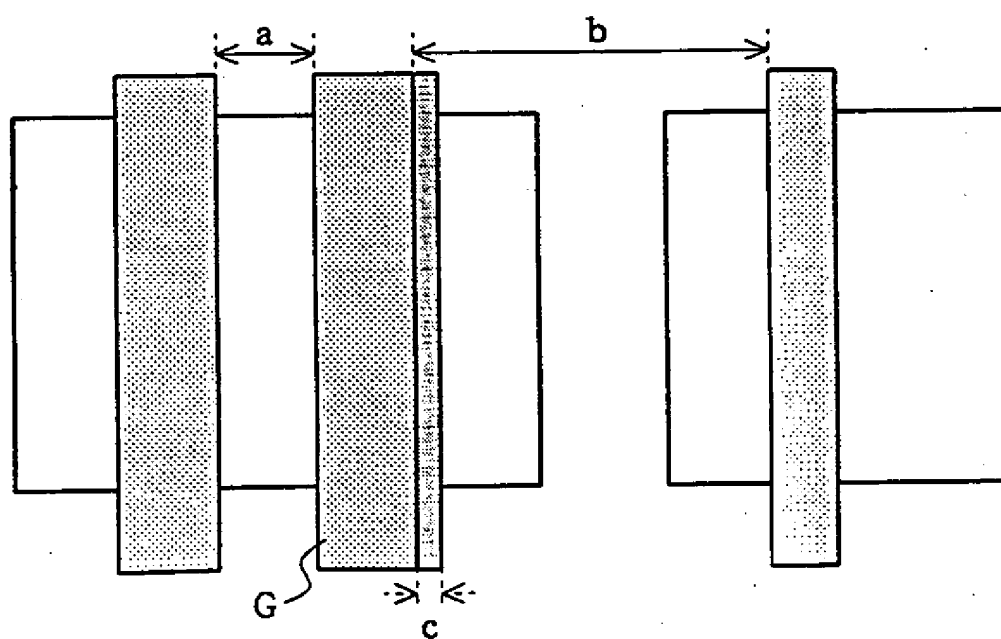
第13圖



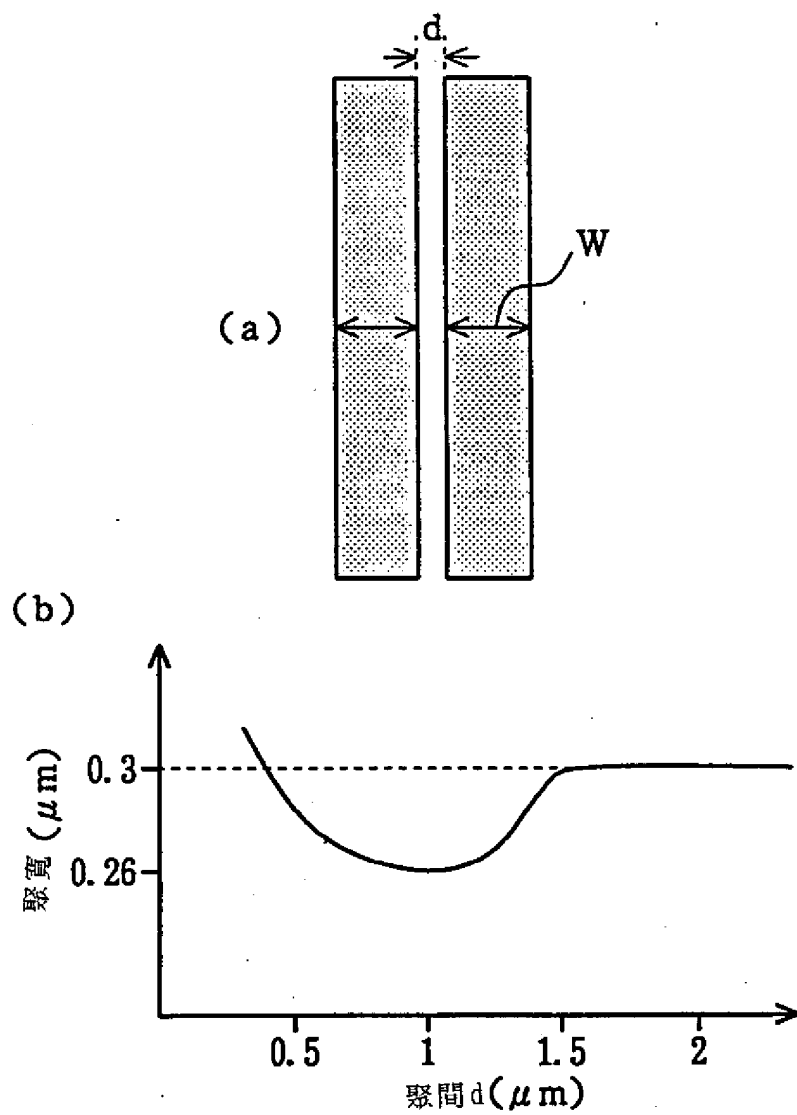
第14圖



第15圖



第16圖



第17圖

第 86109113 號 專利申請案
中文說明書修正本

88年1月(日)
民國 88 年 1 月 修正

公告本

申請日期	86 年 6 月 28 日
案 號	86109113
類 別	H01L 21/82

A4
C4

434829

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	半導體裝置及其製造方法、基本格資料庫及其製造方法、光罩
	英 文	
二、發明 人	姓 名	(1) 山口明
	國 籍	(1) 日本 (1) 日本國神奈川縣横浜市戸塚區秋葉町二一三-二尼克高級公寓東戸塚第二一一一〇
三、申請人	住、居所	
	姓 名 (名稱)	(1) 東芝股份有限公司 株式会社東芝
	國 籍	(1) 日本 (1) 日本國神奈川縣川崎市幸區堀川町七二番地
	住、居所 (事務所)	
	代 表 人 姓 名	(1) 西室泰三

五、發明說明(7)

較佳實施例之詳細說明：

以下參考附圖說明發明之實施形態。

首先、參考第1圖及第2圖說明第1實施例。圖均為本發明之登錄於基本格資料庫之基本格平面圖。基本格資料庫登錄構成半導體集成電路之基本格，在製造半導體裝置時，適當抽出登錄於該資料庫之基本格，佈置設計邏輯電路。圖示本發明之基本格，用於標準單元方式之半導體裝置之佈置。基本格係將多數基本閘實現於基片上之佈置構造，即由閘等內部配線、擴散區及本發明之要旨之虛擬配線圖型構成。基本格有：反相器、2輸入NAND、觸發器、EXOR、AND、NOR等，即指將基本閘實現於半導體基片上之佈置構造。第1圖(a)係登錄於該基本格資料庫之A單元。沿形成單元區之單元框，形成多晶矽配線圖型之虛擬配線圖型4。即、以虛擬配線圖型4包圍單元區。

在該單元區形成源／汲區之1對擴散區(SDG)2。擴散區2包含p⁺擴散區21及n⁺擴散區22，將1支多晶矽閘3配置於此等擴散區21、22上。本實施例之多晶矽閘3之閘寬度W1及虛擬配線圖型4之圖型寬度W2均例如為0.3μm。虛擬配線圖型4，由與多晶矽閘3平行之部分41及垂直之部分42構成。該平行之部分41在多晶矽閘3引起因光鄰近效應之閘寬度變動，惟因多晶矽閘3與虛擬配線圖型4之間距d0為一

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

定，故多晶矽矽閘3有閘寬度變動時，可預先以基本格狀態加以補正。第1圖(b)係登錄於該基本格資料庫之B單元，即將2支多晶矽矽閘3配置於 p^+ 擴散區21及 n^+ 擴散區22上。包圍單元區、形成與多晶矽矽閘之閘寬度同寬之多晶矽矽配線圖型之虛擬配線圖型4。與A單元同樣、虛擬配線圖型4，由與多晶矽矽閘3平行之部分41及垂直之部分42構成。

因該多晶矽矽閘3右側者與擬配線圖型4之間距 d_1 為一定，故多晶矽矽閘3有閘寬度變動時，可預先以基本格狀態加以補正。第1圖(c)係登錄於該基本格資料庫之C單元，即將3支多晶矽矽閘3配置於 p^+ 擴散區21及 n^+ 擴散區22上。包圍單元區、形成與多晶矽矽閘之閘寬度同寬之多晶矽矽配線圖型之虛擬配線圖型4。與A單元同樣、虛擬配線圖型4，由與多晶矽矽閘3平行之部分41及直角之部分42構成。因該多晶矽矽閘3右側者與擬配線圖型4之間距 d_2 、 d_3 為一定，故多晶矽矽閘3有閘寬度變動時，可預先以基本格狀態加以補正。

第2圖係登錄於該基本格資料庫之E單元。沿形成單元區之單元框，形成多晶矽矽配線圖型之虛擬配線圖型4。在該單元區形成擴散區2。

擴散區2包含 p^+ 擴散區211、212及 n^+ 擴散區221、222，將1支多晶矽矽閘3配置於此等擴散區211、221上，將2支多晶矽矽閘3配置於擴散區212、222上。

六、申請專利範圍

第 86109113 號 專利 申請 案

中文 申請 專利 範圍 修正 本

民國 89 年 9 月 修正

- 1 . 一種半導體裝置，包含：
- 半導體基板；
- 形成於該半導體基板，具有一閘極之邏輯電路；及
- 形成於該邏輯電路之周緣部之虛擬配線圖型。
- 2 . 如申請專利範圍第 1 項之半導體裝置，其中
- 上述邏輯電路為 A N D 閘電路、N A N D 閘電路、
- E X - O R（排他邏輯和）閘電路、N O R 閘電路、換流
- 器電路及正反器電路之中之一。
- 3 . 如申請專利範圍第 1 項之半導體裝置，其中
- 上述閘極寬度係和上述閘極與上述虛擬配線圖型之間
- 之距離有關。
- 4 . 如申請專利範圍第 3 項之半導體裝置，其中
- 上述閘極與虛擬配線圖型間之距離設定為特定長，上
- 述閘極寬度設定為補償光近接效果之長度。
- 5 . 如申請專利範圍第 1 項之半導體裝置，其中
- 上述閘極寬度係小於或等於 $0.3\ \mu\text{m}$ 。
- 6 . 如申請專利範圍第 1 項之半導體裝置，其中
- 上述閘極寬度係和上述虛擬配線圖型寬度大略相同。
- 7 . 如申請專利範圍第 1 項之半導體裝置，其中
- 上述閘極寬度係和上述虛擬配線圖型寬度不同。

（請先閱讀背面之注意事項再填寫本頁）

訂