

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年10月17日(17.10.2024)



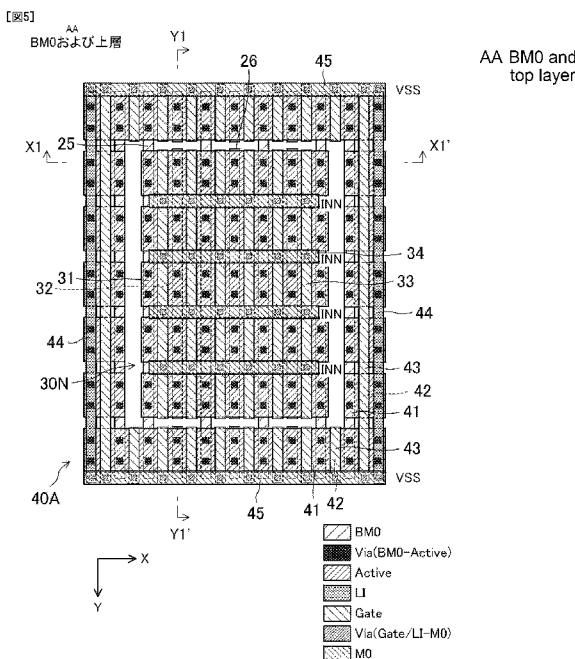
(10) 国際公開番号

WO 2024/214653 A1

- (51) 国際特許分類:
H01L 27/04 (2006.01) H01L 27/06 (2006.01)
H01L 21/82 (2006.01) H01L 27/088 (2006.01)
H01L 21/8234 (2006.01)
- (21) 国際出願番号: PCT/JP2024/014151
- (22) 国際出願日: 2024年4月5日(05.04.2024)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2023-065689 2023年4月13日(13.04.2023) JP
- (71) 出願人:株式会社ソシオネクスト(SOCIONEXT INC.) [JP/JP]; 〒2220033 神奈川県横浜市港北区新横浜二丁目10番23 Kanagawa (JP).
- (72) 発明者:中村 敏宏(NAKAMURA Toshihiro); 〒2220033 神奈川県横浜市港北区新横浜二丁目10番23 株式会社ソシオネクスト内 Kanagawa (JP).
- (74) 代理人:弁理士法人前田特許事務所(MAEDA & PARTNERS); 〒5300004 大阪府大阪市北区堂島浜1丁目2番1号 新ダイビル23階 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU,

(54) Title: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(54) 発明の名称: 半導体集積回路装置



(57) Abstract: In this semiconductor integrated circuit device, an output transistor unit (30N) provided with a transistor (N1) connected between a VSS and an output terminal (PAD) is provided with an active region (31) having a nanosheet (32) as a channel. Power supply wiring (25) and output wiring (26) are disposed on a wiring layer on the reverse-surface side of the transistor (N1) so as to overlap with the active region (31) in plan view. The power supply wiring (25) is connected to the lower surface of a portion serving as the source of the active region (31) via a via, and the output wiring (26) is connected to the lower surface of a portion serving as the drain of the active region (31) via a via.



WO 2024/214653 A1



TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告 (条約第21条(3))

(57) 要約：半導体集積回路装置において、VSSと出力端子(PAD)との間に接続されたトランジスタ(N1)を備える出力トランジスタ部(30N)は、チャンネルとしてナノシート(32)を有するアクティブ領域(31)を備えている。電源配線(25)および出力配線(26)は、トランジスタ(N1)の背面側の配線層に、アクティブ領域(31)と平面視で重なるように配置されている。電源配線(25)は、アクティブ領域(31)のソースとなる部分の下面にビアを介して接続されており、出力配線(26)は、アクティブ領域(31)のドレインとなる部分の下面にビアを介して接続されている。

明 細 書

発明の名称：半導体集積回路装置

技術分野

[0001] 本開示は、半導体集積回路装置に関し、特に、半導体集積回路装置外との信号のやりとりを行うための入出力回路を備えたＩＯセルのレイアウト構成に関する。

背景技術

[0002] 半導体集積回路装置を構成する、外部と信号のやりとりを行うＩＯセルには、一般的に、出力バッファと、ＥＳＤ（Electro Static Discharging）保護回路が設けられている。また、近年の半導体集積回路装置の微細化に伴い、高速化の要求がますます大きくなっている。

[0003] 特許文献１では、半導体集積回路装置の高集積化のために、トランジスタの直下の基板背面に配線を設け、これにトランジスタのソース／ドレインを接続する技術が開示されている。

先行技術文献

特許文献

[0004] 特許文献１：米国特許出願公開第２０２１／０３７５８５３号

発明の概要

発明が解決しようとする課題

[0005] しかしながら、特許文献１には、トランジスタの直下に配線を設ける構成において、入出力回路における出力回路のように大電流を流す回路に関する具体的なレイアウト構造の開示はない。また、ＥＳＤ保護回路に関する具体的なレイアウト構造の開示はない。

[0006] 本開示は、トランジスタの直下に配線を設ける構成を備える半導体集積回路装置において、大電流を流す回路およびＥＳＤ保護回路に関する具体的なレイアウト構造を提供する。

課題を解決するための手段

[0007] 本開示の第1態様では、半導体集積回路装置は、第1電源電圧を供給する第1電源と出力端子との間に接続された第1導電型の第1トランジスタを備える、第1出力トランジスタ部と、前記第1電源電圧を供給する第1電源配線と、前記出力端子に接続された出力配線とを備え、前記第1出力トランジスタ部は、前記第1トランジスタのチャネル、ソースおよびドレインを構成するものであり、チャネルとしてナノシートを有する、前記第1導電型の第1アクティブ領域を備え、前記第1電源配線は、前記第1トランジスタの背面側にある配線層に、前記第1アクティブ領域と平面視で重なるように配置されており、前記第1アクティブ領域における前記第1トランジスタのソースとなる部分の下面に、ビアを介して接続されており、前記出力配線は、前記第1電源配線と同一の配線層に、前記第1アクティブ領域と平面視で重なるように配置されており、前記第1アクティブ領域における前記第1トランジスタのドレインとなる部分の下面に、ビアを介して接続されている。

[0008] この態様によると、第1電源と出力端子との間に接続された第1トランジスタを備える第1出力トランジスタ部は、第1トランジスタのチャネル、ソースおよびドレインを構成する第1アクティブ領域を備えている。第1アクティブ領域は、チャネルとしてナノシートを有する。第1電源配線および出力配線は、第1トランジスタの背面側の配線層に、第1アクティブ領域と平面視で重なるように配置されている。第1電源配線は、第1アクティブ領域における第1トランジスタのソースとなる部分の下面にビアを介して接続されており、出力配線は、第1アクティブ領域における第1トランジスタのドレインとなる部分の下面にビアを介して接続されている。これにより、レイアウト面積を拡げることなく、出力端子に大電流を流すことができることができる。

[0009] 本開示の第2態様では、半導体集積回路装置は、第1電源電圧を供給する第1電源と出力端子との間に接続されたESD (Electro Static Discharge) 保護ダイオードと、前記第1電源電圧を供給する第1電源配線と、前記出力端子に接続された出力配線とを備え、前記ESD保護ダイオードは、アノ

ードまたはカソードのうち一方の端子を構成するものであり、第1ナノシートを有する第1導電型の第1アクティブ領域と、アノードまたはカソードのうち他方の端子を構成するものであり、第2ナノシートを有する第2導電型の第2アクティブ領域とを備え、前記第1電源配線は、前記第1および第2アクティブ領域の背面側にある配線層に、前記第1アクティブ領域と平面視で重なるように配置されており、前記第1アクティブ領域における前記第1ナノシートを挟む部分の下面に、ビアを介して接続されており、前記出力配線は、前記第1電源配線と同一の配線層に、前記第2アクティブ領域と平面視で重なるように配置されており、前記第2アクティブ領域における前記第2ナノシートを挟む部分の下面に、ビアを介して接続されている。

[0010] この態様によると、第1電源と出力端子との間に接続されたESD保護ダイオードは、アノードまたはカソードのうち一方の端子を構成する第1導電型の第1アクティブ領域と、アノードまたはカソードのうち他方の端子を構成する第2導電型の第2アクティブ領域とを備えている。第1および第2アクティブ領域は、ナノシートを有する。第1電源配線および出力配線は、第1および第2アクティブ領域の背面側の配線層に配置されている。第1電源配線は、第1アクティブ領域におけるナノシートを挟む部分の下面にビアを介して接続されており、出力配線は、第2アクティブ領域におけるナノシートを挟む部分の下面にビアを介して接続されている。これにより、レイアウト面積を拡げることなく、ESD保護ダイオードの特性および能力を向上させることができる。

[0011] 本開示の第3態様では、半導体集積回路装置は、第1電源電圧を供給する第1電源と第1ノードとの間に接続された第1導電型の第1トランジスタを備える、第1出力トランジスタ部と、出力端子と、前記第1ノードとの間に接続された保護抵抗と、前記第1電源電圧を供給する第1電源配線とを備え、前記第1出力トランジスタ部は、前記第1トランジスタのチャンネル、ソースおよびドレインを構成するものであり、チャンネルとしてナノシートを有する、前記第1導電型の第1アクティブ領域を備え、前記第1電源配線は、前

記第1トランジスタの背面側にある配線層に、前記第1アクティブ領域と平面視で重なるように配置されており、前記第1アクティブ領域における前記第1トランジスタのソースとなる部分の下面に、ビアを介して接続されており、前記保護抵抗は、前記第1アクティブ領域の上層に形成されており、一端が、前記第1アクティブ領域における前記第1トランジスタのドレインとなる部分に接続されており、他端が、前記出力端子に接続された出力配線に接続されている。

[0012] この態様によると、第1電源と第1ノードとの間に接続された第1トランジスタを備える第1出力トランジスタ部は、第1トランジスタのチャンネル、ソースおよびドレインを構成する第1アクティブ領域を備えている。第1アクティブ領域は、チャンネルとしてナノシートを有する。第1電源配線は、第1トランジスタの背面側にある配線層に配置されており、第1アクティブ領域における第1トランジスタのソースとなる部分の下面にビアを介して接続されている。出力端子と第1ノードとの間に接続されている抵抗素子は、第1アクティブ領域の上層に形成されており、一端が、第1アクティブ領域における第1トランジスタのドレインとなる部分に接続されており、他端が、出力端子に接続された出力配線と接続されている。これにより、レイアウト面積を拡げることなく、出力端子に大電流を流すことができる。

発明の効果

[0013] 本開示によると、トランジスタの直下に配線を設ける構成を備える半導体集積回路装置において、大電流を流す回路およびESD保護回路を小面積で実現することができる。

図面の簡単な説明

[0014] [図1]実施形態に係る半導体集積回路装置の全体構成を模式的に示す平面図
[図2]第1実施形態に係る出力回路の回路構成図
[図3]第1実施形態におけるI/Oセルレイアウトの概要例
[図4]図3における出力トランジスタN1のレイアウトを示す平面図
[図5]図3における出力トランジスタN1のレイアウトを示す平面図

- [図6] (a), (b) は図4および図5のレイアウトにおける断面図
- [図7] (a), (b) は実施形態に係る半導体集積回路装置の他の構成例
- [図8] 図3における出力トランジスタP1のレイアウトを示す平面図
- [図9] 図3における出力トランジスタP1のレイアウトを示す平面図
- [図10] 図3におけるダイオード1aのレイアウトを示す平面図
- [図11] 図3におけるダイオード1aのレイアウトを示す平面図
- [図12] (a), (b) は図10および図11のレイアウトにおける断面図
- [図13] 図3におけるダイオード1bのレイアウトを示す平面図
- [図14] 図3におけるダイオード1bのレイアウトを示す平面図
- [図15] 第2実施形態に係る出力回路の回路構成図
- [図16] 第2実施形態におけるI/Oセルレイアウトの概要例
- [図17] 図16における出力トランジスタN1のレイアウトを示す平面図
- [図18] 図16における出力トランジスタN1のレイアウトを示す平面図
- [図19] 図16における出力トランジスタP1のレイアウトを示す平面図
- [図20] 図16における出力トランジスタP1のレイアウトを示す平面図
- [図21] 図16におけるダイオード1aのレイアウトを示す平面図
- [図22] 図16におけるダイオード1bのレイアウトを示す平面図
- [図23] 第2実施形態の変形例における出力回路の回路構成図
- [図24] 第2実施形態の変形例におけるI/Oセルレイアウトの概要例

発明を実施するための形態

[0015] 以下、図面を参照して、実施形態について説明する。なお、以下の説明では、「VDD I/O」「VSS」は、電源電圧または電源自体を指すものとする。また、トランジスタは、P型基板およびN型ウェル上に形成されるものとする。なお、トランジスタは、P型ウェル上に形成されてもよいし、N型基板上に形成されてもよい。

[0016] (第1実施形態)

図1は実施形態に係る半導体集積回路装置の全体構成を模式的に示す平面図である。図1に示す半導体集積回路装置1は、内部コア回路が形成された

コア領域 2 と、コア領域 2 とチップエッジとの間に設けられ、インターフェイス回路（I/O回路）が形成された I/O領域 3 とを備えている。I/O領域 3 には、半導体集積回路装置 1 の周辺部を環状に囲むように、I/Oセル列 10A が設けられている。図 1 では図示を簡略化しているが、I/Oセル列 10A には、インターフェイス回路を構成する複数の I/Oセル 10 が並んでいる。また図 1 では図示を省略しているが、半導体集積回路装置 1 には、複数の外部接続パッドが配置されている。外部接続パッドは、半導体チップの背面側に設けられている。なお、I/Oセル列 10A は、半導体集積回路装置 1 の周辺部の一部に設けられていてもよい。

[0017] I/Oセル 10 は、信号 I/Oセルおよび電源 I/Oセルを含む。信号 I/Oセルには、半導体集積回路装置 1 の外部との間、または、コア領域 2 との間で信号のやりとりを行うために必要な回路、例えば、レベルシフト回路、出力バッファ回路、ESD保護用回路等が含まれる。電源 I/Oセルは、外部接続パッドに供給される各電源を半導体集積回路装置 1 の内部に供給するものであり、ESD保護用回路等を含む。

[0018] 図 2 は I/Oセル 10 に含まれる出力回路 11 の回路構成図である。なお、実際の出力回路には、図 2 に示す回路要素以外も含まれているが、図 2 では記載を省略している。

[0019] 図 2 に示す出力回路 11 は、外部出力端子 PAD と、出力トランジスタ P1、N1 と、ESD (Electro Static Discharge) 保護ダイオード 1a、1b とを備えている。出力トランジスタ P1 は P 導電型のトランジスタであり、出力トランジスタ N1 は N 導電型のトランジスタである。

[0020] 出力トランジスタ P1、N1 は、ゲートに受ける信号に従って、出力信号を外部出力端子 PAD に出力する。出力トランジスタ P1 は、ソースが VDDIO に接続され、ドレインが外部出力端子 PAD に接続されている。出力トランジスタ N1 は、ソースが VSS に接続され、ドレインが外部出力端子 PAD に接続されている。

[0021] ESD保護ダイオード 1a は、VSS と外部出力端子 PAD との間に設け

られており、アノードがVSSに接続され、カソードが外部出力端子PADに接続されている。ESD保護ダイオード1bは、VDDIOと外部出力端子PADとの間に設けられており、アノードが外部出力端子PADに接続され、カソードがVDDIOに接続されている。外部出力端子PADに高圧ノイズが入力されると、ESD保護ダイオード1a, 1bを介してVDDIO, VSSに電流が流れ、これにより、出力トランジスタP1, N1が保護される。

[0022] 図3はIOセルのレイアウトの概要の一例である。図3のレイアウトは、図1の半導体集積回路装置1における下辺に並ぶIOセル10のうちの1つであるIOセル10aに相当する。ここで、X方向（第1方向に相当する）は半導体集積回路装置1の外辺に沿う方向であり、複数のIOセル10が並ぶ方向である。Y方向（第2方向に相当する）はX方向と垂直をなす方向である。

[0023] IOセルは一般に、ESD保護用回路や、半導体集積回路装置外部へ信号を出力するための出力バッファ等を含む高電源電圧領域と、半導体集積回路装置内部へ信号を入出力するための回路等を含む低電源電圧領域とを有している。そして、図3のIOセル10aは、Y方向において、低電源電圧領域6と、高電源電圧領域7とに分かれている。低電源電圧領域6はコア領域2側にあり、高電源電圧領域7は、チップエッジ側にある。

[0024] 低電源電圧領域6は、出力トランジスタN1, P1に近い位置にあり、例えば、出力トランジスタN1, P1のゲートに入力される信号を生成する回路を含む。

[0025] 図3に示すIOセル10aは、図2の出力回路11が構成されている。高電源電圧領域7には、ESD保護ダイオード1a、ESD保護ダイオード1b、出力トランジスタP1、および、出力トランジスタN1が、チップエッジから順に配置されている。なお、ESD保護ダイオード1a, 1bおよび出力トランジスタP1, N1の並びは、図3に示したものに限られない。例えば、出力トランジスタP1と出力トランジスタN1との配置位置が入れ替

わってもよいし、ESD保護ダイオード1aとESD保護ダイオード1bとの配置位置が入れ替わってもよい。

[0026] <出力トランジスタN1>

図4および図5は図3における出力トランジスタN1のレイアウトの詳細を示す平面図である。図4はトランジスタが形成される半導体チップの背面に設けられた配線層である、BM0 (Backside Metal 0) 層、BM1 (Backside Metal 1) 層およびBM2 (Backside Metal 2) 層の構造を示す。BM1層は、BM0の下層、すなわち、トランジスタからみて遠い方にあり、BM2層は、BM1層の下層、すなわち、トランジスタからみて遠い方にある。図5はBM0配線層およびその上層の構造を示す。図6は図4および図5のレイアウトの断面図であり、(a)は線X1-X1'における断面構造、(b)は線Y1-Y1'における断面構造を示す。なお、基板面に垂直な方向をZ方向としている。

[0027] 図5に示すように、図の中央部に出力トランジスタ部30Nが形成されており、その周囲にガードリング部40Aが環状に形成されている。

[0028] 図4に示すように、BM2層において、Y方向に延びる電源配線21および出力配線22が配置されている。電源配線21は、電源電圧VSSを供給する。出力配線22は、外部出力端子PADに接続されている。電源配線21および出力配線22は、製造プロセスの制約上における最小間隔で配置されている。

[0029] BM1層において、X方向に延びる電源配線23および出力配線24が配置されている。電源配線23は、BM2層の電源配線21とビアを介して接続されている。出力配線24は、BM2層の出力配線22とビアを介して接続されている。電源配線23および出力配線24は、製造プロセスの制約上における最小間隔で配置されている。

[0030] BM0層において、Y方向に延びる電源配線25および出力配線26が配置されている。電源配線25は、BM1層の電源配線23とビアを介して接続されている。電源配線25は、ガードリング部40Aに形成されており、

また、出力トランジスタ部30Nを通過するように形成されている。出力配線26は、BM1層の出力配線24とビアを介して接続されている。出力配線26は、出力トランジスタ部30Nに形成されている。

[0031] 出力トランジスタ部30Nでは、X方向に延びるN型のアクティブ領域31が形成されている。アクティブ領域とは、トランジスタのチャンネル、ソースおよびドレインを構成するものである。ナノシートFETを構成するアクティブ領域は、チャンネルとしてナノシートを有している。アクティブ領域について、ナノシートの両側にあるソースおよびドレインとなる部分は、例えば、当該ナノシートからエピタキシャル成長によって形成される。なお、後述するとおり、アクティブ領域はトランジスタを構成しない場合もある。

[0032] 図5では、トランジスタN1を構成するために、5個のアクティブ領域31がY方向に並べて配置されており、各アクティブ領域31はそれぞれ6個のナノシート32を含む。各ナノシート32は、平面視で重なる3枚のシート構造からなり、X方向に延びている。

[0033] アクティブ領域31において、トランジスタのソースとなる部分は、BM0層における電源配線25と平面視で重なっており、電源配線25とビアを介して接続されている。アクティブ領域31において、トランジスタのドレインとなる部分は、BM0層における出力配線26と平面視で重なっており、出力配線26とビアを介して接続されている。

[0034] 5個のアクティブ領域31にかけて、Y方向に延びるゲート配線33が形成されている。ゲート配線33は、ナノシート32のY方向およびZ方向における外周を、ゲート絶縁膜（図示せず）を介して囲んでいる。ゲート配線33は、トランジスタN1のゲートに対応する。

[0035] トランジスタの上層のメタル配線層であるM0層において、X方向に延びる信号配線34が配置されている。信号配線34は、出力トランジスタ部30Nにおけるゲート配線33と、ビアを介して接続されている。信号配線34は、信号INNをトランジスタN1のゲートに供給する。

[0036] ガードリング部40Aでは、P型のアクティブ領域41が形成されている

。アクティブ領域41は、ナノシート42を含む。各ナノシート42は、平面視で重なる3枚のシート構造からなり、X方向に延びている。ただし、アクティブ領域41は、トランジスタとして機能しない。

[0037] アクティブ領域41において、ナノシート42を挟む部分（トランジスタのソースおよびドレインに相当する部分）は、BM0層における電源配線25と平面視で重なっており、電源配線25とビアを介して接続されている。すなわち、アクティブ領域41は、電源配線25から供給される電源電圧VSSを、P型基板またはP型ウェルに供給する。また、ガードリング部40Aは、出力トランジスタ部30Nとその周囲のトランジスタ等との間のノイズの伝搬やラッチアップを抑制する。

[0038] また、アクティブ領域41には、Y方向に延びるゲート配線43が形成されている。ゲート配線43は、ナノシート42のY方向およびZ方向における外周を、ゲート絶縁膜（図示せず）を介して囲んでいる。ただし、ゲート配線43はトランジスタのゲートとして機能するものではない。

[0039] Y方向に延びるローカル配線（L1）44が配置されている。ローカル配線44は、アクティブ領域41の上面に形成されている。M0層において、X方向に延びる電源配線45が配置されている。電源配線45はローカル配線44と接続されており、かつ、ゲート配線43に接続される。これにより、ガードリング部40Aにおけるゲート配線43には、電源電圧VSSが供給される。

[0040] 上述の構成では、次のような効果が得られる。トランジスタの背面に配置される配線は、VSSを供給する電源配線と、外部出力端子PADに接続された出力配線のみである。そして、BM1層およびBM2層では、電源配線および出力配線が最大限に敷設されている。このため、大電流を流すことができるとともに、配線抵抗も抑制することができる。

[0041] また、BM0層における電源配線および出力配線は、出力トランジスタN1を構成するアクティブ領域31に、ビアのみを介して接続されている。このため、抵抗値を削減することができ、大電流を流すことができる。

[0042] 以上のように、電源VSSと外部出力端子PADとの間に接続されたトランジスタN1を備える出力トランジスタ部30Nは、トランジスタN1のチャンネル、ソースおよびドレインを構成するアクティブ領域31を備えている。アクティブ領域31は、チャンネルとしてナノシート32を有する。電源配線25および出力配線26は、トランジスタN1の背面側の配線層に、アクティブ領域31と平面視で重なるように配置されている。電源配線25は、アクティブ領域31におけるトランジスタN1のソースとなる部分の下面にビアを介して接続されており、出力配線26は、アクティブ領域31におけるトランジスタN1のドレインとなる部分の下面にビアを介して接続されている。これにより、レイアウト面積を拡げることなく、出力端子に大電流を流すことができることができる。

[0043] なお、電源配線21、23、25および出力配線22、24、26は、半導体チップの背面に設けられた配線層に形成されるものとしたが、これに限られるものではない。本開示において、電源配線および出力配線は、トランジスタ（アクティブ領域）の背面側に形成されていればよい。トランジスタの背面側とは、トランジスタに対して、トランジスタに接続されるローカル配線やメタル配線等が積層される側とは反対側のことをいう。

[0044] また、電源配線21、23、25および出力配線22、24、26は、複数の配線層において形成されていてもよい。

[0045] さらに、BM2層よりもさらに下層に配線層を設けて、背面配線を形成してもよい。この場合、例えば、BM3層ではX方向、BM4層ではY方向、というように各配線層における配線方向は交互にすることが好ましい。

[0046] （他の構成例）

上述した、トランジスタの背面側に形成された電源配線および出力配線は、トランジスタが構成される半導体チップとは別の半導体チップを用いて構成してもかまわない。

[0047] 図7(a)は実施形態に係る半導体集積回路装置の他の構成例である。図7(a)に示す半導体集積回路装置100は、第1半導体チップ101（チ

チップA)と、第2半導体チップ102(チップB)とが、積層されることによって構成されている。チップAは、上述したI Oセル等が配置されている。チップBは、表面に設けられた配線層に電源配線および出力配線が形成されている。チップBは、チップAの背面側に、 bumps等を用いて張り合わされている。

[0048] 図7(b)は本構成例における、図4および図5のレイアウトの線X1-X1'の断面を示す。図7(b)に示すように、チップBの表面に設けられた配線層に、VSSを供給する電源配線と、外部出力端子PADに接続された出力配線とが形成されている。BM0層の電源配線25は、チップAのアクティブ領域31におけるトランジスタのソースとなる部分と、ビアを介して接続されている。BM0層の出力配線26は、チップAのアクティブ領域31におけるトランジスタのドレインとなる部分と、ビアを介して接続される。

[0049] この構成例によっても、上述したI Oセルと同様の作用効果を得ることができる。なお、本構成例においても、BM2層より下層の電源配線および出力配線を、チップBに形成してもよい。

[0050] また、この構成例は、以降に説明するレイアウトについても、適用可能である。

[0051] <出力トランジスタP1>

図8および図9は図3における出力トランジスタP1のレイアウトの詳細を示す平面図である。図8はBM0-BM2層の構造を示し、図9はBM0配線層およびその上層の構造を示す。

[0052] 図8および図9のレイアウトでは、図4および図5のレイアウトと比べると、出力トランジスタ部30Pにおけるアクティブ領域36の導電型がP型であり、ガードリング部40Bにおけるアクティブ領域46の導電型がN型である。そして、アクティブ領域36においてトランジスタP1のソースになる部分に供給される電源電圧がVDD I Oであり、トランジスタP1のゲートに与えられる信号がI N Pである。図8および図9のレイアウトについ

ては、図4および図5のレイアウトに関する説明から容易に理解することができるので、ここでは詳細な説明を省略する。

[0053] なお、BM2層における出力配線27は、出力トランジスタN1のBM2層における出力配線22と連続している。

[0054] 電源VDDIOと外部出力端子PADとの間に接続されたトランジスタP1を備える出力トランジスタ部30Pは、トランジスタP1のチャネル、ソースおよびドレインを構成するアクティブ領域36を備えている。アクティブ領域36は、チャネルとしてナノシートを有する。電源配線28および出力配線29は、トランジスタP1の背面側の配線層に、アクティブ領域36と平面視で重なるように配置されている。電源配線28は、アクティブ領域36におけるトランジスタP1のソースとなる部分の下面にビアを介して接続されており、出力配線29は、アクティブ領域36におけるトランジスタP1のドレインとなる部分の下面にビアを介して接続されている。これにより、レイアウト面積を拡げることなく、出力端子に大電流を流すことができることができる。

[0055] <ESD保護ダイオード1a>

図10および図11は図3におけるESD保護ダイオード1aのレイアウトの詳細を示す平面図である。図10はBM0-BM2層の構造を示す。図11はBM0配線層およびその上層の構造を示す。図12は図10および図11のレイアウトの断面図であり、(a)は線X1-X1'における断面構造、(b)は線Y1-Y1'における断面構造を示す。

[0056] 図11に示すように、図の上部、中央部および下部に、カソード部60が形成されており、カソード部60を囲うように、アノード部70が形成されている。

[0057] 図10に示すように、BM2層において、Y方向に延びる電源配線51および出力配線52が配置されている。電源配線51は、電源電圧VSSを供給する。出力配線52は、外部出力端子PADに接続されている。電源配線51および出力配線52は、製造プロセスの制約上における最小間隔で配置

されている。

- [0058] BM1層において、X方向に延びる電源配線53および出力配線54が配置されている。電源配線53は、BM2層の電源配線51とビアを介して接続されている。出力配線54は、BM2層の出力配線52とビアを介して接続されている。電源配線53および出力配線54は、製造プロセスの制約上における最小間隔で配置されている。
- [0059] BM0層において、Y方向に延びる電源配線55および出力配線56が配置されている。電源配線55は、BM1層の電源配線53とビアを介して接続されている。電源配線55は、アノード部70に形成されている。出力配線56は、BM1層の出力配線54とビアを介して接続されている。出力配線56は、カソード部60に形成されている。
- [0060] カソード部60では、X方向に延びるN型のアクティブ領域61が形成されている。各アクティブ領域61は、それぞれ6個のナノシート62を含む。各ナノシート62は、平面視で重なる3枚のシート構造からなり、X方向に延びている。ただし、アクティブ領域61は、トランジスタとして機能しない。
- [0061] アクティブ領域61において、ナノシート62を挟む部分（トランジスタのソースおよびドレインに相当する部分）は、BM0層における出力配線56と平面視で重なっており、出力配線56とビアを介して接続されている。
- [0062] アクティブ領域61には、Y方向に延びるゲート配線63が形成されている。ゲート配線63は、ナノシート62のY方向およびZ方向における外周を、ゲート絶縁膜（図示せず）を介して囲んでいる。ただし、ゲート配線63はトランジスタのゲートとして機能するものではない。ゲート配線63は、ローカル配線64およびM0配線65を介して、アクティブ領域61と接続されている。
- [0063] アノード部70では、P型のアクティブ領域71が形成されている。各アクティブ領域71は、ナノシート72を含む。各ナノシート72は、平面視で重なる3枚のシート構造からなり、X方向に延びている。ただし、アクテ

ィブ領域 7 1 は、トランジスタとして機能しない。

- [0064] アクティブ領域 7 1 において、ナノシート 7 2 を挟む部分（トランジスタのソースおよびドレインに相当する部分）は、BM0 層における電源配線 5 5 と平面視で重なっており、電源配線 5 5 とビアを介して接続されている。
- [0065] アクティブ領域 7 1 には、Y 方向に延びるゲート配線 7 3 が形成されている。ゲート配線 7 3 は、ナノシート 7 2 の Y 方向および Z 方向における外周を、ゲート絶縁膜（図示せず）を介して囲んでいる。ただし、ゲート配線 7 3 はトランジスタのゲートではない。ゲート配線 7 3 は、ローカル配線 7 4 および M0 配線 7 5 を介して、アクティブ領域 7 1 と接続されている。すなわち、ゲート配線 7 3 は、VSS に電位固定されている。
- [0066] 上述の構成では、次のような効果が得られる。ESD 保護ダイオード 1 a を構成するアクティブ領域 6 1, 7 1 の背面に配置される配線は、VSS を供給する電源配線と、外部出力端子 PAD に接続された出力配線のみである。そして、BM1 層および BM2 層では、電源配線および出力配線が最大限に敷設されている。このため、配線抵抗を下げることができ、ESD 保護ダイオード 1 a の特性および能力を向上させることができる。
- [0067] また、BM0 層における電源配線および出力配線は、ESD 保護ダイオード 1 a を構成するアクティブ領域 6 1, 7 1 に、ビアのみを介して接続されている。このため、抵抗値を削減することができ、ESD 保護ダイオード 1 a の特性および能力を向上させることができる。
- [0068] 以上のように、電源 VSS と外部出力端子 PAD との間に接続された ESD 保護ダイオード 1 a は、アノード部 7 0 を構成する P 型のアクティブ領域 7 1 と、カソード部 6 0 を構成する N 型のアクティブ領域 6 1 とを備えている。アクティブ領域 6 1 は、ナノシート 6 2 を有し、アクティブ領域 7 1 は、ナノシート 7 2 を有する。電源配線 5 5 および出力配線 5 6 は、アクティブ領域 6 1, 7 1 の背面側の配線層に配置されている。電源配線 5 5 は、アクティブ領域 7 1 におけるナノシート 7 2 を挟む部分の下面にビアを介して接続されており、出力配線 5 6 は、アクティブ領域 6 1 におけるナノシート

62を挟む部分の下面にビアを介して接続されている。これにより、レイアウト面積を拡げることなく、ESD保護ダイオード1aの特性および能力を向上させることができる。

[0069] また、電源配線51, 53, 55および出力配線52, 54, 56は、複数の配線層において形成されていてもよい。

[0070] さらに、BM2層よりもさらに下層に配線層を設けて、背面配線を形成してもよい。この場合、例えば、BM3層ではX方向、BM4層ではY方向、というように各配線層における配線方向は交互にすることが好ましい。

[0071] <ESD保護ダイオード1b>

図13および図14は図3におけるESD保護ダイオード1bのレイアウトの詳細を示す平面図である。図13はBM0-BM2層の構造を示し、図14はBM0配線層およびその上層の構造を示す。

[0072] 図13および図14のレイアウトでは、図10および図11のレイアウトと比べると、アノード部とカソード部の位置が入れ替わっている。すなわち、図の上部、中央部および下部に、アノード部70Aが形成されており、アノード部70Aを囲うように、カソード部60Aが形成されている。アノード部70Aにおけるアクティブ領域77の導電型はP型であり、カソード部60Aにおけるアクティブ領域67の導電型はN型である。そして、カソード部60Aのアクティブ領域67においてナノシートを挟む部分に供給される電源電圧が、VDDIOになっている。

[0073] 図13および図14のレイアウトについては、図10および図11のレイアウトに関する説明から容易に理解することができるので、ここでは詳細な説明を省略する。

[0074] なお、BM2層における出力配線57は、ESD保護ダイオード1aのBM2層における出力配線52と連続している。また、出力配線52, 57は、出力トランジスタN1, P1のBM2層における出力配線22, 27とも連続している。

[0075] 電源VDDIOと外部出力端子PADとの間に接続されたESD保護ダイ

オード1 bは、カソード部6 0 Aを構成するN型のアクティブ領域6 7と、アノード部7 0 Aを構成するP型のアクティブ領域7 7とを備えている。電源配線5 8および出力配線5 9は、アクティブ領域6 7, 7 7の背面側の配線層に配置されている。電源配線5 8は、アクティブ領域6 7におけるナノシートを挟む部分の下面にビアを介して接続されており、出力配線5 9は、アクティブ領域7 7におけるナノシートを挟む部分の下面にビアを介して接続されている。これにより、レイアウト面積を拡げることなく、ESD保護ダイオード1 bの特性および能力を向上させることができる。

[0076] (第2実施形態)

図1 5は第2実施形態において、I Oセル1 0に含まれる出力回路の回路構成図である。なお、実際の出力回路には、図1 5に示す回路要素以外にも含まれているが、図1 5では記載を省略している。

[0077] 図1 5に示す出力回路は、図2に示す出力回路1 1が備える外部出力端子PAD、出力トランジスタP 1, N 1、および、ESD保護ダイオード1 a, 1 bに加えて、保護抵抗R s n, R s pを備えている。

[0078] 出力トランジスタP 1は、ソースがV D D I Oに接続され、ドレインが保護抵抗R s pを介して外部出力端子PADに接続されている。出力トランジスタN 1は、ソースがV S Sに接続され、ドレインが保護抵抗R s nを介して外部出力端子PADに接続されている。本実施形態では、保護抵抗R s p, R s nは、B E O L (Back End of Line : 配線工程)において形成される配線層に形成された複数の抵抗素子によって、構成される。なお、出力トランジスタN 1と保護抵抗R s nの間のノードをノードAとし、出力トランジスタP 1と保護抵抗R s pの間のノードをノードBとする。

[0079] 図1 6は本実施形態におけるI Oセルのレイアウトの概要の一例である。高電源電圧領域7において、ESD保護ダイオード1 aおよびESD保護ダイオード1 bが配置された領域の上に、抵抗素子R UがX Y方向にアレイ状に配置されている。抵抗素子R Uは、M O配線層より上層に形成されている。ESD保護ダイオード1 bの上に配置された抵抗素子R Uが互いに接続さ

れることによって、保護抵抗 R_{sp} が構成される。ESD保護ダイオード1aの上に配置された抵抗素子 R_U が互いに接続されることによって、保護抵抗 R_{sn} が構成される。

[0080] 保護抵抗 R_{sp} は、外部出力端子PADとノードBとの間に接続されており、保護抵抗 R_{sp} が構成された領域から出力トランジスタP1が配置された領域に向かって、ノードBに相当する配線が延びている。保護抵抗 R_{sn} は、外部出力端子PADとノードAとの間に接続されており、保護抵抗 R_{sn} が構成された領域から出力トランジスタN1が配置された領域に向かって、ノードAに相当する配線が延びている。

[0081] なお、保護抵抗 R_{sp} 、 R_{sn} の平面上の位置は、図16に示したものに限られない。

[0082] <出力トランジスタN1, P1>

図17および図18は図16における出力トランジスタN1のレイアウトの詳細を示す平面図である。図17はBM0-BM2層の構造を示し、図18はBM0配線層およびその上層の構造を示す。なお、図4および図5に示すレイアウトと同様の構成については、説明を省略または簡略化する場合がある。

[0083] 図17に示すように、BM2層において、Y方向に延びる電源配線121が配置されている。電源配線121は、電源電圧VSSを供給する。電源配線121は、製造プロセスの制約上における最小間隔で配置されている。

[0084] BM1層において、X方向に延びる電源配線122が配置されている。電源配線122は、BM2層の電源配線121とビアを介して接続されており、電源電圧VSSを供給する。電源配線122は、製造プロセスの制約上における最小間隔で配置されている。

[0085] BM0層において、Y方向に延びる電源配線123が配置されている。電源配線123は、BM1層の電源配線122とビアを介して接続されており、電源電圧VSSを供給する。

[0086] すなわち、BM0-BM2層に配置された配線は、全て、VSSを供給す

る電源配線である。

[0087] 図18に示すように、出力トランジスタ部130Nでは、X方向に延びるN型のアクティブ領域131が形成されている。アクティブ領域131において、トランジスタN1のソースとなる部分は、BM0層における電源配線123と平面視で重なっており、電源配線123とビアを介して接続されている。一方、アクティブ領域131において、トランジスタN1のドレインとなる部分は、M0配線層に形成された配線135と、ビアを介して接続されている。配線135は、ノードAに対応する。配線135は、配線およびビア（図示せず）を介して、保護抵抗 R_{sn} に接続される。すなわち、保護抵抗 R_{sn} は、一端が、アクティブ領域131におけるトランジスタN1のドレインとなる部分に接続されている。また、保護抵抗 R_{sn} の他端は、外部出力端子PADに接続された出力配線（図示せず）と接続されている。

[0088] 図19および図20は図16における出力トランジスタP1のレイアウトの詳細を示す平面図である。図19はBM0-BM2層の構造を示し、図20はBM0配線層およびその上層の構造を示す。なお、図8および図9に示すレイアウトと同様の構成については、説明を省略または簡略化する場合がある。

[0089] 図19に示すように、BM2層において、Y方向に延びる電源配線126が配置されている。電源配線126は、電源電圧 V_{DDIO} を供給する。電源配線126は、製造プロセスの制約上における最小間隔で配置されている。

[0090] BM1層において、X方向に延びる電源配線127が配置されている。電源配線127は、BM2層の電源配線126とビアを介して接続されており、電源電圧 V_{DDIO} を供給する。電源配線127は、製造プロセスの制約上における最小間隔で配置されている。

[0091] BM0層において、Y方向に延びる電源配線128が配置されている。電源配線128は、BM1層の電源配線127とビアを介して接続されており、電源電圧 V_{DDIO} を供給する。

- [0092] すなわち、BM0-BM2層に配置された配線は、全て、VDDIOを供給する電源配線である。
- [0093] 図20に示すように、出力トランジスタ部130Pでは、X方向に延びるP型のアクティブ領域136が形成されている。アクティブ領域136においてトランジスタP1のソースとなる部分は、BM0層における電源配線128と平面視で重なっており、ビアを介して接続されている。一方、アクティブ領域136においてトランジスタP1のドレインとなる部分は、M0配線層に形成された配線139と、ビアを介して接続されている。配線139は、ノードBに対応する。配線139は、配線およびビア（図示せず）を介して、保護抵抗Rspに接続される。すなわち、保護抵抗Rspは、一端が、アクティブ領域136におけるトランジスタP1のドレインとなる部分に接続されている。また、保護抵抗Rspの他端は、外部出力端子PADに接続された出力配線（図示せず）と接続されている。
- [0094] 上述の構成では、次のような効果が得られる。トランジスタの背面に配置される配線は、VSS、VDDIOを供給する電源配線のみである。そして、BM1層およびBM2層では、電源配線が最大限に敷設されている。このため、第1実施形態に示した構成よりもさらに大電流を流すことができるとともに、配線抵抗もさらに抑制することができる。
- [0095] 以上のように、電源VSSとノードAとの間に接続されたトランジスタN1を備える出力トランジスタ部130Nは、トランジスタN1のチャネル、ソースおよびドレインを構成するアクティブ領域131を備えている。アクティブ領域131は、チャネルとしてナノシートを有する。電源配線123は、トランジスタN1の背面側にある配線層に配置されており、アクティブ領域131におけるトランジスタN1のソースとなる部分の下面にビアを介して接続されている。外部出力端子PADとノードAとの間に接続されている保護抵抗素子Rsnは、アクティブ領域131の上層に形成されており、一端が、アクティブ領域131におけるトランジスタN1のドレインとなる部分に接続されており、他端は、外部出力端子PADに接続された出力配線

に接続されている。

[0096] また、電源VDD I OとノードBとの間に接続されたトランジスタP 1を備える出力トランジスタ部1 3 0 Pは、トランジスタP 1のチャネル、ソースおよびドレインを構成するアクティブ領域1 3 6を備えている。アクティブ領域1 3 6は、チャネルとしてナノシートを有する。電源配線1 2 8は、トランジスタP 1の背面側にある配線層に配置されており、アクティブ領域1 3 6におけるトランジスタP 1のソースとなる部分の下面にビアを介して接続されている。外部出力端子PADとノードBとの間に接続されている保護抵抗素子R s pは、アクティブ領域1 3 6の上層に形成されており、一端が、アクティブ領域1 3 6におけるトランジスタP 1のドレインとなる部分に接続されており、他端は、外部出力端子PADに接続された出力配線に接続されている。

[0097] このような構成により、レイアウト面積を拡げることなく、出力端子に大電流を流すことができる。

[0098] <ESD保護ダイオード1 a, 1 b>

図2 1は図1 6におけるESD保護ダイオード1 aのレイアウトの詳細を示す平面図であり、BM O配線層およびその上層の構造を示す。図2 2は図1 6におけるESD保護ダイオード1 bのレイアウトの詳細を示す平面図であり、BM O配線層およびその上層の構造を示す。

[0099] 本実施形態におけるESD保護ダイオード1 a, 1 bのレイアウト構造は、図1 0～図1 4に示す第1実施形態におけるESD保護ダイオード1 a, 1 bのレイアウト構造と同じである。

[0100] 図2 1は図1 1と同じ構成を示しており、カソード部6 0におけるM O配線6 5に文字「PAD」を付している。M O配線6 5は、配線およびビア（図示せず）を介して、保護抵抗R s nに接続される。図2 2は図1 4と同じ構成を示しており、アノード部7 0 AにおけるM O配線7 8に文字「PAD」を付している。M O配線7 8は、配線およびビア（図示せず）を介して、保護抵抗R s pに接続される。

[0101] 本実施形態でも、第1実施形態におけるESD保護ダイオード1a, 1bと同様の効果が得られる。さらに、保護抵抗 R_{sn} , R_{sp} と外部出力端子PADとを接続するための領域を設ける必要がないため、面積増加が抑制される。

[0102] なお、本実施形態についても、第1実施形態で説明した他の構成例を適用可能である。

[0103] (変形例)

図23は第2実施形態の変形例に係る出力回路の回路構成図である。図23の回路構成は、第2実施形態における図15の回路構成とほぼ同様であるが、保護抵抗の挿入位置が異なっている。すなわち、図23の出力回路では、図15における保護抵抗 R_{sn} , R_{sp} に代えて、保護抵抗 R_s が設けられている。図23では、出力トランジスタP1, N1のドレイン同士が接続されており、保護抵抗 R_s は、外部出力端子PADと出力トランジスタP1, N1のドレインとの間に設けられている。なお、出力トランジスタP1, N1のドレインと保護抵抗 R_s との間のノードを、ノードCとしている。

[0104] 図24は本変形例におけるIOセルのレイアウトの概要の一例である。ESD保護ダイオード1a, 1bの上に配置された抵抗素子RUが互いに接続されることによって、保護抵抗 R_s が構成される。

[0105] 本変形例では、第2実施形態における、出力トランジスタN1においてノードAに対応するMO配線135、および、出力トランジスタP1においてノードBに対応するMO配線139が、ともにノードCに対応する。出力トランジスタN1, P1およびESD保護ダイオード1a, 1bのレイアウト構造は、第2実施形態と同じである。そして、第2実施形態と同様の効果が得られる。

[0106] なお、上述の実施形態における出力回路は、P導電型トランジスタとN導電型出力トランジスタがいずれも、1段のトランジスタであるものとしたが、これに限られるものではなく、例えば2段、3段等の複数段のトランジスタが直列接続された構成であってもよい。また、上述の実施形態における出

力回路は、入力回路を含む入出力回路であってもかまわない。

産業上の利用可能性

[0107] 本開示では、トランジスタの直下に配線を設ける構成を備える半導体集積回路装置において、大電流を流す回路およびESD保護回路を実現できるので、例えば、SoC (System on Chip) の性能向上に有用である。

符号の説明

- [0108] 1 半導体集積回路装置
- 1 a, 1 b ESD保護ダイオード
 - 1 0, 1 0 a IOセル
 - 2 5 電源配線
 - 2 6 出力配線
 - 3 0 N, 3 0 P 出力トランジスタ部
 - 3 1, 3 6 アクティブ領域
 - 3 2 ナノシート
 - 4 0 A, 4 0 B ガードリング部
 - 4 1, 4 6 アクティブ領域
 - 4 2 ナノシート
 - 4 3 ゲート配線
 - 5 5, 5 8 電源配線
 - 5 6, 5 9 出力配線
 - 6 0, 6 0 A カソード部
 - 6 1, 6 7 アクティブ領域
 - 6 2 ナノシート
 - 7 0, 7 0 A アノード部
 - 7 1, 7 7 アクティブ領域
 - 7 2 ナノシート
 - 1 0 0 半導体集積回路装置
 - 1 0 1 第1半導体チップ

102 第2半導体チップ
123, 128 電源配線
130N, 130P 出力トランジスタ部
131, 136 アクティブ領域
P1, N1 出力トランジスタ
Rsp, Rsn, Rs 保護抵抗
PAD 外部出力端子
VDDIO, VSS 電源

請求の範囲

[請求項1]

半導体集積回路装置であって、

第1電源電圧を供給する第1電源と、出力端子との間に接続された第1導電型の第1トランジスタを備える、第1出力トランジスタ部と、

前記第1電源電圧を供給する第1電源配線と、

前記出力端子に接続された出力配線とを備え、

前記第1出力トランジスタ部は、

前記第1トランジスタのチャンネル、ソースおよびドレインを構成するものであり、チャンネルとしてナノシートを有する、前記第1導電型の第1アクティブ領域を備え、

前記第1電源配線は、前記第1トランジスタの背面側にある配線層に、前記第1アクティブ領域と平面視で重なるように配置されており、前記第1アクティブ領域における前記第1トランジスタのソースとなる部分の下面に、ビアを介して接続されており、

前記出力配線は、前記第1電源配線と同一の配線層に、前記第1アクティブ領域と平面視で重なるように配置されており、前記第1アクティブ領域における前記第1トランジスタのドレインとなる部分の下面に、ビアを介して接続されている

半導体集積回路装置。

[請求項2]

請求項1記載の半導体集積回路装置において、

前記第1出力トランジスタ部の周囲に形成されたガードリング部を備え、

前記ガードリング部は、

第2ナノシートを有する第2導電型の第2アクティブ領域を備え、

前記第1電源配線は、前記第2アクティブ領域における前記第2ナノシートを挟む部分の下面に、ビアを介して接続されている

半導体集積回路装置。

- [請求項3] 請求項2記載の半導体集積回路装置において、
前記ガードリング部は、
前記第2ナノシートを囲うように形成されたゲート配線を備え、
前記ゲート配線は、前記第1電源電圧が与えられている
半導体集積回路装置。
- [請求項4] 請求項1記載の半導体集積回路装置において、
前記第1電源配線および前記出力配線は、前記第1アクティブ領域
が形成された第1半導体チップに設けられた配線層に、形成されてい
る
半導体集積回路装置。
- [請求項5] 請求項1記載の半導体集積回路装置において、
前記第1電源配線および前記出力配線は、前記第1アクティブ領域
が形成された第1半導体チップの背面側に張り合わされた第2半導体
チップに設けられた配線層に、形成されている
半導体集積回路装置。
- [請求項6] 半導体集積回路装置であって、
第1電源電圧を供給する第1電源と、出力端子との間に接続された
ESD (Electro Static Discharge) 保護ダイオードと、
前記第1電源電圧を供給する第1電源配線と、
前記出力端子に接続された出力配線とを備え、
前記ESD保護ダイオードは、
アノードまたはカソードのうち一方の端子を構成するものであり、
第1ナノシートを有する第1導電型の第1アクティブ領域と、
アノードまたはカソードのうち他方の端子を構成するものであり、
第2ナノシートを有する第2導電型の第2アクティブ領域とを備え、
前記第1電源配線は、前記第1および第2アクティブ領域の背面側
にある配線層に、前記第1アクティブ領域と平面視で重なるように配
置されており、前記第1アクティブ領域における前記第1ナノシート

を挟む部分の下面に、ビアを介して接続されており、

前記出力配線は、前記第1電源配線と同一の配線層に、前記第2アクティブ領域と平面視で重なるように配置されており、前記第2アクティブ領域における前記第2ナノシートを挟む部分の下面に、ビアを介して接続されている

半導体集積回路装置。

[請求項7]

請求項6記載の半導体集積回路装置において、

前記第1および第2アクティブ領域の上層にある配線層に、前記第2アクティブ領域と平面視で重なるように配置されている第1配線と、

前記第1配線の上層に形成された抵抗素子とを備え、

前記抵抗素子は、前記第1配線を介して、前記第2アクティブ領域における前記第2ナノシートを挟む部分の上面と接続されている

半導体集積回路装置。

[請求項8]

請求項6記載の半導体集積回路装置において、

前記第1電源配線および前記出力配線は、前記第1アクティブ領域が形成された第1半導体チップに設けられた配線層に、形成されている

半導体集積回路装置。

[請求項9]

請求項6記載の半導体集積回路装置において、

前記第1電源配線および前記出力配線は、前記第1アクティブ領域が形成された第1半導体チップの背面側に張り合わされた第2半導体チップに設けられた配線層に、形成されている

半導体集積回路装置。

[請求項10]

半導体集積回路装置であって、

第1電源電圧を供給する第1電源と、第1ノードとの間に接続された第1導電型の第1トランジスタを備える、第1出力トランジスタ部と、

出力端子と、前記第1ノードとの間に接続された保護抵抗と、
前記第1電源電圧を供給する第1電源配線とを備え、
前記第1出力トランジスタ部は、
前記第1トランジスタのチャネル、ソースおよびドレインを構成するものであり、チャネルとしてナノシートを有する、前記第1導電型の第1アクティブ領域を備え、
前記第1電源配線は、前記第1トランジスタの背面側にある配線層に、前記第1アクティブ領域と平面視で重なるように配置されており、前記第1アクティブ領域における前記第1トランジスタのソースとなる部分の下面に、ビアを介して接続されており、
前記保護抵抗は、前記第1アクティブ領域の上層に形成されており、一端が、前記第1アクティブ領域における前記第1トランジスタのドレインとなる部分に接続されており、他端が、前記出力端子に接続された出力配線に接続されている
半導体集積回路装置。

[請求項11]

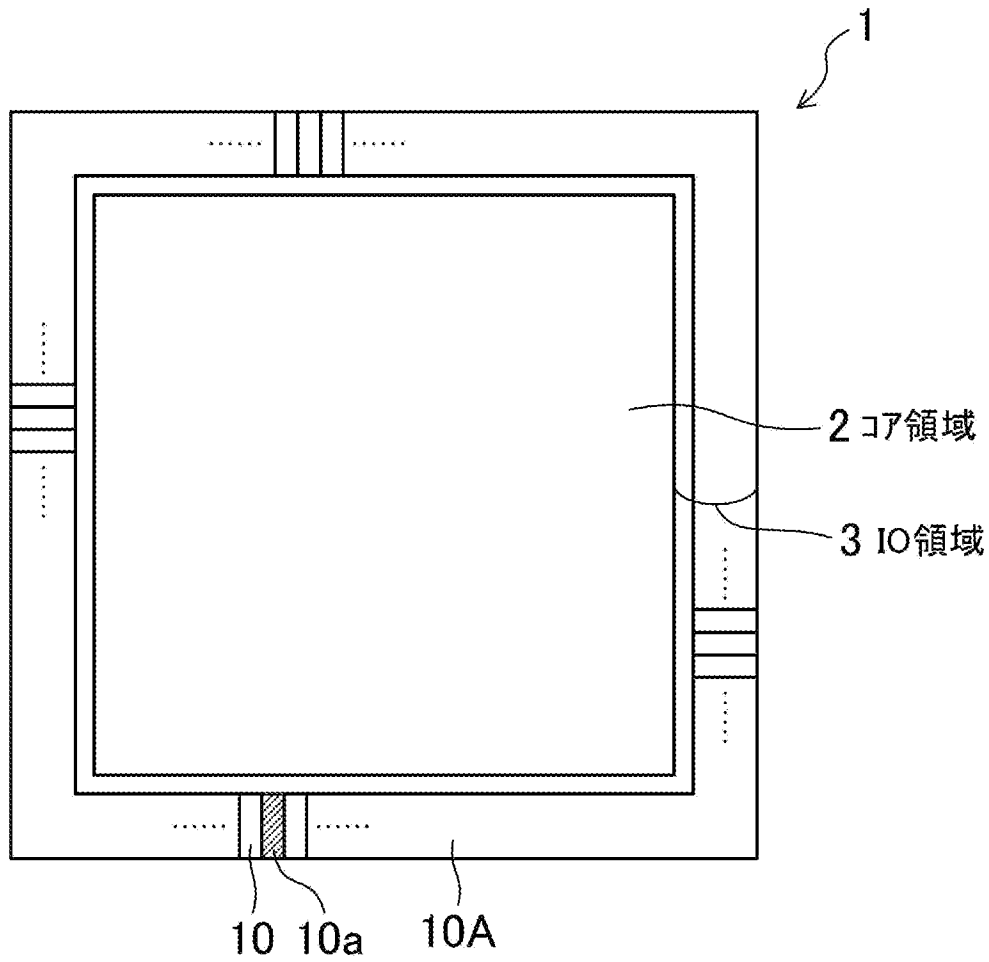
請求項10記載の半導体集積回路装置において、
前記第1出力トランジスタ部の周囲に形成されたガードリング部を備え、
前記ガードリング部は、
第2ナノシートを有する第2導電型の第2アクティブ領域を備え、
前記第1電源配線は、前記第2アクティブ領域における前記第2ナノシートを挟む部分の下面に、ビアを介して接続されている
半導体集積回路装置。

[請求項12]

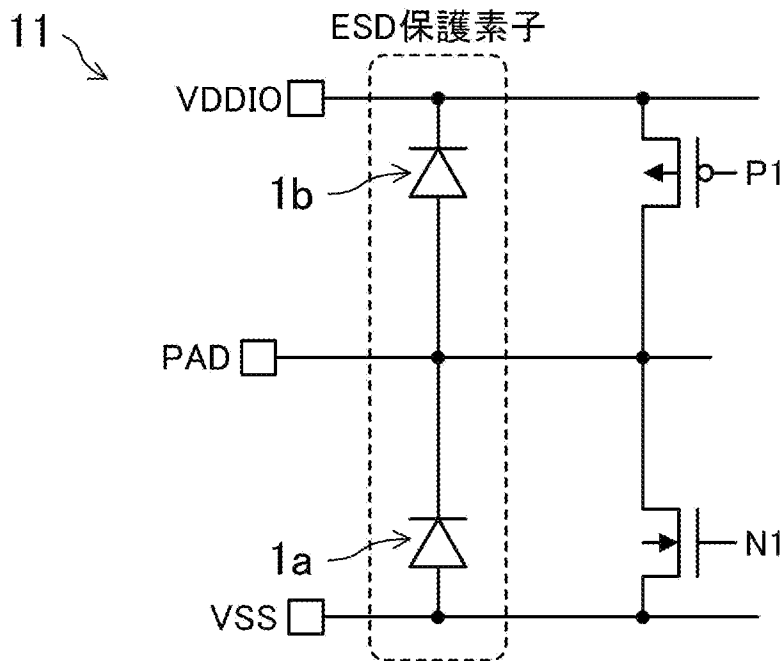
請求項11記載の半導体集積回路装置において、
前記ガードリング部は、
前記第2ナノシートを囲うように形成されたゲート配線を備え、
前記ゲート配線は、前記第1電源電圧が与えられている
半導体集積回路装置。

- [請求項13] 請求項10記載の半導体集積回路装置において、
前記第1電源配線および前記出力配線は、前記第1アクティブ領域
が形成された第1半導体チップに設けられた配線層に、形成されてい
る
半導体集積回路装置。
- [請求項14] 請求項10記載の半導体集積回路装置において、
前記第1電源配線および前記出力配線は、前記第1アクティブ領域
が形成された第1半導体チップの背面側に張り合わされた第2半導体
チップに設けられた配線層に、形成されている
半導体集積回路装置。

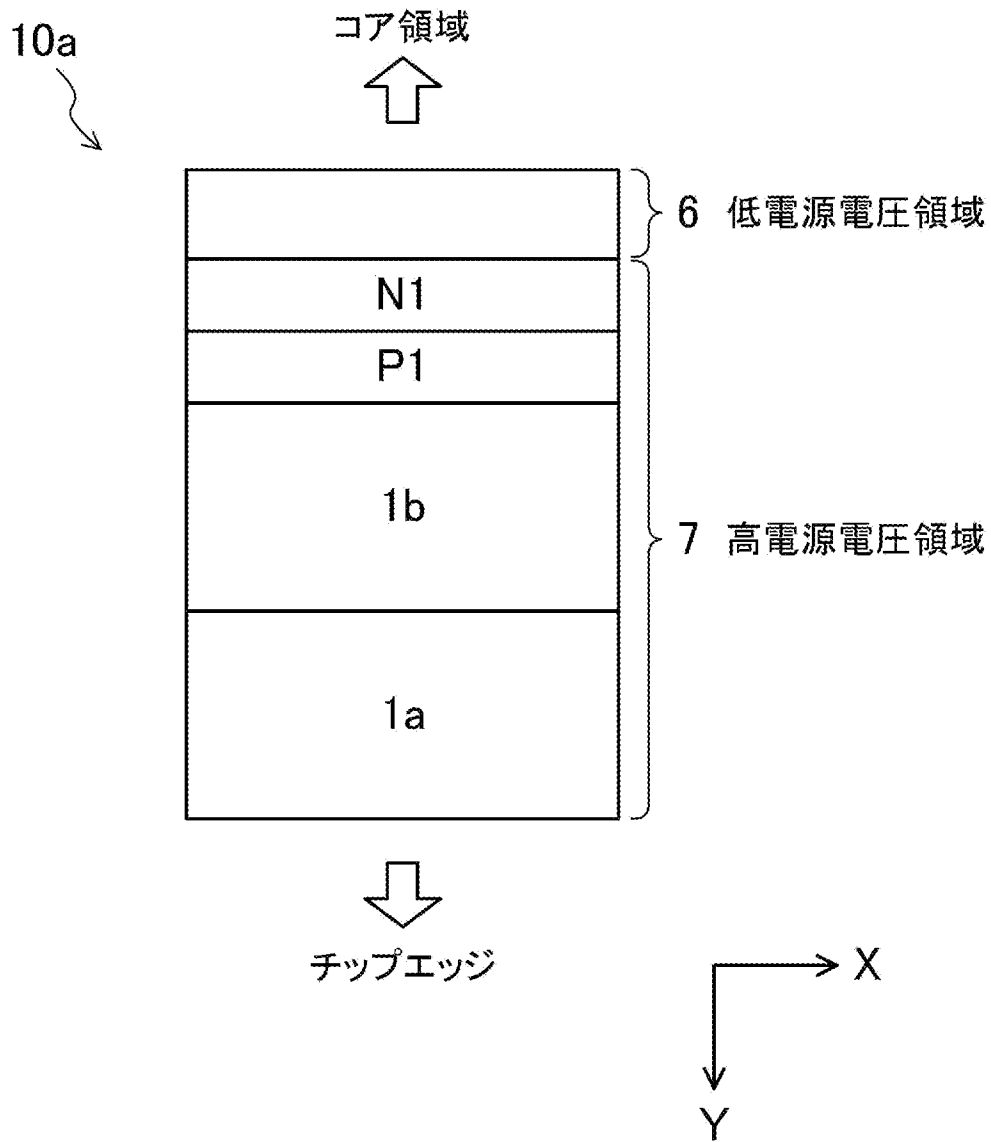
[図1]



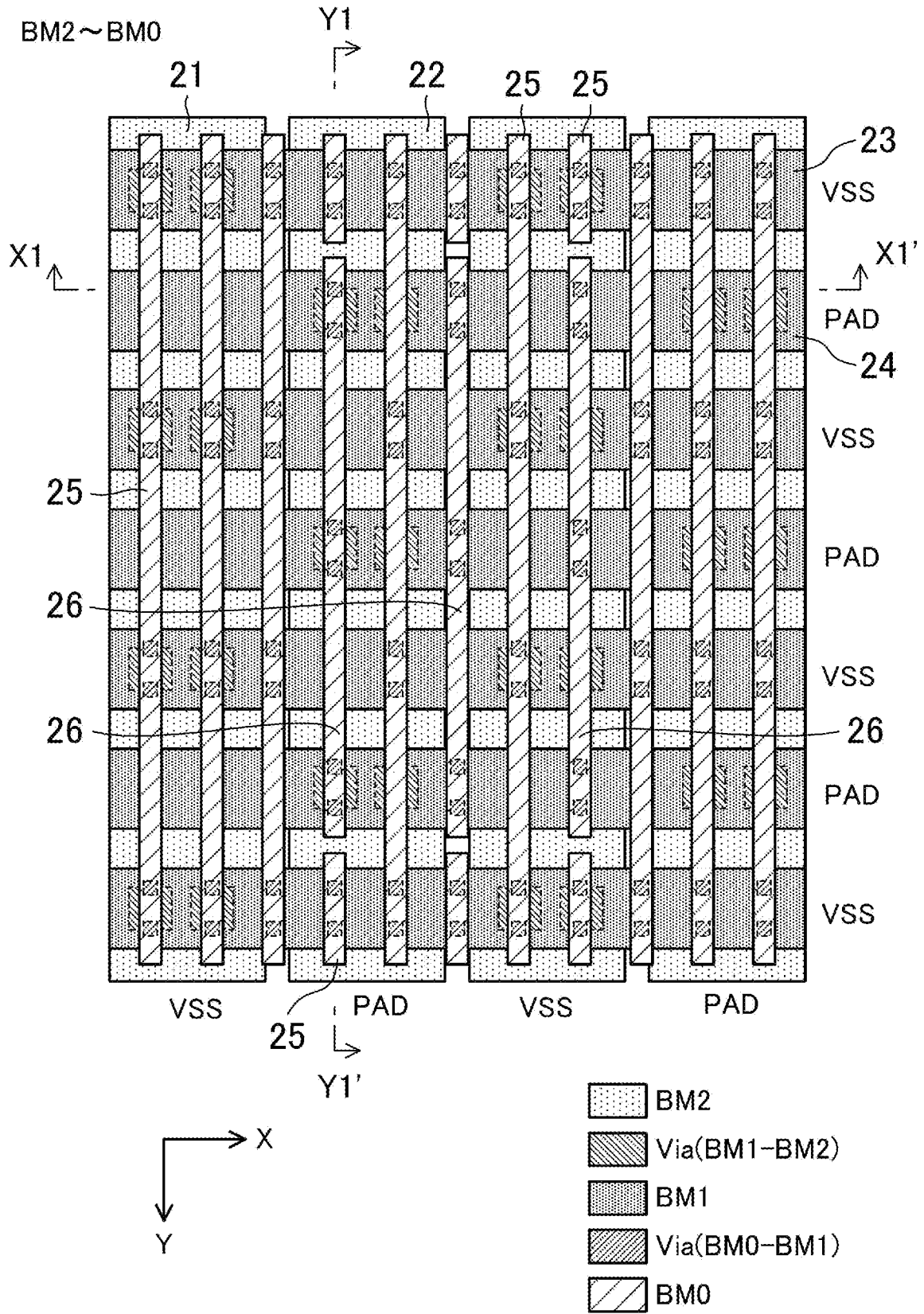
[図2]



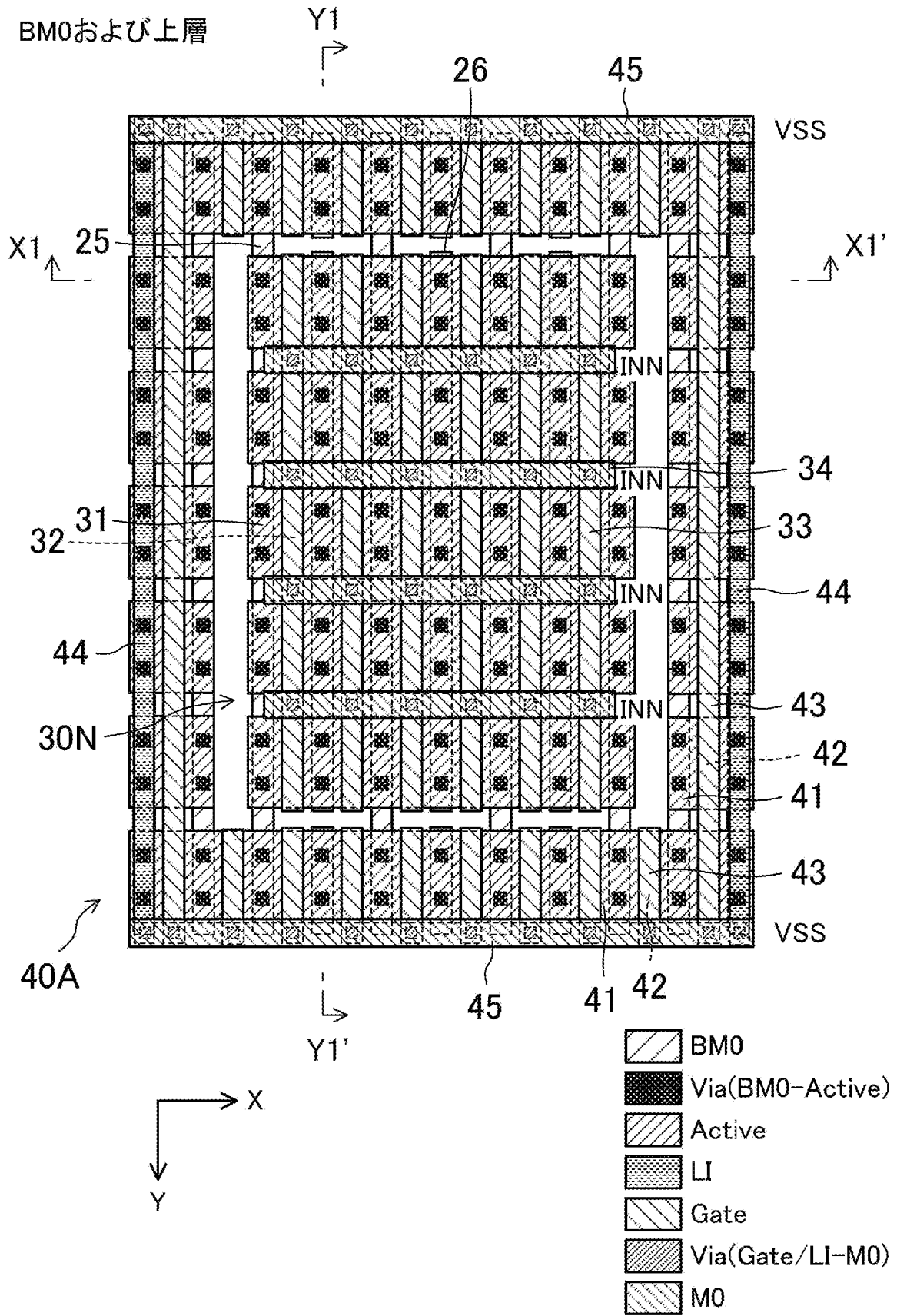
[図3]



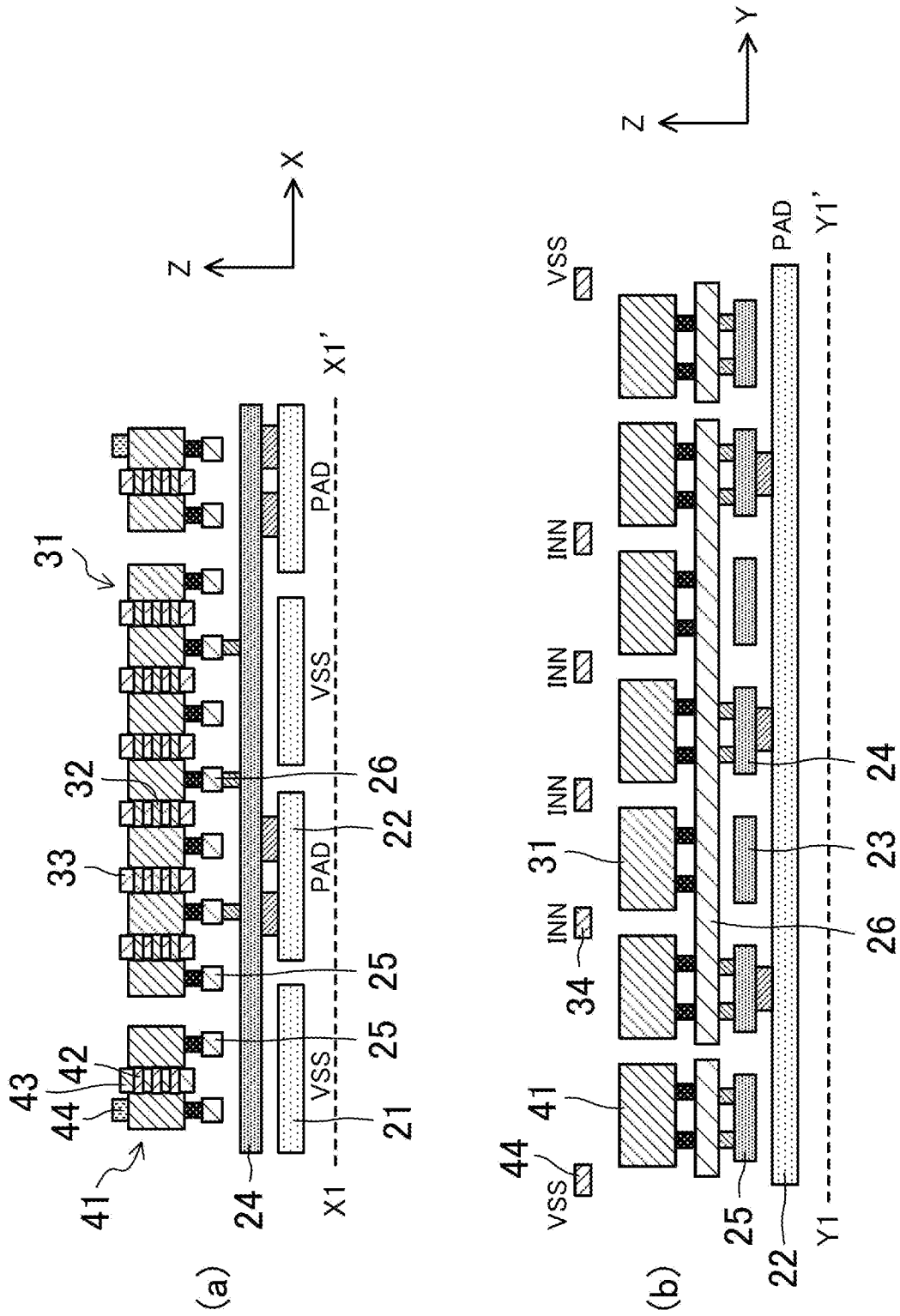
[図4]



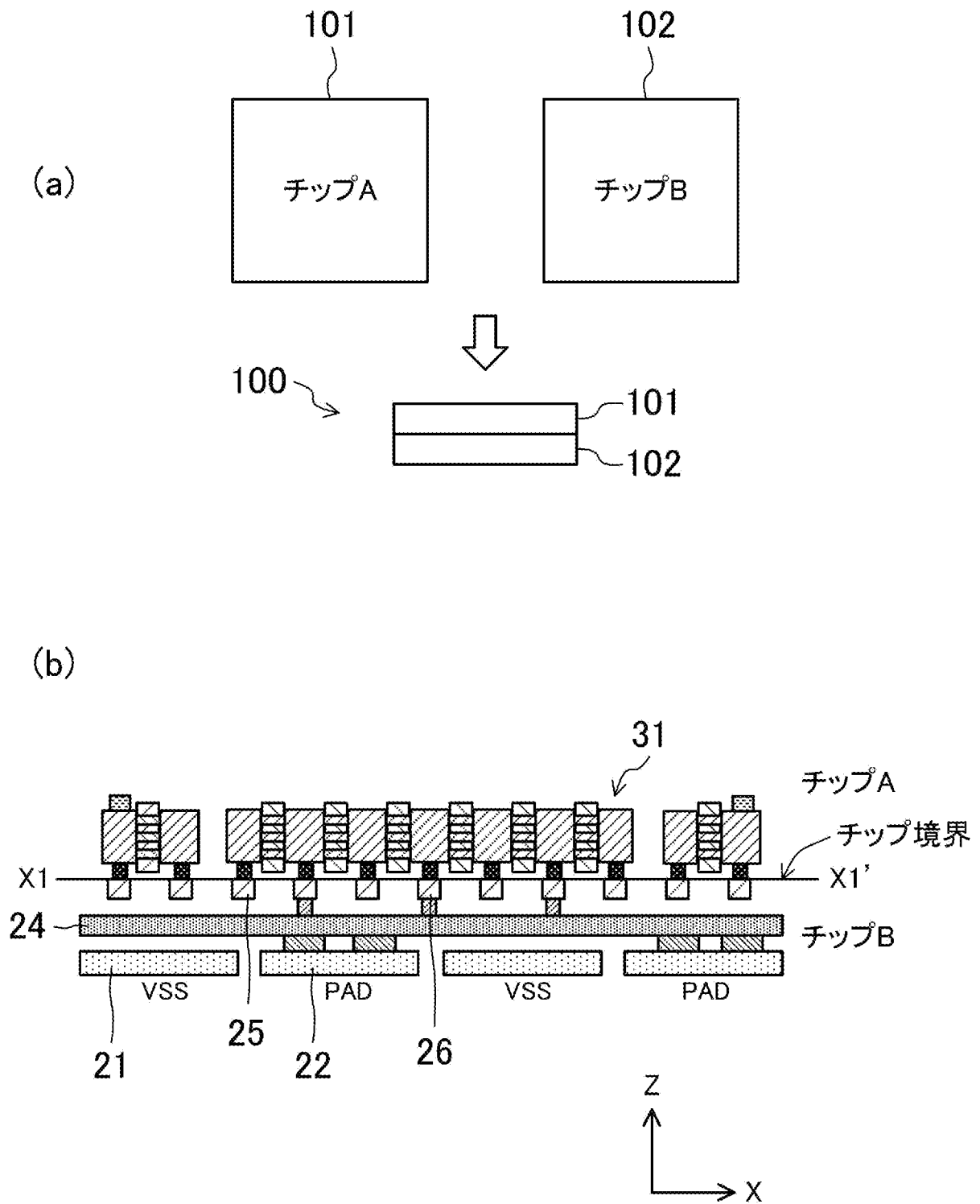
[図5]



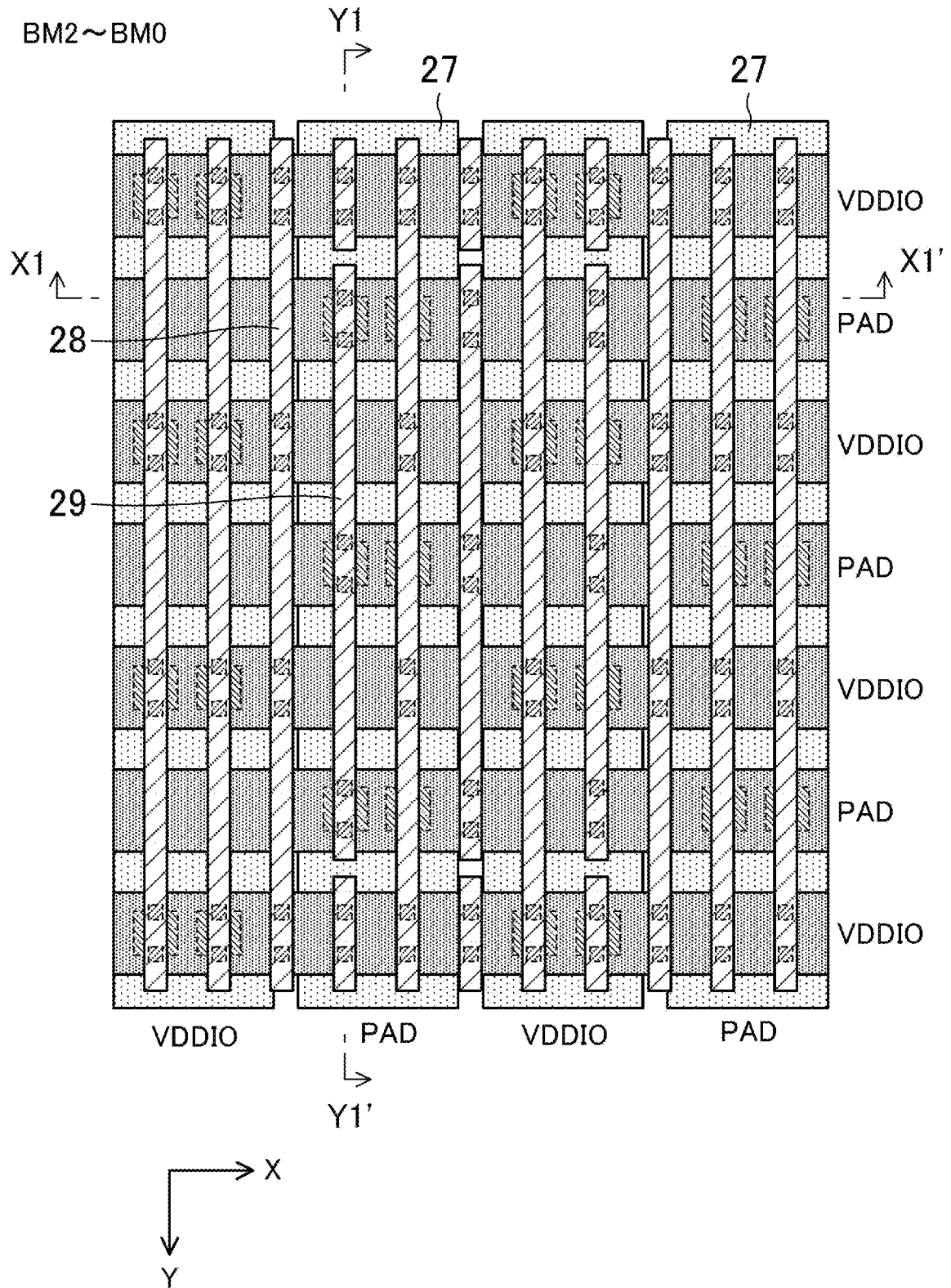
[図6]



[図7]

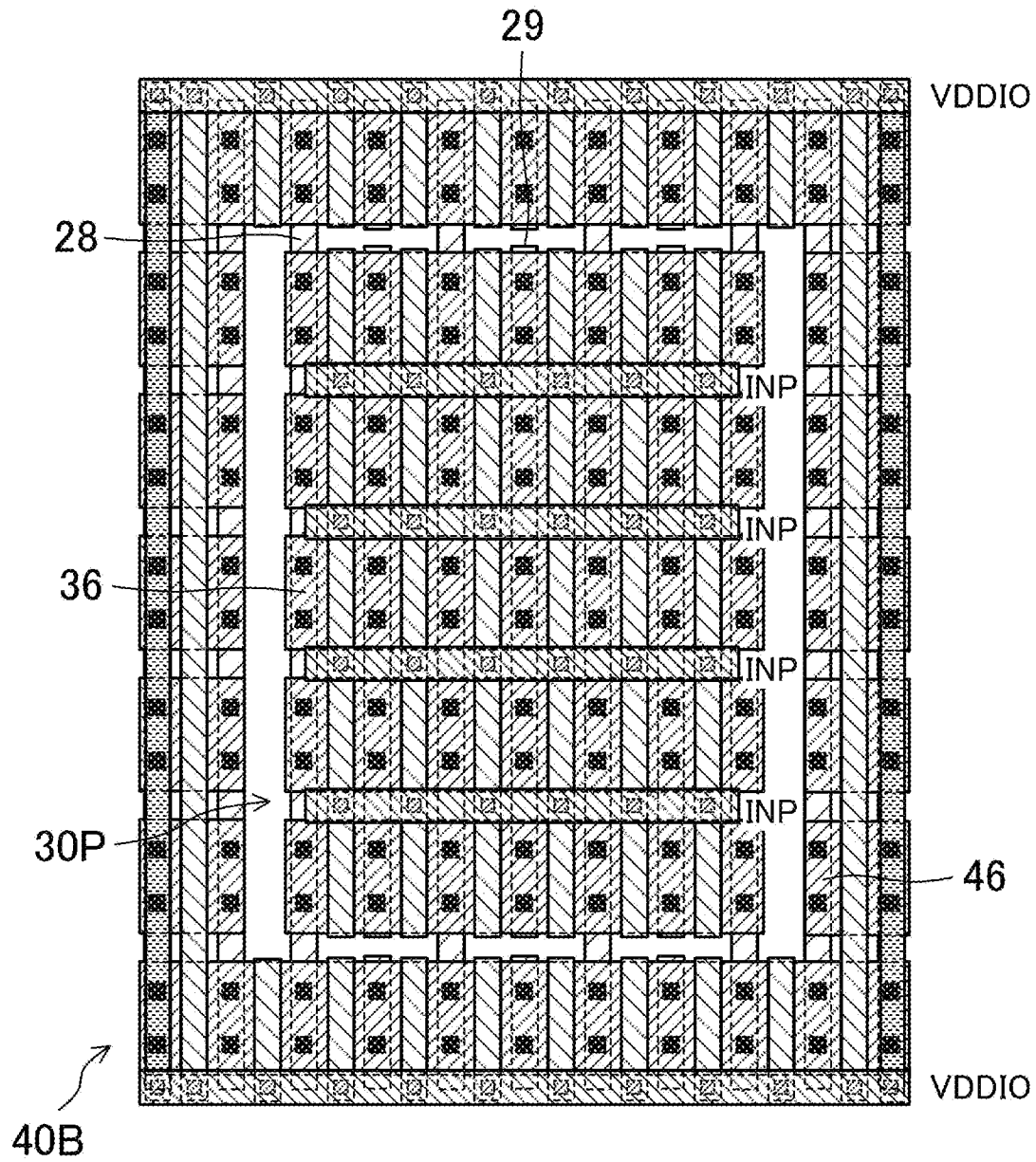


[図8]

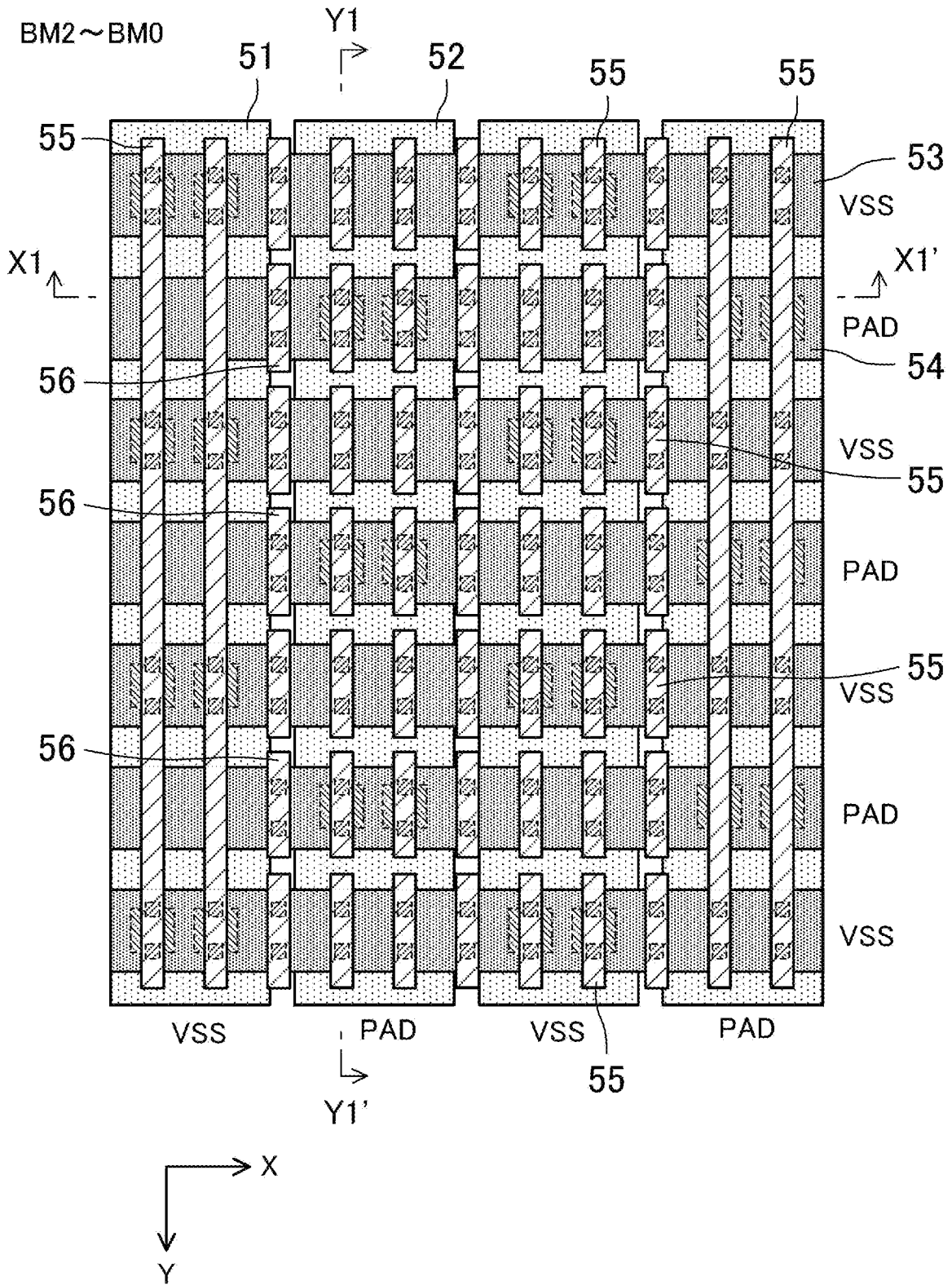


[図9]

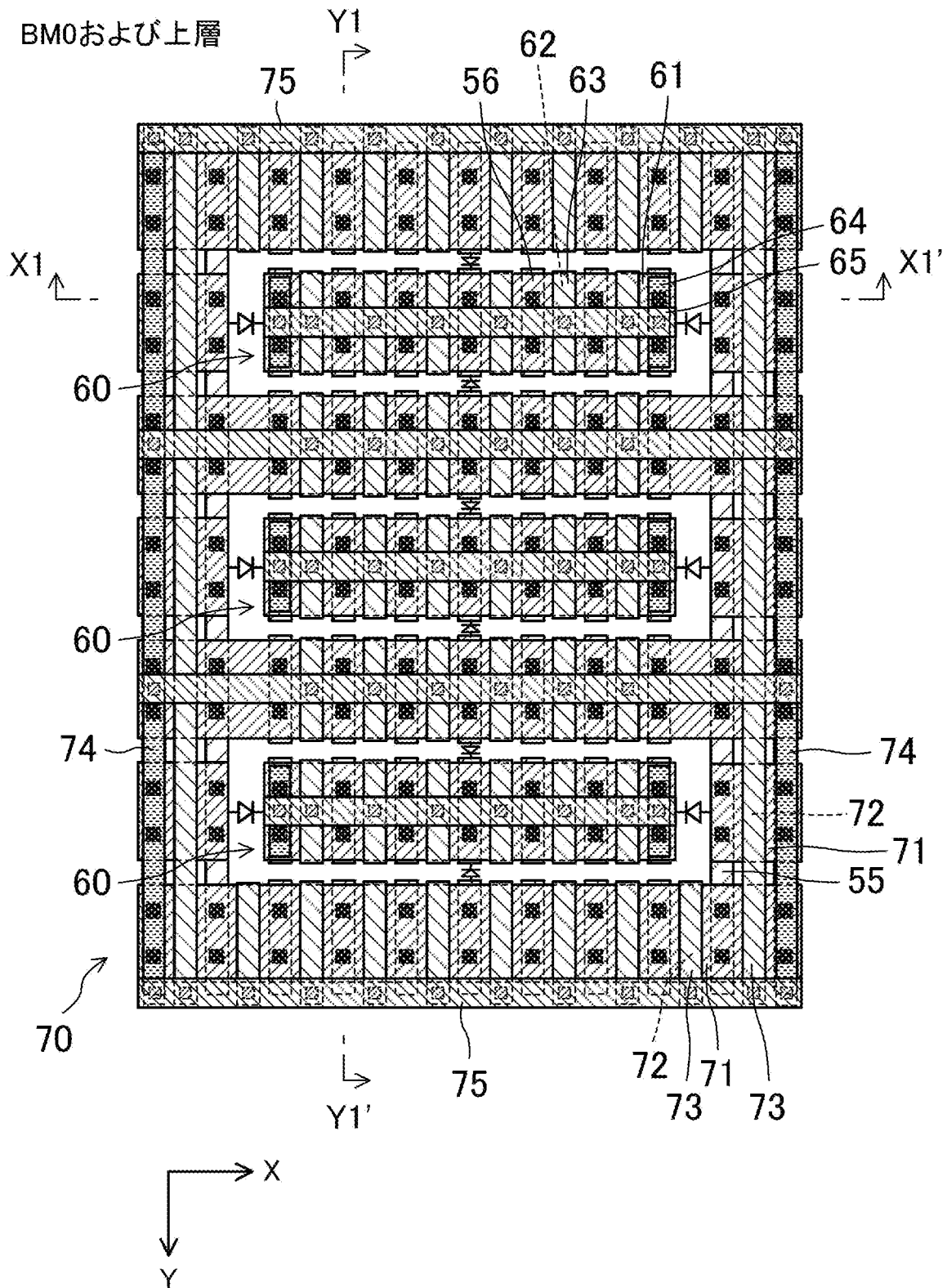
BM0および上層



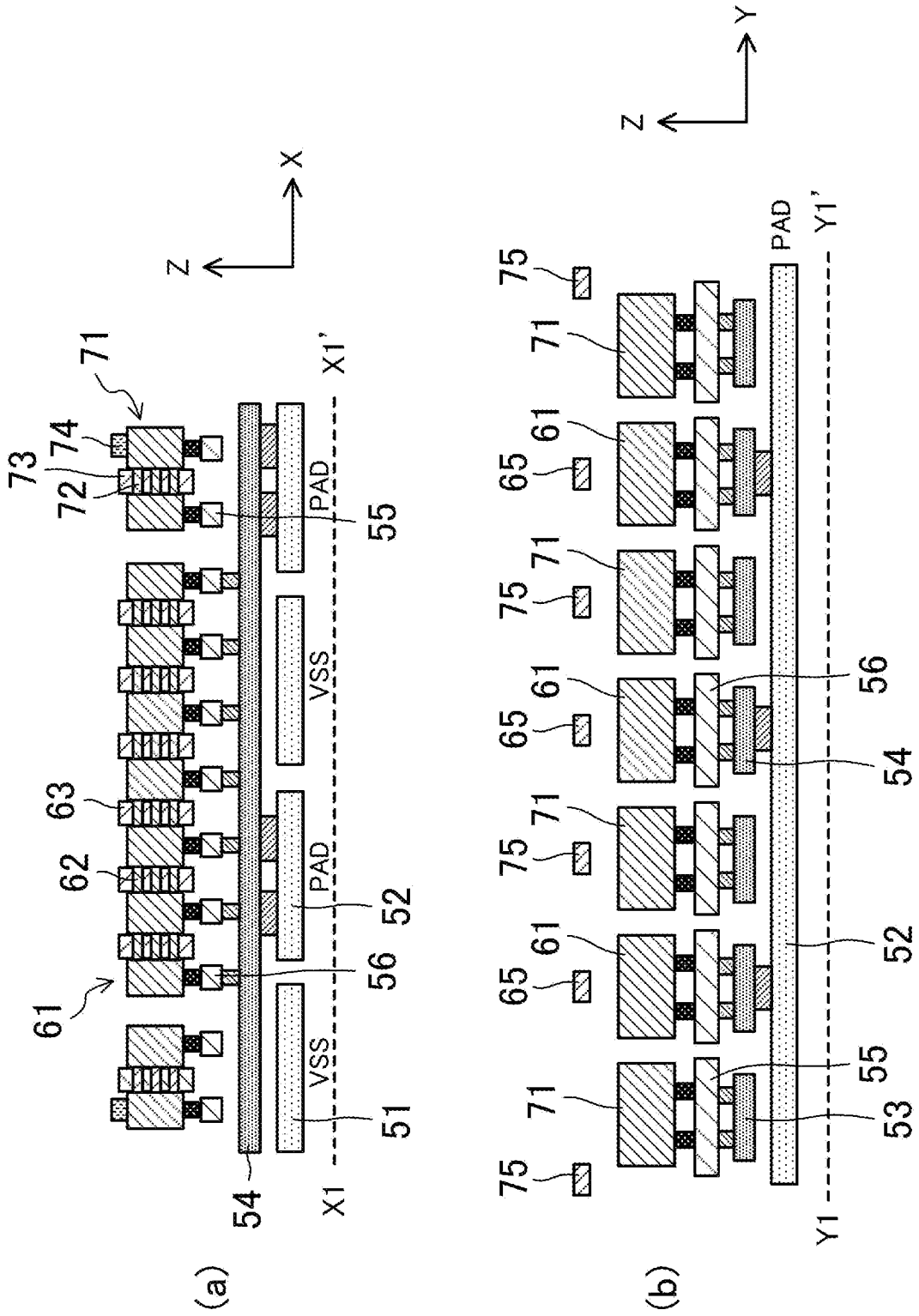
[図10]



[図11]

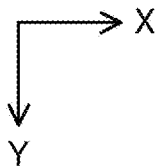
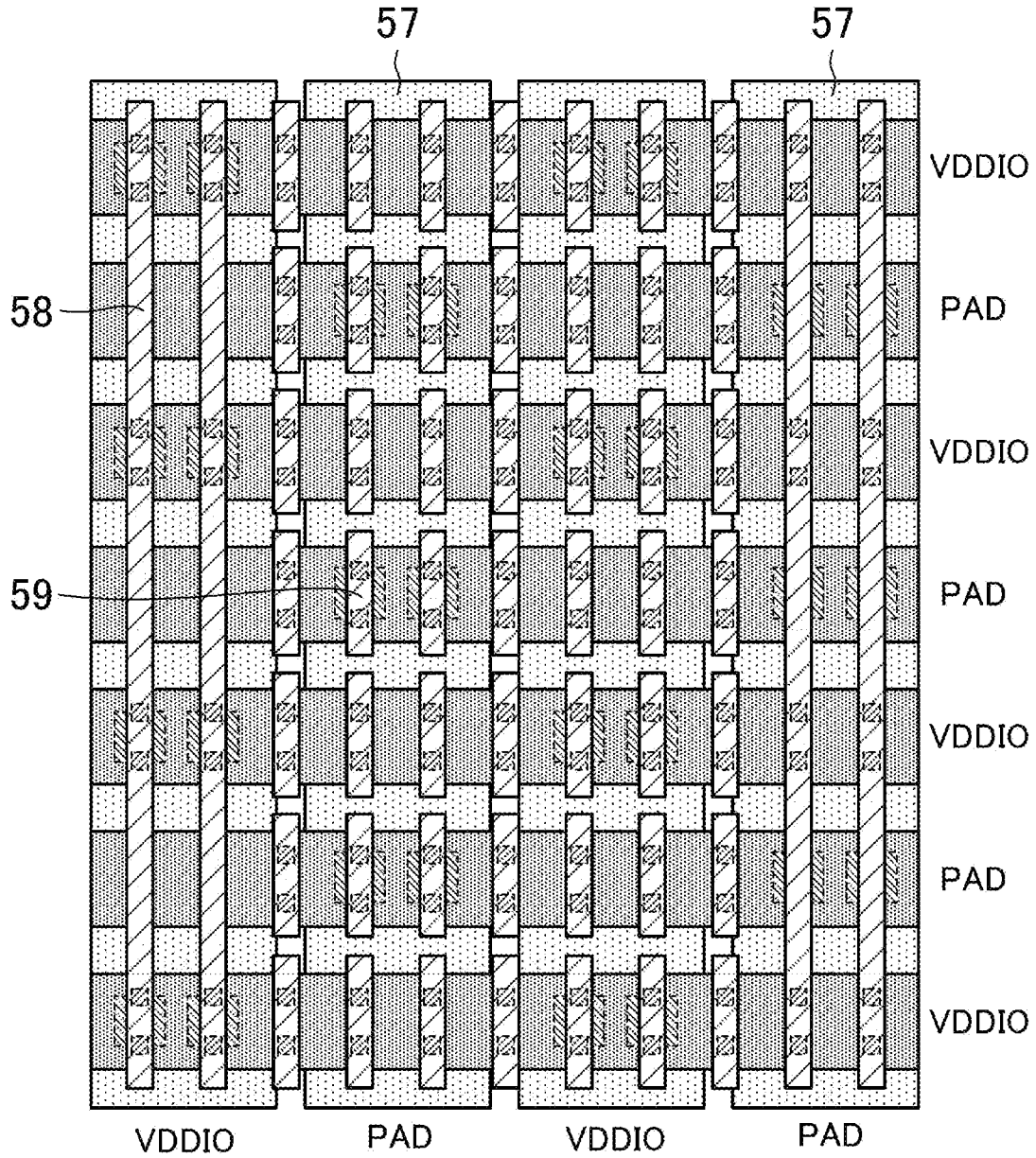


[図12]



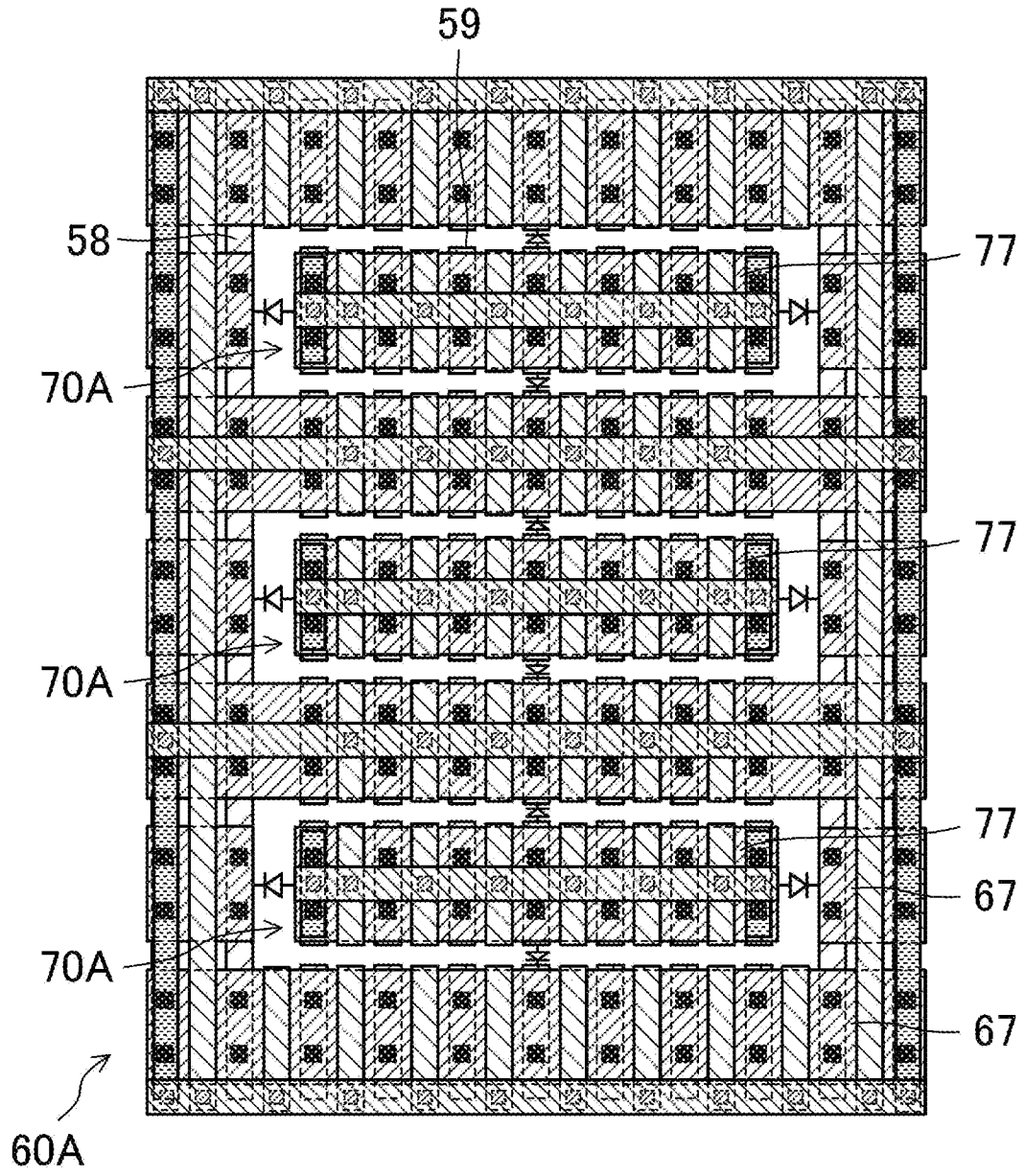
[図13]

BM2~BM0

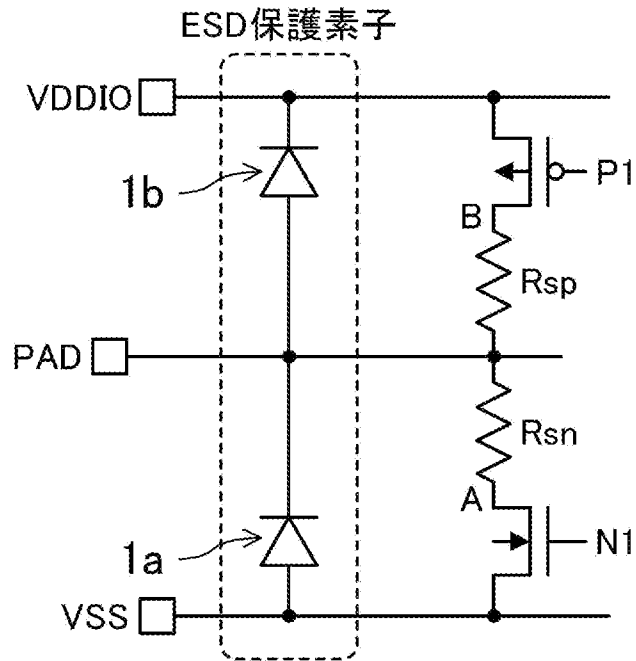


[図14]

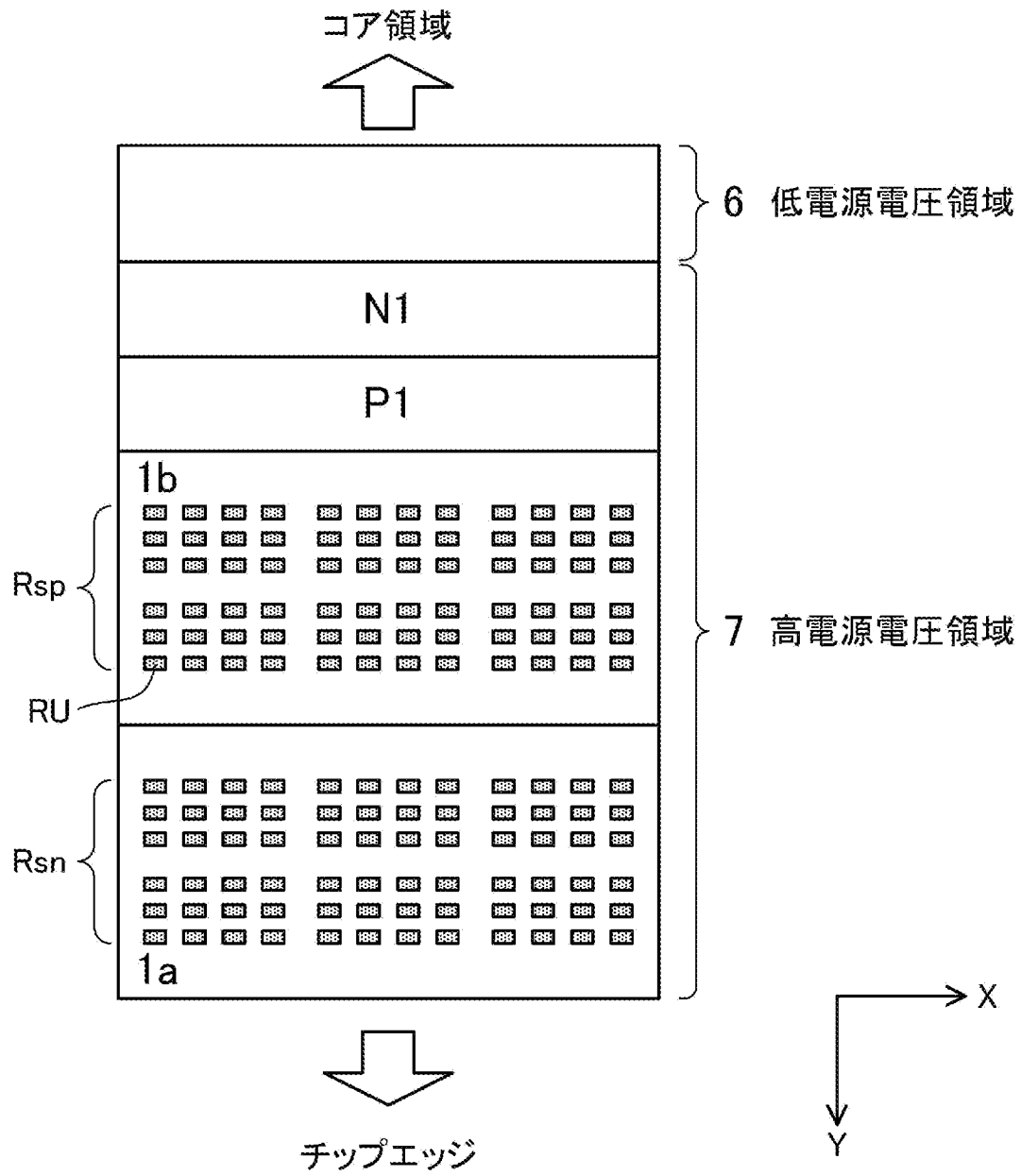
BM0および上層



[図15]

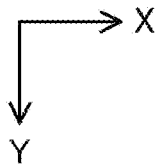
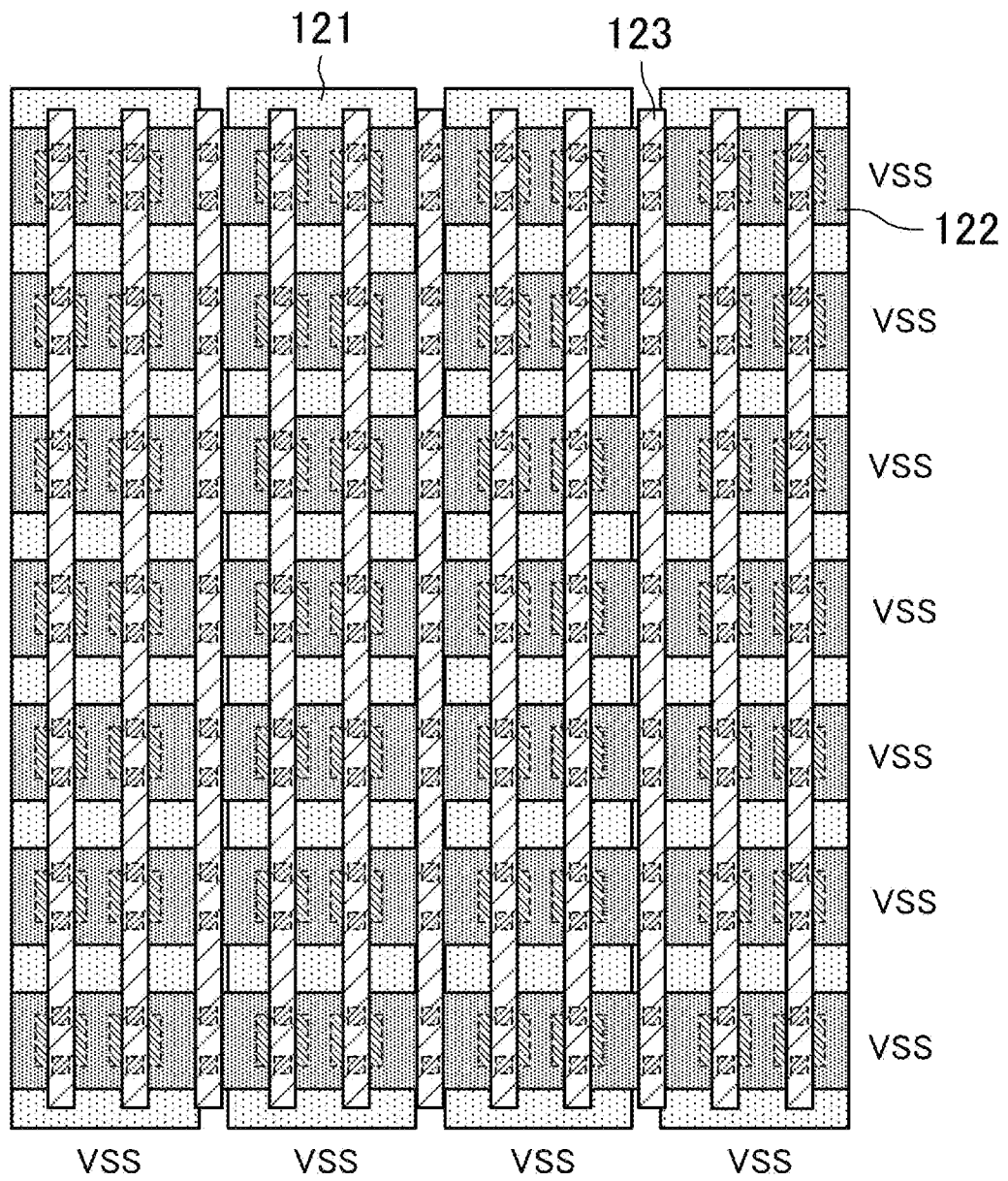


[図16]



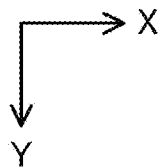
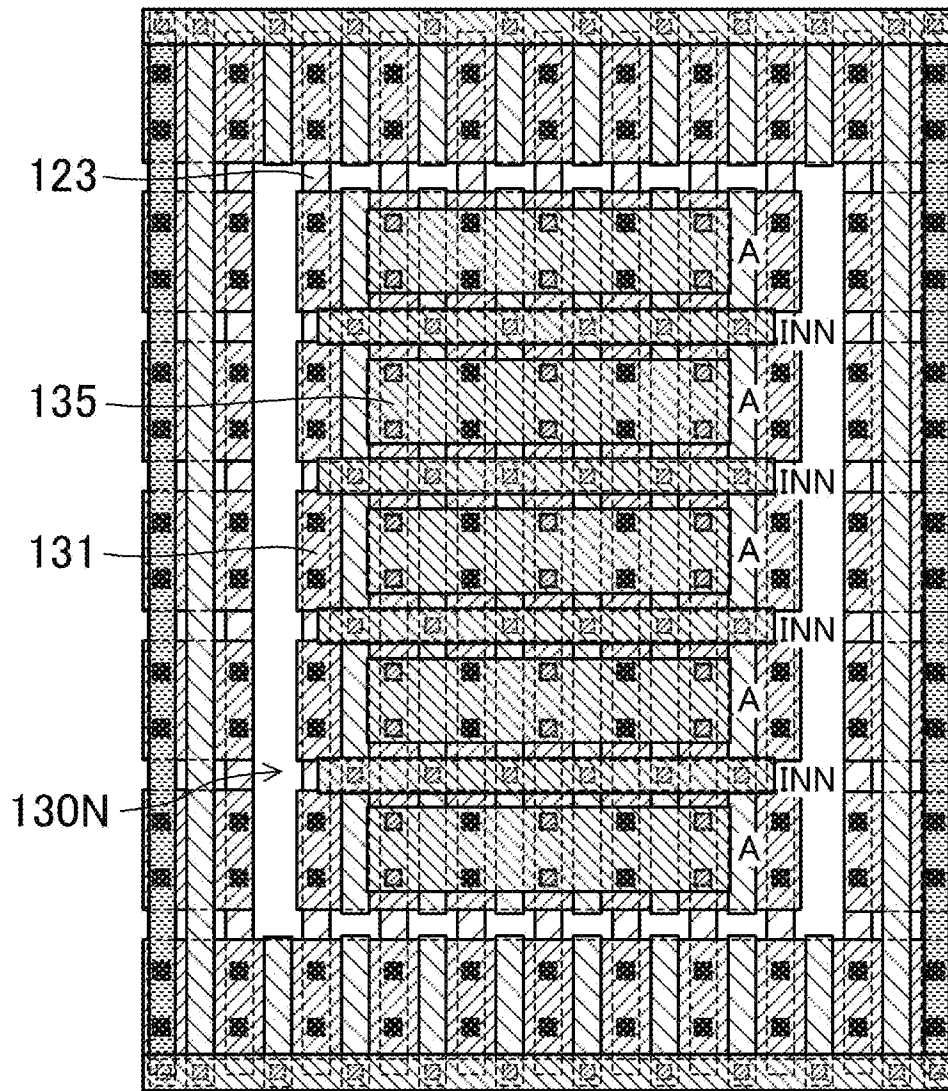
[図17]

BM2~BM0



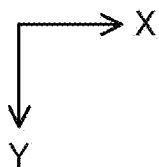
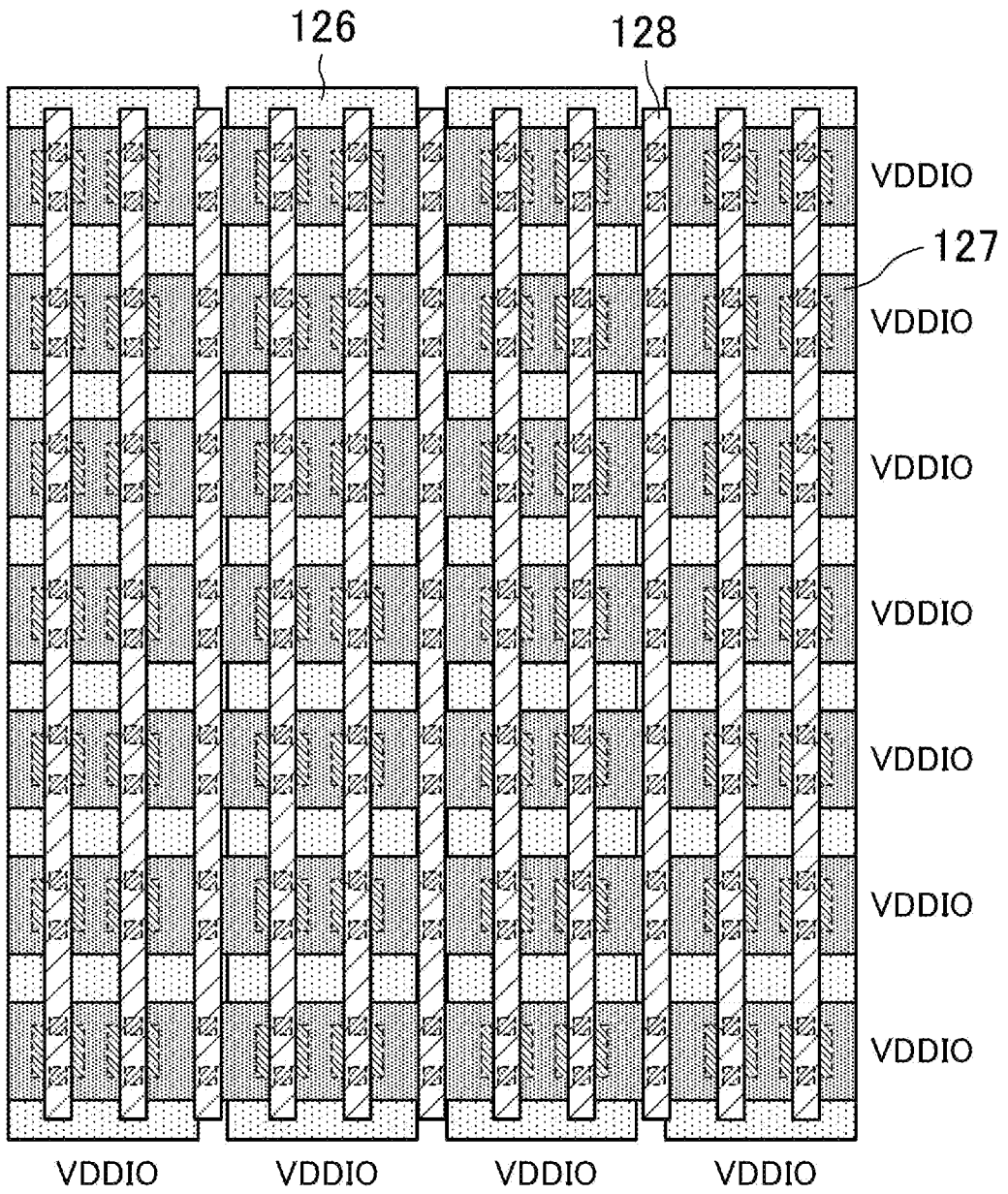
[図18]

BM0および上層



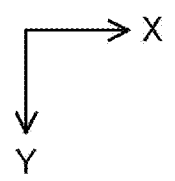
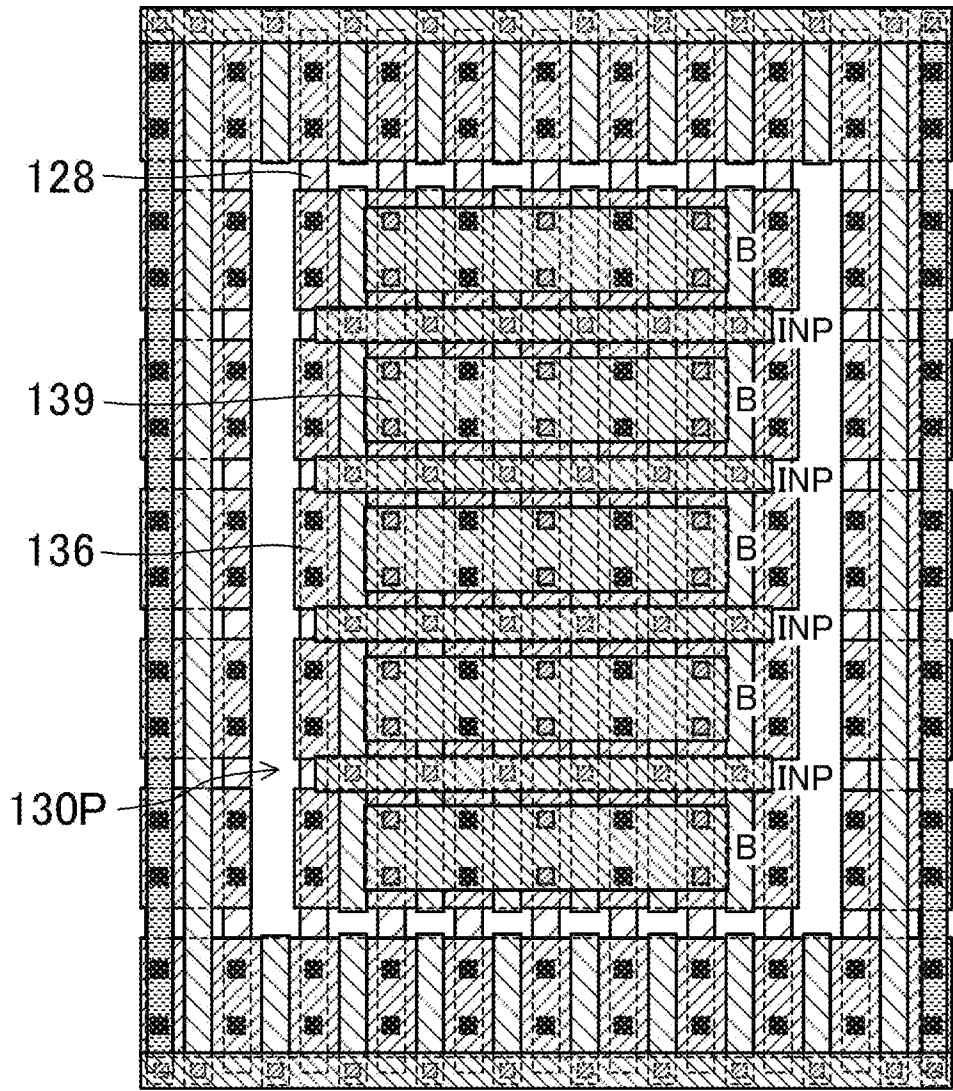
[図19]

BM2~BM0



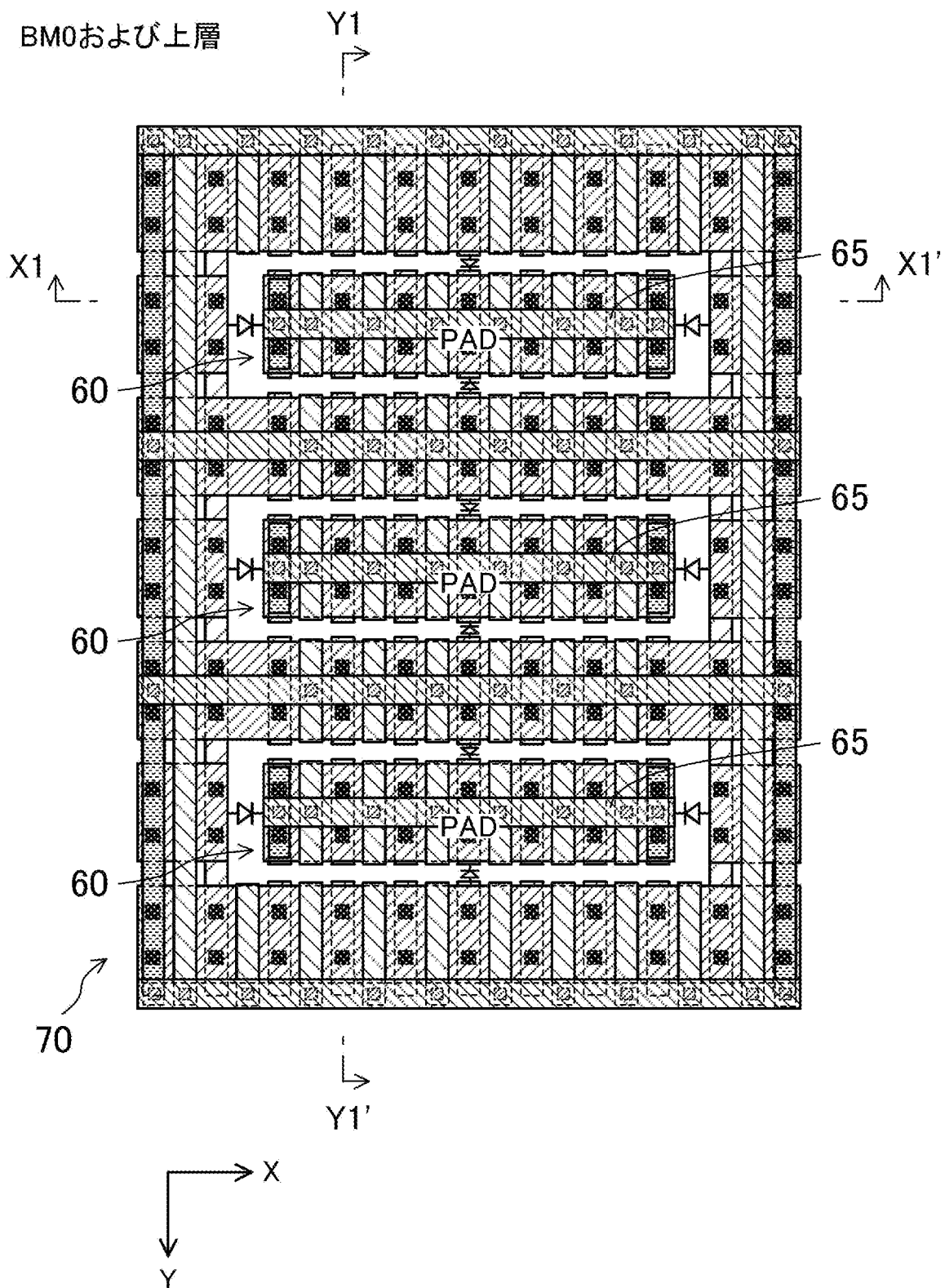
[図20]

BM0および上層



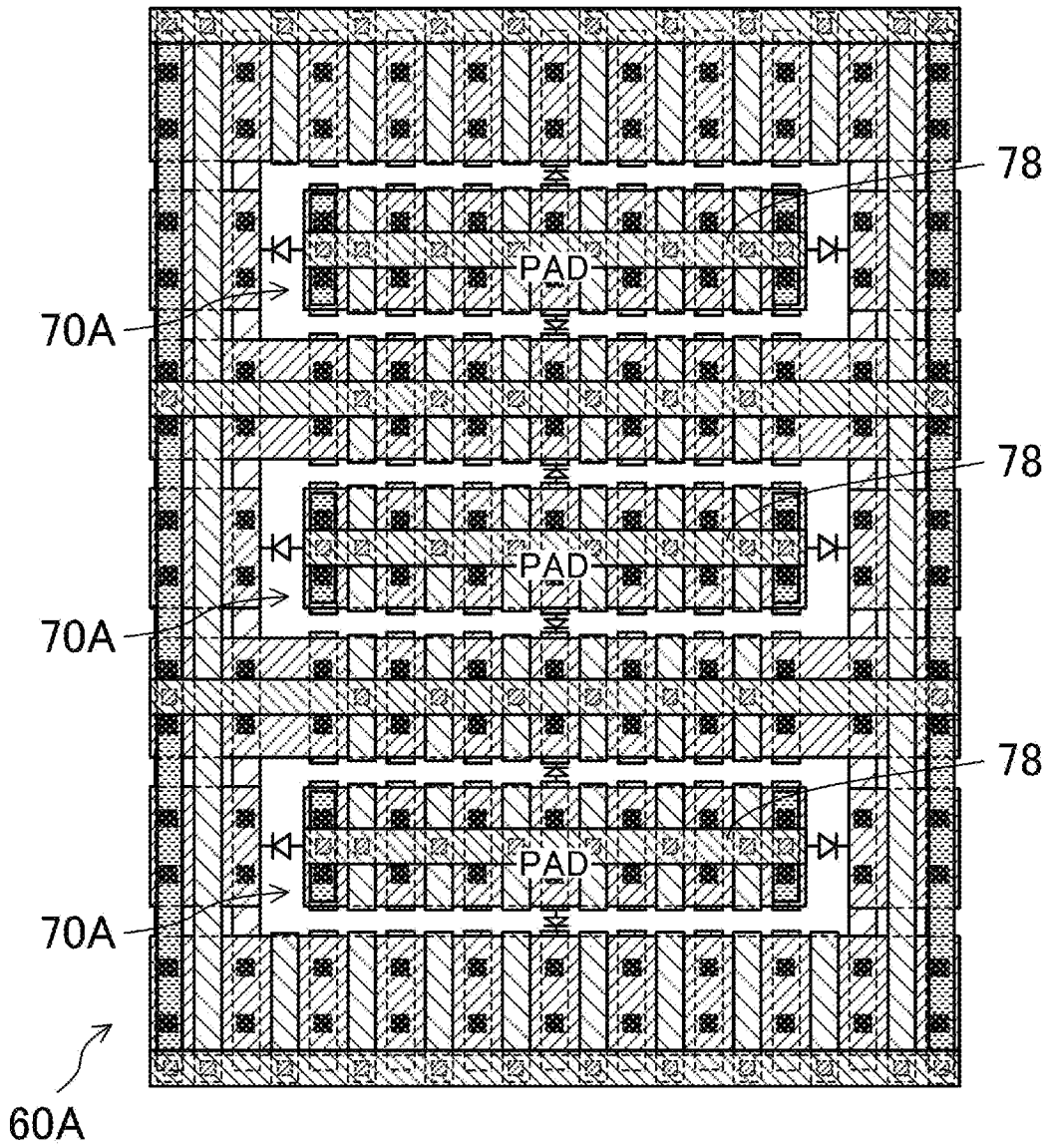
[図21]

BM0および上層

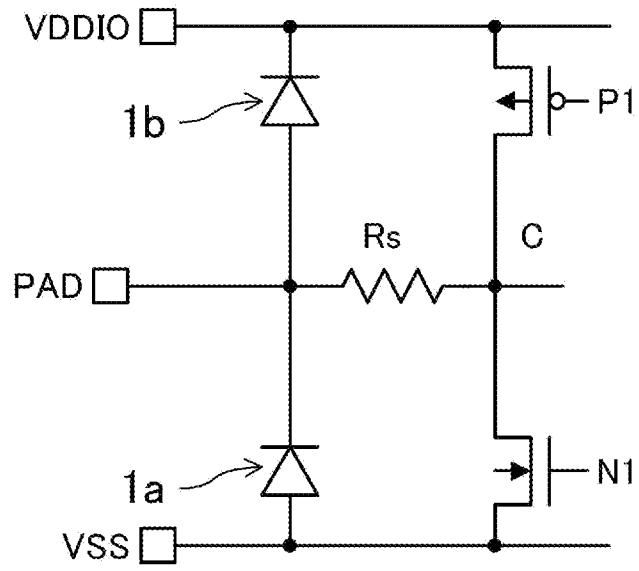


[図22]

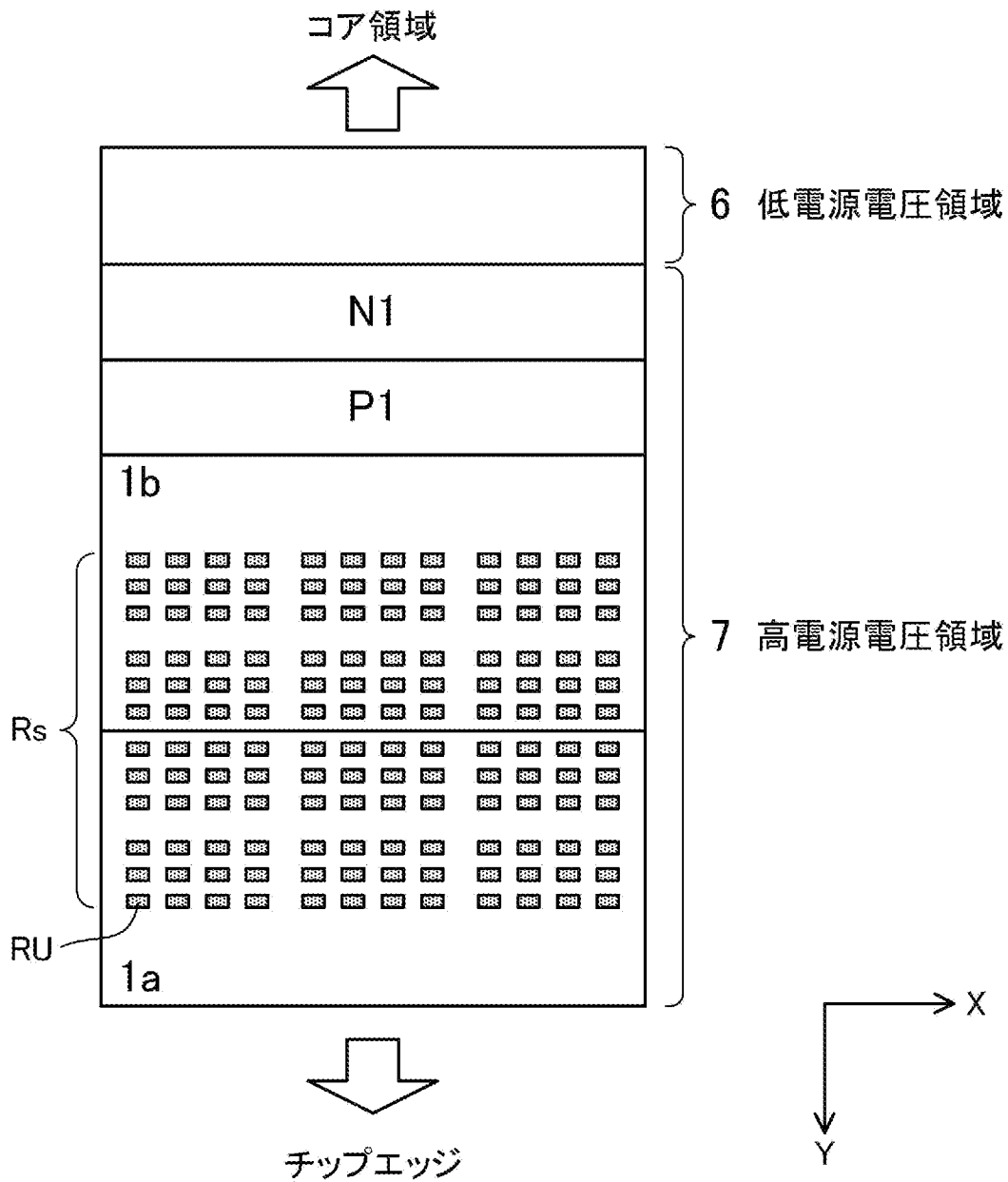
BM0および上層



[図23]



[図24]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/014151

A. CLASSIFICATION OF SUBJECT MATTER		
<i>H01L 27/04</i> (2006.01)i; <i>H01L 21/82</i> (2006.01)i; <i>H01L 21/8234</i> (2006.01)i; <i>H01L 27/06</i> (2006.01)i; <i>H01L 27/088</i> (2006.01)i FI: H01L27/04 A; H01L27/04 H; H01L27/04 D; H01L27/04 E; H01L27/06 311B; H01L27/06 311A; H01L27/088 B; H01L27/088 A; H01L27/088 F; H01L21/82 D; H01L21/82 L		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L27/04; H01L21/82; H01L21/8234; H01L27/06; H01L27/088		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2022/224847 A1 (SOCIONEXT INC.) 27 October 2022 (2022-10-27) entire text, all drawings	1-14
A	WO 2023/037467 A1 (SOCIONEXT INC.) 16 March 2023 (2023-03-16) entire text, all drawings	1-14
A	US 2022/0181258 A1 (TOKYO ELECTRON LIMITED) 09 June 2022 (2022-06-09) entire text, all drawings	1-14
A	WO 2021/075353 A1 (SOCIONEXT INC) 22 April 2021 (2021-04-22) entire text, all drawings	1-14
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 03 June 2024		Date of mailing of the international search report 18 June 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No. PCT/JP2024/014151

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2022/224847	A1	27 October 2022	US 2024/0072058	A1
WO	2023/037467	A1	16 March 2023	(Family: none)	
US	2022/0181258	A1	09 June 2022	TW 202236592	A
				KR 10-2023-0114267	A
WO	2021/075353	A1	22 April 2021	US 2022/0336499	A1
				CN 114503256	A

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 27/04(2006.01)i; H01L 21/82(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/06(2006.01)i; H01L 27/088(2006.01)i FI: H01L27/04 A; H01L27/04 H; H01L27/04 D; H01L27/04 E; H01L27/06 311B; H01L27/06 311A; H01L27/088 B; H01L27/088 A; H01L27/088 F; H01L21/82 D; H01L21/82 L		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L27/04; H01L21/82; H01L21/8234; H01L27/06; H01L27/088 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2024年 日本国実用新案登録公報 1996-2024年 日本国登録実用新案公報 1994-2024年 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2022/224847 A1 (株式会社ソシオネクスト) 27.10.2022 (2022-10-27) 全文, 全図	1-14
A	WO 2023/037467 A1 (株式会社ソシオネクスト) 16.03.2023 (2023-03-16) 全文, 全図	1-14
A	US 2022/0181258 A1 (TOKYO ELECTRON LIMITED) 09.06.2022 (2022-06-09) 全文, 全図	1-14
A	WO 2021/075353 A1 (株式会社ソシオネクスト) 22.04.2021 (2021-04-22) 全文, 全図	1-14
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技术水準を示すもの “D” 国際出願で出願人が先行技術文献として記載した文献 “E” 国際出願日前の出願または特許であるが、国際出願日以後に 公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若し くは他の特別な理由を確立するために引用する文献（理由を 付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の 後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵 触するものではなく、発明の原理又は理論の理解のために引 用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性 又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献 との、当業者にとって自明である組合せによって進歩性がな いと考えられるもの “&” 同一パテントファミリー文献	
国際調査を完了した日 03.06.2024	国際調査報告の発送日 18.06.2024	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 市川 武宜 5F 4056 電話番号 03-3581-1101 内線 3514	

国際調査報告
特許ファミリーに関する情報

国際出願番号

PCT/JP2024/014151

引用文献	公表日	特許ファミリー文献	公表日
WO 2022/224847 A1	27.10.2022	US 2024/0072058 A1	
WO 2023/037467 A1	16.03.2023	(ファミリーなし)	
US 2022/0181258 A1	09.06.2022	TW 202236592 A	
		KR 10-2023-0114267 A	
WO 2021/075353 A1	22.04.2021	US 2022/0336499 A1	
		CN 114503256 A	