



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년01월25일
 (11) 등록번호 10-1699784
 (24) 등록일자 2017년01월19일

(51) 국제특허분류(Int. Cl.)
 G06F 13/16 (2006.01) G06F 13/362 (2006.01)
 G06F 13/364 (2006.01) G06F 13/40 (2006.01)
 (21) 출원번호 10-2010-0102010
 (22) 출원일자 2010년10월19일
 심사청구일자 2015년08월18일
 (65) 공개번호 10-2012-0040535
 (43) 공개일자 2012년04월27일
 (56) 선행기술조사문헌
 US07353297 B2*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 삼성전자주식회사
 경기도 수원시 영통구 삼성로 129 (매탄동)
 (72) 발명자
 정법철
 경기도 용인시 기흥구 삼성2로 95, 난초동319호 (농서동)
 윤재근
 경기도 화성시 병점4로 104, 주공10단지 1006동 301호 (진안동, 진안골마을)
 (74) 대리인
 특허법인 고려

전체 청구항 수 : 총 10 항

심사관 : 김세영

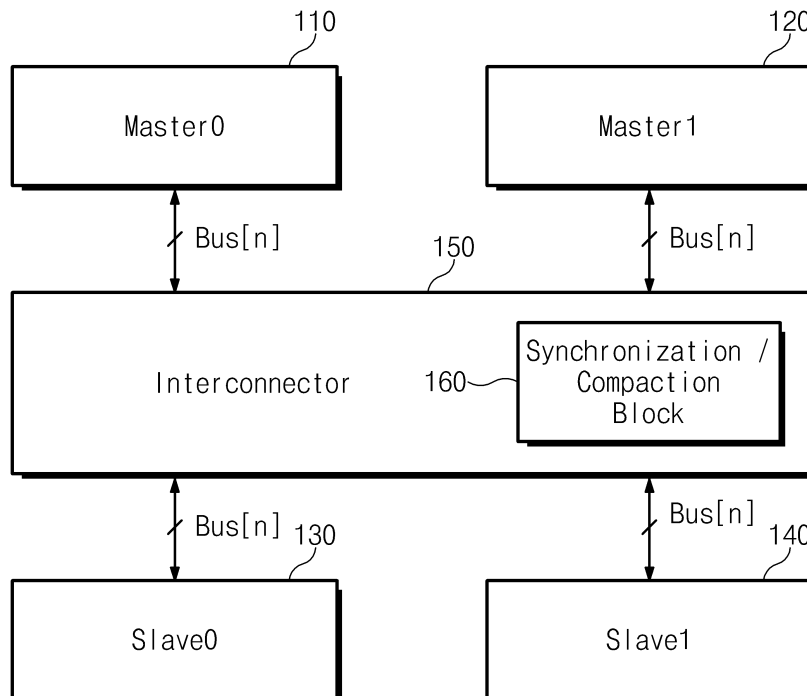
(54) 발명의 명칭 버스 시스템 및 그것의 동작 방법

(57) 요약

본 발명은 인터커넥터를 포함하는 시스템 온 칩 버스 시스템 및 그것의 동작 방법에 관한 것이다. 본 발명의 실시 예에 따르면, 상기 버스 시스템의 인터커넥터는 마스터 장치로부터 슬레이브 장치로 제공되는 트래픽을 제어하기 위해서 동기화/간략화 블록을 포함할 것이다. 상기 동기화/간략화 블록은 마스터 장치로부터 쓰기 요청 트

(뒷면에 계속)

대표도 - 도1



래픽과 대응되는 쓰기 데이터 트래픽 모두가 제공된 경우, 상기 두 트래픽들을 상기 슬레이브 장치로 전송할 것이다. 이러한 상기 동기화/간략화 블록의 동기화 동작은 상기 인터랙터에 포함되는 버퍼 메모리의 크기를 줄일 수 있을 뿐만 아니라 상기 인터랙터의 데드-락 상태를 방지할 수 있다. 또한, 상기 동기화/간략화 블록은 쓰기 요청 트래픽과 쓰기 데이터 트래픽이 지연 시간없이 전송되도록 상기 트래픽들을 제어할 것이다. 이러한 상기 동기화/간략화 블록의 간략화 동작은 버스 점유율을 최소화하여 상기 버스 시스템의 동작 속도를 증가시킬 수 있다.

명세서

청구범위

청구항 1

마스터 장치;

상기 마스터 장치의 요청에 응답하여 동작하도록 구성되는 슬레이브 장치; 및

복수의 버스를 통해 상기 마스터 장치와 상기 슬레이브 장치를 연결하고, 상기 마스터 장치로부터 수신되는 쓰기 요청 및 상기 쓰기 요청에 대응하는 쓰기 데이터를 상기 슬레이브 장치로 전달하도록 구성되는 인터커넥터를 포함하되,

상기 인터커넥터는:

상기 수신된 쓰기 요청에 대응하는 상기 쓰기 데이터가 상기 마스터 장치로부터 모두 수신되었는지 여부를 판단하고;

상기 수신된 쓰기 요청에 대응하는 상기 쓰기 데이터가 상기 마스터 장치로부터 모두 수신되지 않은 것으로 판단된 경우, 상기 수신된 쓰기 요청을 상기 슬레이브 장치로 전달하는 것을 대기하고;

상기 쓰기 요청 및 상기 수신된 쓰기 요청에 대응하는 상기 쓰기 데이터가 상기 마스터 장치로부터 모두 수신된 것으로 판단된 경우, 상기 수신된 쓰기 요청 및 상기 모두 수신된 쓰기 데이터를 동시에 상기 슬레이브 장치로 전달하도록 구성되는 버스 시스템.

청구항 2

제 1 항에 있어서,

상기 마스터 장치와 상기 인터커넥터 사이에 연결되는 버스 컴포넌트를 더 포함하되,

상기 버스 컴포넌트는 상기 버스 시스템의 데이터 폭을 확장하기 위해 제공되는 버스 시스템.

청구항 3

제 1 항에 있어서,

상기 인터커넥터는:

상기 마스터 장치와 인터페이스하도록 구성되는 슬레이브 인터페이스;

상기 슬레이브 장치와 인터페이스하도록 구성되는 마스터 인터페이스; 및

상기 슬레이브 인터페이스와 상기 마스터 인터페이스 사이에서, 상기 수신된 쓰기 요청 및 상기 수신된 쓰기 요청에 대응하는 상기 쓰기 데이터의 전달을 제어하도록 구성되는 동기화/간략화 블록을 포함하는 버스 시스템.

청구항 4

제 3 항에 있어서,

상기 동기화/간략화 블록은:

상기 수신된 쓰기 요청을 임시로 저장하도록 구성되는 쓰기 요청 버퍼;

상기 수신된 쓰기 요청에 대응하는 상기 쓰기 데이터를 임시로 저장하도록 구성되는 쓰기 데이터 버퍼; 및

상기 수신된 쓰기 요청에 대응하는 상기 쓰기 데이터가 상기 마스터 장치로부터 모두 수신되었는지 여부를 판단하고, 판단 결과에 따라 상기 쓰기 요청 버퍼 및 상기 쓰기 데이터 버퍼를 제어하도록 구성되는 제어 유닛을 포함하는 버스 시스템.

청구항 5

제 3 항에 있어서,

상기 동기화/간략화 블록은:

상기 수신된 쓰기 요청과 상기 모두 수신된 쓰기 데이터의 전달 시에 지연 시간이 발생하지 않게 제어하고;

상기 모두 수신된 쓰기 데이터로서 복수의 쓰기 데이터가 상기 마스터 장치로부터 수신된 경우, 상기 복수의 쓰기 데이터의 전달 시에 지연 시간이 발생하지 않게 제어하도록 더 구성되는 버스 시스템.

청구항 6

제 1 항에 있어서,

상기 복수의 버스는 상기 쓰기 요청을 전송하기 위한 쓰기 요청 버스 및 상기 쓰기 데이터를 전송하기 위한 쓰기 데이터 버스를 포함하고,

상기 쓰기 요청 버스는 상기 쓰기 데이터 버스와 전기적으로 분리된 버스 시스템.

청구항 7

마스터 장치;

상기 마스터 장치의 요청에 응답하여 동작하도록 구성되는 슬레이브 장치; 및

상기 마스터 장치와 상기 슬레이브 장치를 연결하고, 상기 마스터 장치로부터 수신되는 쓰기 요청 및 상기 쓰기 요청에 대응하는 쓰기 데이터를 상기 슬레이브 장치로 전달하도록 구성되는 인터커넥터를 포함하되,

상기 인터커넥터는:

상기 마스터 장치로부터 아직 수신되지 않은 상기 쓰기 데이터의 제 1 부분을 상기 마스터 장치로부터 수신하는 데에 소요되는 제 1 시간을 판단하고;

상기 마스터 장치로부터 이미 수신된 상기 쓰기 데이터의 제 2 부분을 상기 슬레이브 장치로 전달하는 데에 소요되는 제 2 시간을 판단하고;

상기 제 1 시간 및 상기 제 2 시간에 기초하여, 상기 쓰기 요청 및 상기 쓰기 데이터의 상기 제 2 부분을 상기 슬레이브 장치로 전달할 것인지 여부를 판단하도록 더 구성되는 버스 시스템.

청구항 8

제 7 항에 있어서,

상기 인터커넥터는 상기 제 1 시간이 상기 제 2 시간 이하인 것으로 판단된 경우에 상기 쓰기 요청 및 상기 쓰기 데이터의 상기 제 2 부분을 상기 슬레이브 장치로 전달하도록 더 구성되는 버스 시스템.

청구항 9

제 7 항에 있어서,

상기 인터커넥터는 상기 제 1 시간이 상기 제 2 시간보다 큰 것으로 판단된 경우에 상기 쓰기 요청 및 상기 쓰기 데이터의 상기 제 2 부분을 상기 슬레이브 장치로 전달하는 것을 대기하도록 더 구성되는 버스 시스템.

청구항 10

제 7 항에 있어서,

상기 인터커넥터는:

상기 쓰기 요청을 임시로 저장하도록 구성되는 쓰기 요청 버퍼;

상기 쓰기 데이터를 임시로 저장하도록 구성되는 쓰기 데이터 버퍼; 및

상기 제 1 시간 및 상기 제 2 시간에 기초하여 상기 쓰기 요청 버퍼 및 상기 쓰기 데이터 버퍼를 제어하도록 구성되는 제어 유닛을 포함하는 버스 시스템.

발명의 설명

기술 분야

[0001] 본 발명은 버스 시스템 및 그것의 동작 방법에 관한 것으로, 더욱 상세하게는 인터커넥터를 포함하는 시스템 온 칩 버스 시스템 및 그것의 동작 방법에 관한 것이다.

배경 기술

[0002] 최근 디지털 전자 장치의 소형화, 고성능화, 다기능화 및 컨버전스 추세에 맞춰, 서로 다른 기능을 하는 복수의 시스템이 하나의 칩으로 집적된 시스템 온 칩(SoC: system on chip)의 사용이 보편화되고 있다. 시스템 온 칩(SoC)의 설계에 있어서 급변하는 시장의 요구에 대응하기 위해서는 개발에 소요되는 시간을 줄이는 것은 필수적이다. 이를 위해서 기존에 설계되어 사용되고 있는 시스템 블록(system block), 즉, 아이피(IP: intellectual property) 블록의 재활용이 점차 확대되고 있다. 이러한 아이피(IP) 블록의 재활용은 제품 개발에 소요되는 시간을 단축시킬 뿐만 아니라, 새롭게 개발된 시스템 온 칩(SoC)의 신뢰성을 향상시키는 데에도 효과적이다.

[0003] 한편, 시스템 온 칩(SoC)의 효과적인 설계를 위해서는 하나의 칩으로 집적된 복수의 아이피(IP) 블록들 간의 상호 통신을 위한 버스 시스템(bus system)의 선택이 무엇보다 중요하다. 버스 시스템에 있어서의 데이터의 송신 및 수신은 버스 시스템의 정해진 프로토콜(protocol)에 따라 수행된다. 널리 사용되고 있는 대표적인 버스 시스템 중 하나인 ARM(advanced RISC machine)사의 AMBA(advanced microcontroller bus architecture)는 다양한 프로토콜을 포함한다. 예를 들면, AMBA는 고속의 아이피(IP) 블록들 간을 연결하는 AHB(advanced high-performance bus), AXI(advanced extensible interface), 및 저속의 아이피(IP) 블록들 간을 연결하는 APB(advanced peripheral bus) 프로토콜로 구성된다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 목적은 인터커넥터를 포함하는 시스템 온 칩 버스 시스템 및 그것의 동작 방법을 제공하는 데 있다.

과제의 해결 수단

[0005] 본 발명의 실시 예에 따른 버스 시스템은, 마스터 장치; 상기 마스터 장치의 요청에 응답하여 동작하는 슬레이브 장치; 및 상기 마스터 장치와 상기 슬레이브 장치 사이에 복수의 버스를 통해 연결되는 인터커넥터를 포함하되, 상기 인터커넥터는 상기 마스터 장치로부터 쓰기 요청과 상기 쓰기 요청에 대응되는 쓰기 데이터가 모두 제공되면 상기 슬레이브 장치로 상기 제공된 쓰기 요청과 상기 제공된 쓰기 데이터를 전송한다.

[0006] 실시 예에 있어서, 상기 인터커넥터는 상기 제공된 쓰기 요청에 대응되는 쓰기 데이터가 제공될 때까지 상기 슬레이브 장치로 상기 제공된 쓰기 요청의 전송을 대기한다.

[0007] 실시 예에 있어서, 상기 인터커넥터는 상기 마스터 장치가 버스트 전송 동작을 수행하지 않는 경우 상기 제공된 쓰기 요청과 상기 제공된 쓰기 데이터를 즉시 전송한다.

[0008] 실시 예에 있어서, 상기 인터커넥터는, 상기 마스터 장치와 상기 인터커넥터를 인터페이싱하는 슬레이브 인터페이스; 상기 슬레이브 장치와 상기 인터커넥터를 인터페이싱하는 마스터 인터페이스; 및 상기 슬레이브 인터페이스와 상기 마스터 인터페이스 사이에 연결되어 상기 제공된 쓰기 요청과 상기 제공된 쓰기 데이터의 전송을 제어하는 동기화/간략화 블록을 포함한다.

[0009] 실시 예에 있어서, 상기 동기화/간략화 블록은, 상기 쓰기 요청을 임시 저장하기 위한 쓰기 요청 버퍼; 상기 쓰기 데이터를 임시 저장하기 위한 쓰기 데이터 버퍼; 및 상기 제공된 쓰기 요청에 대응되는 쓰기 데이터가 제공되었는지의 여부를 판단하고, 판단 결과에 따라 상기 쓰기 요청 버퍼 및 상기 쓰기 데이터 버퍼를 제어하는 제어 유닛을 포함한다.

[0010] 실시 예에 있어서, 상기 쓰기 요청 버퍼 및 상기 쓰기 데이터 버퍼 각각의 크기는 상기 마스터 장치로부터 제공되는 버스트 데이터 길이에 따라 설정된다.

[0011] 실시 예에 있어서, 상기 쓰기 요청 버퍼의 크기는 상기 데이터 버퍼의 크기보다 큰 것을 특징으로 한다.

- [0012] 실시 예에 있어서, 상기 마스터 인터페이스는 상기 마스터 장치로부터 제공되는 쓰기 요청의 우선 순위에 따라 상기 제공된 쓰기 데이터가 전송될 순서를 변경한다.
- [0013] 실시 예에 있어서, 상기 인터커넥터는 상기 마스터 장치로부터 제공되는 요청에 따라 상기 슬레이브 장치로의 전송 경로를 스위칭하는 스위칭 블록을 더 포함한다.
- [0014] 실시 예에 있어서, 상기 마스터 장치와 상기 인터커넥터 사이에 연결되는 버스 컴포넌트를 더 포함하되, 상기 버스 컴포넌트는 상기 버스 시스템의 데이터 폭을 확장하기 위한 장치인 것을 특징으로 한다.
- [0015] 실시 예에 있어서, 상기 동기화/간략화 블록은, 상기 제공된 쓰기 요청과 상기 제공된 쓰기 데이터의 전송 시에 지연 시간이 발생되지 않도록 제어하고, 복수의 쓰기 데이터들이 제공된 경우, 상기 제공된 쓰기 데이터들의 전송 시에 지연 시간이 발생되지 않도록 제어한다.
- [0016] 실시 예에 있어서, 상기 복수의 버스들은 쓰기 요청을 전송하기 위한 쓰기 요청 버스 및 쓰기 데이터를 전송하기 위한 쓰기 데이터 버스를 포함하되, 상기 쓰기 요청 버스와 상기 쓰기 데이터 버스는 전기적으로 분리된다.
- [0017] 본 발명의 실시 예에 따른 마스터 장치와 슬레이브 장치 사이에 연결되는 인터커넥터를 포함하는 버스 시스템의 동작 방법에 있어서, 상기 인터커넥터의 동작 방법은, 상기 마스터 장치로부터 쓰기 요청을 제공받는 단계; 상기 제공된 쓰기 요청에 대응되는 쓰기 데이터가 제공되었는지의 여부를 판단하는 단계; 상기 슬레이브 장치로 상기 제공된 쓰기 요청과 상기 제공된 쓰기 데이터를 전송하는 단계를 포함하되, 상기 전송하는 단계는 상기 쓰기 요청과 상기 쓰기 요청에 대응되는 쓰기 데이터가 모두 제공된 것으로 판단된 경우에 수행한다.
- [0018] 실시 예에 있어서, 상기 슬레이브 장치로 상기 제공된 쓰기 요청의 전송을 대기하는 단계를 더 포함한다.
- [0019] 실시 예에 있어서, 상기 대기하는 단계는 상기 제공된 쓰기 요청에 대응되는 쓰기 데이터가 제공될 때까지 수행한다.
- [0020] 본 발명의 다른 실시 예에 따른 마스터 장치와 슬레이브 장치 사이에 연결되는 인터커넥터를 포함하는 버스 시스템의 동작 방법에 있어서, 상기 인터커넥터의 동작 방법은, 상기 마스터 장치로부터 쓰기 요청을 제공받는 단계; 상기 마스터 장치로부터 상기 쓰기 요청에 대응되는 쓰기 데이터를 제공받는 단계; 상기 제공된 쓰기 요청과 상기 제공된 쓰기 데이터의 전송 시점을 판단하는 단계; 상기 슬레이브 장치로 상기 제공된 쓰기 요청과 상기 제공된 쓰기 데이터를 전송하는 단계를 포함하되, 상기 판단하는 단계는, 상기 마스터 장치로부터 아직 제공되지 않은 쓰기 데이터가 제공될 때까지의 소요 시간을 판단하는 단계; 및 상기 제공된 쓰기 요청에 대응되는 모든 쓰기 데이터를 전송하는데 걸리는 소요 시간을 판단하는 단계를 포함한다.
- [0021] 실시 예에 있어서, 상기 전송하는 단계는 상기 마스터 장치로부터 아직 제공되지 않은 쓰기 데이터가 제공될 때까지의 소요 시간이 상기 제공된 쓰기 요청에 대응되는 모든 쓰기 데이터를 전송하는데 걸리는 소요 시간보다 작거나 또는 같다고 판단된 경우에 수행한다.
- [0022] 실시 예에 있어서, 상기 슬레이브 장치로 상기 제공된 쓰기 요청과 상기 제공된 쓰기 데이터의 전송을 대기하는 단계를 더 포함하고, 상기 대기하는 단계는 상기 마스터 장치로부터 아직 제공되지 않은 쓰기 데이터가 제공될 때까지의 소요 시간이 상기 제공된 쓰기 요청에 대응되는 모든 쓰기 데이터를 전송하는데 걸리는 소요 시간보다 크다고 판단된 경우에 수행한다.
- [0023] 실시 예에 있어서, 상기 판단하는 단계는 상기 쓰기 요청에 포함된 쓰기 데이터의 크기 정보를 참조하여 판단하는 것을 특징으로 한다.
- [0024] 실시 예에 있어서, 상기 제공된 쓰기 요청을 저장하는 단계; 및 상기 제공된 쓰기 데이터를 저장하는 단계를 더 포함한다.

발명의 효과

- [0025] 본 발명의 실시 예에 따른 버스 시스템은 데드-락(dead-lock)을 방지하고 시스템 자원을 효율적으로 사용할 수 있다.

도면의 간단한 설명

- [0026] 도 1은 본 발명의 실시 예에 따른 버스 시스템을 예시적으로 보여주는 블록도이다.

- 도 2는 본 발명의 실시 예에 따른 버스 시스템의 AXI 프로토콜의 채널 구성을 예시적으로 보여주는 블럭도이다.
- 도 3은 본 발명의 실시 예에 따른 버스 시스템의 트래픽을 예시적으로 보여주는 타이밍 다이어그램이다.
- 도 4는 도 1에 도시된 인터커넥터를 예시적으로 보여주는 블럭도이다.
- 도 5는 도 4에 도시된 동기화 블럭을 예시적으로 보여주는 블럭도이다.
- 도 6은 본 발명의 실시 예에 따른 인터커넥터를 포함하는 버스 시스템의 트래픽을 예시적으로 보여주는 개념도이다.
- 도 7은 본 발명의 실시 예에 따른 동기화/간략화 블럭의 동작을 예시적으로 보여주는 순서도이다.
- 도 8 및 도 9는 본 발명의 다른 실시 예에 따른 버스 시스템의 트래픽을 예시적으로 보여주는 개념도이다.
- 도 10은 본 발명의 다른 실시 예에 따른 동기화/간략화 블럭의 동작을 예시적으로 보여주는 순서도이다.

발명을 실시하기 위한 구체적인 내용

- [0027] 본 발명의 이점 및 특징, 그리고 그것을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 통해 설명될 것이다. 그러나 본 발명은 여기에서 설명되는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 단지, 본 실시예들은 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여 제공되는 것이다.
- [0028] 도면들에 있어서, 본 발명의 실시예들은 도시된 특정 형태로 제한되는 것이 아니며 명확성을 기하기 위하여 과장된 것이다. 본 명세서에서 특정한 용어들이 사용되었으나, 이는 본 발명을 설명하기 위한 목적에서 사용된 것이며, 의미 한정이나 특허 청구 범위에 기재된 본 발명의 권리 범위를 제한하기 위하여 사용된 것은 아니다. 또한, 명세서에서 사용되는 ‘포함한다’ 또는 ‘포함하는’으로 언급된 구성요소, 단계, 동작 및 소자는 하나 이상의 다른 구성요소, 단계, 동작 및 소자의 존재 또는 추가를 의미한다.
- [0029] 이하, 도면들을 참조하여 본 발명의 실시예에 대해 상세히 설명하기로 한다.
- [0030] 도 1은 본 발명의 실시예에 따른 버스 시스템을 예시적으로 보여주는 블럭도이다. 도 1을 참조하면, 본 발명의 실시예에 따른 버스 시스템은 2개의 마스터 장치들(110, 120), 2개의 슬레이브 장치들(130, 140), 및 인터커넥터(150)를 포함한다. 또한, 인터커넥터(150)는 동기화/간략화 블럭(160)을 포함한다. 설명의 간략화를 위해서, 본 발명의 실시예에 따른 버스 시스템은 마스터 장치와 슬레이브 장치가 각각 2개인 것을 가정한다.
- [0031] 마스터 장치들(110, 120)은 슬레이브 장치가 동작하도록(예를 들면, 쓰기 동작, 읽기 동작) 명령을 제공하는 장치를 의미한다. 마스터 장치들(110, 120)은, 예를 들면, 중앙 처리 장치(CPU), 마이크로 컨트롤러, 또는 마이크로 프로세서 등을 포함할 수 있다. 슬레이브 장치들(130, 140)은 마스터로부터 제공받은 명령에 응답하여, 제공받은 명령을 수행하는 장치를 의미한다. 슬레이브 장치들(130, 140)은, 예를 들면, 휘발성 메모리 장치, 불휘발성 메모리 장치, 또는 메모리 장치를 제어하는 메모리 컨트롤러 등을 포함할 수 있다.
- [0032] 인터커넥터(150)는 마스터 장치들(110, 120)과 슬레이브 장치들(130, 140) 사이에 연결된다. 인터커넥터(150)는 마스터 장치들(110, 120)로부터 슬레이브 장치들(130, 140)로 제공되는 트래픽(traffic), 또는 슬레이브 장치들(130, 140)로부터 마스터 장치들(110, 120)로 제공되는 트래픽을 제어한다. 예를 들면, 인터커넥터(150)의 트래픽 제어는, 트래픽의 우선 순위에 따라 트래픽 전송 순서를 변경하는 중재(arbitration), 트래픽 전송 경로를 설정하는 디코딩(decoding), 그리고 마스터 장치들(110, 120) 또는 슬레이브 장치들(130, 140)의 동작 성능에 따라 트래픽 전송을 완충하는 버퍼링(buffering)을 포함할 수 있다.
- [0033] 인터커넥터(150)는 마스터 장치들(110, 120)로부터 슬레이브 장치들(130, 140)로 제공되는 트래픽을 제어하기 위해서 동기화/간략화 블럭(160)을 포함한다. 동기화/간략화 블럭(160)은 마스터 장치들(110, 120)이 슬레이브 장치들(130, 140)로 쓰기 동작을 요청하는 경우, 쓰기 요청에 대한 트래픽(이하, '쓰기 요청 트래픽'이라 칭함)과 쓰기 데이터에 대한 트래픽(이하, '쓰기 데이터 트래픽'이라 칭함)을 제어한다. 예를 들면, 동기화/간략화 블럭(160)은 쓰기 요청 트래픽과 쓰기 데이터 트래픽의 전송을 동기시킬 수 있다. 또한, 동기화/간략화 블럭(160)은 쓰기 요청 트래픽과 쓰기 데이터 트래픽을 전송할 때 전송 지연이 발생하지 않도록, 복수의 쓰기 데이터 트래픽들을 전송할 때 전송 지연이 발생하지 않도록 제어할 수 있다.
- [0034] 마스터 장치들(110, 120) 각각은 복수의 버스들(bus[n])을 통해 인터커넥터(150)와 연결된다. 또한, 슬레이브 장치들(130, 140) 각각은 복수의 버스들(bus[n])을 통해 인터커넥터(150)와 연결된다. 마스터 장치들(110, 120

0)은 복수의 버스들(bus[n])을 통해 트래픽을 슬레이브 장치들(130, 140)로 제공하고, 슬레이브 장치들(130, 140) 또한 복수의 버스들(bus[n])을 통해 트래픽을 마스터 장치들(110, 120)로 제공한다.

- [0035] 마스터 장치들(110, 120)과 슬레이브 장치들(130, 140)이 버스를 통해 연결되는 버스 시스템에 있어서 트래픽의 전송은 버스 시스템의 정해진 프로토콜(protocol)에 따라 수행된다. 본 발명의 실시 예에 있어서, 버스 시스템의 프로토콜은 AMBA(advanced microcontroller bus architecture) 버스 시스템의 AXI(advanced extensible interface) 프로토콜로 구성될 것이다. 이러한 AXI 프로토콜은 도 2 및 도 3을 통하여 상세히 설명될 것이다.
- [0036] 도 2는 본 발명의 실시 예에 따른 버스 시스템의 AXI 프로토콜의 채널 구성을 예시적으로 보여주는 블록도이다. 도 2를 참조하면, 설명의 간략화를 위해서 마스터 장치(110)와 슬레이브 장치(130) 사이의 채널 구성만을 도시하였다.
- [0037] 본 발명의 실시 예에 있어서, 버스 시스템은 ARM(advanced RISC machine)사에서 개발한 AMBA(advanced microcontroller bus architecture) 버스 시스템으로 구성될 것이다. 또한, AMBA 버스 시스템의 프로토콜들 중에서 AXI(advanced extensible interface) 프로토콜에 따라 마스터 장치로부터 슬레이브 장치로 트래픽이 제공될 것이다.
- [0038] AXI 프로토콜에 있어서, 트래픽의 종류에 따라 분류되는 버스 집합(bus set)을 채널(channel)이라 정의한다. 채널은 트래픽의 종류에 따라 물리적으로 분리되어 구성될 것이다. 예를 들면, 채널은 쓰기 요청 채널(write request channel), 쓰기 데이터 채널(write data channel), 쓰기 응답 채널(write response channel), 읽기 요청 채널(read request channel), 및 읽기 데이터 채널(read data channel)을 포함할 수 있다. 또한, 채널들은 유효(valid) 신호, 준비(ready) 신호, 및 페이로드(payload) 신호들을 각각 전송할 것이다. 여기에서, 페이로드(payload) 신호는 식별자(ID), 주소, 데이터, 데이터 크기 또는 응답 신호 등을 포함할 수 있다.
- [0039] 본 발명의 실시 예에 있어서, 채널은 트래픽의 종류에 따라 물리적으로 분리되기 때문에, 쓰기 요청 채널(AW 채널), 쓰기 데이터 채널(W 채널), 및 쓰기 응답 채널(B 채널)은 서로 분리되어 구성될 것이다. 한편, 본 발명의 실시 예에 있어서, AMBA 버스 시스템의 AXI 프로토콜을 예시적으로 설명하였지만, 본 발명의 기술적 특징이 쓰기 제어 채널, 쓰기 데이터 채널, 및 쓰기 응답 채널이 분리된 버스 시스템에 적용될 수 있음은 잘 이해될 것이다.
- [0040] 도 3은 본 발명의 실시 예에 따른 버스 시스템의 트래픽을 예시적으로 보여주는 타이밍 다이어그램이다. 도 3을 참조하면, 쓰기 요청 채널(AW 채널), 쓰기 데이터 채널(W 채널), 및 쓰기 응답 채널(B 채널)을 통해 마스터 장치로부터 슬레이브 장치로 제공되는 트래픽을 보여준다.
- [0041] 도 2에서 설명된 바와 같이, 채널들(쓰기 요청 채널, 쓰기 데이터 채널, 및 쓰기 응답 채널) 각각을 통해 제공되는 트래픽은 식별자(ID)를 포함한다(페이로드 신호에 포함된 식별자). 예를 들면, 마스터 장치는 식별자 0(ID0)을 갖는 쓰기 요청 트래픽을 제공한 후, 이 쓰기 요청 트래픽에 대응되는 식별자 0(ID0)을 갖는 쓰기 데이터 트래픽을 제공할 수 있다. 그리고 슬레이브 장치는 식별자 0(ID0)을 갖는 쓰기 요청 트래픽에 응답하여, 식별자 0(ID0)을 갖는 쓰기 응답 트래픽을 제공할 수 있다. 또한, 마스터 장치는 쓰기 요청 트래픽을 제공한 순서대로 쓰기 데이터 트래픽을 제공할 것이다.
- [0042] 한편, 마스터 장치는 앞서 제공한 쓰기 요청 트래픽에 대응되는 쓰기 데이터 트래픽을 제공하는 동안, 다른 쓰기 요청 트래픽을 제공할 수 있다. 즉, 도 3을 참조하면, 마스터 장치는 식별자 0(ID0)을 갖는 쓰기 데이터 트래픽을 제공하는 동안, 식별자 3(ID3)을 갖는 쓰기 요청 트래픽을 제공할 수 있다. 따라서, 동기화/간략화 블록(도 1의 160 참조)은 쓰기 요청 트래픽과 쓰기 데이터 트래픽의 전송을 동기시킬 것이다. 또한, 동기화/간략화 블록(160)은 쓰기 요청 트래픽과 쓰기 데이터 트래픽을 전송할 때 전송 지연이 발생하지 않도록, 그리고 복수의 쓰기 데이터 트래픽들을 전송할 때 전송 지연이 발생하지 않도록 제어할 것이다.
- [0043] 도 4는 도 1에 도시된 인터커넥터를 예시적으로 보여주는 블록도이다. 도 4를 참조하면, 인터커넥터(150)는 슬레이브 인터페이스 0(slave interface 0, 151), 슬레이브 인터페이스 1(152), 마스터 인터페이스 0(master interface 0, 153), 마스터 인터페이스 1(154), 스위치 블록(155), 및 동기화/간략화 블록(160)을 포함한다. 또한, 동기화/간략화 블록(160)은 슬레이브 인터페이스들(151, 152) 각각에 할당되는 동기화/간략화 블록들(161, 165)을 포함한다.
- [0044] 도 1에 있어서, 설명의 간략화를 위해서 마스터 장치와 슬레이브 장치가 각각 2개인 버스 시스템(100)을 가정하였다. 따라서, 도 4에 있어서, 2개의 마스터 장치들 각각에 연결되는 슬레이브 인터페이스 역시 2개이고, 2개의

슬레이브 장치들 각각에 연결되는 마스터 인터페이스 역시 2개인 것을 가정한다.

- [0045] 도 1 및 도 4를 참조하면, 인터커넥터(150)는 마스터 장치들(110, 120) 및 슬레이브 장치들(130, 140)을 연결한다. 슬레이브 인터페이스0(151)은 마스터 장치0(110)에, 슬레이브 인터페이스1(152)은 마스터 장치1(120)에, 마스터 인터페이스0(153)은 슬레이브 장치0(130)에, 그리고 마스터 인터페이스1(154)은 슬레이브 장치1(140)에 각각 연결된다. 슬레이브 인터페이스들(151, 152) 및 마스터 인터페이스들(153, 154) 각각은 마스터 장치들(110, 120) 및 슬레이브 장치들(130, 140) 각각의 채널과 연결되는 채널 포트들(AW, W, B, AR, R)을 포함한다.
- [0046] 슬레이브 인터페이스들(151, 152) 및 마스터 인터페이스들(153, 154)은, 트래픽의 우선 순위에 따라 트래픽 전송 순서를 변경하는 중재(arbitration) 동작, 그리고 마스터 장치들(110, 120) 또는 슬레이브 장치들(130, 140)의 동작 성능에 따라 트래픽 전송을 완충하는 버퍼링(buffering) 동작을 수행할 것이다. 또한, 슬레이브 인터페이스들(151, 152), 마스터 인터페이스들(153, 154), 및 스위치 로직(155)은 트래픽 전송 경로를 디코딩(decoding)하여 전송 경로를 스위칭하는 동작을 수행할 것이다.
- [0047] 동기화/간략화 블럭(160)은 복수의 슬레이브 인터페이스들 각각에 연결되는 동기화/간략화 블럭들을 포함할 것이다. 즉, 동기화/간략화 블럭(160)은 슬레이브 인터페이스0(151)에 연결되는 동기화/간략화 블럭0(161) 그리고 슬레이브 인터페이스1(152)에 연결되는 동기화/간략화 블럭1(165)을 포함한다.
- [0048] 동기화/간략화 블럭들(161, 165)은 마스터 장치들(110, 120)로부터 슬레이브 장치들(130, 140)로 제공되는 트래픽을 제어한다. 즉, 동기화/간략화 블럭0(161)은 마스터 장치0(110)으로부터 슬레이브 장치들(130, 140)로 제공되는 트래픽을 제어한다. 그리고 동기화/간략화 블럭1(165)은 마스터 장치1(120)로부터 슬레이브 장치들(130, 140)로 제공되는 트래픽을 제어한다.
- [0049] 예를 들면, 동기화/간략화 블럭0(161)은 마스터 장치0(110)이 슬레이브 장치들(130, 140)로 쓰기 동작을 요청하는 경우, 쓰기 요청 트래픽과 쓰기 데이터 트래픽의 전송을 동기시킬 것이다. 즉, 동기화/간략화 블럭0(161)은 마스터 장치0(110)으로부터 쓰기 요청 트래픽과 쓰기 데이터 트래픽이 모두 제공되면, 제공된 쓰기 요청 트래픽과 쓰기 데이터 트래픽을 마스터 인터페이스들(153, 154) 각각에 전송할 것이다.
- [0050] 또한, 동기화/간략화 블럭0(161)은 마스터 장치0(110)이 슬레이브 장치들(130, 140)로 쓰기 동작을 요청하는 경우, 쓰기 요청 트래픽과 쓰기 데이터 트래픽을 전송할 때 전송 지연이 발생하지 않도록, 복수의 쓰기 데이터 트래픽들을 전송할 때 전송 지연이 발생하지 않도록 제어할 것이다. 예를 들면, 동기화/간략화 블럭0(161)은 쓰기 요청 트래픽이 전송된 직후에 쓰기 데이터 트래픽이 마스터 인터페이스들(153, 154) 각각에 전송되도록 전송 시간을 제어할 것이다. 그리고 동기화/간략화 블럭0(161)은 복수의 쓰기 데이터 트래픽들이 지연 시간없이 연속적으로 마스터 인터페이스들(153, 154)에 전송되도록 전송 시간을 제어할 것이다. 즉, 동기화/간략화 블럭0(161)은 쓰기 요청 트래픽 및 쓰기 데이터 트래픽을 버퍼링하고, 버퍼링된 트래픽들이 지연 시간없이 전송되도록 제어할 것이다.
- [0051] 동기화/간략화 블럭1(165)은 동기화/간략화 블럭0(161)과 동일한 동작을 수행할 것이다. 즉, 동기화/간략화 블럭1(165)은 마스터 장치1(120)이 슬레이브 장치들(130, 140)로 쓰기 동작을 요청하는 경우, 쓰기 요청 트래픽과 쓰기 데이터 트래픽의 전송을 동기시킬 것이다. 또한, 동기화/간략화 블럭1(165)은 마스터 장치1(120)이 슬레이브 장치들(130, 140)로 쓰기 동작을 요청하는 경우, 쓰기 요청 트래픽과 쓰기 데이터 트래픽을 전송할 때 전송 지연이 발생하지 않도록, 복수의 쓰기 데이터 트래픽들을 전송할 때 전송 지연이 발생하지 않도록 제어할 것이다.
- [0052] 한편, 동기화/간략화 블럭들(161, 165)은 마스터 장치들(110, 120)로부터 슬레이브 장치들(130, 140)로 제공되는 트래픽을 제어하지 않고, 우회(bypass)시킬 수 있다. 즉, 동기화/간략화 블럭들(161, 165)은 마스터 장치들(110, 120)로부터 제공되는 트래픽을 동기시키거나 버퍼링시키지 않고, 즉시 전송할 수 있다. 동기화/간략화 블럭들(161, 165)은 마스터 장치들(110, 120)이 버스트 모드(burst mode)로 트래픽을 제공하지 않는 경우에 이러한 바이패스 동작을 수행할 것이다.
- [0053] 반면, 동기화/간략화 블럭들(161, 165)은 마스터 장치들(110, 120)이 버스트 모드(burst mode)로 트래픽을 제공하는 경우에 트래픽을 동기시키거나 버퍼링시킬 것이다. 동기화/간략화 블럭들(161, 165)은 이러한 동작을 위해서 트래픽을 제어하기 위한 제어 유닛과 버퍼들을 포함할 수 있다. 동기화/간략화 블럭들(161, 165)의 구성은 도 5를 참조하여 상세히 설명될 것이다.
- [0054] 도 5는 도 4에 도시된 동기화/간략화 블럭을 예시적으로 보여주는 블럭도이다. 동기화/간략화 블럭들(161, 165) 각각의 구성은 동일할 것이다. 따라서, 도 5에서는 설명의 간략화를 위해서 도 4의 동기화/간략화 블럭0(161)의

구성만을 예시적으로 도시하였다. 도 5를 참조하면, 동기화/간략화 블록(161)은 제어 유닛(162), 쓰기 요청 채널(AW 채널) 버퍼 셋(163), 및 쓰기 데이터 채널(W 채널) 버퍼 셋(164)을 포함한다.

- [0055] 쓰기 요청 채널 버퍼 셋(163)은 마스터 장치(110)으로부터 제공된 쓰기 요청 트래픽을 임시 저장한다. 쓰기 데이터 채널 버퍼 셋(164)은 마스터 장치(110)으로부터 제공된 쓰기 데이터 트래픽을 임시 저장한다. 쓰기 요청 채널 버퍼 셋(163) 및 쓰기 데이터 채널 버퍼 셋(164)의 버퍼 크기는 마스터 장치(110)의 버스트 모드(burst mode)에 따라 변경될 수 있다. 예를 들면, 마스터 장치(110)의 버스트 모드 동작 파라미터인 버스트 길이(burst length)가 크게 설정된다면, 쓰기 요청 채널 버퍼 셋(163) 및 쓰기 데이터 채널 버퍼 셋(164)의 버퍼 크기도 커질 것이다.
- [0056] 제어 유닛(162)은 쓰기 요청 트래픽과 쓰기 데이터 트래픽의 전송을 동기시키기 위해서, 동기화/간략화 블록(161)에 제공된 쓰기 요청 트래픽과 이에 대응되는 쓰기 데이터 트래픽이 모두 제공되었는지를 판단한다. 제어 유닛(162)은 쓰기 요청 트래픽과 이에 대응되는 쓰기 데이터 트래픽 모두가 제공된 것으로 판단된 경우에만 두 트래픽이 마스터 인터페이스들(도 4의 153, 154 참조)로 전송되도록 쓰기 요청 채널 버퍼 셋(163) 및 쓰기 데이터 채널 버퍼 셋(164)을 제어한다. 즉, 제어 유닛(162)은 쓰기 요청 트래픽과 쓰기 데이터 트래픽의 전송을 동기시킨다.
- [0057] 반면, 제어 유닛(162)은, 쓰기 요청 트래픽 만이 제공되고 이에 대응되는 쓰기 데이터 트래픽이 제공되지 않은 것으로 판단된 경우에, 대응되는 쓰기 데이터 트래픽이 제공될 때까지 쓰기 요청 트래픽이 전송되지 않도록 쓰기 요청 채널 버퍼 셋(163)을 제어한다.
- [0058] 한편, 제어 유닛(162)은 쓰기 요청 트래픽과 쓰기 데이터 트래픽들을 지연 시간없이 연속적으로 전송하기 위해서, 동기화/간략화 블록(161)에 제공된 쓰기 요청 트래픽을 전송할 시점을 판단한다. 제어 유닛(162)은 제 1 예상 소요 시간과 제 2 예상 소요 시간을 비교하여 쓰기 요청 트래픽을 전송할 시점을 판단할 것이다. 여기에서, 제 1 예상 소요 시간은 마스터 장치(110)으로부터 아직 제공되지 않은 쓰기 데이터 트래픽이 제공될 때까지의 예상 소요 시간(예를 들면, 싸이클 수)이다. 그리고 제 2 예상 소요 시간은 전송해야 할 쓰기 데이터 트래픽을 전송하는데 걸리는 예상 소요 시간이다.
- [0059] 제어 유닛(162)은 제 1 예상 소요 시간이 제 2 예상 소요 시간보다 작거나 또는 같다고 판단되는 경우에, 쓰기 요청 트래픽이 마스터 인터페이스들(153, 154)로 전송되도록 쓰기 요청 채널 버퍼 셋(163)을 제어한다. 그리고 제어 유닛(162)은 쓰기 요청 트래픽이 전송된 직후, 제공된 쓰기 데이터 트래픽이 연속적으로 전송되도록 쓰기 데이터 채널 버퍼 셋(164)을 제어한다.
- [0060] 반면, 제어 유닛(162)은 제 1 예상 소요 시간이 제 2 예상 소요 시간보다 크다고 판단되는 경우에, 쓰기 요청 트래픽과 이에 대응되는 쓰기 데이터 트래픽이 전송되지 않도록 쓰기 요청 채널 버퍼 셋(163) 및 쓰기 데이터 채널 버퍼 셋(164)을 제어한다.
- [0061] 도 6은 본 발명의 실시 예에 따른 인터커넥터를 포함하는 버스 시스템의 트래픽을 예시적으로 보여주는 개념도이다. 도 6을 참조하면, 마스터 장치(도 1의 110)이 동기화/간략화 블록(160)을 포함하는 인터커넥터(150)를 통해 쓰기 요청 트래픽과 쓰기 데이터 트래픽을 슬레이브 장치들(도 1의 130, 140) 각각에 제공하는 트래픽을 보여준다. 또한, 마스터 장치(도 1의 120)이 동기화/간략화 블록(160)을 포함하는 인터커넥터(150)를 통해 쓰기 요청 트래픽과 쓰기 데이터 트래픽을 슬레이브 장치들(130, 140) 각각에 제공하는 트래픽을 보여준다.
- [0062] 동기화/간략화 블록(160)은, 마스터 장치들(110, 120)이 슬레이브 장치(130)으로 제공하는 트래픽을 제어하기 위한 동기화/간략화 블록(161) 그리고 마스터 장치들(110, 120)이 슬레이브 장치(140)로 제공하는 트래픽을 제어하기 위한 동기화/간략화 블록(165)을 포함한다.
- [0063] 본 발명의 실시 예에 따른 동기화/간략화 블록들(161, 165)은 슬레이브 인터페이스들(151, 152)로부터 쓰기 요청 트래픽과 쓰기 데이터 트래픽이 모두 제공되면, 제공된 쓰기 요청 트래픽과 쓰기 데이터 트래픽을 마스터 인터페이스들(153, 154) 각각에 전송한다. 이러한 동작을 위해서, 동기화/간략화 블록(161)은 마스터 인터페이스들(153, 154) 각각에 할당되는 쓰기 요청 채널 버퍼 셋(163) 및 쓰기 데이터 채널 버퍼 셋(164)을 포함할 것이다. 또한, 동기화/간략화 블록(165)은 마스터 인터페이스들(153, 154) 각각에 할당되는 쓰기 요청 채널 버퍼 셋(167) 및 쓰기 데이터 채널 버퍼 셋(168)을 포함할 것이다.
- [0064] 본 발명의 실시 예에 있어서, 마스터 인터페이스들(153, 154) 각각에 할당되는 쓰기 요청 채널 버퍼 셋들(163, 167)은 2단으로 구성되며, 쓰기 데이터 채널 버퍼 셋들(164, 168)은 1단으로 구성되는 것을 가정한다. 또한, 쓰기 요청 채널 버퍼 셋들(163, 167) 및 쓰기 데이터 채널 버퍼 셋들(164, 168) 각각은 데이터 폭(data width)과

버스트 길이(burst length)의 곱에 해당하는 크기를 가질 것이다.

- [0065] 마스터 장치0(110)은 슬레이브 장치들(130, 140)로 제공할 쓰기 요청 트래픽들(타원형으로 도시된 0-1, 0-2, 0-3, 및 0-4)과 이에 대응되는 쓰기 데이터 트래픽들(마름모형으로 도시된 0-1, 0-2, 0-3, 및 0-4)을 슬레이브 인터페이스0(151)으로 제공한다. 마스터 장치1(120)은 슬레이브 장치들(130, 140)로 제공할 쓰기 요청 트래픽들(타원형으로 도시된 1-1, 1-2, 1-3, 및 1-4)과 이에 대응되는 쓰기 데이터 트래픽들(마름모형으로 도시된 1-1, 1-2, 1-3, 및 1-4)을 슬레이브 인터페이스1(152)로 제공한다.
- [0066] 슬레이브 인터페이스들(151, 152) 각각은 마스터 장치들(110, 120)로부터 제공된 쓰기 요청 트래픽들과 쓰기 데이터 트래픽들에 대해서 중재 동작과 버퍼링 동작을 수행할 수 있다. 본 발명의 실시 예에 있어서, 슬레이브 인터페이스들(151, 152)은 쓰기 요청 트래픽들과 이에 대응되는 쓰기 데이터 트래픽들을 순서대로(예를 들면, 트래픽의 번호가 낮은 순서대로) 동기화/간략화 블럭(160)에 제공할 것이다.
- [0067] 도 3에서 설명된 바와 같이, 마스터 장치들(110, 120)은 슬레이브 인터페이스들(151, 152)을 통해 쓰기 요청 트래픽을 대응되는 쓰기 데이터 트래픽보다 먼저 제공할 수 있다. 따라서, 마스터 장치들(110, 120)로부터 제공된 쓰기 요청 트래픽들은 동기화/간략화 블럭들(161, 165) 각각의 쓰기 요청 채널 버퍼 셋들(163, 167)에 저장될 것이다.
- [0068] 만약, 동기화/간략화 블럭들(161, 165)이 쓰기 요청 트래픽과 대응되는 쓰기 데이터 트래픽을 동기시켜 전송하지 않고 제공된 쓰기 요청 트래픽을 먼저 전송한다면, 도시된 바와 같이 마스터 인터페이스들(153, 154)은 데드-락(dead-lock) 상태에 빠지게된다(데드-락 조건 참조). 예를 들면, 마스터 인터페이스들(153, 154)은 전송된 쓰기 요청 트래픽들에 대한 중재 동작을 수행하여 쓰기 데이터 트래픽이 전송되어야 할 우선 순위를 결정한다. 이에 따라, 마스터 인터페이스들(153, 154)은 쓰기 데이터 채널 버퍼 셋들(164, 168)에 아직 저장되지 않은 쓰기 데이터 트래픽(쓰기 데이터 트래픽(1-4) 및 쓰기 데이터 트래픽(0-4))을 기다리게 된다. 이러한, 데드-락 상태는 한정된 자원(resource)으로 인해서 쓰기 데이터 채널 버퍼 셋들(164, 168)의 크기가 크지 못한 경우(예를 들면, 쓰기 요청 채널 버퍼 셋들은 2단으로 구성되고, 쓰기 데이터 채널 버퍼 셋들은 1단으로 구성되는 경우)에 발생될 수 있다.
- [0069] 본 발명의 실시 예에 따르면, 동기화/간략화 블럭0(161)은 마스터 인터페이스0(153)으로 전송되는 쓰기 요청 트래픽과 이에 대응되는 쓰기 데이터 트래픽을 동기시켜 전송할 것이다. 또한, 동기화/간략화 블럭1(165)은 마스터 인터페이스1(154)로 전송되는 쓰기 요청 트래픽과 이에 대응되는 쓰기 데이터 트래픽을 동기시켜 전송할 것이다.
- [0070] 동기화/간략화 블럭0(161)은 쓰기 요청 트래픽과 쓰기 데이터 트래픽 모두가 제공되고 쓰기 요청 채널 버퍼 셋(163) 및 쓰기 데이터 채널 버퍼 셋(164)에 저장되면, 제공된 두 트래픽을 전송하는 동기화 동작을 수행한다. 따라서, 동기화/간략화 블럭0(161)은 슬레이브 인터페이스0(151)으로부터 제공된 쓰기 요청 트래픽(0-1)과 이에 대응되는 쓰기 데이터 트래픽(0-1) 그리고 슬레이브 인터페이스1(152)로부터 제공된 쓰기 요청 트래픽(1-2)과 이에 대응되는 쓰기 데이터 트래픽(1-2)을 전송 대기 시키지 않고 바로 전송할 것이다.
- [0071] 이 때, 동기화/간략화 블럭0(161)은 쓰기 요청 트래픽이 제공된 순서대로 트래픽들(쓰기 요청 트래픽 및 대응되는 쓰기 데이터 트래픽)을 마스터 인터페이스0(153)으로 전송할 것이다. 도 6에 있어서, 슬레이브 인터페이스1(152)로부터 제공된 쓰기 요청 트래픽(1-2)과 이에 대응되는 쓰기 데이터 트래픽(1-2)이 먼저 전송되는 것으로 도시되었다. 만약, 쓰기 요청 트래픽(0-1)과 쓰기 요청 트래픽(1-1)이 슬레이브 인터페이스들(151, 152)로부터 동시에 제공된다면, 동기화/간략화 블럭0(161)은 마스터 인터페이스0(153)의 중재 정책에 따라 전송 순서를 결정하여 쓰기 요청 트래픽과 대응되는 쓰기 데이터 트래픽을 전송할 수 있다.
- [0072] 동기화/간략화 블럭1(165)은 쓰기 요청 트래픽과 쓰기 데이터 트래픽 모두가 제공되고 쓰기 요청 채널 버퍼 셋(167) 및 쓰기 데이터 채널 버퍼 셋(168)에 저장되면, 제공된 두 트래픽을 전송하는 동기화 동작을 수행한다. 따라서, 동기화/간략화 블럭1(165)은 슬레이브 인터페이스0(151)으로부터 제공된 쓰기 요청 트래픽(0-2)과 이에 대응되는 쓰기 데이터 트래픽(0-2) 그리고 슬레이브 인터페이스1(152)로부터 제공된 쓰기 요청 트래픽(1-1)과 이에 대응되는 쓰기 데이터 트래픽(1-1)을 전송 대기 시키지 않고 바로 전송할 것이다.
- [0073] 이 때, 동기화/간략화 블럭1(165)은 쓰기 요청 트래픽이 제공된 순서대로 트래픽들(쓰기 요청 트래픽 및 대응되는 쓰기 데이터 트래픽)을 마스터 인터페이스1(154)로 전송할 것이다. 도 6에 있어서, 슬레이브 인터페이스0(151)으로부터 제공된 쓰기 요청 트래픽(0-2)과 이에 대응되는 쓰기 데이터 트래픽(0-2)이 먼저 전송되는 것으로 도시되었다. 만약, 쓰기 요청 트래픽(0-2)과 쓰기 요청 트래픽(1-1)이 슬레이브 인터페이스들(151, 152)로부터

터 동시에 제공된다면, 동기화/간략화 블록1(165)은 마스터 인터페이스1(154)의 중재 정책에 따라 전송 순서를 결정하여 쓰기 요청 트래픽과 대응되는 쓰기 데이터 트래픽을 전송할 수 있다.

- [0074] 동기화/간략화 블록1(165)은, 1단으로 구성된 쓰기 데이터 채널 버퍼 셋(168)이 비어있기 때문에, 슬레이브 인터페이스1(152)로부터 제공되는 쓰기 데이터 트래픽(1-3)을 쓰기 데이터 채널 버퍼 셋(168)에 저장할 것이다. 그 후에, 동기화/간략화 블록1(165)은 제공된 쓰기 요청 트래픽(1-3) 및 쓰기 데이터 트래픽(1-3)을 전송할 것이다. 한편, 동기화/간략화 블록1(165)은, 쓰기 요청 트래픽(0-4)이 슬레이브 인터페이스0(151)으로부터 제공되었지만 대응되는 쓰기 데이터 트래픽(0-4)이 제공되지 않았기 때문에, 쓰기 요청 트래픽(0-4)을 전송하지 않고 전송 대기 시킬 것이다.
- [0075] 마찬가지로, 동기화/간략화 블록0(161)은, 1단으로 구성된 쓰기 데이터 채널 버퍼 셋(164)이 비어있기 때문에, 슬레이브 인터페이스1(152)로부터 제공되는 쓰기 데이터 트래픽(1-4)을 쓰기 데이터 채널 버퍼 셋(164)에 저장할 것이다. 이러한 쓰기 데이터 트래픽(1-4)은 쓰기 데이터 트래픽(1-3)이 동기화/간략화 블록1(165)로 제공된 후에 슬레이브 인터페이스1(152)로부터 제공될 것이다. 동기화/간략화 블록0(161)은 제공된 쓰기 요청 트래픽(1-4) 및 쓰기 데이터 트래픽(1-4)을 전송할 것이다.
- [0076] 그리고, 동기화/간략화 블록0(161)은 슬레이브 인터페이스0(151)로부터 제공되는 쓰기 데이터 트래픽(0-3)을 쓰기 데이터 채널 버퍼 셋(164)에 저장할 것이다. 그 후에, 동기화/간략화 블록0(161)은 전송 대기 되었던 쓰기 요청 트래픽(0-3) 및 쓰기 데이터 트래픽(0-3)을 전송할 것이다. 마찬가지로, 동기화/간략화 블록1(165)은, 쓰기 데이터 트래픽(0-3)이 동기화/간략화 블록0(161)으로 제공된 후에 제공되는 쓰기 데이터 트래픽(0-4)을 쓰기 데이터 채널 버퍼 셋(168)에 저장할 것이다. 그 후에, 동기화/간략화 블록1(165)은 전송 대기 되었던 쓰기 요청 트래픽(0-4) 및 쓰기 데이터 트래픽(0-4)을 전송할 것이다.
- [0077] 도 7은 본 발명의 실시 예에 따른 동기화/간략화 블록의 동작을 예시적으로 보여주는 순서도이다. 도 4 및 도 7을 참조하여 동기화/간략화 블록의 동작이 상세히 설명될 것이다.
- [0078] 동기화/간략화 블록(160)은 마스터 장치로부터 쓰기 요청 트래픽을 제공받는다(S110 단계). 제공되는 쓰기 요청 트래픽은 인터커넥터(150)의 슬레이브 인터페이스들(151, 152)을 통해 동기화/간략화 블록(160)에 제공될 것이다. 동기화/간략화 블록(160)은 제공된 쓰기 요청 트래픽을 쓰기 요청 채널 버퍼 셋에 임시 저장한다(S120 단계). 동기화/간략화 블록(160)은 제공된 쓰기 요청 트래픽과 대응되는 쓰기 데이터 트래픽이 모두 제공되었는지를 판단한다(S130 단계). 판단 결과에 따라 동기화/간략화 블록(160)의 동작 순서는 분기될 것이다.
- [0079] 쓰기 요청 트래픽 만이 제공되고 대응되는 쓰기 데이터 트래픽이 제공되지 않은 것으로 판단된 경우(아니오), 동기화/간략화 블록(160)은 제공된 쓰기 요청 트래픽을 슬레이브 장치로 전송하지 않고 대기한다(S140 단계). 이러한 동기화/간략화 블록(160)의 전송 대기는 제공된 쓰기 요청 트래픽에 대응되는 쓰기 데이터 트래픽이 제공될 때까지 유지될 것이다.
- [0080] 반면, 쓰기 요청 트래픽과 대응되는 쓰기 데이터 트래픽 모두가 제공된 것으로 판단된 경우(예), 동기화/간략화 블록(160)은 제공된 쓰기 요청 트래픽과 대응되는 쓰기 데이터 트래픽을 슬레이브 장치로 전송한다(S150 단계). 동기화/간략화 블록(160)으로부터 전송되는 두 트래픽들(쓰기 요청 트래픽 및 쓰기 데이터 트래픽)은 인터커넥터(150)의 마스터 인터페이스들(153, 154)을 통해 슬레이브 장치로 전송될 것이다.
- [0081] 본 발명의 실시 예에 따르면, 동기화/간략화 블록(160)은 마스터 장치로부터 쓰기 요청 트래픽과 대응되는 쓰기 데이터 트래픽 모두가 제공된 경우, 두 트래픽들을 슬레이브 장치로 전송할 것이다. 이러한 동기화/간략화 블록(160)의 동기화 동작은 인터커넥터(150)에 포함되는 버퍼 메모리의 크기를 줄일 수 있을 뿐만 아니라 인터커넥터(150)의 데드-락 상태를 방지할 수 있다.
- [0082] 도 8 및 도 9는 본 발명의 다른 실시 예에 따른 버스 시스템의 트래픽을 예시적으로 보여주는 개념도이다. 도 8을 참조하면, 본 발명의 다른 실시 예에 따른 버스 시스템(200)은 마스터 장치(210), 버스 컴포넌트(220), 슬레이브 장치(230), 및 인터커넥터(250)를 포함한다. 설명의 간략화를 위해서, 본 발명의 다른 실시 예에 따른 버스 시스템은 마스터 장치와 슬레이브 장치가 각각 1개인 것을 가정한다.
- [0083] 버스 컴포넌트(220)는 마스터 장치(210)와 인터커넥터(250) 사이에 연결된다. 버스 컴포넌트(220)는 버스 시스템의 데이터 폭(data width)을 확장하기 위한 업사IZER(upsizer) 또는 버스 시스템의 클럭 속도를 증가시키기 위한 비동기 브릿지(asynchronous bridge) 등으로 구성될 수 있다. 본 발명의 다른 실시 예에 따른 버스 시스템(200)에서는 버스 컴포넌트(220)가 업사IZER(upsizer)로 구성되는 것을 가정할 것이다.

- [0084] 인터커넥터(250)는 슬레이브 인터페이스(251), 마스터 인터페이스(253), 및 동기화/간략화 블럭(255)을 포함한다. 슬레이브 인터페이스(251) 및 마스터 인터페이스(253) 각각은 도 4에서 설명된 슬레이브 인터페이스(151 또는 152) 및 마스터 인터페이스(153 또는 154)와 동일한 구성을 가질 뿐만 아니라, 동일한 동작을 수행할 것이다. 따라서, 설명의 간략화를 위하여 상세한 설명은 생략될 것이다.
- [0085] 본 발명의 다른 실시 예에 따른 동기화/간략화 블럭(255)은 도 5에서 설명된 동기화/간략화 블럭(161)과 동일한 구성을 갖는다. 즉, 동기화/간략화 블럭(255)은 제어 유닛(도 5의 162 참조), 쓰기 요청 채널 버퍼 셋(도 5의 163 참조), 및 쓰기 데이터 채널 버퍼 셋(도 5의 164 참조)을 포함한다. 동기화/간략화 블럭(255)은 쓰기 요청 트래픽과 쓰기 데이터 트래픽을 전송할 때 전송 지연이 발생하지 않도록 트래픽 전송을 제어할 것이다. 또한, 동기화/간략화 블럭(255)은 복수의 쓰기 데이터 트래픽들을 전송할 때 전송 지연이 발생하지 않도록 트래픽 전송을 제어할 것이다.
- [0086] 도 8을 참조하면, 마스터 장치(210)는 64비트의 트래픽을 제공한다. 반면, 인터커넥터(250) 및 슬레이브 장치(230)는 128비트의 트래픽을 제공한다. 따라서, 마스터 장치(210)와 인터커넥터(250) 사이에 트래픽의 크기를 변환하기 위한 업사이저(220)가 연결될 것이다. 이러한 구성에 있어서, 트래픽의 흐름이 도 9에 도시되었다.
- [0087] 도 9를 참조하면, 마스터 장치(210)는 64비트 크기로 쓰기 요청 트래픽과 대응되는 쓰기 데이터 트래픽을 제공할 것이다(지점①의 트래픽 흐름 참조). 반면, 업사이저(220)는, 마스터 장치(210)로부터 제공된 64비트 크기의 트래픽을 128비트 크기의 트래픽으로 변경하여 슬레이브 인터페이스(251)로 제공한다. 따라서, 업사이저(220)는 지연 시간이 포함된 쓰기 데이터 트래픽들을 슬레이브 인터페이스(251)로 제공할 것이다(지점②의 트래픽 흐름 참조). 만약, 동기화/간략화 블럭(255)이 전송 지연이 발생하지 않도록 트래픽을 제어하지 않는다면, 이러한 지연 시간으로 인해 버스 시스템의 속도는 느려질 수 있다.
- [0088] 본 발명의 다른 실시 예에 다른 동기화/간략화 블럭(255)은 쓰기 요청 트래픽이 전송된 직후에 쓰기 데이터 트래픽이 마스터 인터페이스(253)에 전송되도록 전송 시간을 제어할 것이다. 그리고 동기화/간략화 블럭(255)은 복수의 쓰기 데이터 트래픽들이 지연 시간없이 연속적으로 마스터 인터페이스(253)에 전송되도록 전송 시간을 제어할 것이다.
- [0089] 예를 들면, 동기화/간략화 블럭(255)은 슬레이브 인터페이스(251)로부터 제공된 쓰기 요청 트래픽을 쓰기 요청 채널 버퍼 셋에 임시 저장하고 쓰기 데이터 트래픽을 쓰기 데이터 채널 버퍼 셋에 임시 저장할 것이다. 동기화/간략화 블럭(255)은 쓰기 요청 채널 버퍼 셋 및 쓰기 데이터 채널 버퍼 셋에 버퍼링된 트래픽들이 지연 시간없이 전송되도록 제어할 것이다.
- [0090] 동기화/간략화 블럭(255)은 제 1 예상 소요 시간과 제 2 예상 소요 시간을 비교하고, 비교 결과에 따라 버퍼링된 트래픽들(쓰기 요청 트래픽 및 쓰기 데이터 트래픽)을 전송할 시점을 판단할 것이다. 여기에서, 제 1 예상 소요 시간은 슬레이브 인터페이스(251)로부터 아직 제공되지 않은 쓰기 데이터 트래픽이 제공될 때까지의 예상 소요 시간일 것이다. 그리고 제 2 예상 소요 시간은 마스터 인터페이스(253)로 전송해야 할 쓰기 데이터 트래픽을 전송하는데 걸리는 소요 시간일 것이다. 이러한 소요 시간들은 쓰기 요청 트래픽이 포함하고 있는 쓰기 데이터의 크기 정보를 참조하여 판단할 수 있을 것이다.
- [0091] 예시적으로, 동기화/간략화 블럭(255)은 제 1 예상 소요 시간이 제 2 예상 소요 시간보다 작거나 같다고 판단되는 경우에 버퍼링된 트래픽들을 전송할 것이다. 반면, 동기화/간략화 블럭(255)은 제 1 예상 소요 시간이 제 2 예상 소요 시간보다 크다고 판단되는 경우에 버퍼링된 트래픽들을 전송하지 않을 것이다.
- [0092] 도 10은 본 발명의 다른 실시 예에 따른 동기화/간략화 블럭의 동작을 예시적으로 보여주는 순서도이다. 도 8 및 도 10을 참조하여 동기화/간략화 블럭의 동작이 상세히 설명될 것이다.
- [0093] 동기화/간략화 블럭(255)은 마스터 장치로부터 쓰기 요청 트래픽을 제공받는다(S210 단계). 제공되는 쓰기 요청 트래픽은 업사이저 또는 비동기 브릿지와 같은 버스 컴포넌트(220) 및 인터커넥터(250)의 슬레이브 인터페이스(251)를 통해 동기화/간략화 블럭(255)에 제공될 것이다. 동기화/간략화 블럭(255)은 제공된 쓰기 요청 트래픽을 내부의 쓰기 요청 채널 버퍼 셋에 임시 저장한다(S220 단계).
- [0094] 동기화/간략화 블럭(255)은 마스터 장치로부터 제공된 쓰기 요청 트래픽에 대한 쓰기 데이터 트래픽을 제공받는다(S230 단계). 제공되는 쓰기 데이터 트래픽은 업사이저 또는 비동기 브릿지와 같은 버스 컴포넌트(220) 및 인터커넥터(250)의 슬레이브 인터페이스(251)를 통해 동기화/간략화 블럭(255)에 제공될 것이다. 동기화/간략화 블럭(255)은 제공된 쓰기 데이터 트래픽을 내부의 쓰기 데이터 채널 버퍼 셋에 임시 저장한다(S240 단계).

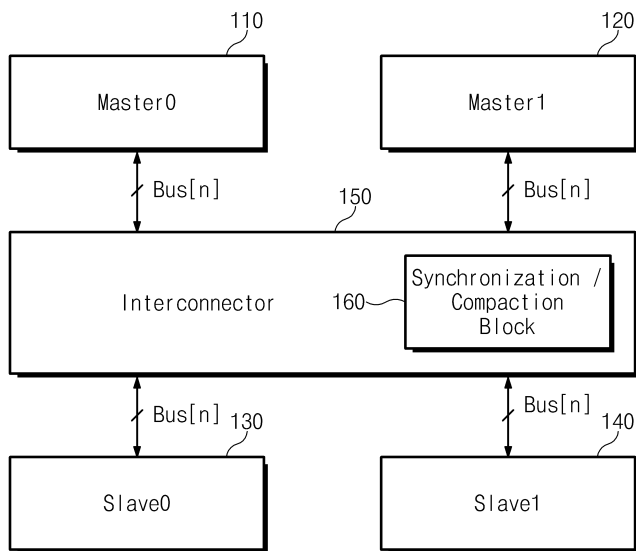
- [0095] 동기화/간략화 블록(255)은 쓰기 요청 채널 버퍼 셋 및 쓰기 데이터 채널 버퍼 셋에 버퍼링된 트래픽들을 전송할 시점을 제 1 예상 소요 시간과 제 2 예상 소요 시간을 비교하여 판단한다(S250 단계). 여기에서, 제 1 예상 소요 시간은 마스터 장치로부터 아직 제공되지 않은 쓰기 데이터 트래픽이 제공될 때까지의 소요 시간일 것이다. 그리고 제 2 소요 시간은 슬레이브 장치로 전송해야 할 쓰기 데이터 트래픽을 전송하는데 걸리는 예상 소요 시간일 것이다.
- [0096] 동기화/간략화 블록(255)의 판단 결과에 따라 동기화/간략화 블록(255)의 동작 순서는 분기될 것이다. 제 1 소요 시간이 제 2 소요 시간보다 크다고 판단되는 경우(아니오), 동기화/간략화 블록(255)은 제공된 쓰기 요청 트래픽 및 쓰기 데이터 트래픽을 슬레이브 장치로 전송하지 않고 대기한다(S260 단계). 이 경우, 동기화/간략화 블록(255)은 마스터 장치로부터 쓰기 데이터 트래픽을 계속 제공받을 것이다.
- [0097] 반면, 제 1 소요 시간이 제 2 소요 시간보다 작거나 같다고 판단되는 경우(예), 동기화/간략화 블록(255)은 제공된 쓰기 요청 트래픽과 대응되는 쓰기 데이터 트래픽을 슬레이브 장치로 전송한다(S270 단계). 동기화/간략화 블록(255)으로부터 전송되는 두 트래픽들은 인터커넥터(250)의 마스터 인터페이스(253)를 통해 슬레이브 장치로 전송될 것이다.
- [0098] 본 발명의 다른 실시 예에 따르면, 동기화/간략화 블록(255)은 쓰기 요청 트래픽과 쓰기 데이터 트래픽이 지연 시간없이 전송되도록 트래픽들을 제어할 것이다. 이러한 동기화/간략화 블록(255)의 간략화 동작은 버스 점유율을 최소화하여 버스 시스템의 동작 속도를 증가시킬 수 있다.
- [0099] 이상에서, 본 발명은 구체적인 실시 예를 통해 설명되고 있으나, 본 발명은 그 범위에서 벗어나지 않는 한도 내에서 여러 가지로 변형할 수 있음은 잘 이해될 것이다. 그러므로, 본 발명의 범위는 상술한 실시 예에 국한되어서는 안 되며, 후술하는 특허 청구 범위 및 이와 균등한 것들에 의해 정해져야 한다. 본 발명의 범위 또는 기술적 사상을 벗어나지 않고 본 발명의 구조가 다양하게 수정되거나 변경될 수 있음은 잘 이해될 것이다.

부호의 설명

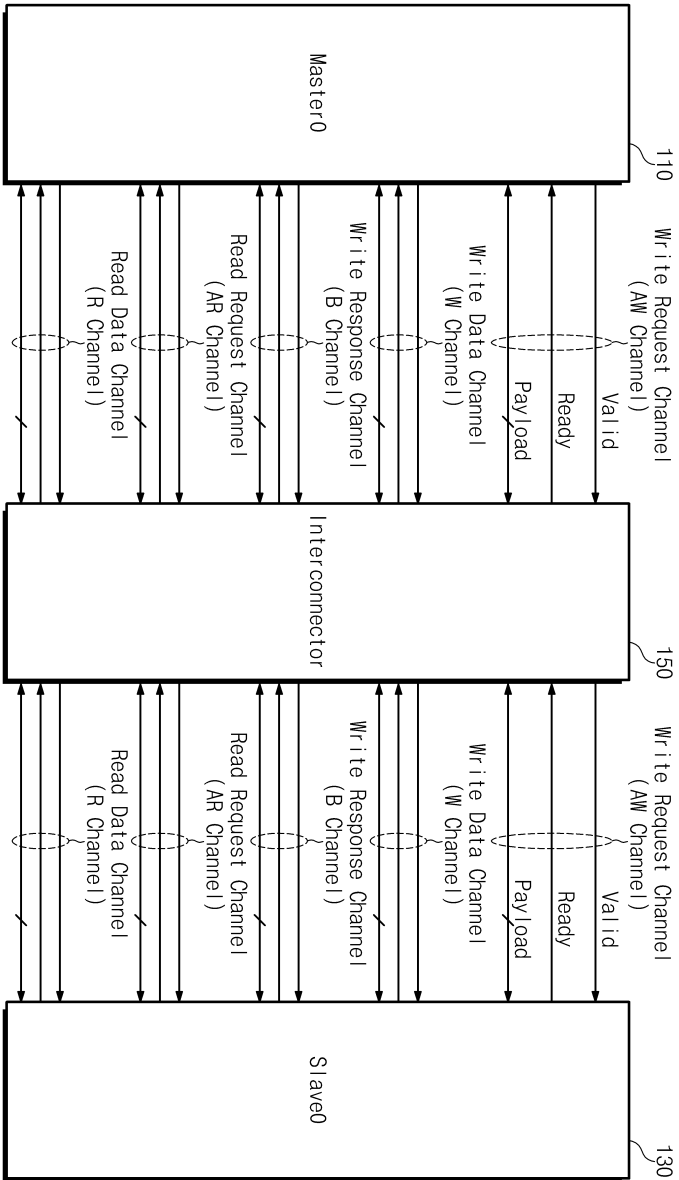
- [0100] 100 : 버스 시스템
- 110, 120 : 마스터 장치
- 130, 140 : 슬레이브 장치
- 150 : 인터커넥터
- 151, 152 : 슬레이브 인터페이스
- 153, 154 : 마스터 인터페이스
- 155 : 스위치 로직
- 160 : 동기화/간략화 블록
- 162 : 동기화/간략화 블록의 제어 유닛
- 163 : 쓰기 요청 채널 버퍼 셋
- 164 : 쓰기 데이터 채널 버퍼 셋

도면

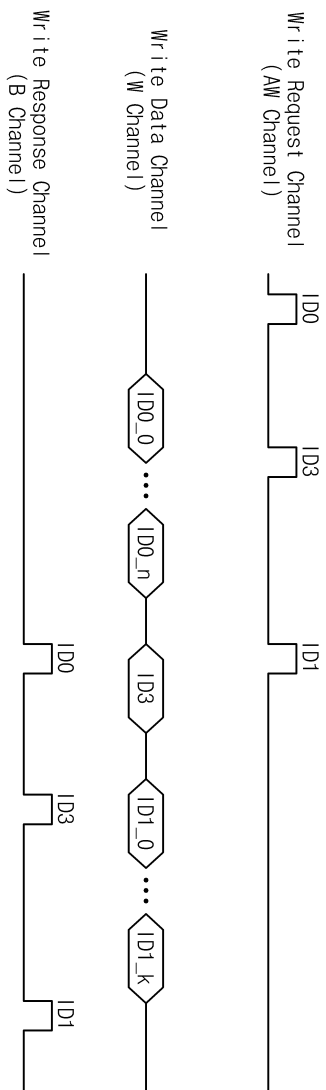
도면1



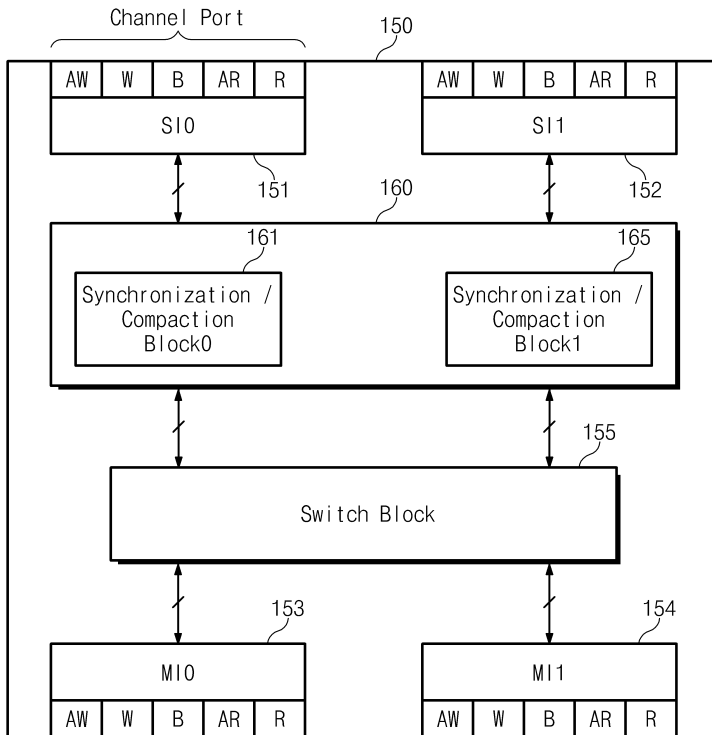
도면2



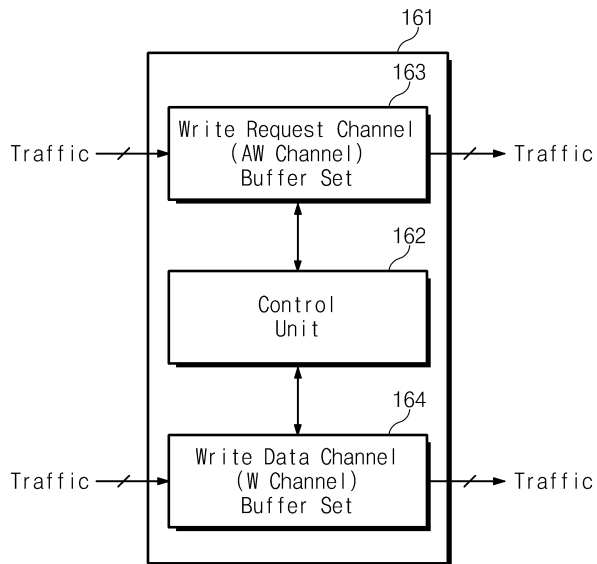
도면3



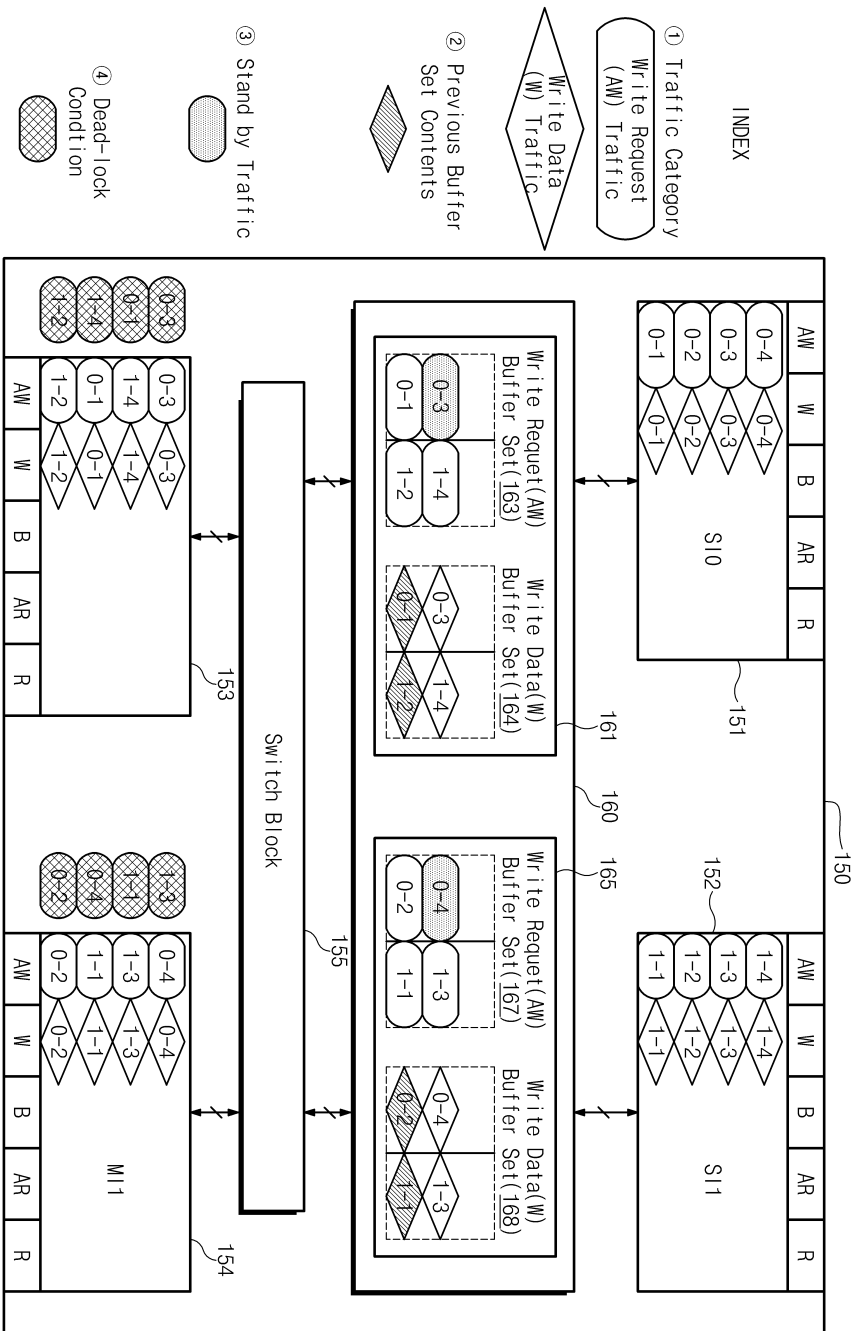
도면4



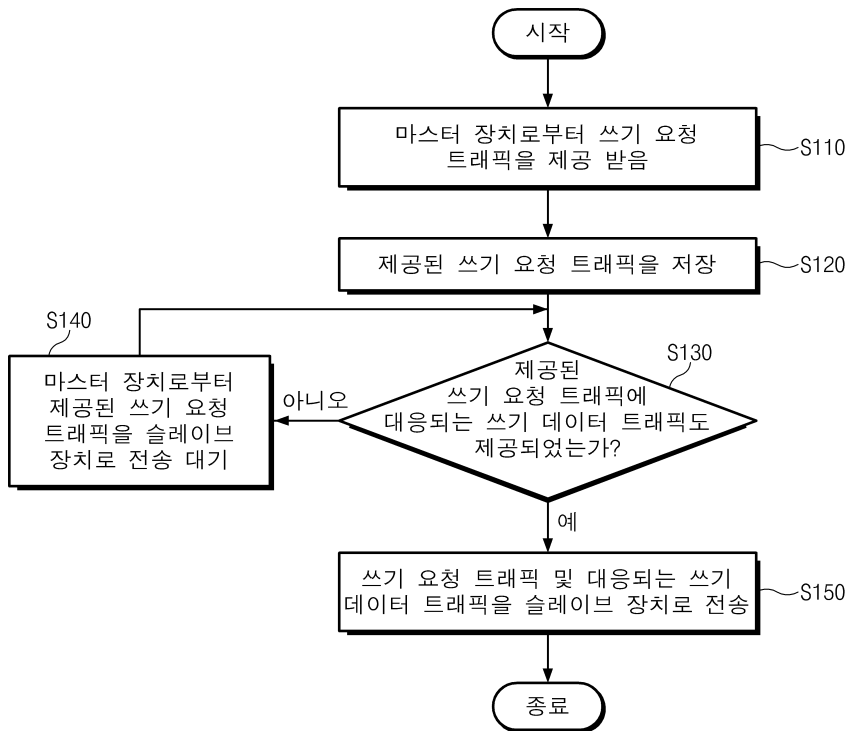
도면5



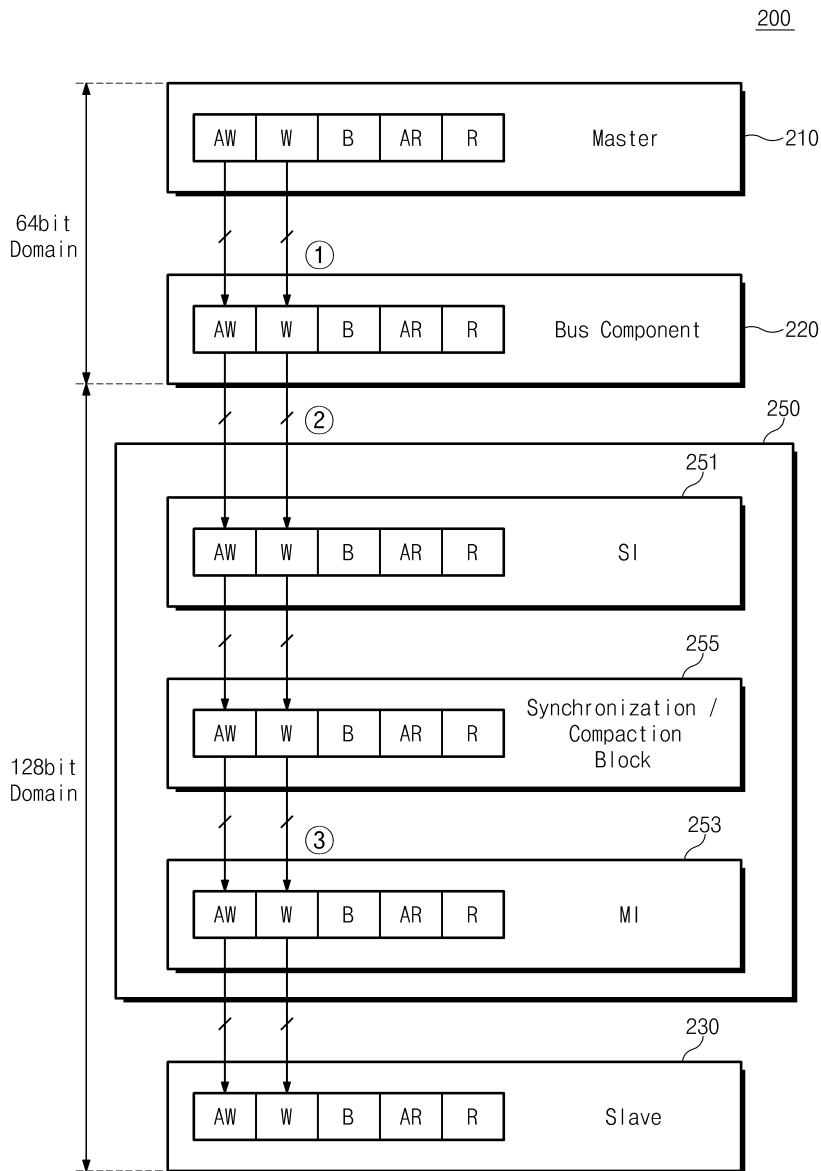
도면6



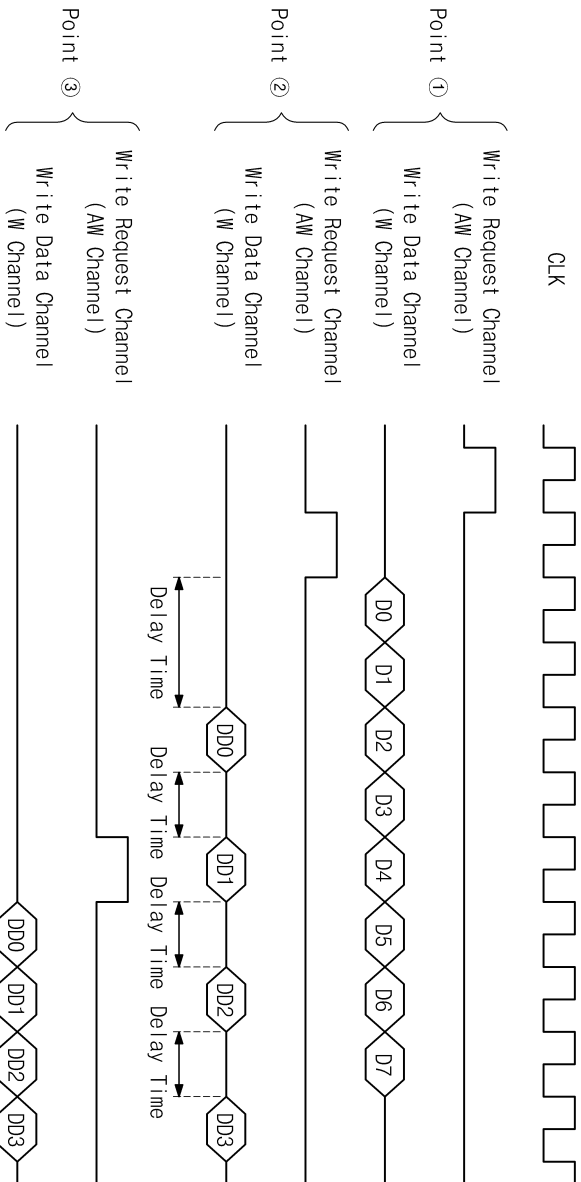
도면7



도면8



도면9



도면10

