

申請日期	88. 10. 20
案號	88118121
類別	G66F 13/16, G66F 13/24

A4
C4

476885

(以上各欄由本局填註)

<p>發 明 專 利 說 明 書</p> <p>新 型</p>		
一、發明名稱	中 文	用於電腦組件間改良介面之方法及裝置
	英 文	"METHOD AND APPARATUS FOR AN IMPROVED INTERFACE BETWEEN COMPUTER COMPONENTS"
二、發明人	姓 名	1.傑斯敏 阿賈諾威克 2.大衛 J. 哈利曼
	國 籍	均美國
	住、居所	1.美國加州佛桑市屋德路106號 2.美國加州沙柯瑞曼透市第二十七路846號
三、申請人	姓 名 (名稱)	美商英特爾公司
	國 籍	美國
	住、居所 (事務所)	美國加州聖塔卡拉瓦市米遜大學路2200號
	代 表 人 名 姓	F·湯姆士·當烈二世

裝

訂

線

經濟部智慧財產局員工消費合作社印製

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，有 無主張優先權

美國 1998年11月3日 09/186,219 有 無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝
訂
線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

發明之技術領域

本發明係關於電腦系統之領域，尤指在電腦組件之間提供一種改良介面之領域。

發明之背景

新式電腦系統包括一中央處理單元(Central Processing Unit, 簡稱CPU) 101, 互相連接至系統記憶體103(亦即CPU/記憶體子系統)。如圖1中所示, 資料及其他信號經由一通稱為主橋接器105之組件, 在CPU與系統記憶體之間傳輸。主橋接器105也可在電腦對其他組件及/或子系統提供一介面至CPU/記憶體子系統。

例如, 如另在圖1中所示, 週邊組件(例如鍵盤109, 磁碟機110及/或滑鼠111)可經由一輸入/輸出(I/O)橋接器107, 彼此互相連接。I/O橋接器107復可與主橋接器105互相連接, 以在週邊裝置與CPU/記憶體子系統之間提供一介面。

然而, 另外之外部匯流排(例如週邊組件互相連接(Peripheral Component Interconnect, 簡稱PCI)匯流排113), 也可將介面接合在I/O橋接器107與CPU/記憶體子系統之間。因此, 使I/O橋接器107與CPU/記憶體子系統間之介面更為複雜, 並受將介面接合在I/O橋接器107與CPU/記憶體子系統間之外部匯流排113(例如PCI)之規範/需求所限制。

因此, 在週邊組件與處理器/記憶體子系統之間, 需要一種改良之介面。

五、發明說明(2)

發明之概述

本發明提供一種介面，以在電腦系統內，在單獨之集線器之間傳送資料，包括一資料信號路徑，以經由分割異動，在集線器之間，在封包傳輸資料。在一種實施例，資料以一種源同步模式予以傳輸。另外，在一種實施例，如果必須，供傳輸資料之封包包括一要求封包及一完成封包。再者，在一種實施例，封包包括異動描述符。

附圖之簡要說明

在附圖之諸圖中，本發明係係意在作為實例，而非限制予以例示，其中相同參考圖號指示相似元件，在附圖中：

圖1例示一種根據先前技藝，在電腦組件之間實施一介面之電腦系統。

圖2為一種在電腦組件之間實施改良介面之電腦系統，其一種實施例之方塊圖。

圖3為定時圖，例示介面之一種實施例所實施之分割異動。

圖4為一在電腦組件之間，實施一階層之多重多重改良介面之電腦系統，其一種實施例之方塊圖。

圖5為定時圖，例示根據一種實施例，資料封包之仲裁及傳輸。

圖6為定時圖，例示根據一種實施例，資料封包之流動控制。

圖7例示流程圖，說明根據一種實施例，響應流動控制操作之步驟。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(3)

圖8例示根據一種實施例之實體信號介面。

圖9為定時圖，例示根據一種實施例之源同步定時。

圖10例示根據一種實施例，一有多重處理器在電腦組件之間實施改良介面之電腦系統。

詳細說明

本案說明一種在電腦組件間之改良介面。在本案，介面可稱作一集線器鏈路。集線器鏈路為一供經由窄及高帶寬介面連接核心邏輯之組件塊之介面。

如圖2中所例示，集線器鏈路之一種實施例，對個別組件提供一點至點介面。然而，在替代性實施例，集線器鏈路可在三或更多組件之間提供介面。

更明確而言，圖2例示用以在一晶片集內，使二單獨之組件(亦即集線器媒介)互相連點接之集線器鏈路204之一種實施例。

集線器媒介在二或更多單獨之匯流排及/或其他類型通訊線路之間提供一中央連接。

例如，如另在圖2中所示，晶片集包括一記憶體控制器集線器204(memory controller hub，簡稱MCH)，及一輸入/輸出(input/output，簡稱IO)集線器206。如圖2中所示，記憶體控制器集線器204在一個或多個中央處理單元208(CPU)與系統記憶體210之間提供一互相連接/集線器。

I/O集線器206在系統內，在各種週邊組件(例如鍵盤218，磁碟機224，掃描器222及/或滑鼠220)之間提供

五、發明說明(4)

一互相連接。而且，外部匯流排及其媒介(例如PCI匯流排212及PCI媒介214)與I/O集線器206互相連接，藉以經由集線器鏈路202與記憶體210及CPU 208間接互相連接，而非與記憶體控制器集線器204直接互相連接。

使用集線器鏈路，藉以使記憶體控制器集線器204及I/O集線器206互相連接，在I/O組件與CPU/記憶體子系統之間提供改良之存取(例如增加帶寬，協定獨立性，及較低潛伏性)。另外，提供骨幹供I/O CPU 2組件塊，集線器鏈路也可藉以改進電腦系統之可定標性(例如自基本桌上型平台升級至高端桌上型平台或工作站平台)。

要提供改良介面，集線器鏈路包括一項或多項獨特特色。在一種實施例，異動使用一種封包基本之分割異動協定，予以傳送越過集線器鏈路。例如，如果必須，一要求封包用以開始一異動，及一單獨之完成封包可隨後用以終止一異動。

圖3例示一分割異動越過集線器鏈路之一種實例。如圖3中所例示，一集線器媒介初始經由仲裁302，獲得集線器鏈路之所有權。在仲裁後，有一要求階段304。如果必須(例如在使資料返回供所讀取異動之情形)，一完成階段308將會跟隨要求階段。然而，在響應集線器媒介完成階段前，將會首先就集線器鏈路之所有權仲裁306。

如以下所更詳細討論，在傳輸一要求封包之時間與一越過集線器鏈路之對應完成封包之間，可根據預定次序規則傳輸單獨之不相關封包越過集線器鏈路。例如在自一週邊

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(5)

裝置讀取要求至記憶體之情形，提供所要求之資料，可能花費多重時鐘循環，以使資料準備在一完成封包返回。在獲得要求之資料所花費之時間，在記憶體控制器集線器204之佇列/管道等待之單獨不相關完成及/或要求封包，可予以傳輸至I/O集線器206。

再者，如圖3中所示，每一要求或完成予以作為一封包傳輸越過介面。供寫入類型異動，使資料與要求關聯。供讀取類型異動，將會有資料與完成關聯。在有些情形，將會有超過一完成供一要求，供完成封包予以分開之情形，有效將其分割為多重完成封包。

另外，在一種實施例，集線器鏈路使用異動描述符，供集線器鏈路交通之路徑選擇，以及識別異動之屬性。例如，描述符可用以界定一異動為等時或非同步，其因此然後可根據預先界定之協定予以處理。

再者，在一種實施例，將資料封包經由一種源同步時鐘模式傳輸，藉以部份增加介面之帶寬。而且，在一種實施例，儘管使用窄連接(例如較少之接腳/墊片)，集線器鏈路提供增加之帶寬。

然而，在替代性實施例，一集線器鏈路可利用少於如以上所討論之所有獨特特色予以實施，而不偏離本發明之範圍。

而且，集線器鏈路也可用以在內或外部將橋接器及/或其他組件互相連接至一晶片集，而不偏離本發明之範圍。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

異動，協定及實體層

為更清楚起見，集線器鏈路在三部份予以說明：一異動層；一協定層；及一實體層。然而，在諸層間之差異，係以一種例證性而非限制性意義看待，並因此不意味一種特定較佳實施例。

異動層

在集線器鏈路之一種實施例，異動層支援傳輸越過集線器鏈路(其可由一個或多個封包所組成)之單獨異動之路徑選擇。例如，在一種實施例，集線器鏈路之異動層產生包括在要求及資料封包之異動描述符。異動描述符可用以在集線器媒介內(例如MCH)，支援佇列間之仲裁，及/或方便要求及資料封包通過集線器鏈路之路徑選擇。

例如，在一種實施例，異動描述符依據初始供給之(在一要求封包內)路徑選擇資訊，支援完成封包回至要求啓動媒介之路徑選擇。異動描述符也有助在集線器媒介內減低封包解碼邏輯或可使其最小。

在替代性實施例，異動描述符也依據其各別異動屬性，提供辨別要求之處理之能力。例如，在異動描述符所識別之異動屬性，可識別操作為等時(亦即以一種規律基礎使固定量之資料移動之操作；例如視頻或聲頻實時操作)。因此，如異動屬性所識別之操作，可根據一種對應之預定路徑選擇協定予以處理，俾支援一特定類型之操作(例如等時)。

在一種實施例，異動描述符包括二欄位：一路徑選擇欄

五、發明說明 (7)

位及一屬性欄位。在替代性實施例，可使用或多或少之欄位，提供一個或多個異動描述符之功能，而不偏離本發明之範圍。

在一種實施例，如以下在表1中所示，路徑選擇欄位為一供封包路徑選擇使用之六位元欄位。路徑選擇欄位及屬性欄位之大小，可在本發明之範圍內變化。

表1 異動描述符之路徑選擇欄位

5	4	3	2	1	0
集線器 ID			管道 ID		

如表1中所示，路徑選擇欄位之三位元供集線器ID使用，其識別啟動異動之集線器媒介。在替代性實施例，要提供一超過8之集線器鏈路階層，可在路徑選擇欄位使用另外之位元。

例如，在一系統可能存在多重集線器鏈路階層，在該情形，在階層之頂部之媒介應該能使完成選擇路徑回至階層之基本。在此一方面，"階層"係由自一集線器鏈路"根"媒介(例如記憶體控制集線器)開始之多重連接集線器鏈路分段所組成。例如，圖2例示一僅有一集線器鏈路階層之系統。然而，圖4例示依據二集線器鏈路階層之系統之一種實例。在僅實施一集線器鏈路階層之實施例，在集線器ID欄位可使用一預設值"000"。

路徑選擇欄位之其餘三位元可用以識別在一集線器鏈路媒介內之內部管道/佇列。例如I/O控制集線器可經由單

五、發明說明(8)

獨之"管道"，支援內部通用串列匯流排(Universal Serial Bus，簡稱USB)主控制器交通及匯流排主控ID(Bus Mastering ID，簡稱BM-ID)交通。因此，可使用管道ID連通至服務媒介(例如MCH)，不同"管道"所啓動之交通具有不同之屬性，並可根據一預定協定予以處理。如果一集線器鏈路媒介不實施單獨之內部管道，其可使用一在管道ID欄位之預設值"000"。

在一種替代性實施例，異動描述符另包括一屬性欄位。在一種實施例，屬性欄位為一三位元值，其規定在一目標集線器鏈路媒介接收一異動時，其將行如何予以處理。在有些情形，屬性欄位有助系統支援要求嚴苛之應用工作負載，其依靠具有特定需求或其他區別特徵之資料運動，及處理。

例如，如少數最近發展成功之外部匯流排(例如IEEE 1394及USB)所使用，屬性欄位可支援資料在裝置間之等時運動。作為資料流動通過I/O裝置與CPU/記憶體子系統間之集線器鏈路時，需要維持此種資料運動需求。

在替代性實施例，另外異動屬性可包括區別在快取記憶體連貫性藉硬體(亦即晶片集)予以施行之"窺探"交通與依靠軟體機構之"非窺探"交通之能力，以保證在系統之資料連貫性。而且，另一可能之屬性將為一"明確可預先提取"提示，以支援一種形式之讀取快取g，並允許更有效率使用主記憶體帶寬。

五、發明說明(9)

排序規則

異動描述符也可用以在越過集線器鏈路所傳輸之異動之間，支援排序規則。例如，在一種實施例，具有完全相同異動描述符之異動，係以強次序(亦即先來先服務)予以執行。

然而，具有相同路徑選擇欄位，但不同屬性欄位之異動，可予以彼此相對重新排序。例如，在一種實施例，等時異動不需要相對於非同步異動予以強排序。

另外，在集線器鏈路介面之一種實施例，允許資料傳輸在要求在相同方向或相反方向進行。允許在一方向流動之讀取完成傳遞在相同方向流動之讀取要求。而且，允許寫入要求傳遞在相同方向流動之讀取要求。

然而，在替代性實施例，供異動行進越過集線器鏈路介面之排序規則，可在本發明之範圍內變化。例如，在一種實施例，集線器鏈路實施在週邊組件互相連接(PCI)(修訂版2.2)所提供之排序規則，以確定在相反方向越過集線器鏈路之交通之流動。

協定層

在一種實施例，集線器鏈路使用一有二種類型封包之封包基礎協定：要求及完成。要求封包予以使用供每一集線器鏈路異動。完成封包在需要之情形予以使用，例如使讀取之資料返回，或應答完成某些類型之寫入異動(例如I/O寫入及記憶體寫入，而有所要求之完成)。如先前在異動層之一節所討論，完成封包藉異動描述符及排序而與

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(10)

其對應要求封包關聯。

另外，在一種實施例，集線器鏈路介面使用一種對稱及予以分配之仲裁協定。例如，每一集線器媒介驅動一要求信號，其由附著至同一介面之另一媒介予以觀察。不使用授權信號，並且媒介獨立確定介面之所有權。

而且，在一種實施例，不使用明確之成框信號。在給予介面之媒介所有權之仲裁事件與該媒介之傳輸開始之間，有一種隱含之關係。在替代性實施例，可使用成框信號，而不偏離本發明之範圍。

封包傳輸之結束發生在一擁有介面之集線器鏈路媒介(例如在傳輸資料之過程中)，解除判定一要求信號，而釋放其介面之控制時。另外，在一種實施例，如以下所更詳細說明，也藉使用一STOP信號完成流動控制，以重試封包或使其分開。

封包定義

在集線器鏈路之一種實施例，資料在集線器鏈路時鐘(HLCK)之多重速率(例如1x, 4x, 8x)予以傳送，在一種實施例，其為一由集線器鏈路接合之集線器媒介所共用之公用時鐘。資料予以傳輸越過集線器鏈路之一資料信號路徑(PD)，其有一"介面寬度"為二之某一乘方(例如8, 16, 24, 32)。因此，依傳送速率及資料信號路徑之寬度而定，集線器鏈路可具有變化之資料傳送粒度(亦即傳送寬度)。例如，在一種成4x模式之八位元介面寬度之情形，傳送寬度為每HLCK 32位元。因此，變化之資料信號

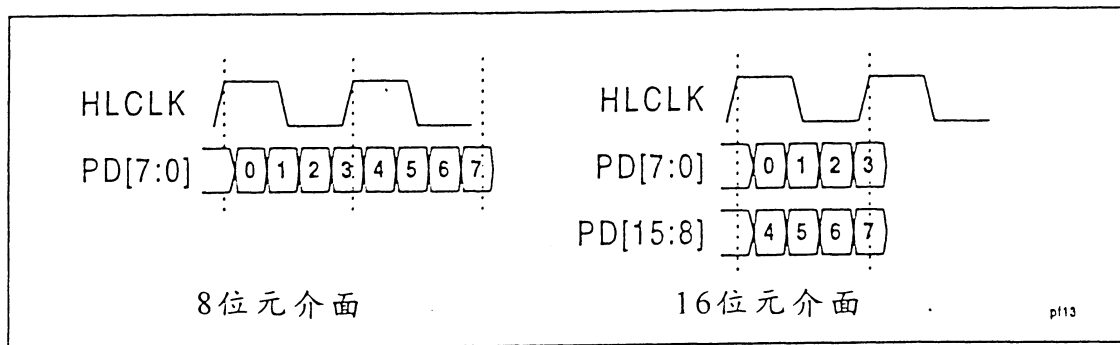
五、發明說明 (11)

路徑之傳送速率及/或介面寬度，傳送寬度(亦即每HLCK所傳送之位元組之數)，可予以定標。

另外，在一種實施例，封包可大於傳送寬度。因此，封包在多重區段(亦即封包寬度)予以傳輸。在一種實施例，封包予以分為雙字(32位元)大小之數封包寬度。

在32位元傳送寬度之情形，如下面在表2中所示，在介面提出一封包寬度之諸位元組，以最低有效位元組(位元組0)開始，並以最高有效位元組(位元組3)結束。在64位元傳送寬度之情形(例如成4x模式之十六位元寬介面)，較不重要雙字(封包寬度)在資料信號之下位元組(例如PD[0:7])予以傳送，及較重要雙字在資料信號之上位元組(例如PD[15:8])予以並行傳送。下面在表2中示二實例。

表2供8及16位元介面寬度之位元組傳輸次序



集線器鏈路介面之協定層也負責將資料成框。因此，集線器鏈路所實施之成框規則界定如何標記一個或多個封包寬度至一組傳送寬度。為簡化封包之語法分析為封包寬度，在集線器鏈路之一種實施例，實施下列三成框規則：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

發明說明 (12)

在一傳送寬度之第一位元組開始封包之標頭區段；在一傳送寬度之第一位元組開始封包之資料區段(如果存在)；以及一封包佔用整數之傳送寬度。

一封包所未耗用之任何可利用傳送寬度，可予以填滿一 bogus 雙字 (DW) 傳輸，並將會被接收集線器媒介所忽略。在替代性實施例，在本發明之範圍內，集線器鏈路可使用較多，較少，及/或不同成框規則。

以下所闡示之表3及表4，例示以上供64位元傳送寬度之情形所求得成框規則之實例。

表3 使用32位元定址並含資料之三雙字之要求

在PD [15:8] 傳輸之第 四位元組 位元組7	在PD [15:8] 傳輸之第 三位元組 位元組6	在PD [15:8] 傳輸之第 二位元組 位元組5	在PD [15:8] 傳輸之第 一位元組 位元組4	在PD [7:0] 傳輸之第 四位元組 位元組3	在PD [7:0] 傳輸之第 三位元組 位元組2	在PD [7:0] 傳輸之第 二位元組 位元組1	在PD [7:0] 傳輸之第 一位元組 位元組0
位址 (32b)				要求標頭			
資料之第二DW				資料之第一DW			
{Bogus DW}				資料之第三DW			

pf11

表4 使用64位元定址並含資料之三雙字之要求之資料

在PD [15:8] 傳輸之第 四位元組 位元組7	在PD [15:8] 傳輸之第 三位元組 位元組6	在PD [15:8] 傳輸之第 二位元組 位元組5	在PD [15:8] 傳輸之第 一位元組 位元組4	在PD [7:0] 傳輸之第 四位元組 位元組3	在PD [7:0] 傳輸之第 三位元組 位元組2	在PD [7:0] 傳輸之第 二位元組 位元組1	在PD [7:0] 傳輸之第 一位元組 位元組0
位址 (31:2)				要求標頭			
{Bogus DW}				位址(63:32)			
資料之第二DW				資料之第一DW			
{Bogus DW}				資料之第三DW			

pf12

(請先閱讀背面之注意事項再填寫本頁)

裝 訂 線

五、發明說明 (13)

要求封包

以下在表 5 及表 6 中示根據一種實施例，供要求封包之封包標頭格式。在表 5 及 6 中所示之實例，基本標頭為一雙字，需要一另外雙字供 32 位元定址，及需要二另外雙字供 64 位元定址模式。在諸表以下說明如表 5 及 6 所示標頭之欄位。

在集線器鏈路之替代性實施例，包括在要求封包之標頭之欄位，可變化，而不偏離本發明之範圍。例如，標頭可包括另外之欄位，較少欄位，或不同欄位，代替下面所示之諸欄位。而且，諸欄位之編碼也可變化，而不偏離本發明之範圍。

表 5 供 32 位元定址之要求封包標頭格式

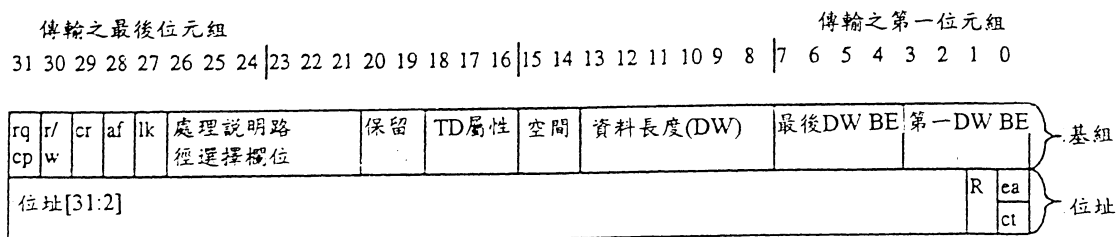
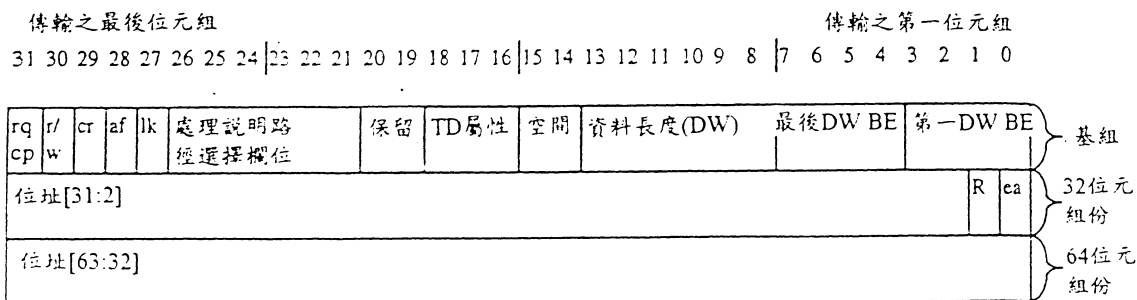


表 6 供 64 位元定址之要求封包標頭格式



經濟部智慧財產局員工消費合作社印製

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (14)

異動描述符	如先前所說明之異動描述符路徑選擇及屬性欄位。
rq/cp	在此位置以'0'識別要求封包，及以'1'識別完成封包。
cr	所需要之完成('1')或無所需要之完成'0'。
r/w	讀取('0')或寫入('1')。此欄位指示資料是否將包括有一完成(讀取)或一要求(寫入)。
位址格式(af)	定址格式隱含('0')或32/64位元('1')。
Lock(lk)	指示要求為一鎖定之順序之一部份之旗標。在鎖定之順序之要求及完成將會設定此位元。不了解鎖定之集線器媒介忽略此旗標，並將會以'0'填滿此欄位。
資料長度	資料長度以雙字予以列示，編碼以便所表示之雙字之數為一加此數。因此，"000000"表示一雙字。
空間	此欄位選擇供要求之終點空間類型。在一種實施例，可能之終點空間包括記憶體("00")，及IO("01")。
第一DW BE	位元組啓動供任何讀取或寫入要求之第一雙字至記憶體或IO。位元組啓動為作用低。如果僅有一雙字供一要求，便使用此位元組啓動欄位。在一種實施例，發出一記憶體或IO讀取或寫入要求，而無位元組

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (15)

啓動，則為不合法。

最後 DW BE 位元組啓動供任何讀取或寫入要求之最後雙字。位元組啓動為作用低。如果僅有一雙字供一要求，此欄位必須為不作用 ("1111")。位元組啓動可為不相連(例如："0101")。由於其重疊'特殊循環編碼'欄位，此欄位決不配合特殊循環使用。

Addr[31:2] 產生32位元位址，因為其將會在PCI供相同類型之循環。包括此雙字供32及64位元定址模式(但不供隱含之定址模式)。

延伸位址(ea) 指示32位元定址('0')或64位元定址('1')。

構形類型(ct) 僅供構形循環，此位元用以指示類型0('0')或類型1('1')構形循環類型。因為構形循環將會始終以32位元定址進行，此位元與"延伸位址"位元重疊。

Addr[63:32] 供64位元定址模式之上位址位元。包括此雙字供64位元定址模式。

完成封包

根據一種實施例，下面在表7中示供完成封包之標頭格式。在一種實施例，標頭為一雙字。如表8中所示，在下表說明標頭之欄位。

然而，在集線器鏈路之替代性實施例，包括在標頭，供完成封包之欄位可變化，而不偏離本發明之範圍。例如，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (16)

標頭可包括另外之欄位，較少欄位，或不同欄位，如下面所說明及所示之代替欄位。而且，欄位之編碼也可變化，而不偏離本發明之範圍。

表 7 完成封包標頭格式

傳輸之最後位元組											傳輸之第一位元組																				
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
rq	r/	保留	處理說明路徑選擇欄位				保留	TD屬性	保留	資料長度(DW)				完成狀態																	
cp	w																														

異動描述符 如先前在異動區段所討論之異動描述符路徑選擇及屬性欄位。

rq/cp 完成封包在此位置以'1'予以識別。

r/w 讀取('0')或寫入('1')。此欄位指示資料是否將包括有一完成(讀取)或一要求(寫入)。

Lock(lk) 指示要求為一鎖定之順序之一部份之旗標。在鎖定之順序之要求及完成將會設定此位元。不了解鎖定之集線器媒介忽略此旗標，並將會以'0'填滿此欄位。

資料長度 資料長度以雙字予以列示，編碼以便所表示之雙字之數為一加此數。因此，"000000"表示一雙字。

完成狀態 指示使用預定之完成狀態。

保留 所有保留之位元予以設定至'0'。

在集線器鏈路之一種實施例，只要最終完成整個要求，供記憶體讀取之完成可提供少於所要求之全部量之資料。

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

五、發明說明(17)

同樣，供記憶體寫入之完成可指示已完成少於整個要求。此可予以完成，以滿足供特定平台之特定集線器鏈路介面潛伏性需求。

另外，供一需要完成之要求，在一種實施例，啓動裝置保有關於要求之資訊，其可予以儲存在啓動集線器媒介之緩衝器。例如，此資訊可包括異動描述符，封包之大小，鎖定狀態，路徑選擇資訊等。再者，在接收(諸)完成時，啓動裝置使(諸)完成與對應之要求匹配。在多重完成之情形，啓動裝置累積所完成之資料之計數供原來要求，直到原來要求完全完成。

介面仲裁及封包成框

在集線器鏈路介面之一種實施例，在介面為備用時，來自連接至介面之任一集線器媒介之要求，其判定予以考慮為一仲裁事件。要求之第一媒介贏得介面之所有權。如果在集線器鏈路為備用時，媒介同時要求所有權，則最不為最近服務之集線器媒介贏得。在一種實施例，所有集線器媒介跟蹤最不為最近服務之狀態(例如經由內部暫存器之狀態旗標)。在替代性實施例，在本發明之範圍內可使用替代性仲裁子常式。

集線器媒介一旦獲得介面之所有權，其將會繼續擁有介面，直到其完成其異動，或直到一配置之時間帶寬期滿。例如，在一種實施例，在每一集線器媒介提供一時間片計數器，以控制帶寬配置，並限制媒介之介面所有權使用權。分配至集線器媒介之時間(亦即時間片值)，可為不同

五、發明說明(18)

或相同，供附著至相同介面之集線器鏈路媒介。時間片計數器在獲得介面之所有權時開始，並計數集線器鏈路基本時鐘週期。

在一種實施例，每一集線器媒介負責管理其自身時間片配置。因此，在一種實施例，一時間片值可在每一集線器媒介，經由一供每一介面之集線器鏈路命令暫存器予以規劃程式。

圖5例示供在集線器媒介A與媒介B間之集線器鏈路介面之仲裁及傳送二封包之一種實例。該實例例示自一備用介面狀態當中之仲裁，而介面然後回至備用。而且，在所例示之實例，介面使用一種4x資料傳送模式，有八位元資料信號(PD)路徑。在圖5中所例示之實例，媒介A為最為最近服務(most recently serviced，簡稱MRS)之媒介。因此，媒介A判定其外部要求信號(RQA)，並在開始封包傳輸離開同一邊緣前，在時鐘邊緣1對媒介B之要求信號(RQB)之狀態取樣(其予以示為不作用)。

在一種實施例，在傳輸之資料前(亦即來自媒介A之資料)，在內部在接收機(亦即媒介B)，有一二時鐘延遲可利用，自時鐘邊緣3開始。第一封包由二雙字502及504組成，並需要二基本時鐘，以在4x模式傳輸。第二封包為三雙字506，508，及510，並因此需要三基本時鐘在4x模式。

流動控制

在一種實施例，由於缺少要求佇列空間，資料緩衝器空

(請先閱讀背面之注意事項再填寫本頁)

訂 線

五、發明說明 (19)

間，或為其他原因，封包可藉一接收媒介予以重試或分開。在一種實施例，流動控制係使用一STOP信號所完成。

圖6例示使用STOP信號之一種實例。如所例示，媒介A判定其外部要求信號(RQA)，並在開始封包傳輸離開同一邊緣前(例如時鐘邊緣1)，在時鐘邊緣1對媒介B之要求信號(RQB)之狀態取樣(其予以示為不作用)。

在二時鐘延遲後，自時鐘邊緣3開始，在接收機在媒介B，在內部可利用自媒介A所傳輸之資料。在一種實施例，如圖6中所例示，在接收自媒介A傳輸之資料後，為在時鐘邊緣4判定STOP信號，媒介B藉以規定流動控制之第一機會。

另外，在PD信號之所有權自一集線器媒介改變至另一媒介時，STOP信號之所有權也將會在一預定數之時鐘後交換。而且，在一種實施例，STOP信號在基本時鐘予以取樣，其對應於一封包寬度之最後傳送。例如，在一種4x模式(使用八位元寬PD信號)，STOP信號予以每一基本時鐘取樣。然而，供一種1x模式，STOP信號予以每第四時鐘取樣(使用異動之開頭作為參考點)。

在接收STOP信號後，接收STOP信號之集線器媒介確定其是否可重試發出另外之封包。圖7為流程圖，說明根據一種實施例，在接收STOP信號後，集線器媒介在確定其是否可重試發出封包時，所進行之步驟。

在步驟702，一目前傳輸封包之集線器媒介接收STOP信

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(20)

號。在步驟704，接收STOP信號之集線器媒介響應而對其他集線器媒介要求信號(例如RQB)取樣，藉以確定是否另一媒介(其啓動STOP信號)要求介面之所有權。

如果STOP信號之接受者確定發出STOP信號之媒介不要求介面之所有權，在步驟706，介面之現行擁有者可在自STOP回復後，試圖傳輸封包。在另一方面，如果確定啓動STOP信號之媒介要求所有權，在步驟708，現行擁有者確定其時間片是否已期滿。

如果供介面之現行擁有者之時間片已期滿，在步驟710，現行擁有者釋放所有權。如果供現行擁有者之時間片未期滿，現行擁有者可傳輸一有一屬性不同於中斷封包之封包。更明確而言，在步驟712，現行擁有者確定其是否有一封包有一屬性類型不同於在目前仲裁期間(亦即現行擁有者之使用權之期間)已重試，需要予以傳輸之任何封包。

如果現行擁有者有一封包具有不同屬性，在步驟714，現行擁有者可試圖傳輸封包。否則，現行擁有者釋放介面之所有權。

實體介面

在一種實施例，集線器鏈路介面實施一種實體介面，其在66MHz或100MHz之基本頻率操作。也可使用其他頻率。另外，在一種實施例，實體介面使用一種源同步(source synchronous，簡稱SS)資料傳送技術，其可予以四重定時，以在4X基本集線器鏈路時鐘傳送資料。因

五、發明說明(21)

此，在一種有8位元資料介面(例如PD)在66MHz或100MHz基本頻率操作之實施例，可分別達成266百萬位元組/秒(MB/s)或400MB/s之帶寬。

再者，在一種實施例，集線器鏈路介面支援1.8V之電壓操作，並係依據互補金屬氧化物半導體(complementary metal-oxide semiconductor，簡稱CMOS)。然而，在一種替代性實施例，介面可在替代性頻率及/或替代性大小之資料介面操作，以提供變化帶寬，並依據替代性信號處理，支援替代性操作電壓，而不偏離本發明之範圍。

外部信號定義

圖8例示根據一種實施例，在二集線器媒介間之集線器鏈路之實體信號介面。如圖8中所示，集線器鏈路實體介面使用一雙向八位元資料匯流排(PD[7:0])，有一微分對之源同步選通信號(PSTRBN，PSTRBP)，供資料定時。在一種替代性實施例，介面可予以加寬。例如，如圖8中所示，也可使用一另外八位元資料匯流排(PD[15:8])，連同另外一對之源同步選通信號(PUSTRBN，PUSTRBP)。而且，在一種替代性實施例，可使用單向資料信號。

另外，一單向仲裁信號將每一媒介連接至另一(RQa，RQb)，並且如先前所說明，接收媒介使用一雙向停止信號，以控制資料流動。另外之介面信號包括系統重設(Reset)，公用時鐘(HLCLK)及電壓參考信號(HLVREF)。而且，也包括信號，供每一集線器媒介(ZCOMP)，使其驅動器輸出阻抗與適當值匹配，以補償製造及溫度變化。

五、發明說明(22)

以下在表8中另說明在圖8中所例示之介面所示之實體信號。在集線器鏈路之替代性實施例，在實體介面所包括之信號可變化，而不偏離本發明之範圍。例如，實體介面可包括自圖8中所示，並且以下在表8中另外說明之信號變化之較多，較少或不同信號。

表8供八位元媒之介集線器鏈路介面信號

名稱	位元 (墊片)	類型	時鐘 模式	說明
PD[7:0]	8	ASTS ¹	SS ²	封包資料接腳。在備用時，在一種實施例，資料介面被作用維持器保持在其予以驅動之最後電壓值。
PSTRBP	1	ASTS	SS	負PD介面選通脈衝(預設電壓電平=VSSHL)及PositivePD介面選通脈衝(備用電壓電平=VCCHL)一起提供定時，供在PD[7:0]介面之4X及1X資料傳送。提供資料之媒介驅動此信號。PSTRBN及PSTRBP應該在接收機予以完全微分感測。
PSTRBN	1	ASTS	SS	正PD介面選通脈衝，請見以上所說明之PSTRBP。
RQa	1	I/O	CC ³	來自媒介A之作用高要求(來自A之輸出，至B之輸入)，以獲得集線器鏈路介面之所有權。RQa在媒介A有資料可利用以發出時予以判定，並在所有媒介A之資料已發出時予以解除判定，或媒介A確定其應該釋放介面。重設電壓值為VSSHL。
RQb	1	I/O	CC	來自媒介B之要求(來自B之輸出，至A

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(23)

STOP	1	ASTS	CC	之輸入)。請見RQa之以上說明。 供管線化流動控制使用，以重試封包或使其分開。
HLCLK	1	I	N/A	集線器鏈路基本時鐘，在一種實施例為66MHz或100MHz。這提供定時資訊供公用時鐘信號(下面另外說明)。
ESET#	1	I	CC	至集線器鏈路媒介之作用低重設指示4。
HLVREF	1	I	N/A	供微分輸入之電壓參考(VCCHL/2)。在一種實施例，係在母板通過一分壓器產生電壓。
HLZCO MP	1	I/O	N/A	提供阻抗補償。
VCCHL	4	功率	N/A	1.8V
VSSHL	4	接地	N/A	
總數	25			

¹ASTS = 主動維持之三態。

²SS = 源同步模式信號

³CC = 公用時鐘模式信號

⁴在一種實施例，重設為一系統寬信號；其為一來自系統之一組件之輸出及一至其他(諸)組件之輸入。而且，重設相對於HLCLK為非同步。

公用時鐘傳送模式操作

在一種實施例，越過集線器鏈路介面所傳輸之很多信號，根據一種公用時鐘模式予以傳輸。更特別是，經由公用時鐘模式予以傳輸之信號，其定時予以定位至一單一時鐘(例如集線器鏈路時鐘)。在替代性實施例，信號可予以

五、發明說明 (24)

連結至一在集線器鏈路媒介外部之系統時鐘。而且，在一系統可能有超過一集線器鏈路分段，在該情形可使用不同基本時鐘供不同分段。例如，一組件可實施一66MHz基本集線器鏈路介面及一100MHz基本集線器鏈路介面。

源同步傳送模式操作

在一種實施例，封包/資料使用一種源同步時鐘模式予以傳輸，其提供一種技術，供倍增資料之資料傳送速率。例如，在一種使用4X源同步定時模式，有八位元資料信號路徑之實施例，傳輸一雙字(亦即四位元組)僅需要一集線器鏈路時鐘循環(HLCK)。要不然，使用1X源同步定時模式，在八位元資料信號路徑傳輸一雙字，將會需要一完全集線器鏈路時鐘循環來完成。

更明確而言，在一種源同步傳輸之實施例，利用根據選通脈衝與資料間之預定定時關係之資料傳輸，發出選通脈衝(例如PSTRBN/PSTRBP)。接收集線器媒介其後使用選通脈衝，將資料鎖存至接收集線器媒介。

更明確而言，在一種實施例，接收集線器媒介使用選通脈衝PSTRBP/PSTRBN之邊緣，以識別越過資料信號路徑所傳送資料之存在及定時。例如，如在圖9之定時圖中所例示，在一種實施例，第一資料傳送對應於PSTRBP之升緣及PSTRBN之降緣。一第二資料傳送對應於PSTRBN之升緣及PSTRBP降緣。

另外，在一種實施例，如另在圖9中所示，選通脈衝PSTRBP/PSTRBN之傳輸邊緣位於靠近資料有效視窗之中

五、發明說明(25)

心。因此，接收媒介予以賦與一輸入資料取樣視窗，以適應各種系統定時偏斜。而且，在一種實施例，接收集線器媒介也使用一在選通邊緣(tDvb)前有效之最小資料，及一在選通邊緣(tdva)後有效之最小資料，以識別及鎖存予以傳輸之資料。

接收集線器媒介一旦鎖存進入之之資料，資料其後便予以保持短暫期間，以在沿集線器媒介內予以傳遞前，使資料與集線器鏈路時鐘(HLCK)重新同步。

在上述之詳細說明，本發明業已參照其特定例證性實施例予以說明。然而，顯然對其可作成各種修改及變化，而不偏離本發明之較廣義精神及範圍。例如，根據一種實施例，集線器鏈路介面可如圖10中所例示，以一有多重處理器之電腦系統予以實施。因此，詳細說明及圖式係以一種例證性而非限制性意義看待。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱： 用於電腦組件間改良介面之方法及裝置)

一種在一記憶體控制器集線器與一電腦系統內之晶片集之輸入/輸出(I/O)集線器之間傳送資料之介面。介面之一種實施例包括一雙向資料信號路徑及一對源同步選通信號。資料信號路徑經由分割處理以封包方式傳輸資料。另外，如果須要，封包包括一要求封包及一完成封包。再者，在一種實施例，要求封包包括一異動描述符。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

英文發明摘要(發明之名稱： "METHOD AND APPARATUS FOR AN IMPROVED INTERFACE BETWEEN COMPUTER COMPONENTS")

An interface to transfer data between a memory controller hub and an input/output (I/O) hub of a chipset within a computer system. One embodiment of the interface includes a bi-directional data signal path and a pair of source synchronous strobe signals. The data signal path transmits data in packets via split transactions. In addition, the packets include a request packet and a completion packet, if necessary. Furthermore, in one embodiment, the request packets include a transaction descriptor.

六、申請專利範圍 90年12月4日修正/更正/補充

1. 一種在一電腦系統內之第一集線器與第二集線器之間直接傳送資料之介面，包含：
 - 一資料信號路徑，以封包方式藉由分割處理傳輸資料；以及
 - 一組命令信號。
2. 如申請專利範圍第1項之介面，其中在電腦系統內之第一及第二集線器為在一晶片集內之組件。
3. 如申請專利範圍第1項之介面，其中除直接連接至介面之外部匯流排外，該介面在第一集線器與第二集線器之間提供一種點至點連接。
4. 如申請專利範圍第3項之介面，其中在該介面之所有權之仲裁後，一第一處理在該介面以一要求封包予以啟動。
5. 如申請專利範圍第4項之介面，其中該要求封包包括一異動描述符。
6. 如申請專利範圍第4項之介面，其中一完成封包響應第一異動之要求封包，在該介面予以傳輸。
7. 如申請專利範圍第5項之介面，其中該要求封包包括一異動描述符，並且該完成封包包括一對應之異動描述符。
8. 如申請專利範圍第6項之介面，其中一供第二異動之要求封包，可在響應第一異動之要求封包傳輸完成封包前，予以傳輸越過該介面。
9. 如申請專利範圍第8項之介面，其中該第一集線器為一

(請先閱讀背面之注意事項再填寫本頁)

訂 線

六、申請專利範圍

- 使處理器及記憶體裝置互相連點接之記憶體控制器集線器。
10. 如申請專利範圍第9項之介面，其中第二集線器為一在電腦系統內使週邊組件互相連點接之輸入/輸出(I/O)集線器。
 11. 如申請專利範圍第3項之介面，其中該資料信號路徑為可定標。
 12. 如申請專利範圍第11項之介面，其中封包予以經由源同步時鐘模式傳輸越過該資料信號路徑。
 13. 如申請專利範圍第12項之介面，其中該介面包括一組雙向資料信號，第一及第二源同步選通信號，一單向仲裁信號，及一雙向停止信號。
 14. 如申請專利範圍第13項之介面，其中該介面另包括一系統重設信號，一公用時鐘信號，及一電壓參考信號。
 15. 如申請專利範圍第7項之介面，其中該異動描述符在一階層之多重介面內，在至少三集線器之間識別單獨之集線器。
 16. 如申請專利範圍第6項之介面，其中該要求封包包括一欄位指示是否響應各別要求封包而需要一完成封包。
 17. 如申請專利範圍第4項之介面，其中在該集線器間之仲裁為對稱並予以分配。
 18. 如申請專利範圍第4項之介面，其中一集線器予以分配該介面之所有權，直到一預定之時間量。
 19. 一種在一電腦系統內之第一集線器與第二集線器之間直

(請先閱讀背面之注意事項再填寫本頁)

訂
線

六、申請專利範圍

接傳送資料之介面，包含：

- 一 第一裝置，供在該第一集線器與第二集線器之間，以封包方式經由分割處理傳輸資料；以及
 - 一 第二裝置，供傳輸命令信號。
20. 如申請專利範圍第19項之介面，其中在該電腦系統內之第一及第二集線器為在一晶片集內之組件。
21. 如申請專利範圍第20項之介面，其中除直接連接至介面之外部匯流排外，該介面在第一集線器與第二集線器之間提供一種點至點連接。
22. 如申請專利範圍第21項之介面，其中該介面包括一裝置，供在該介面以一要求封包啟動第一異動。
23. 如申請專利範圍第22項之介面，其中該要求封包包括一異動描述符。
24. 如申請專利範圍第22項之介面，其中該介面包括裝置，供響應第一異動之要求封包而提供完成封包。
25. 如申請專利範圍第23項之介面，其中該要求封包包括一異動描述符，並且完成封包包括一對應之異動描述符。
26. 如申請專利範圍第24項之介面，其中該介面包括一裝置，供在傳輸該完成封包前，響應該第一處理之要求封包，傳輸供一第二處理之要求封包越過該介面。
27. 如申請專利範圍第26項之介面，其中該第一集線器為一記憶體控制器集線器，並具有一使處理器及記憶體裝置互相連接之裝置。
28. 如申請專利範圍第27項之介面，其中該第二集線器為一

六、申請專利範圍

輸入/輸出(I/O)集線器，並具有一使電腦系統內之週邊組件互相連接之裝置。

29. 如申請專利範圍第21項之介面，其中以封包方式經由分割處理傳輸資料之該第一裝置，另包括供將資料信號路徑定標之裝置。
30. 如申請專利範圍第26項之介面，其中該介面包括裝置，供經由源同步時鐘模式傳輸封包越過該介面。
31. 如申請專利範圍第25項之介面，其中該異動描述符包括一裝置，供在一階層之多重介面內，在三或更多集線器之間識別單獨之集線器。
32. 如申請專利範圍第24項之介面，其中該要求封包包括一裝置，供指示是否響應各別要求封包而需要完成封包。
33. 如申請專利範圍第32項之介面，其中該介面包括一裝置，供在集線器之間，供介面之所有權之仲裁。
34. 如申請專利範圍第22項之介面，其中該介面另包括一裝置，供分配介面之所有權至集線器之一，直到一預定時間量。
35. 一種在一電腦系統內之第一集線器與第二集線器之間直接傳送資料之介面，包含：
 - 一組資料信號及一對源同步選通信號，該資料信號以封包形式經由分割處理傳輸資料，該封包包括一要求封包及完成封包，該要求封包包括一處理描述符；以及
 - 一組命令信號，包括單向仲裁信號及一公用時鐘信

(請先閱讀背面之注意事項再填寫本頁)

訂 線

六、申請專利範圍

號。

36. 如申請專利範圍第35項之介面，其中除直接連接至點至點連接之外部匯流排外，該介面在該第一集線器與第二集線器之間提供一種點至點連接。

37. 一種在一電腦系統內之一晶片集之一記憶體控制器集線器與輸入/輸出(I/O)集線器之間傳送資料之介面，包含：

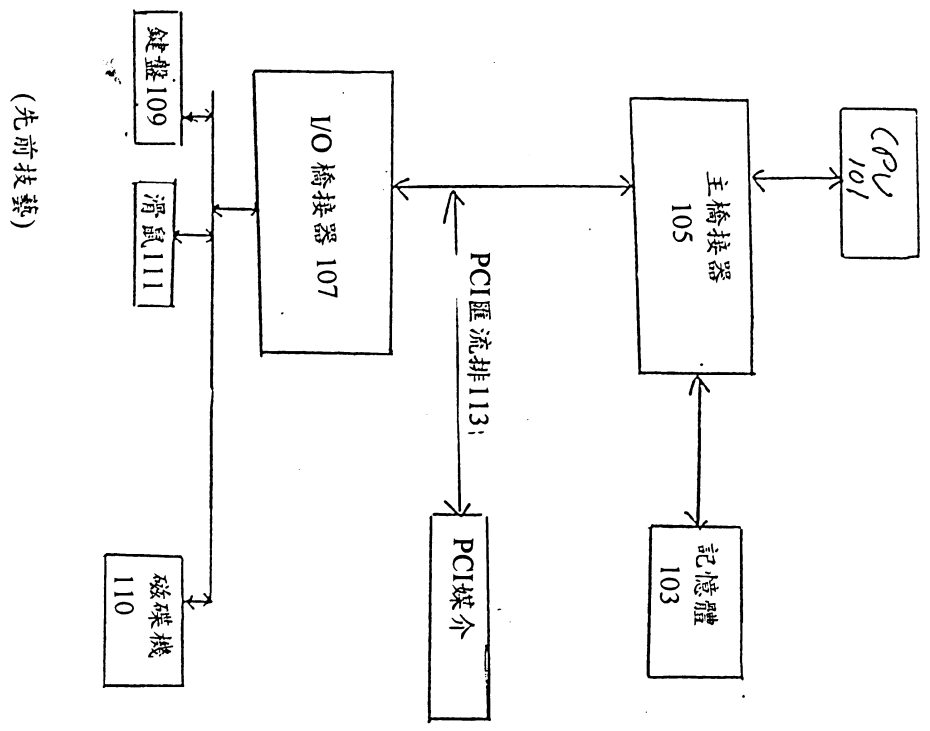
一雙向資料信號路徑及一對源同步選通信號，該資料信號路徑以封包方式經由分割處理傳輸資料，該封包包括一要求封包及完成封包，該要求封包包括一處理描述符；以及

一組命令信號，包括單向仲裁信號，一雙向停止信號，一系統重設信號，一公用時鐘信號，及一電壓參考信號。

38. 如申請專利範圍第37項之介面，其中除直接連接至點至點連接之外部匯流排外，該介面在第一集線器與第二集線器之間提供一種點至點連接。

(請先閱讀背面之注意事項再填寫本頁)

訂
線



(先前技藝)

圖 1

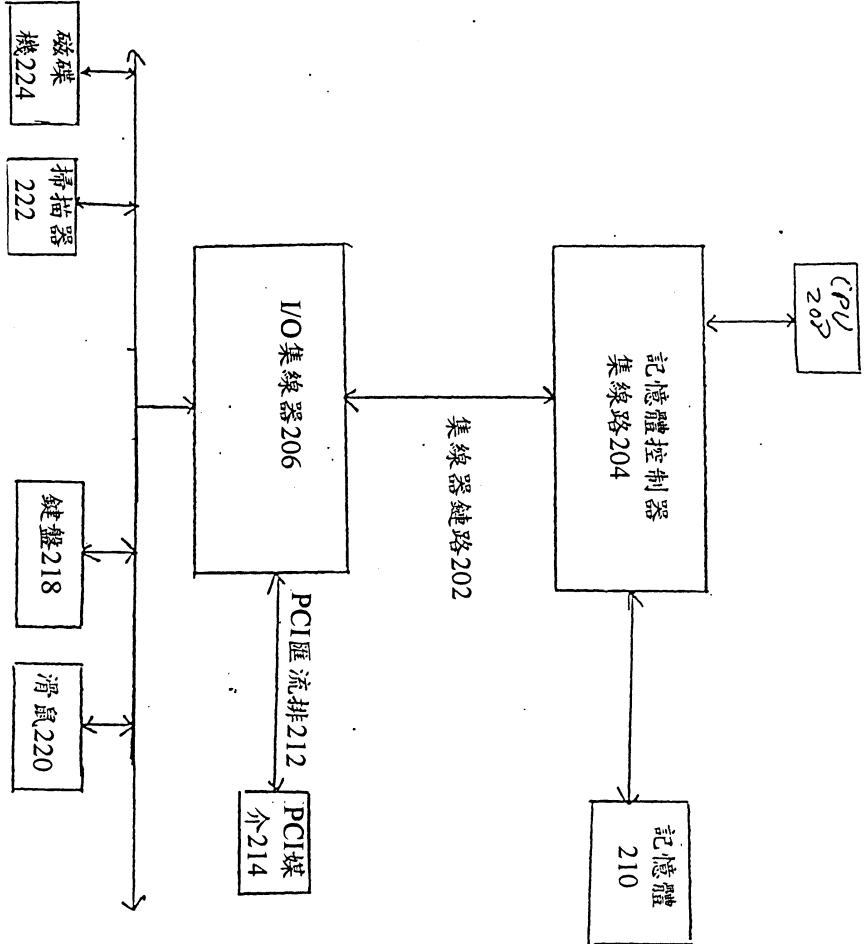


圖 2

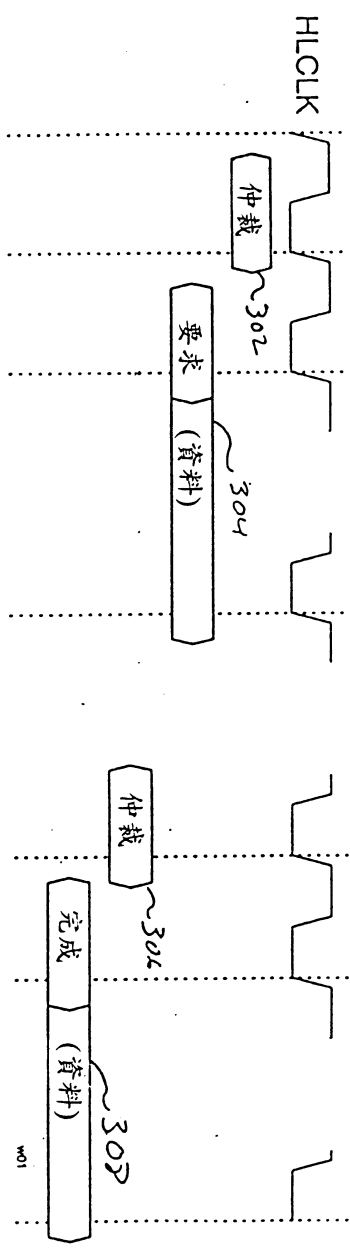


圖 3

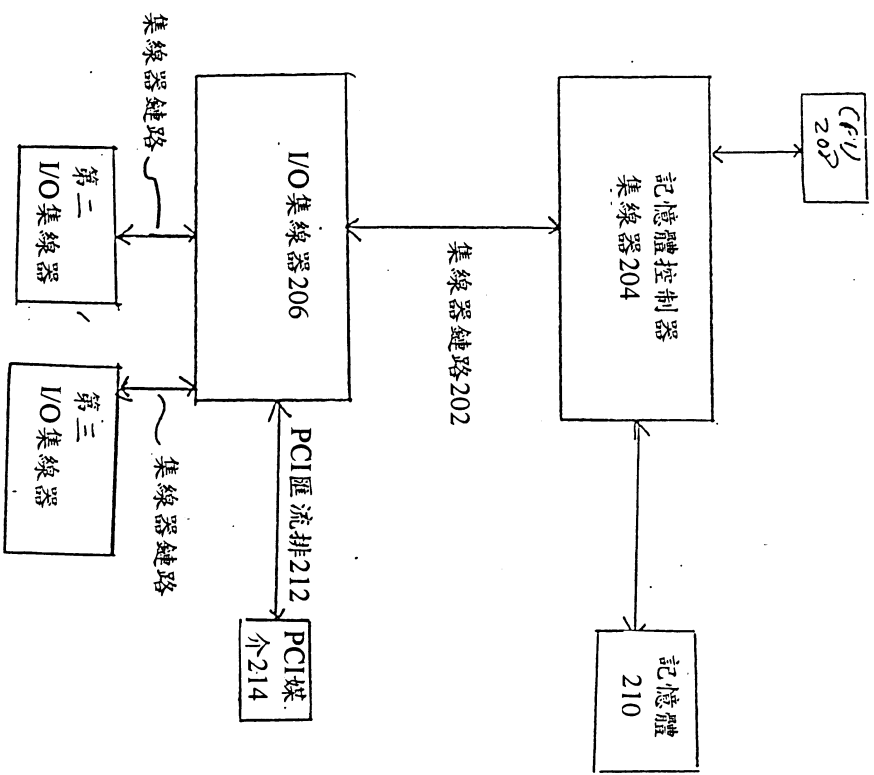


圖 4

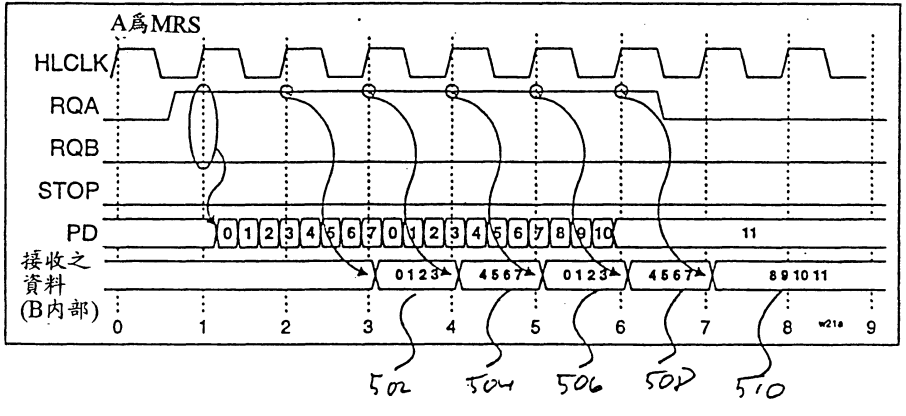


圖 5

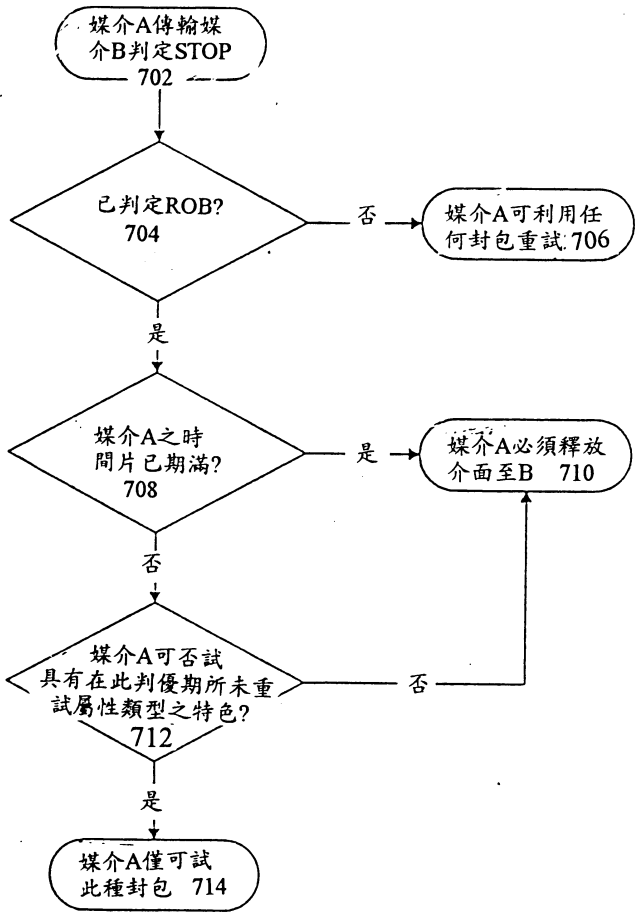


圖 7

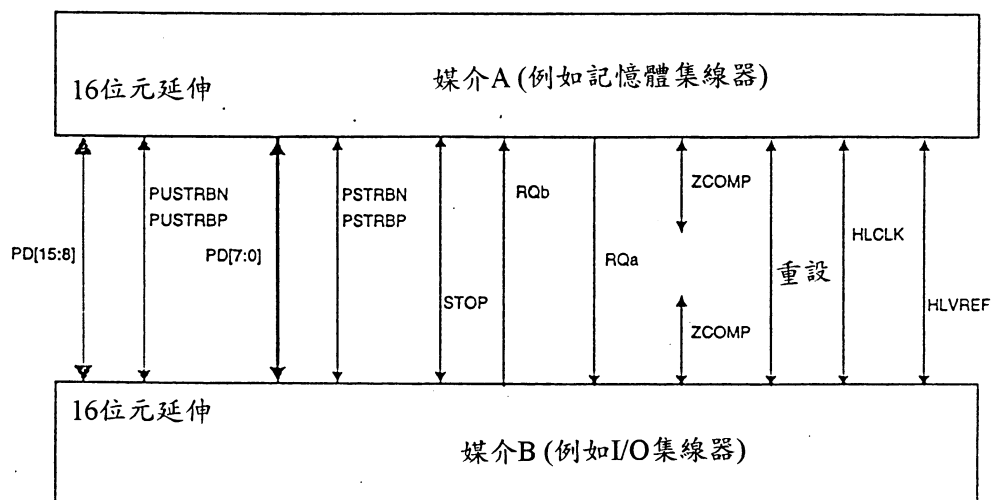


圖 8

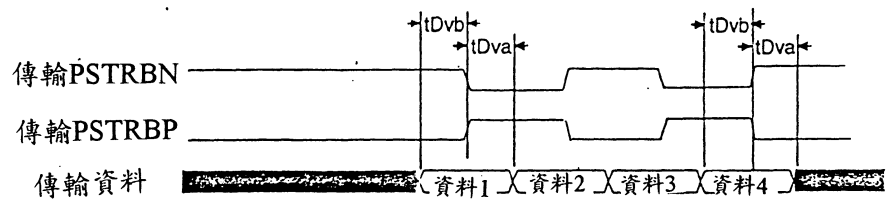


圖 9

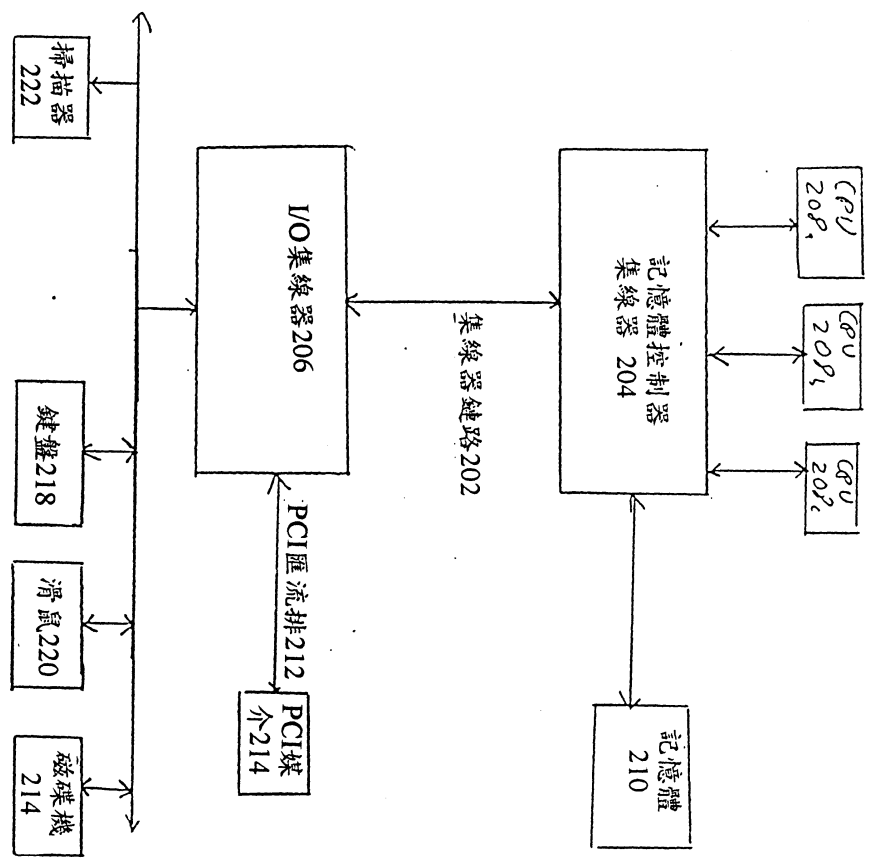


圖 10

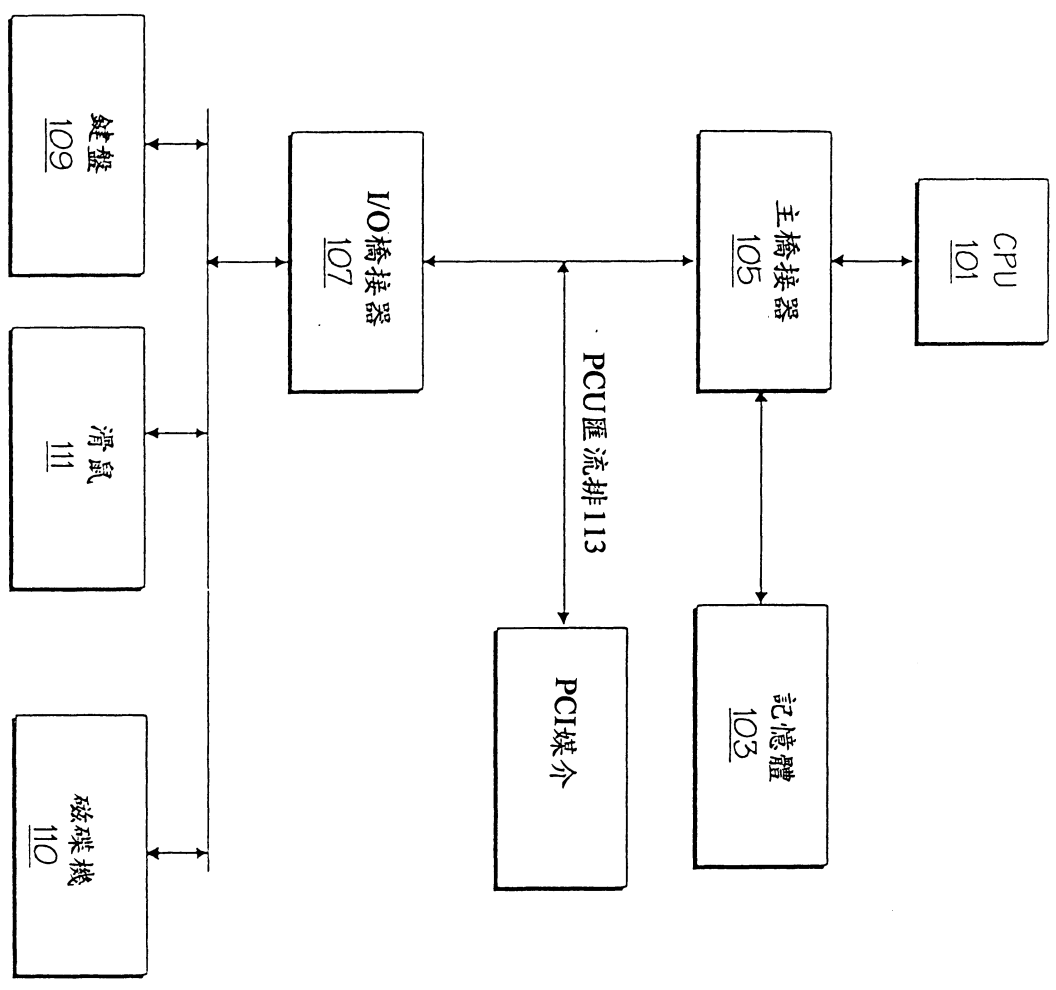


圖 1
(先前技藝)

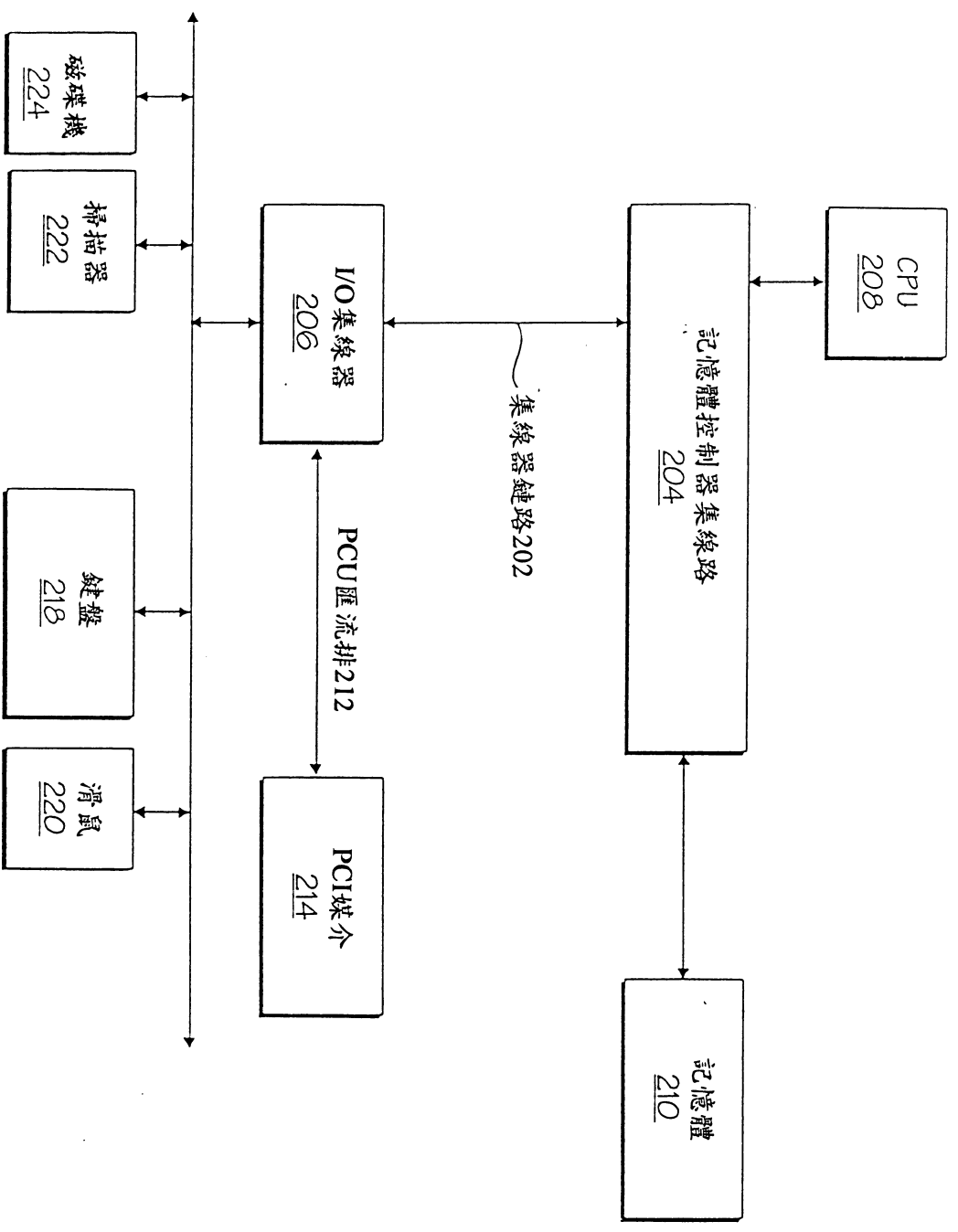


圖 2

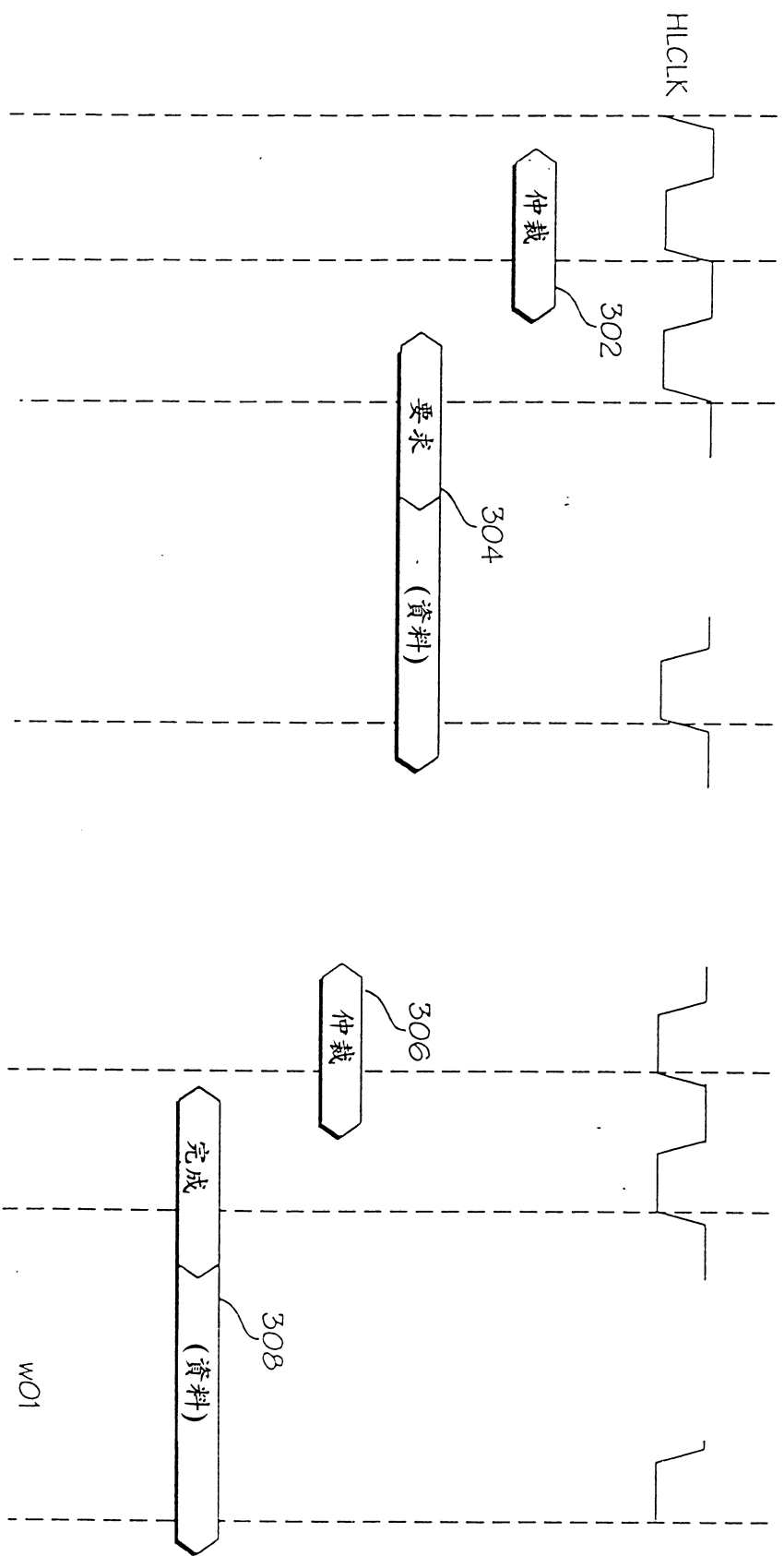


圖 3

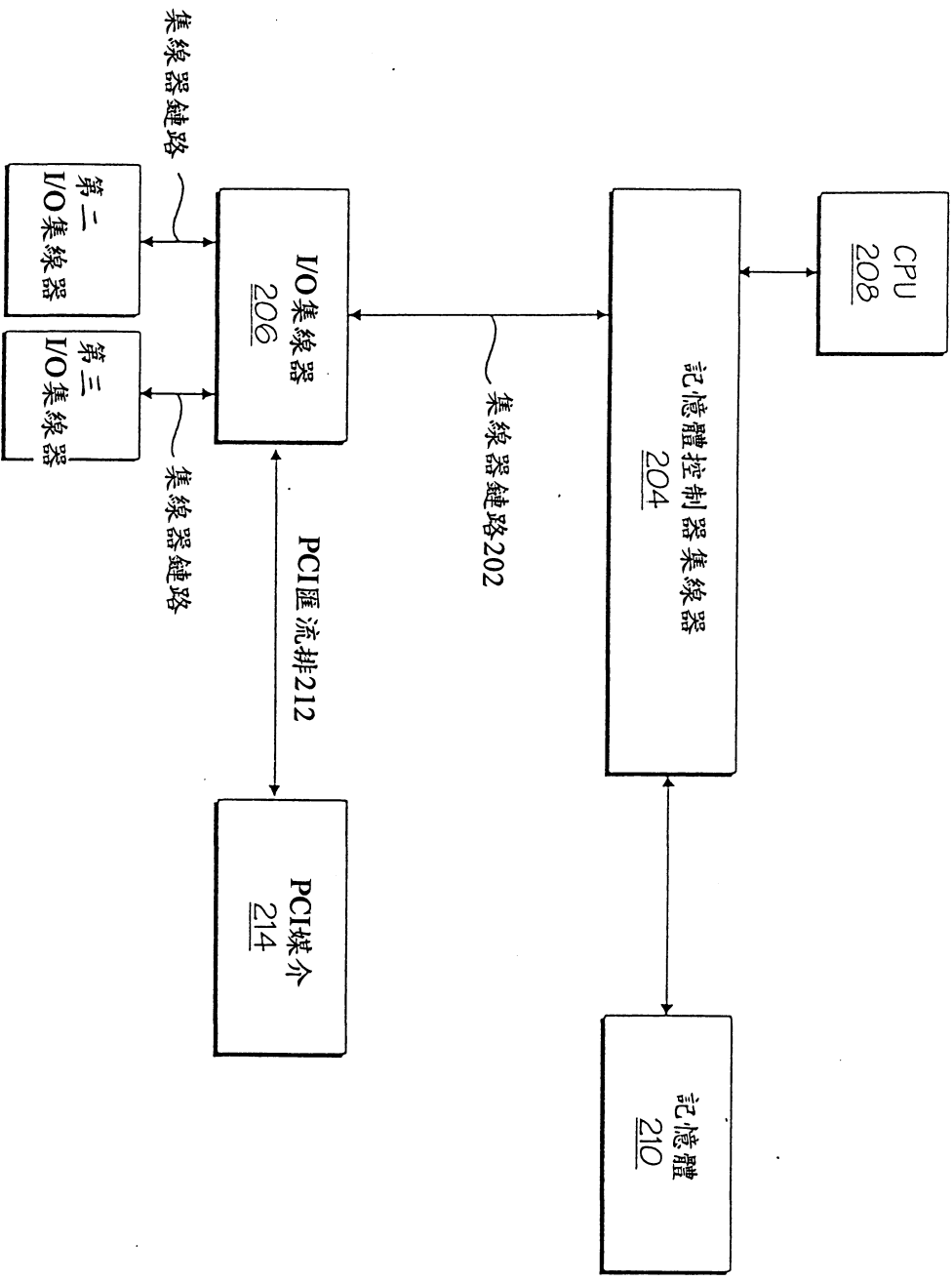


圖 4

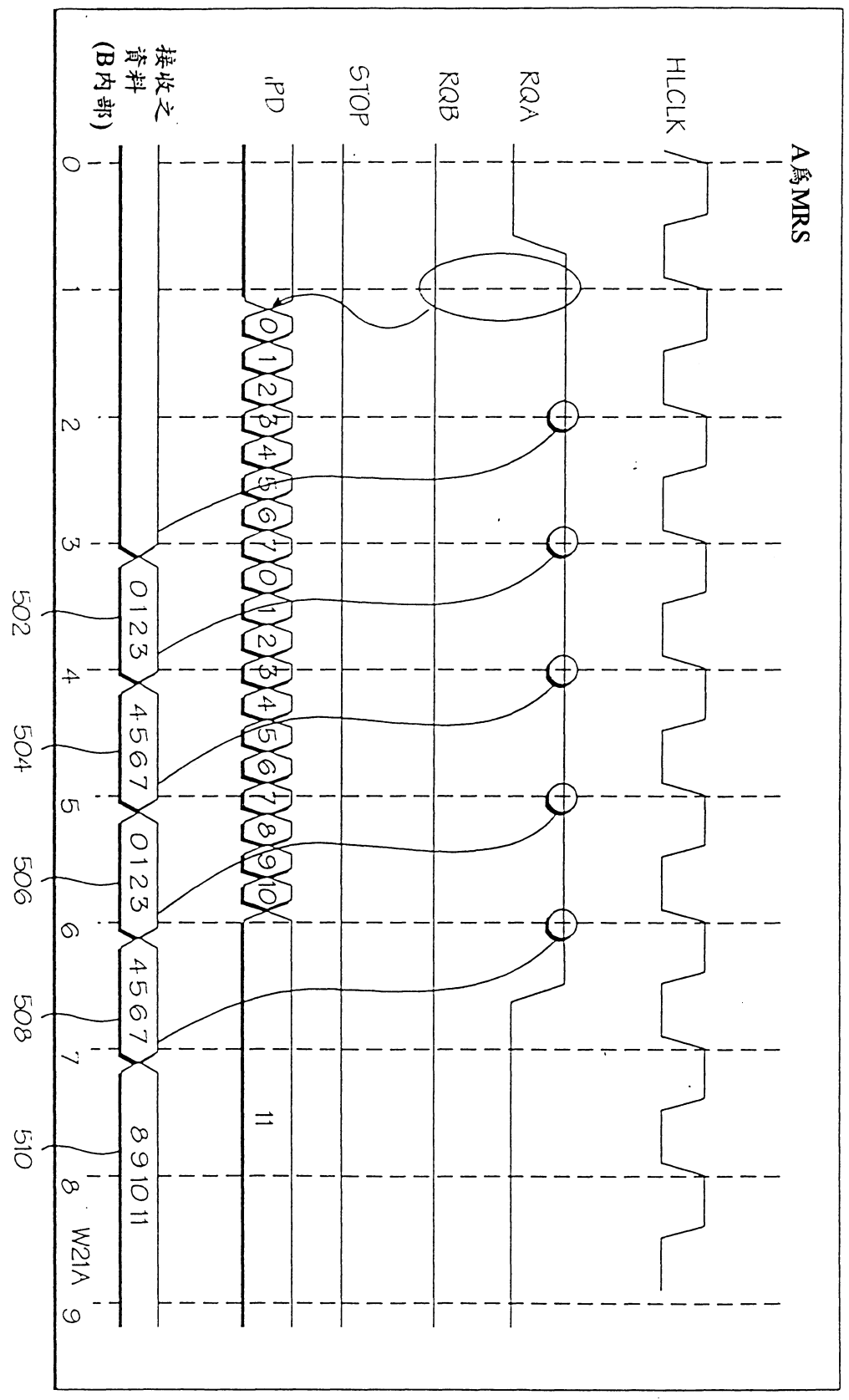


圖 5

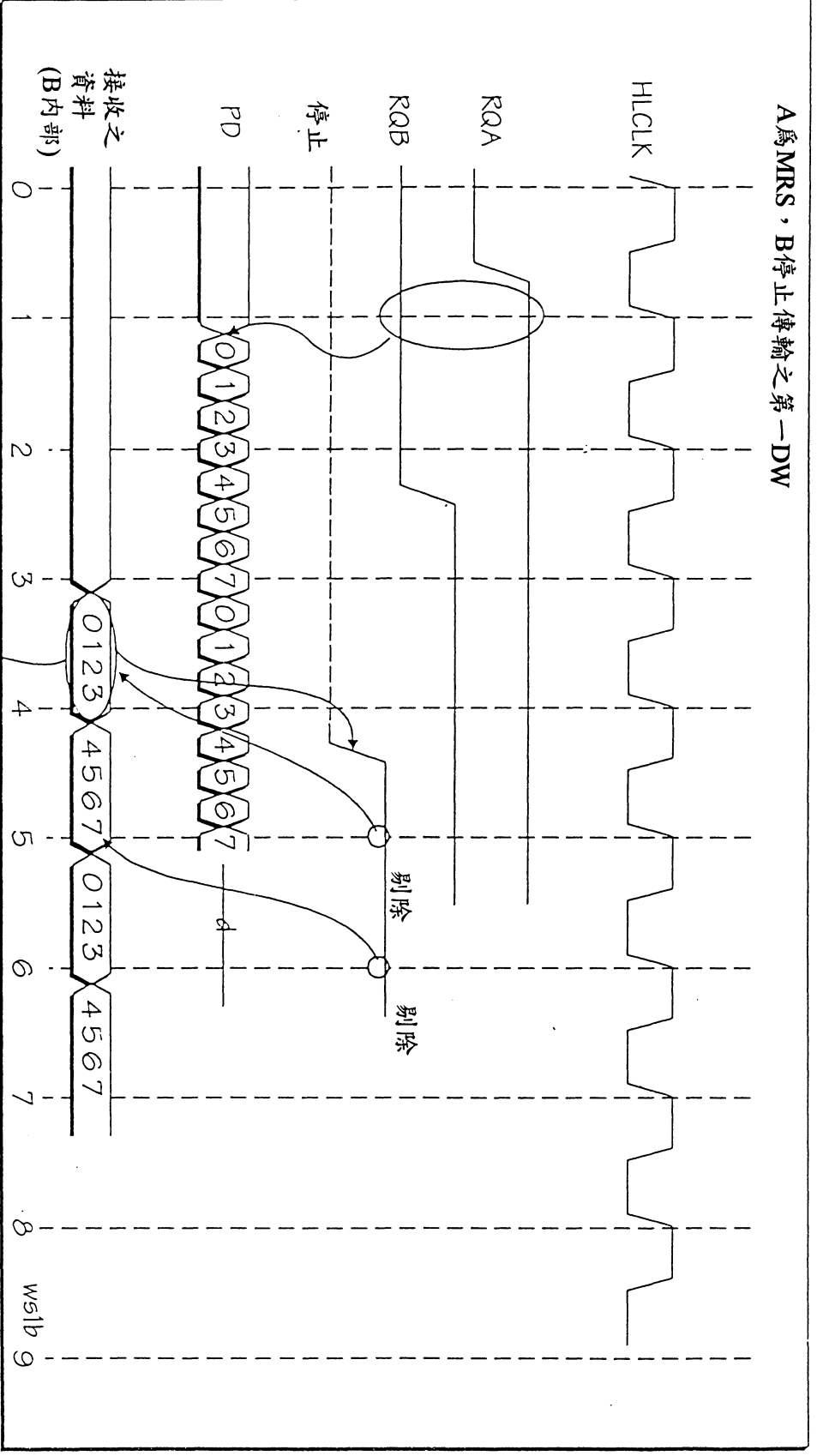


圖 6

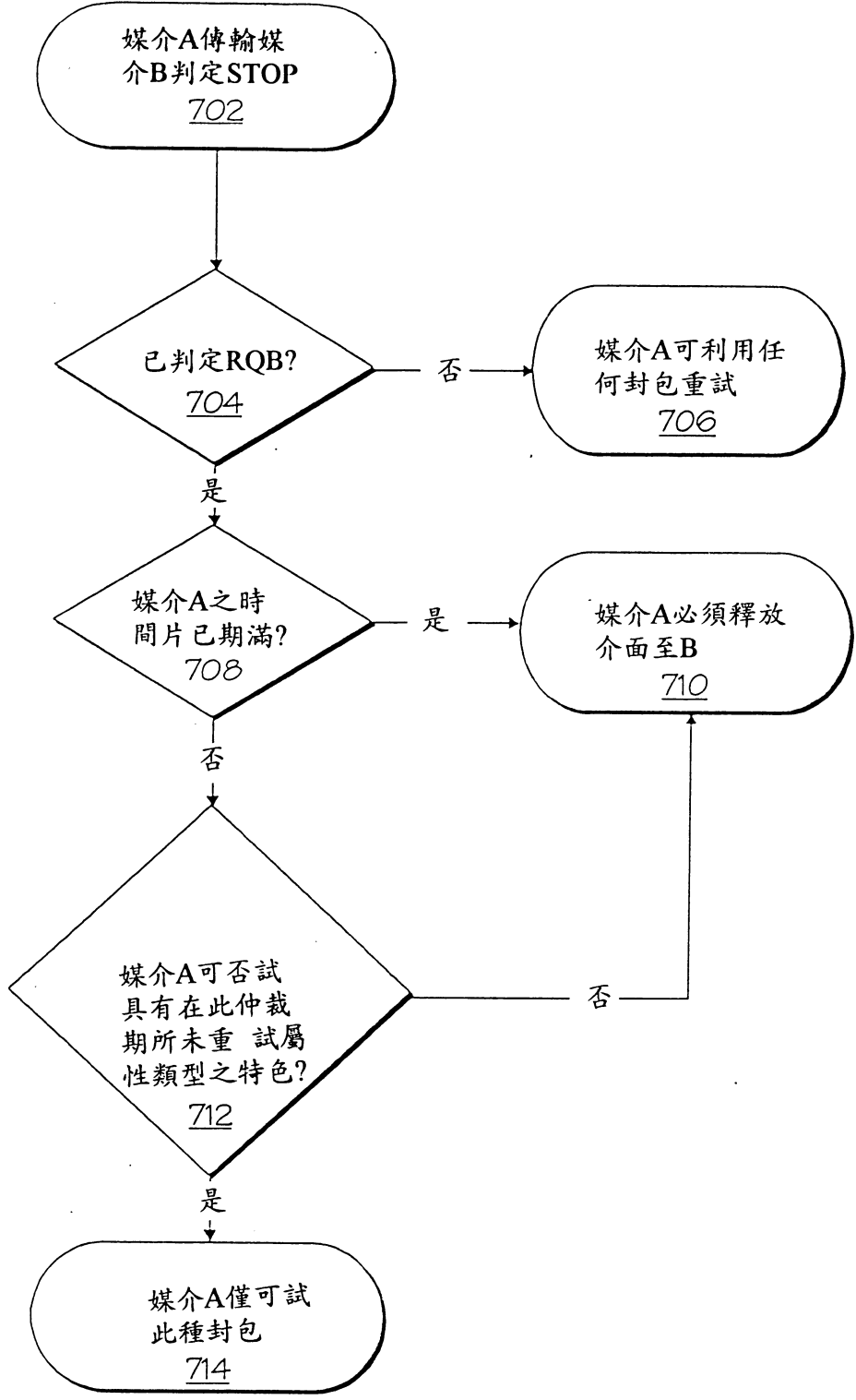


圖 7

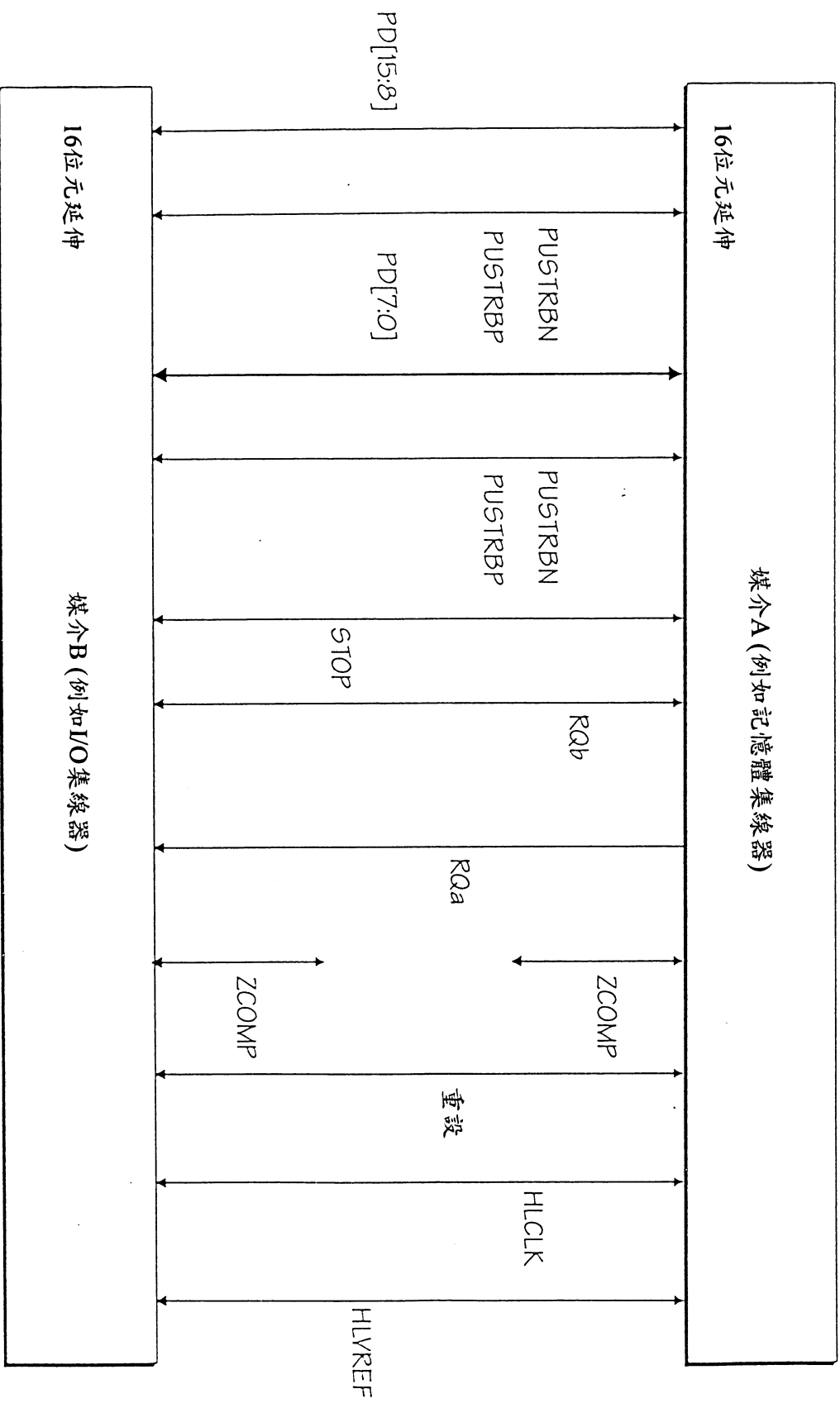


圖 8

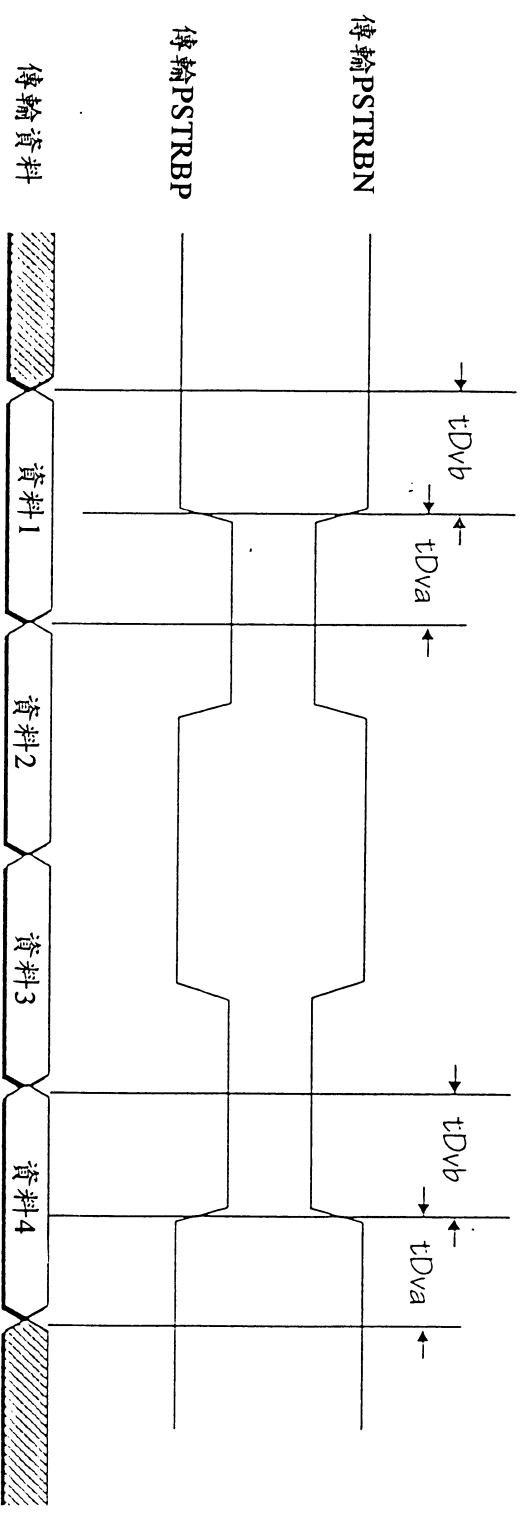


圖 9

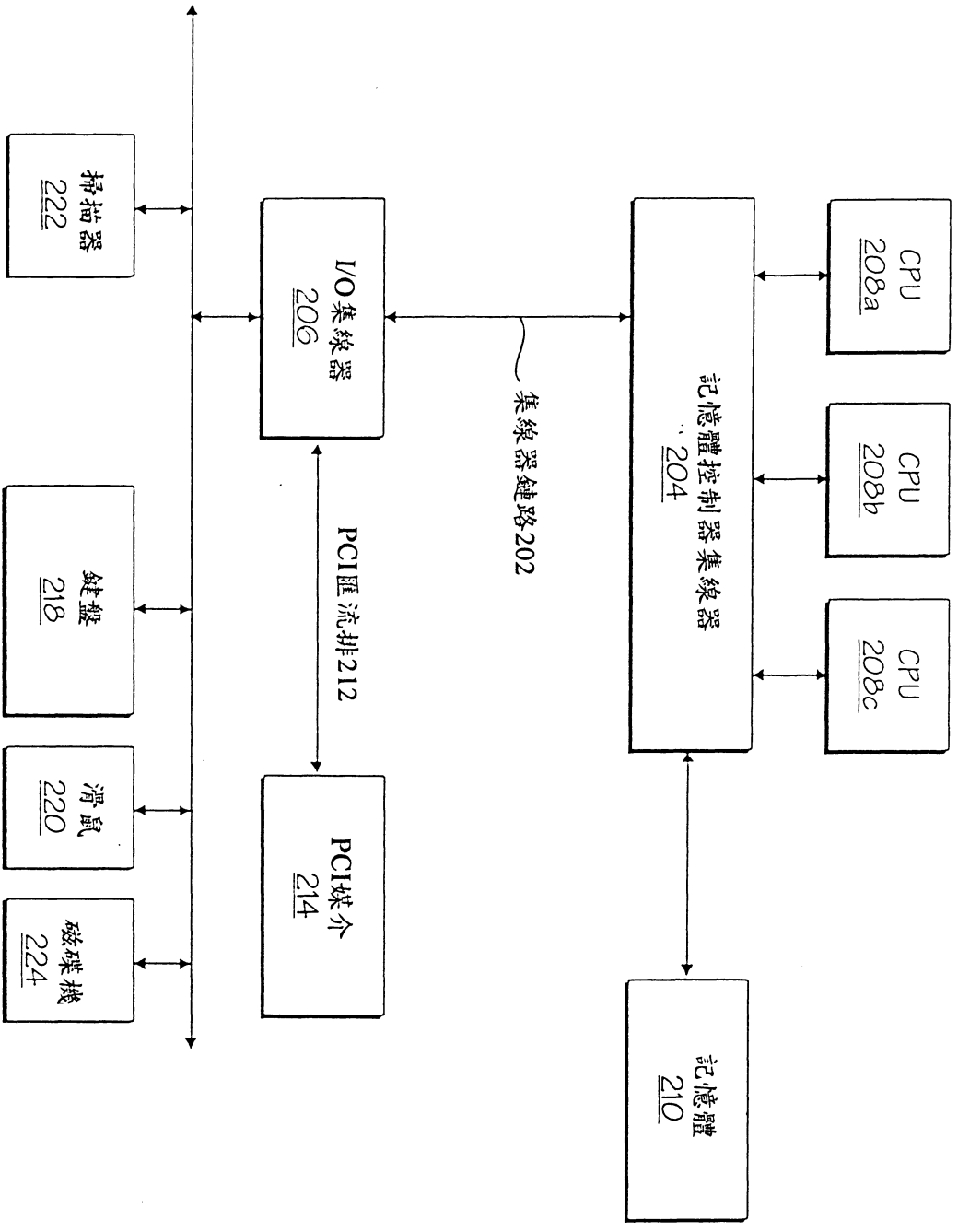


圖 10

)