



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2012년06월15일  
(11) 등록번호 10-1152129  
(24) 등록일자 2012년05월25일

(51) 국제특허분류(Int. Cl.)  
*G09G 3/36* (2006.01) *G02F 1/133* (2006.01)

(21) 출원번호 10-2005-0054427

(22) 출원일자 2005년06월23일  
심사청구일자 2010년06월23일

(65) 공개번호 10-2006-0134615

(43) 공개일자 2006년12월28일

(56) 선행기술조사문헌  
JP2003005727 A\*  
KR1020040024915 A\*

(73) 특허권자  
**삼성전자주식회사**  
경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자  
**유재명**  
경기도 수원시 영통구 영통로 232, 벽적골8단지  
아파트 804동 1803호 (영통동)

**박용주**  
경기도 화성시 영통로 27번길 20, 신영통현대4차  
아파트 408동 1804호 (반월동)

**곽진오**  
경기도 수원시 영통구 태장로 82번길 32, 동수원  
엘지빌리지 101동 1404호 (망포동)

(74) 대리인  
**페코리아특허법인**

전체 청구항 수 : 총 17 항

심사관 : 이성현

(54) 발명의 명칭 표시 장치용 시프트 레지스터 및 이를 포함하는 표시 장치

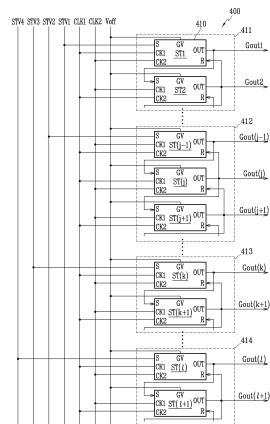
### (57) 요약

본 발명은 표시 장치에 관한 것으로서, 특히 부분 구동을 할 수 있는 시프트 레지스터 및 이를 포함하는 표시 장치에 관한 것이다.

화소 및 이에 연결되어 있는 신호선이 각각 구비되어 있는 적어도 두 개의 표시 영역을 가지며, 서로 연결되어 있으며 차례대로 출력 신호를 생성하는 복수의 스테이지를 각각 포함하는 적어도 두 개의 스테이지군을 포함하고, 상기 각 스테이지군은 상기 표시 영역 중 하나에 속하는 상기 신호선에 상기 출력 신호를 내보낸다.

이러한 방식으로, 시프트 레지스터를 복수의 군으로 나누고 필요한 부분만을 표시하여 소비 전력을 더욱 줄일 수 있다.

## 대표도 - 도5



## 특허청구의 범위

### 청구항 1

화소 및 이에 연결되어 있는 신호선이 각각 구비되어 있는 적어도 두 개의 표시 영역을 갖는 표시 장치용 시프트 레지스터로서,

서로 연결되어 있으며 차례대로 출력 신호를 생성하는 복수의 스테이지를 각각 포함하는 적어도 두 개의 스테이지군을 포함하며,

상기 각 스테이지군은 상기 표시 영역 중 하나에 속하는 상기 신호선에 상기 출력 신호를 내보내며,

상기 각 스테이지는 세트 단자, 리세트 단자, 게이트 오프 전압 단자, 출력 단자와 제1 및 제2 클록 단자를 갖는 표시 장치용 시프트 레지스터.

### 청구항 2

제1항에서,

상기 스테이지군 중 적어도 하나는 주사 시작 신호를 인가받는 표시 장치용 시프트 레지스터.

### 청구항 3

제2항에서,

상기 각 스테이지군의 첫 번째 스테이지에는 상기 주사 시작 신호가 입력되는 표시 장치용 시프트 레지스터.

### 청구항 4

제3항에서,

상기 주사 시작 신호는 위로 인접한 스테이지군의 마지막 스테이지의 출력과 동기되어 입력되는 표시 장치용 시프트 레지스터.

### 청구항 5

삭제

### 청구항 6

제1항에서,

상기 각 스테이지는

상기 제1 클록 단자에 연결되어 있는 제1 단자, 제1 접점에 연결되어 있는 제2 단자, 그리고 상기 출력 단자에 연결되어 있는 제3 단자를 갖는 제1 스위칭 소자,

상기 세트 단자에 공통적으로 연결되어 있는 제1 및 제2 단자와 상기 제1 접점에 연결되어 있는 제3 단자를 갖는 제2 스위칭 소자,

상기 제1 접점에 연결되어 있는 제1 단자, 상기 리세트 단자에 연결되어 있는 제2 단자, 그리고 상기 게이트 오프 전압 단자에 연결되어 있는 제3 단자를 갖는 제3 스위칭 소자,

상기 제1 접점에 연결되어 있는 제1 단자, 제2 접점에 연결되어 있는 제2 단자, 그리고 상기 게이트 오프 전압 단자에 연결되어 있는 제3 단자를 갖는 제4 스위칭 소자,

상기 출력 단자에 연결되어 있는 제1 단자, 상기 제2 접점에 연결되어 있는 제2 단자, 그리고 상기 게이트 오프 전압 단자에 연결되어 있는 제3 단자를 갖는 제5 스위칭 소자,

상기 출력 단자에 연결되어 있는 제1 단자, 상기 제2 클록 단자에 연결되어 있는 제2 단자, 그리고 상기 게이트 오프 전압 단자에 연결되어 있는 제3 단자를 갖는 제6 스위칭 소자,

상기 제2 접점에 연결되어 있는 제1 단자, 상기 제1 접점에 연결되어 있는 제2 단자, 그리고 상기 게이트 오프 전압 단자에 연결되어 있는 제3 단자를 갖는 제7 스위칭 소자,

상기 제1 클록 단자와 상기 제2 접점 사이에 연결되어 있는 제1 축전기, 그리고  
상기 제1 접점과 상기 출력 단자 사이에 연결되어 있는 제2 축전기  
를 포함하는  
표시 장치용 시프트 레지스터.

#### 청구항 7

제6항에서,

상기 제1 내지 제7 스위칭 소자는 비정질 규소로 이루어지는 표시 장치용 시프트 레지스터.

#### 청구항 8

스위칭 소자를 각각 포함하는 복수의 화소와 상기 스위칭 소자에 각각 연결되어 있는 복수의 신호선을 각각  
포함하는 적어도 두 개의 표시 영역, 그리고

서로 연결되어 있으며 차례로 출력 신호를 생성하여 상기 표시 영역 중 하나에 속하는 신호선에 인가하는 복  
수의 스테이지를 각각 포함하는 적어도 두 개의 스테이지군을 포함하는 시프트 레지스터

를 포함하며,

상기 각 스테이지는 세트 단자, 리세트 단자, 게이트 오프 전압 단자, 출력 단자와 제1 및 제2 클록 단자를  
갖는 표시 장치.

#### 청구항 9

제8항에서,

상기 스테이지군 중 적어도 하나는 주사 시작 신호를 인가받는 표시 장치.

#### 청구항 10

제9항에서,

상기 각 스테이지군의 첫 번째 스테이지에는 상기 주사 시작 신호가 입력되는 표시 장치.

#### 청구항 11

제10항에서,

상기 주사 시작 신호는 위로 인접한 스테이지군의 마지막 스테이지의 출력과 동기되어 입력되는 표시 장치.

#### 청구항 12

삭제

#### 청구항 13

제8항에서,

상기 각 스테이지는

상기 제1 클록 단자에 연결되어 있는 제1 단자, 제1 접점에 연결되어 있는 제2 단자, 그리고 상기 출력 단자  
에 연결되어 있는 제3 단자를 갖는 제1 트랜지스터,

상기 세트 단자에 공통적으로 연결되어 있는 제1 및 제2 단자와 상기 제1 접점에 연결되어 있는 제3 단자를  
갖는 제2 트랜지스터,

상기 제1 접점에 연결되어 있는 제1 단자, 상기 리세트 단자에 연결되어 있는 제2 단자, 그리고 상기 게이트  
오프 전압 단자에 연결되어 있는 제3 단자를 갖는 제3 트랜지스터,

상기 제1 접점에 연결되어 있는 제1 단자, 제2 접점에 연결되어 있는 제2 단자, 그리고 상기 게이트 오프 전  
압 단자에 연결되어 있는 제3 단자를 갖는 제4 트랜지스터,

상기 출력 단자에 연결되어 있는 제1 단자, 상기 제2 접점에 연결되어 있는 제2 단자, 그리고 상기 게이트 오프 전압 단자에 연결되어 있는 제3 단자를 갖는 제5 트랜지스터,

상기 출력 단자에 연결되어 있는 제1 단자, 상기 제2 클록 단자에 연결되어 있는 제2 단자, 그리고 상기 게이트 오프 전압 단자에 연결되어 있는 제3 단자를 갖는 제6 트랜지스터,

상기 제2 접점에 연결되어 있는 제1 단자, 상기 제1 접점에 연결되어 있는 제2 단자, 그리고 상기 게이트 오프 전압 단자에 연결되어 있는 제3 단자를 갖는 제7 트랜지스터,

상기 제1 클록 단자와 상기 제2 접점 사이에 연결되어 있는 제1 측전기, 그리고

상기 제1 접점과 상기 출력 단자 사이에 연결되어 있는 제2 측전기

를 포함하는

표시 장치.

#### 청구항 14

제13항에서,

상기 제1 내지 제7 트랜지스터는 비정질 규소로 이루어지는 표시 장치.

#### 청구항 15

스위칭 소자를 각각 포함하는 복수의 화소와 상기 스위칭 소자에 각각 연결되어 있는 복수의 신호선을 각각 포함하는 적어도 두 개의 표시 영역, 그리고

서로 연결되어 있으며 차례로 출력 신호를 생성하여 상기 표시 영역 중 하나에 속하는 신호선에 인가하는 복수의 스테이지를 각각 포함하는 적어도 두 개의 스테이지군을 포함하는 시프트 레지스터

를 포함하며,

서로 다른 시간에 출력되는 복수의 주사 시작 신호를 생성하는 회로부를 더 포함하는 표시 장치.

#### 청구항 16

제15항에서,

상기 주사 시작 신호의 일부는 상기 스테이지군의 마지막 스테이지의 출력에 동기되어 입력되는 표시 장치.

#### 청구항 17

제8항에서,

상기 표시 영역을 갖는 표시판부를 더 포함하고,

상기 시프트 레지스터는 상기 표시판부에 접적되어 있는

표시 장치.

#### 청구항 18

제8항에서,

상기 표시 장치는 액정 표시 장치인 표시 장치.

#### 청구항 19

제18항에서,

상기 액정 표시 장치는 반투과형(transflective type)인 표시 장치.

## 명세서

### 발명의 상세한 설명

## 발명의 목적

### 발명이 속하는 기술 및 그 분야의 종래기술

- [0025] 본 발명은 표시 장치용 시프트 레지스터 및 이를 포함하는 표시 장치에 관한 것이다.
- [0026] 최근, 무겁고 큰 음극선관(cathode ray tube, CRT)을 대신하여 유기 발광 표시 장치(organic light emitting diode display), 플라스마 표시 장치(plasma display panel, PDP), 액정 표시 장치(liquid crystal display, LCD)와 같은 평판 표시 장치가 활발히 개발 중이다.
- [0027] PDP는 기체 방전에 의하여 발생하는 플라스마를 이용하여 문자나 영상을 표시하는 장치이며, 유기 발광 표시 장치는 특정 유기물 또는 고분자들의 전계 발광을 이용하여 문자 또는 영상을 표시한다. 액정 표시 장치는 두 표시판의 사이에 들어 있는 액정층에 전기장을 인가하고, 이 전기장의 세기를 조절하여 액정층을 통과하는 빛의 투과율을 조절함으로써 원하는 화상을 얻는다.
- [0028] 이러한 표시 장치 중에서, 특히 핸드폰 등에 사용되는 중소형 표시 장치로서 외부와 내부에 각각 표시판부를 구비하는 듀얼 표시 장치가 활발히 개발 중이다.
- [0029] 이러한 듀얼 표시 장치는 내부에 장착되는 주 표시판부, 외부에 장착되는 부 표시판부, 외부로부터의 입력 신호를 전달하는 배선이 구비된 구동 가요성 인쇄 회로막(flexible printed circuit film, FPC), 주 표시판부와 부 표시판부를 연결하는 보조 FPC, 그리고 이들을 제어하기 위한 통합 칩(integrated chip)을 포함한다.
- [0030] 듀얼 표시 장치 중에서 예를 들어 액정 표시 장치와 유기 발광 표시 장치는 스위칭 소자를 포함하는 화소와 표시 신호선이 구비된 표시판, 그리고 표시 신호선 중 게이트선에 게이트 온 전압과 게이트 오프 전압을 내보내어 화소의 스위칭 소자를 턴온/오프시키는 게이트 구동부와 표시 신호선 중 데이터선에 데이터 전압을 내보내어 턴온된 스위칭 소자를 통하여 화소에 인가하는 데이터 구동부를 포함하고, 통합 칩은 주 표시판부와 부 표시판부의 게이트 구동부와 데이터 구동부를 제어하기 위한 제어 신호 및 구동 신호를 생성하며, 주로 주 표시판부에 COG(chip on glass) 형태로 장착되어 있다.
- [0031] 한편, 이러한 중소형 표시 장치는 물론 대형 표시 장치에서 원가 절감 등을 위하여 게이트 구동부가 화소의 스위칭 소자와 동일한 공정으로 형성되어 표시판부에 집적되어 있는 경우가 있다.
- [0032] 게이트 구동부는 실질적으로 시프트 레지스터로서 서로 연결되어 있으며 일렬로 배열되어 있는 복수의 스테이지를 포함하고, 첫 번째 스테이지가 주사 시작 신호를 인가받아 게이트 출력을 내보내는 동시에 다음 스테이지에 캐리 출력(carry output)을 내보내어 순차적으로 게이트 출력을 생성한다.

### 발명이 이루고자 하는 기술적 과제

- [0033] 그런데, 화면 전체를 표시하지 않고 일부만 표시하는 이른바 일부 구동 모드(partial operation mode)의 경우에도 주사 시작 신호는 첫 번째 스테이지로 입력되어 모든 스테이지가 동작하여야 하므로 전력 소비가 심하다.
- [0034] 따라서, 본 발명이 이루고자 하는 기술적 과제는 일부 구동 모드를 구현하여 소비 전력을 줄일 수 있는 시프트 레지스터 및 이를 포함하는 표시 장치를 제공하는 것이다.

## 발명의 구성 및 작용

- [0035] 이러한 기술적 과제를 이루기 위한 본 발명의 한 실시예에 따라, 화소 및 이에 연결되어 있는 신호선이 각각 구비되어 있는 적어도 두 개의 표시 영역을 갖는 표시 장치용 시프트 레지스터로서, 서로 연결되어 있으며 차례대로 출력 신호를 생성하는 복수의 스테이지를 각각 포함하는 적어도 두 개의 스테이지군을 포함하며, 상기 각 스테이지군은 상기 표시 영역 중 하나에 속하는 상기 신호선에 상기 출력 신호를 내보낸다.
- [0036] 상기 스테이지군 중 적어도 하나는 주사 시작 신호를 인가받을 수 있다.
- [0037] 상기 각 스테이지군의 첫 번째 스테이지에는 상기 주사 시작 신호가 입력될 수 있으며, 상기 주사 시작 신호는 위로 인접한 스테이지군의 마지막 스테이지의 출력과 동기되어 입력될 수 있다.
- [0038] 상기 각 스테이지는 세트 단자, 리세트 단자, 게이트 전압 단자, 출력 단자와 제1 및 제2 클록 단자를 가질 수 있다.

- [0039] 상기 각 스테이지는, 상기 제1 클록 단자에 연결되어 있는 제1 단자, 제1 접점에 연결되어 있는 제2 단자, 그리고 상기 출력 단자에 연결되어 있는 제3 단자를 갖는 제1 스위칭 소자, 상기 세트 단자에 공통적으로 연결되어 있는 제1 및 제2 단자와 상기 제1 접점에 연결되어 있는 제3 단자를 갖는 제2 스위칭 소자, 상기 제1 접점에 연결되어 있는 제1 단자, 상기 리세트 단자에 연결되어 있는 제2 단자, 그리고 상기 게이트 오프 전압 단자에 연결되어 있는 제3 단자를 갖는 제3 스위칭 소자, 상기 제1 접점에 연결되어 있는 제1 단자, 제2 접점에 연결되어 있는 제2 단자, 그리고 상기 게이트 오프 전압 단자에 연결되어 있는 제3 단자를 갖는 제4 스위칭 소자, 상기 출력 단자에 연결되어 있는 제1 단자, 상기 제2 접점에 연결되어 있는 제2 단자, 그리고 상기 게이트 오프 전압 단자에 연결되어 있는 제3 단자를 갖는 제5 스위칭 소자, 상기 출력 단자에 연결되어 있는 제1 단자, 상기 제2 클록 단자에 연결되어 있는 제2 단자, 그리고 상기 게이트 오프 전압 단자에 연결되어 있는 제3 단자를 갖는 제6 스위칭 소자, 상기 제2 접점에 연결되어 있는 제1 단자, 상기 제1 접점에 연결되어 있는 제2 단자, 그리고 상기 게이트 오프 전압 단자에 연결되어 있는 제3 단자를 갖는 제7 스위칭 소자, 상기 제1 클록 단자와 상기 제2 접점 사이에 연결되어 있는 제1 축전기, 그리고 상기 제1 접점과 상기 출력 단자 사이에 연결되어 있는 제2 축전기를 포함할 수 있다.
- [0040] 상기 제1 내지 제7 스위칭 소자는 비정질 규소로 이루어질 수 있다.
- [0041] 본 발명의 한 특징에 따른 표시 장치는, 스위칭 소자를 각각 포함하는 복수의 화소와 상기 스위칭 소자에 각각 연결되어 있는 복수의 신호선을 각각 포함하는 적어도 두 개의 표시 영역, 그리고 서로 연결되어 있으며 차례로 출력 신호를 생성하여 상기 표시 영역 중 하나에 속하는 신호선에 인가하는 복수의 스테이지를 각각 포함하는 적어도 두 개의 스테이지군을 포함하는 시프트 레지스터를 포함한다.
- [0042] 상기 스테이지군 중 적어도 하나는 주사 시작 신호를 인가받을 수 있으며, 상기 각 스테이지군의 첫 번째 스테이지에는 상기 주사 시작 신호가 입력될 수 있다.
- [0043] 상기 주사 시작 신호는 위로 인접한 스테이지군의 마지막 스테이지의 출력과 동기되어 입력될 수 있다.
- [0044] 상기 각 스테이지는 세트 단자, 리세트 단자, 게이트 전압 단자, 출력 단자와 제1 및 제2 클록 단자를 가질 수 있다.
- [0045] 상기 각 스테이지는, 상기 제1 클록 단자에 연결되어 있는 제1 단자, 제1 접점에 연결되어 있는 제2 단자, 그리고 상기 출력 단자에 연결되어 있는 제3 단자를 갖는 제1 트랜지스터, 상기 세트 단자에 공통적으로 연결되어 있는 제1 및 제2 단자와 상기 제1 접점에 연결되어 있는 제3 단자를 갖는 제2 트랜지스터, 상기 제1 접점에 연결되어 있는 제1 단자, 상기 리세트 단자에 연결되어 있는 제2 단자, 그리고 상기 게이트 오프 전압 단자에 연결되어 있는 제3 단자를 갖는 제3 트랜지스터, 상기 제1 접점에 연결되어 있는 제1 단자, 제2 접점에 연결되어 있는 제2 단자, 그리고 상기 게이트 오프 전압 단자에 연결되어 있는 제3 단자를 갖는 제4 트랜지스터, 상기 출력 단자에 연결되어 있는 제1 단자, 상기 제2 접점에 연결되어 있는 제2 단자, 그리고 상기 게이트 오프 전압 단자에 연결되어 있는 제3 단자를 갖는 제5 트랜지스터, 상기 출력 단자에 연결되어 있는 제1 단자, 상기 제2 클록 단자에 연결되어 있는 제2 단자, 그리고 상기 게이트 오프 전압 단자에 연결되어 있는 제3 단자를 갖는 제6 트랜지스터, 상기 제2 접점에 연결되어 있는 제1 단자, 상기 제1 접점에 연결되어 있는 제2 단자, 그리고 상기 게이트 오프 전압 단자에 연결되어 있는 제3 단자를 갖는 트랜지스터, 상기 제1 클록 단자와 상기 제2 접점 사이에 연결되어 있는 제1 축전기, 그리고 상기 제1 접점과 상기 출력 단자 사이에 연결되어 있는 제2 축전기를 포함할 수 있다.
- [0046] 상기 제1 내지 제7 트랜지스터는 비정질 규소로 이루어질 수 있다.
- [0047] 한편, 상기 표시 장치는 서로 다른 시간에 출력되는 복수의 주사 시작 신호를 생성하는 회로부를 더 포함할 수 있고, 상기 주사 시작 신호의 일부는 상기 스테이지군의 마지막 스테이지의 출력에 동기되어 입력될 수 있다.
- [0048] 또한, 상기 표시 장치는 상기 표시 영역을 갖는 표시판부를 더 포함하고, 상기 시프트 레지스터는 상기 표시판부에 접적되어 있을 수 있다.
- [0049] 상기 표시 장치는 액정 표시 장치일 수 있으며, 상기 액정 표시 장치는 반투과형(transflective type)일 수 있다.
- [0050] 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진자가 용이하게 실시할 수 있도록 상세히 설명한다.

- [0051] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.
- [0052] 이제 본 발명의 실시예에 따른 표시 장치에 대하여 첨부한 도면을 참고로 하여 상세하게 설명하며, 액정 표시 장치를 한 예로 설명한다.
- [0053] 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 개략도이며, 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이고, 도 3은 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소에 대한 등가 회로도이다.
- [0054] 아래에서 게이트 구동부(400)는 특별한 언급한 없으면 게이트 구동부(400M) 또는 게이트 구동부(400S)일 수 있다.
- [0055] 도 1을 참고하면, 본 발명의 한 실시예에 따른 표시 장치는 주 표시판부(300M)와 부 표시판부(300S), 주 표시판부(300M)에 부착된 FPC(flexible printed circuit film)(650), 주 표시판부(300M)와 부 표시판부(300S) 사이에 부착된 보조 FPC(680), 그리고 표시판부(300M) 위에 장착된 통합 칩(700)을 포함한다.
- [0056] FPC(650)는 주 표시판부(300M)의 한 변 부근에 부착되어 있다. 또한, 조립 상태에서 FPC(650)를 접었을 때 주 표시판부(300M)의 일부를 드러내는 개구부(690)를 가지고 있다. 개구부(690)의 아래쪽에는 외부로부터의 신호가 입력되는 입력부(660)가 구비되어 있으며 기타 입력부(660)와 통합 칩(700), 통합 칩(700)과 주 표시판부(300M)의 전기적 연결을 위한 다수의 신호선(도시하지 않음)을 갖추고 있는데, 이들 신호선은 통합 칩(700)과 연결되는 지점 및 주 표시판부(300M)와 부착되는 지점에서 대체적으로 폭이 넓어져 패드(도시하지 않음)를 이룬다.
- [0057] 보조 FPC(680)는 주 표시판부(300M)의 다른 변과 부 표시판부(300S)의 한 변 사이에 부착되어 있으며, 통합 칩(700)과 부 표시판부(300S)의 전기적 연결을 위한 신호선(SL2, DL)을 구비한다.
- [0058] 각 표시판부(300M, 300S)는 화면을 이루는 표시 영역(310M, 310S)과 주변 영역(320M, 320S)을 포함하고, 주변 영역(320M, 320S)에는 빛을 차단하기 위한 차광층(도시하지 않음)("블랙 매트릭스")이 구비될 수 있다. FPC(650) 및 보조 FPC(680)는 이 차광 영역(320M, 320S)에 부착되어 있다.
- [0059] 도 2에 도시한 것처럼, 각 표시판부(300M, 300S)는 복수의 게이트선( $G_1-G_n$ )과 복수의 데이터선( $D_1-D_m$ )을 포함하는 복수의 표시 신호선과 이에 연결되어 있으며 대략 행렬의 형태로 배열된 복수의 화소(PX), 그리고 게이트선( $G_1-G_n$ )에 신호를 공급하는 게이트 구동부(400)를 포함하며, 화소와 표시 신호선( $G_1-G_n$ ,  $D_1-D_m$ )의 대부분은 표시 영역(310M, 310S) 내에 위치하고, 게이트 구동부(400M, 400S)는 주변 영역(320M, 320S)에 각각 위치한다. 게이트 구동부(400M, 400S)가 위치한 쪽의 주변 영역(320M, 320S)은 좀 더 큰 폭을 갖는다.
- [0060] 또한, 도 1에 도시한 것처럼 주 표시판부(300M)의 데이터선( $D_1-D_m$ ) 중 일부는 보조 FPC(680)를 통하여 부 표시판부(300S)에 연결되어 있다. 즉, 두 표시판부(300M, 300S)는 데이터선( $D_1-D_m$ ) 중 일부를 공유하는 형태이며, 도면에는 그 중 하나(DL)를 나타내었다.
- [0061] 상부 표시판(200)은 하부 표시판(100)보다 크기가 작아서 하부 표시판(100)의 일부 영역이 노출되며 이 영역으로 데이터선( $D_1-D_m$ )이 연장되어 데이터 구동부(500)와 연결된다. 게이트선( $G_1-G_n$ )은 또한 주변 영역(320M, 320S)으로 가려진 영역으로 연장되어 게이트 구동부(400M, 400S)와 연결된다.
- [0062] 표시 신호선( $G_1-G_n$ ,  $D_1-D_m$ )은 FPC(650, 680)와 연결되는 지점에서 대체로 폭이 넓어져 패드(도시하지 않음)를 이루며, 표시판부(300M, 300S)와 FPC(650, 680)는 이들 패드의 전기적 접속을 위한 이방성 도전막(도시하지 않음)으로 부착되어 있다.
- [0063] 각 화소(PX), 예를 들면  $i$ 번째( $i=1, 2, \dots, n$ ) 게이트선( $G_i$ )과  $j$ 번째( $j=1, 2, \dots, m$ ) 데이터선( $D_j$ )에 연결된 화소(PX)는 신호선( $G_i$ ,  $D_j$ )에 연결된 스위칭 소자(Q)와 이에 연결된 액정 축전기(liquid crystal capacitor)( $C_{LC}$ ) 및 유지 축전기(storage capacitor)( $C_{ST}$ )를 포함한다. 유지 축전기( $C_{ST}$ )는 필요에 따라 생략할 수 있다.
- [0064] 스위칭 소자(Q)는 하부 표시판(100)에 구비되어 있는 박막 트랜지스터 등의 삼단자 소자로서, 그 제어 단자는

게이트선( $G_i$ )과 연결되어 있고, 입력 단자는 데이터선( $D_j$ )과 연결되어 있으며, 출력 단자는 액정 축전기( $C_{LC}$ ) 및 유지 축전기( $C_{ST}$ )와 연결되어 있다.

[0065] 액정 축전기( $C_{LC}$ )는 하부 표시판(100)의 화소 전극(191)과 상부 표시판(200)의 공통 전극(270)을 두 단자로 하며 두 전극(191, 270) 사이의 액정층(3)은 유전체로서 기능한다. 화소 전극(191)은 스위칭 소자(Q)와 연결되어 공통 전극(270)은 상부 표시판(200)의 전면에 형성되어 있고 공통 전압( $V_{com}$ )을 인가받는다. 도 2에서와는 달리 공통 전극(270)이 하부 표시판(100)에 구비되는 경우도 있으며 이때에는 두 전극(191, 270) 중 적어도 하나가 선형 또는 막대형으로 만들어질 수 있다.

[0066] 액정 축전기( $C_{LC}$ )의 보조적인 역할을 하는 유지 축전기( $C_{ST}$ )는 하부 표시판(100)에 구비된 별개의 신호선(도시하지 않음)과 화소 전극(191)이 절연체를 사이에 두고 중첩되어 이루어지며 이 별개의 신호선에는 공통 전압( $V_{com}$ ) 따위의 정해진 전압이 인가된다. 그러나 유지 축전기( $C_{ST}$ )는 화소 전극(191)이 절연체를 매개로 바로 위의 전단 게이트선과 중첩되어 이루어질 수 있다.

[0067] 한편, 색 표시를 구현하기 위해서는 각 화소(PX)가 기본색(primary color) 중 하나를 고유하게 표시하거나(공간 분할) 각 화소(PX)가 시간에 따라 번갈아 기본색을 표시하게(시간 분할) 하여 이들 기본색의 공간적, 시간적 합으로 원하는 색상이 인식되도록 한다. 기본색의 예로는 적색, 녹색, 청색 등 삼원색을 들 수 있다. 도 2는 공간 분할의 한 예로서 각 화소(PX)가 화소 전극(191)에 대응하는 상부 표시판(200)의 영역에 기본색 중 하나를 나타내는 색 필터(230)를 구비함을 보여주고 있다. 도 2와는 달리 색 필터(230)는 하부 표시판(100)의 화소 전극(191) 위 또는 아래에 형성할 수도 있다.

[0068] 액정 표시판 조립체(300)의 바깥 면에는 빛을 편광시키는 적어도 하나의 편광자(도시하지 않음)가 부착되어 있다.

[0069] 계조 전압 생성부(800)는 화소(PX)의 투과율과 관련된 두 별의 계조 전압 집합(또는 기준 계조 전압 집합)을 생성한다. 두 별 중 한 별은 공통 전압( $V_{com}$ )에 대하여 양의 값을 가지고 다른 한 별은 음의 값을 가진다.

[0070] 게이트 구동부(400M, 400S)는 게이트선( $G_1-G_n$ )에 연결되어 스위칭 소자(Q)를 턴온시킬 수 있는 게이트 온 전압( $V_{on}$ )과 스위칭 소자(Q)를 턴오프시킬 수 있는 게이트 오프 전압( $V_{off}$ )의 조합으로 이루어진 게이트 신호를 게이트선( $G_1-G_n$ )에 인가한다. 게이트 구동부(400M, 400S)는 화소의 스위칭 소자(Q)와 동일한 공정으로 형성되어 집적되어 있으며, 신호선(SL1, SL2)을 통하여 통합 칩(700)과 각각 연결되어 있다.

[0071] 데이터 구동부(500)는 액정 표시판 조립체(300)의 데이터선( $D_1-D_m$ )에 연결되어 있으며, 계조 전압 생성부(800)로부터의 계조 전압을 선택하고 이를 데이터 신호로서 데이터선( $D_1-D_m$ )에 인가한다. 그러나 계조 전압 생성부(800)가 모든 계조에 대한 전압을 모두 제공하는 것이 아니라 정해진 수의 기준 계조 전압만을 제공하는 경우에, 데이터 구동부(500)는 기준 계조 전압을 분압하여 전체 계조에 대한 계조 전압을 생성하고 이 중에서 데이터 신호를 선택한다.

[0072] 신호 제어부(600)는 게이트 구동부(400) 및 데이터 구동부(500) 등을 제어한다.

[0073] 통합 칩(700)은 연결부(660)와 FPC(650)에 구비된 신호선을 통하여 외부의 신호를 입력받고 처리한 신호를 주 표시판부(300M)의 주변 영역(320M)과 보조 FPC(680)에 구비된 배선을 통하여 주 표시판부(300M) 및 부 표시판부(300S)에 공급함으로써 이들을 제어하는데, 도 2에 도시한 계조 전압 생성부(800), 데이터 구동부(500) 및 신호 제어부(600) 등을 포함한다.

[0074] 그러면 이러한 액정 표시 장치의 표시 동작에 대하여 상세하게 설명한다.

[0075] 신호 제어부(600)는 외부의 그래픽 제어기(도시하지 않음)로부터 입력 영상 신호(R, G, B) 및 이의 표시를 제어하는 입력 제어 신호를 수신한다. 입력 제어 신호의 예로는 수직 동기 신호(Vsync)와 수평 동기 신호(Hsync), 메인 클록(MCLK), 데이터 인에이블 신호(DE) 등이 있다.

[0076] 신호 제어부(600)는 입력 영상 신호(R, G, B)와 입력 제어 신호를 기초로 입력 영상 신호(R, G, B)를 액정 표시판 조립체(300)의 동작 조건에 맞게 적절히 처리하고 게이트 제어 신호(CONT1) 및 데이터 제어 신호(CONT2) 등을 생성한 후, 게이트 제어 신호(CONT1)를 게이트 구동부(400)로 내보내고 데이터 제어 신호(CONT2)와 처리한 영상 신호(DAT)를 데이터 구동부(500)로 내보낸다.

- [0077] 게이트 제어 신호(CONT1)는 주사 시작을 지시하는 주사 시작 신호(STV)와 게이트 온 전압(Von)의 출력 주기를 제어하는 적어도 하나의 클록 신호를 포함한다. 게이트 제어 신호(CONT1)는 또한 게이트 온 전압(Von)의 지속 시간을 한정하는 출력 인에이블 신호(OE)를 더 포함할 수 있다.
- [0078] 데이터 제어 신호(CONT2)는 한 행의 화소(PX)에 대한 영상 데이터의 전송 시작을 알리는 수평 동기 시작 신호(STH)와 데이터선(D<sub>1</sub>-D<sub>m</sub>)에 데이터 신호를 인가하라는 로드 신호(LOAD) 및 데이터 클록 신호(HCLK)를 포함한다. 데이터 제어 신호(CONT2)는 또한 공통 전압(Vcom)에 대한 데이터 신호의 전압 극성(이하 "공통 전압에 대한 데이터 신호의 전압 극성"을 줄여 "데이터 신호의 극성"이라 함)을 반전시키는 반전 신호(RVS)를 더 포함할 수 있다.
- [0079] 신호 제어부(600)로부터의 데이터 제어 신호(CONT2)에 따라, 데이터 구동부(500)는 한 행의 화소(PX)에 대한 디지털 영상 신호(DAT)를 수신하고, 각 디지털 영상 신호(DAT)에 대응하는 계조 전압을 선택함으로써 디지털 영상 신호(DAT)를 아날로그 데이터 신호로 변환한 다음, 이를 해당 데이터선(D<sub>1</sub>-D<sub>m</sub>)에 인가한다.
- [0080] 게이트 구동부(400)는 신호 제어부(600)로부터의 게이트 제어 신호(CONT1)에 따라 게이트 온 전압(Von)을 게이트선(G<sub>1</sub>-G<sub>n</sub>)에 인가하여 이 게이트선(G<sub>1</sub>-G<sub>n</sub>)에 연결된 스위칭 소자(Q)를 턴온시킨다. 그러면, 데이터선(D<sub>1</sub>-D<sub>m</sub>)에 인가된 데이터 신호가 턴온된 스위칭 소자(Q)를 통하여 해당 화소(PX)에 인가된다.
- [0081] 화소(PX)에 인가된 데이터 신호의 전압과 공통 전압(Vcom)의 차이는 액정 축전기(C<sub>LC</sub>)의 충전 전압, 즉 화소 전압으로서 나타난다. 액정 분자들은 화소 전압의 크기에 따라 그 배열을 달리하며 이에 따라 액정층(3)을 통과하는 빛의 편광이 변화한다. 이러한 편광의 변화는 표시판 조립체(300)에 부착된 편광자에 의하여 빛의 투과율 변화로 나타난다.
- [0082] 1 수평 주기["1H"라고도 쓰며, 수평 동기 신호(Hsync) 및 데이터 인에이블 신호(DE)의 한 주기와 동일함]를 단위로 하여 이러한 과정을 되풀이함으로써, 모든 게이트선(G<sub>1</sub>-G<sub>n</sub>)에 대하여 차례로 게이트 온 전압(Von)을 인가하여 모든 화소(PX)에 데이터 신호를 인가하여 한 프레임(frame)의 영상을 표시한다.
- [0083] 한 프레임이 끝나면 다음 프레임이 시작되고 각 화소(PX)에 인가되는 데이터 신호의 극성이 이전 프레임에서의 극성과 반대가 되도록 데이터 구동부(500)에 인가되는 반전 신호(RVS)의 상태가 제어된다("프레임 반전"). 이때, 한 프레임 내에서도 반전 신호(RVS)의 특성에 따라 한 데이터선을 통하여 흐르는 데이터 신호의 극성이 바뀌거나(보기: 행 반전, 점 반전), 한 화소행에 인가되는 데이터 신호의 극성도 서로 다를 수 있다(보기: 열 반전, 점 반전).
- [0084] 그러면 본 발명의 한 실시예에 따른 액정 표시 장치에 대하여 도 4 내지 도 7을 참고로 하여 상세히 설명한다.
- [0085] 도 4는 본 발명의 한 실시예에 따른 액정 표시 장치의 부분 구동의 한 예이며, 도 5는 본 발명의 한 실시예에 따른 게이트 구동부의 블록도이다. 도 6은 도 5에 도시한 게이트 구동부용 시프트 레지스터의 j 번째 스테이지의 회로도의 한 예이며, 도 7은 도 5에 도시한 게이트 구동부의 신호 파형도이다.
- [0086] 도 4를 보면, 주 표시판부(300M) 또는 부 표시판부(300S)에 표시될 수 있는 화면의 한 예로서, 날짜 및 시간 등이 나타나 있다. 이 때, 화면에 전부 표시가 되는 것이 아니라 일부 영역에만 부분적으로만 표시된다.
- [0087] 아래에서는 화면 전체를 구동하는 전체 구동뿐만 아니라 부분적으로 구동할 수 있는 부분 구동을 행하는 표시 장치의 구동 장치에 대하여 설명한다.
- [0088] 도 5에 도시한 게이트 구동부(400)는 일렬로 배열되어 있으며 게이트선(G<sub>1</sub>-G<sub>n</sub>)에 각각 연결되어 있는 복수의 스테이지(410)를 포함하는 시프트 레지스터로서, 복수의 주사 시작 신호(STV1-STV4), 복수의 클록 신호(CLK1, CLK2) 및 게이트 오프 전압(V<sub>off</sub>)이 입력된다. 또한, 시프트 레지스터(400)는 소정 개수의 게이트선(G<sub>1</sub>-G<sub>n</sub>)에 각각 연결되어 있는 4개의 스테이지군(group)(411-414)을 포함한다.
- [0089] 각 스테이지(410)는 세트 단자(S), 게이트 전압 단자(GV), 한 쌍의 클록 단자(CK1, CK2), 리세트 단자(R), 그리고 게이트 출력 단자(OUT)를 가지고 있다.
- [0090] 각 스테이지, 예를 들면 j 번째 스테이지[ST<sub>j</sub>]의 세트 단자(S)에는 전단 스테이지[ST(j-1)]의 게이트 출력, 즉 전단 게이트 출력[Gout(j-1)]이, 리세트 단자(R)에는 후단 스테이지[ST(j+1)]의 게이트 출력, 즉 후단 게

이트 출력[Gout(j+1)]이 입력되고, 클록 단자(CK1, CK2)에는 클록 신호(CLK1, CLK2)가 입력되면, 게이트 전압 단자(GV)에는 게이트 오프 전압( $V_{off}$ )이 입력된다. 게이트 출력 단자(OUT)는 게이트 출력[Gout(j)]을 내보낸다.

[0091] 단, 각 스테이지군(411-414)에서 첫 번째 스테이지에는 전단 게이트 출력 대신 주사 시작 신호(STV1-STV4)가 각각 입력된다. j 번째 스테이지[ST(j)]의 클록 단자(CK1)에 클록 신호(CLK1)가, 클록 단자(CK2)에 클록 신호(CLK2)가 입력되는 경우, 이에 인접한 (j-1)번째 및 (j+1)번째 스테이지[ST(j-1), ST(j+1)]의 클록 단자(CK1)에는 클록 신호(CLK2)가, 클록 단자(CK2)에는 클록 신호(CLK1)가 입력된다.

[0092] 각 클록 신호(CLK1, CLK2)는 화소의 스위칭 소자(Q)를 구동할 수 있도록 전압 레벨이 하이인 경우는 게이트 온 전압( $V_{on}$ )과 같고 로우인 경우는 게이트 오프 전압( $V_{off}$ )과 같은 것이 바람직하다. 도 7에 도시한 바와 같이 각 클록 신호(CLK1, CLK2)는 듀티비가 50%이고 두 클록 신호(CLK1, CLK2)의 위상차는 180° 일 수 있다.

[0093] 도 6을 참고하면, 본 발명의 한 실시예에 따른 게이트 구동부(400)의 각 스테이지, 예를 들면 j 번째 스테이지는 복수의 NMOS 트랜지스터(T1-T7)와 축전기(C1, C2)를 포함한다. 그러나 NMOS 트랜지스터 대신 PMOS 트랜지스터를 사용할 수도 있다. 또한, 축전기(C1, C2)는 실제로, 공정시에 형성되는 게이트와 드레인/소스간 기생 용량(parasitic capacitance)일 수 있다.

[0094] 트랜지스터(T1)는 클록 단자(CK1)와 출력단(OUT) 사이에 연결되어 있으며, 제어 단자는 접점(J1)에 연결되어 있다.

[0095] 트랜지스터(T2)의 입력 단자와 제어 단자는 세트 단자(S)에 공통적으로 연결되어 있으며, 출력 단자는 접점(J1)에 연결되어 있다.

[0096] 트랜지스터(T3, T4)는 접점(J1)과 게이트 전압 단자(GV) 사이에 병렬로 연결되어 있으며, 트랜지스터(T3)의 제어 단자는 리세트 단자(R)에 연결되어 있고, 트랜지스터(T4)의 제어 단자는 접점(J2)에 연결되어 있다.

[0097] 트랜지스터(T5, T6)는 출력단(OUT)과 게이트 전압 단자(GV) 사이에 연결되어 있으며, 트랜지스터(T5)의 제어 단자는 접점(J2)에, 트랜지스터(T6)의 제어 단자는 클록 단자(CK2)에 연결되어 있다.

[0098] 트랜지스터(T7)는 접점(J2)과 게이트 전압 단자(GV) 사이에 연결되어 있으며, 제어 단자는 접점(J1)에 연결되어 있다.

[0099] 축전기(C1)는 클록 단자(CK1)와 접점(J2) 사이에, 축전기(C2)는 접점(J1)과 출력단(OUT) 사이에 연결되어 있다.

[0100] 그러면 이러한 스테이지의 동작에 대하여 j번째 스테이지(STj)를 예를 들어 설명한다.

[0101] 설명의 편의를 위하여 클록 신호(CLK1, CLK2)의 하이 레벨에 해당하는 전압을 고전압이라 하고, 클록 신호(CLK1, CLK2)의 로우 레벨에 해당하는 전압의 크기는 게이트 오프 전압( $V_{off}$ )과 동일하고 이를 저전압이라 한다.

[0102] 먼저, 클록 신호(CLK2) 및 전단 게이트 출력[Gout(j-1)]이 하이가 되면, 트랜지스터(T2, T6, T7)가 턴온된다. 그러면 트랜지스터(T2)는 고전압을 접점(J1)으로 전달하고, 트랜지스터(T6)는 저전압을 출력단(OUT)으로 전달하며, 트랜지스터(T7)는 저전압을 접점(J2)으로 전달한다. 이로 인해, 트랜지스터(T1)가 턴온되어 클록 신호(CLK1)가 출력단(OUT)으로 출력되는데, 이 때 클록 신호(CLK1)가 저전압이므로, 출력 전압[Gout(j)]은 저전압이 된다. 이와 동시에, 축전기(C1)는 양단의 전압이 동일하여 충전이 이루어지지 않는 반면, 축전기(C2)는 고전압과 저전압의 차에 해당하는 크기의 전압을 충전한다.

[0103] 이 때, 클록 신호(CLK1) 및 후단 게이트 출력[Gout(j+1)]은 로우이고 접점(J2) 또한 로우이므로, 이에 제어 단자가 연결되어 있는 트랜지스터(T3, T4, T5)는 모두 오프 상태이다.

[0104] 이어, 클록 신호(CLK2) 및 전단 게이트 출력[Gout(j-1)]이 로우가 되면 트랜지스터(T6) 및 트랜지스터(T2)가 턴오프된다. 이에 따라, 축전기(C2)가 부유 상태가 되어 트랜지스터(T1)는 턴온 상태를 유지한다.

[0105] 이 때, 클록 신호(CLK1)가 하이가 되므로 출력단(OUT)의 전압은 하이로 바뀌고 접점(J1)의 전위는 축전기(C2)에 의하여 고전압만큼 전위가 더 상승한다. 도 7에는 이전 전압과 동일한 것으로 나타내었지만, 실제로는 고전압만큼 더 상승한다.

[0106] 이 때, 후단 게이트 출력[Gout(j+1)] 및 접점(J2)이 로우이므로 트랜지스터(T5, T6) 또한 턴오프 상태이다.

따라서, 출력단(OUT)은 클록 신호(CLK1)에만 연결되고 저전압과는 차단되어 고전압을 내보낸다.

[0107] 한편, 축전기(C1)는 양단의 전위차에 해당하는 전압을 충전한다.

[0108] 이어, 후단 게이트 출력[Gout(j+1)] 및 클록 신호(CLK2)가 하이가 되고 클록 신호(CLK1)가 로우가 되면, 트랜지스터(T3)가 턴온되어 접점(J1)으로 저전압을 전달한다. 이에 따라, 접점(J1)에 제어 단자가 연결되어 있는 트랜지스터(T7)가 턴오프되어 축전기(C1)가 부유 상태가 되고, 접점(J2)은 이전 전압인 저전압을 유지한다. 이 때, 클록 신호(CLK1)가 로우이므로 축전기(C1) 양단의 전압은 0V가 된다.

[0109] 이와 동시에, 출력단(OUT)은 트랜지스터(T1)가 턴오프되어 클록 신호(CLK1)와 연결이 차단되는 반면, 트랜지스터(T6)가 턴온되어 저전압에 연결되므로 저전압을 내보낸다.

[0110] 다음, 클록 신호(CLK1)가 하이가 되면, 축전기(C1)의 일단의 전압이 고전압으로 바뀌면서 축전기(C1)의 타단, 즉 접점(J2)의 전압도 고전압으로 바뀌어 축전기(C1)의 양단 전압을 0V로 유지한다. 이에 따라, 트랜지스터(T4)가 턴온되면서 접점(J1)으로 저전압을 전달하므로 트랜지스터(T1)는 계속하여 턴오프 상태를 유지하고, 트랜지스터(T5)가 턴온되어 저전압을 출력단(OUT)으로 전달하므로 출력단(OUT)은 저전압을 계속해서 내보낸다.

[0111] 이후에는 전단 게이트 출력[Gout(j-1)]이 하이가 될 때까지 접점(J1)의 전압은 저전압을 유지하며, 접점(J2)의 전압은 축전기(C1)로 인해 클록 신호(CLK1)와 동기되어 변한다. 따라서, 출력단(OUT)은 클록 신호(CLK1)가 하이이고 클록 신호(CLK2)가 로우일 때는 트랜지스터(T5)를 저전압과 연결되고, 그 반대의 경우에는 트랜지스터(T6)를 통하여 저전압과 연결된다.

[0112] 이러한 방식으로, 스테이지(410)는 전단 게이트 신호[Gout(j-1)] 및 후단 게이트 신호[Gout(j+1)]에 기초하고 클록 신호(CLK1, CLK2)에 동기하여 게이트 신호[Gout(j)]를 생성한다.

[0113] 한편, 앞서 설명한 것처럼, 본 발명의 한 실시예에 따른 표시 장치의 시프트 레지스터(400)는 복수의 스테이지군(411-414)을 포함하며, 각 스테이지(411-414)는 소정 수효의 게이트선(G1-Gn)에 각각 연결되어 있다.

[0114] 각 스테이지군(411-414)의 첫 번째 스테이지[ST1, ST(j+1), ST(k), ST(1)]는 전단 스테이지의 게이트 출력 대신 제1 내지 제4 주사 시작 신호(STV1-STV4)를 각각 입력받는다. 즉, 각 스테이지군(411-414), 특히 스테이지군(412-414)의 첫 번째 스테이지[ST(j+1), ST(k), ST(1)]는 위쪽에 인접한 스테이지군(411-413)의 마지막 스테이지(도시하지 않음)에는 연결되어 있지 않다.

[0115] 이 때, 예를 들어, 제3 주사 시작 신호(STV3)가 입력되는 경우에는 스테이지군(413)만 동작하여 화면의 일부만 표시하고, 제4 주사 시작 신호(STV4)가 입력되는 경우에는 스테이지군(414)만 동작하여 화면의 일부만 표시한다. 또한, 제1 및 제3 주사 시작 신호(STV1, STV3)가 함께 입력될 수도 있고, 제2 및 제4 주사 시작 신호(STV2, STV4)가 함께 입력될 수도 있다.

[0116] 이러한 주사 시작 신호(STV1-STV4)의 선택은 도 8에 도시한 것과 같은 역다중화기(710)를 사용하여 행해질 수 있다. 이러한 역다중화기(710)는 도 1에 도시한 통합 칩(700)에 내장되어 있을 수 있다. 앞서 설명한 것처럼, 제1 내지 제4 주사 시작 신호(STV1-STV4) 중 하나 또는 두 개를 선택하여 화면의 일부분만을 표시할 수 있으며, 순차적으로 모두를 선택하여 화면 전체를 표시할 수 있다.

[0117] 예를 들어, 도 9에 나타낸 것처럼, 첫 번째 스테이지군(411)의 마지막 스테이지의 출력을 'Gout(j-2)', 두 번째 스테이지군(412)의 마지막 스테이지의 출력을 'Gout(k-1)', 그리고 세 번째 스테이지군(413)의 마지막 출력을 'Gout(l-1)'이라고 하면, 각 스테이지군(411-413)의 마지막 스테이지의 출력[Gout(j-2), Gout(k-1), Gout(l-1)]이 생성될 때 제2 내지 제4 주사 시작 신호(STV2-STV4)를 입력시키면, 앞서 설명한 동작과 마찬가지로 순차적으로 게이트 출력을 내보내어 화면 전체를 표시할 수 있다. 즉, 각 스테이지군(411-414)의 마지막 스테이지의 출력[Gout(j-2), Gout(k-1), Gout(l-1)]에 맞추어 제2 내지 제4 주사 시작 신호(STV2-STV4)를 입력시키면 된다.

[0118] 한편, 앞서 설명한 전단 및 후단 게이트 출력[Gout(j-1), Gout(j+1)] 대신 별도의 캐리 신호(carry signal)를 두어 세트 단자(S) 및 리세트 단자(R)에 각각 입력시킬 수 있다. 또한, 스테이지군(411-414)을 네 개의 군으로 나누었지만 이는 한 예이며, 둘 이상이면 충분하다.

[0119] 이러한 방식으로, 필요한 부분만을 구동하여 소비 전력을 줄일 수 있다. 이는 듀얼 표시 장치의 외부 표시판이나 소위 슬라이드 폰(slide phone)과 같은 중소형 액정 표시 장치의 경우에 반사 및 투과 모드에서 동작할 수 있는 반투과형(transflective type)을 주로 사용하는데, 특히 반사 모드에서 도 4와 같이 시간이나 날짜를

나타내기 위하여 항상 화면이 표시되고 있는 상태에서는 부분 구동으로 소비 전력을 더욱 줄일 수 있다.

### 발명의 효과

[0120] 앞에서 설명한 것처럼, 시프트 레지스터를 복수의 군으로 나누고 필요한 부분만을 표시하여 소비 전력을 더욱 줄일 수 있다.

[0121] 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

### 도면의 간단한 설명

[0001] 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 상세하게 설명함으로써 본 발명을 분명하게 하고자 한다.

[0002] 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 개략도이다.

[0003] 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이다.

[0004] 도 3은 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소에 대한 등가 회로도이다.

[0005] 도 4는 본 발명의 한 실시예에 따른 액정 표시 장치의 부분 구동의 한 예이다.

[0006] 도 5는 본 발명의 한 실시예에 따른 게이트 구동부의 블록도이다.

[0007] 도 6은 도 5에 도시한 게이트 구동부용 시프트 레지스터의 j 번째 스테이지의 회로도의 한 예이다.

[0008] 도 7은 도 5에 도시한 게이트 구동부의 신호 파형도이다.

[0009] 도 8은 본 발명의 한 실시예에 따른 액정 표시 장치의 주사 시작 신호 생성부의 회로도의 한 예이다.

[0010] 도 9는 도 5에 도시한 시프트 레지스터의 신호 파형도이다.

[0011] <도면 부호에 대한 설명>

[0012] 3: 액정층 100: 하부 표시판

[0013] 191: 화소 전극 200: 상부 표시판

[0014] 230: 색 필터 270: 공통 전극

[0015] 300: 액정 표시판 조립체 400, 400M, 400S: 게이트 구동부

[0016] 500: 데이터 구동부 600: 신호 제어부

[0017] 700: 통합 칩 800: 계조 전압 생성부

[0018] R, G, B: 입력 영상 데이터 DE: 데이터 인에이블 신호

[0019] MCLK: 메인 클록 Hsync: 수평 동기 신호

[0020] Vsync: 수직 동기 신호 CONT1: 게이트 제어 신호

[0021] CONT2: 데이터 제어 신호 DAT: 출력 영상 신호

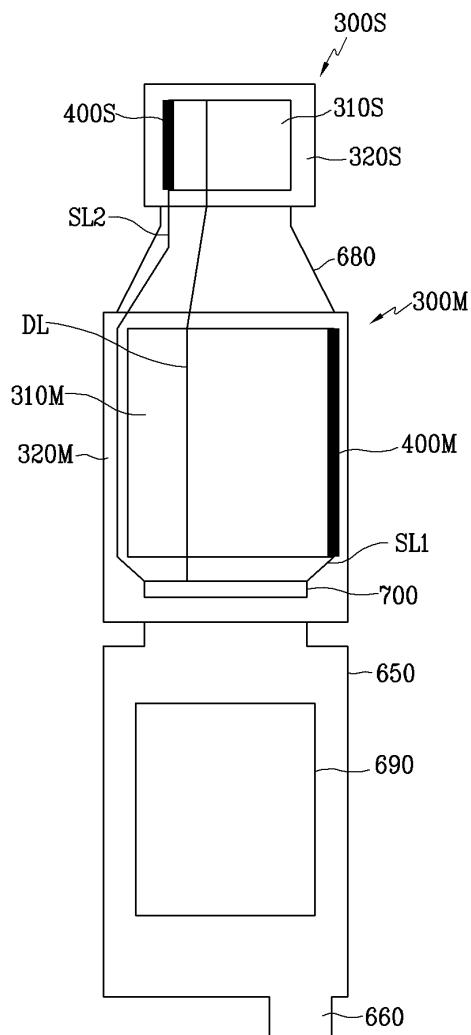
[0022] PX: 화소 C<sub>st</sub>: 액정 축전기

[0023] C<sub>st</sub>: 유지 축전기 Q: 스위칭 소자

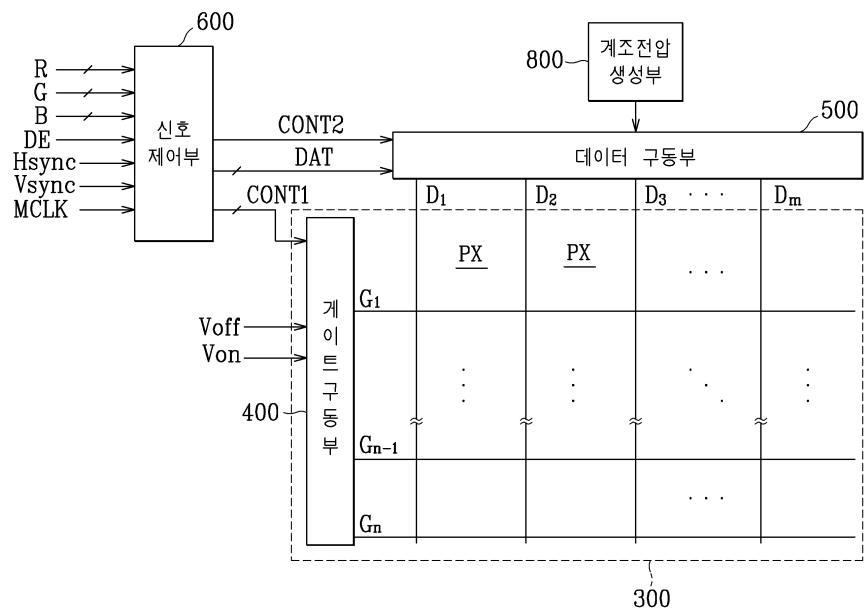
[0024] STV: 주사 시작 신호 CLK1, CLK2: 제1 및 제2 클록 신호

도면

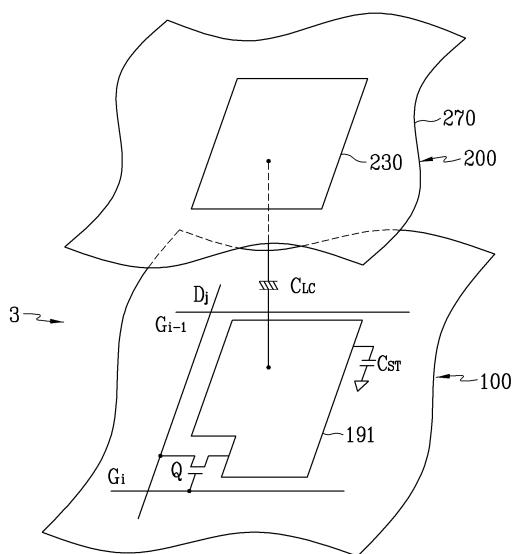
도면1



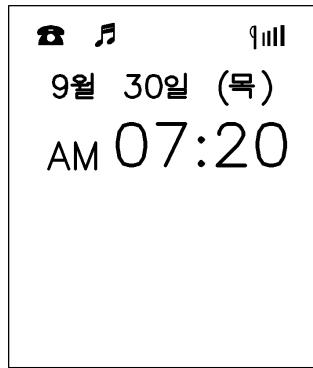
## 도면2



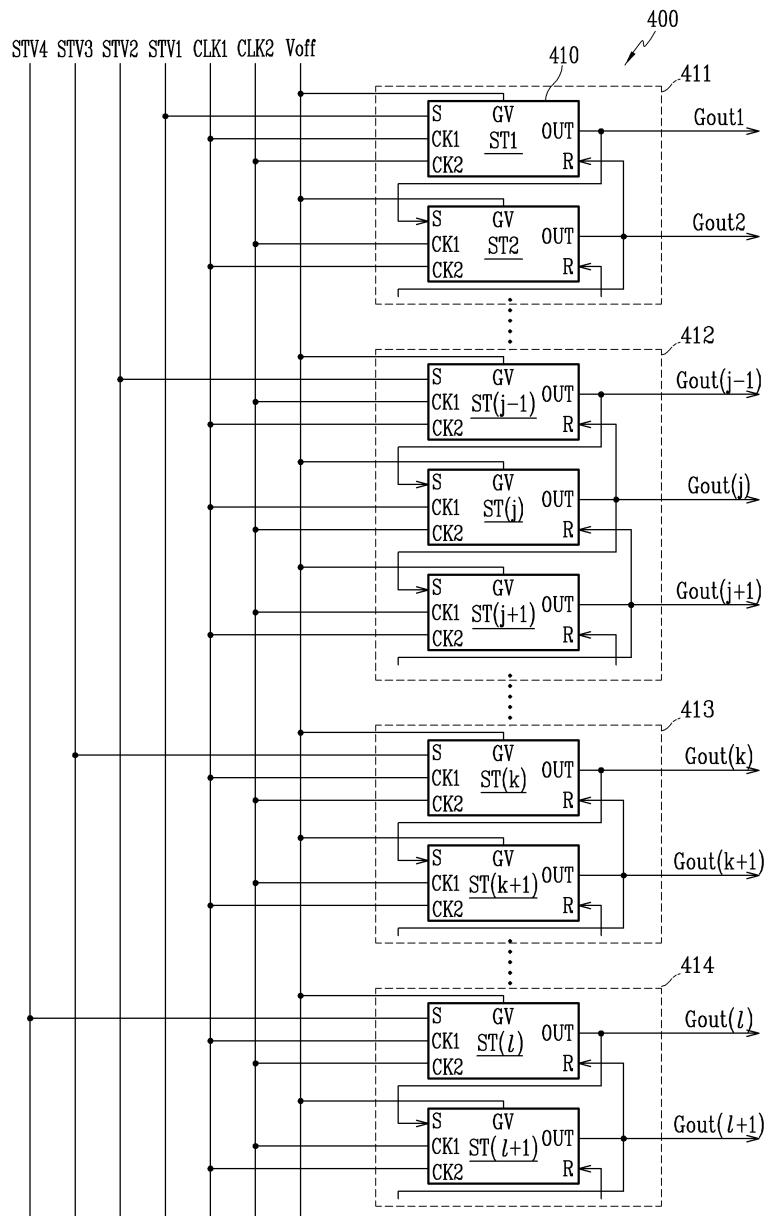
## 도면3



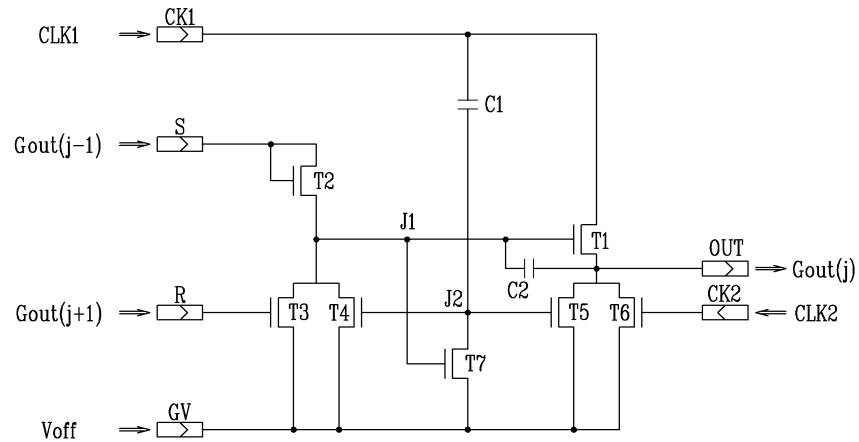
## 도면4



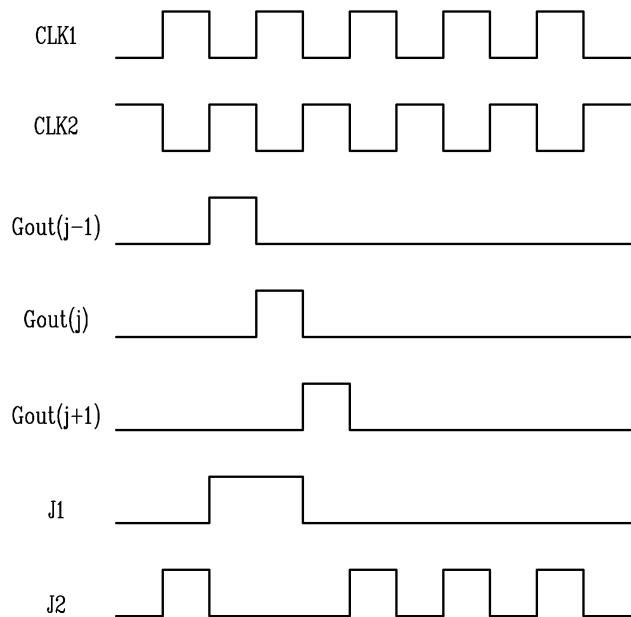
## 도면5



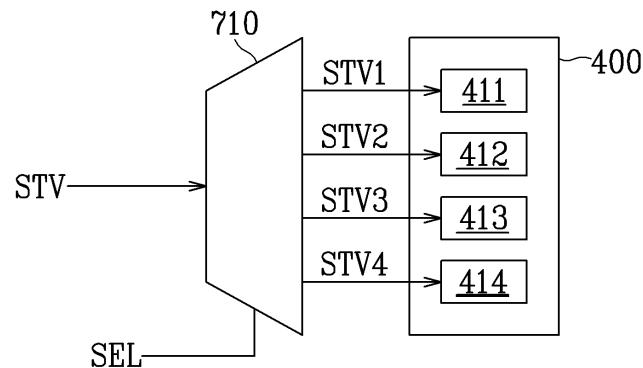
## 도면6



## 도면7



도면8



도면9

