

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7561196号
(P7561196)

(45)発行日 令和6年10月3日(2024.10.3)

(24)登録日 令和6年9月25日(2024.9.25)

(51)国際特許分類		F I		
H 0 1 L	29/74 (2006.01)	H 0 1 L	29/74	H
H 0 1 L	29/861 (2006.01)	H 0 1 L	29/91	C
H 0 1 L	29/868 (2006.01)	H 0 1 L	29/91	J

請求項の数 13 (全23頁)

(21)出願番号	特願2022-547145(P2022-547145)	(73)特許権者	523380173 ヒタチ・エナジー・リミテッド HITACHI ENERGY LTD スイス、8050 チューリッヒ、プロ - ボベリ - シュトラーセ、5
(86)(22)出願日	令和3年2月3日(2021.2.3)	(74)代理人	110001195 弁理士法人深見特許事務所
(65)公表番号	特表2023-514535(P2023-514535 A)	(72)発明者	ピクストレーム、トピラス スイス、5704 エーグリスピル、ア イヒホルツシュトラーセ、16
(43)公表日	令和5年4月6日(2023.4.6)	(72)発明者	ベムラパティ、ウママヘスワラ スイス、5210 ビンディッシュ、バ イアマットシュトラーセ、6
(86)国際出願番号	PCT/EP2021/052514	審査官	市川 武宜
(87)国際公開番号	WO2021/156293		
(87)国際公開日	令和3年8月12日(2021.8.12)		
審査請求日	令和6年2月2日(2024.2.2)		
(31)優先権主張番号	20155140.5		
(32)優先日	令和2年2月3日(2020.2.3)		
(33)優先権主張国・地域又は機関	欧州特許庁(EP)		
早期審査対象出願			

最終頁に続く

(54)【発明の名称】 逆導通パワー半導体デバイスおよびその製造方法

(57)【特許請求の範囲】

【請求項1】

逆導通パワー半導体デバイスであって、
第1の主面(21)および前記第1の主面(21)の反対側の第2の主面(22)を有する半導体ウェハ(20)と、
複数のサイリスタセル(50)と、
還流ダイオード(60)と
を備え、
前記複数のサイリスタセル(50)の各々は、前記第1の主面(21)から前記第2の主面(22)への順に、

- 第1の導電型のサイリスタカソード層(51)と、
- 前記第1の導電型とは異なる第2の導電型のベース層(52)であって、前記ベース層(52)と前記サイリスタカソード層(51)との間に第1のp-n接合部が形成される、ベース層(52)と、
- 前記ベース層(52)との第2のp-n接合部を形成する前記第1の導電型のドリフト層(53)と、
- 前記ドリフト層(53)によって前記ベース層(52)から分離される第2の導電型のサイリスタアノード層(54)と

を備え、
各サイリスタセル(50)は、前記サイリスタカソード層(51)の側方に配置され、

10

20

前記ベース層(52)とオーミックコンタクトを形成するゲート電極(55)と、前記第1の主面(21)上に配置され、前記サイリスタカソード層(51)とオーミックコンタクトを形成するサイリスタカソード電極(56)と、前記第2の主面(22)上に配置され、前記サイリスタアノード層(54)とオーミックコンタクトを形成するサイリスタアノード電極(57)とをさらに備え、

前記還流ダイオード(60)は、

- ・ 前記第1の主面(21)にあり、前記ドリフト層(53)と第3のp-n接合部を形成し、前記ドリフト層(53)によって前記ベース層(52)から分離される、前記第2の導電型のダイオードアノード層(32)と、

- ・ 前記第1の主面(21)上にあり、前記ダイオードアノード層(32)に電氣的に接続されたダイオードアノード電極(31)と、

- ・ 前記第2の主面(22)にあり、前記ドリフト層(53)に電氣的に接続された前記第1の導電型のダイオードカソード層(33)と、

- ・ 前記第2の主面(22)上にあり、前記ダイオードカソード層(33)とオーミックコンタクトを形成するダイオードカソード電極(36)と

を備え、

前記ダイオードアノード層(32)は、前記第2の主面(22)に平行な面上への正投影においてストライプ形状である複数の第1のダイオードアノード層セグメント(321)を備え、各第1のダイオードアノード層セグメント(321)の長手方向主軸(MA)は、前記半導体ウェハ(20)の横方向中心から離れる横方向に延在し、前記横方向は、前記第2の主面(22)に平行な方向であり、

前記第2の主面(22)に平行な面内かつその長手方向主軸(MA)に垂直な方向における各第1のダイオードアノード層セグメント(321)の第1の横幅(w1)は、前記長手方向主軸に沿った任意の位置において少なくとも1000 μ m、または少なくとも1200 μ mであり、

前記逆導通パワー半導体デバイスは、放射線誘導再結合中心を含む複数の局所寿命制御領域(91)を備え、

各局所寿命制御領域(91)は、前記第2の主面(22)に平行な面への正投影においてストライプ形状であり、各局所寿命制御領域(91)の長手方向主軸が前記第1のダイオードアノード層セグメント(321)のうちの対応するものの前記長手方向主軸(MA)に沿って延在するように、前記第1のダイオードアノード層セグメント(321)のうちの前記対応するものの内に配置される前記正投影内にあり、

各局所寿命制御領域(91)は、前記第1のダイオードアノード層セグメント(321)のうちの前記対応するものの前記第1の横幅(w1)よりも少なくとも200 μ mまたは少なくとも300 μ m小さい第2の横幅(w2)を有し、

前記ダイオードカソード層(33)は、複数のダイオードカソード層セグメント(331)を含み、

各ダイオードカソード層セグメント(331)は、前記第2の主面(22)に平行な前記面への前記正投影においてストライプ形状であり、この正投影において、各ダイオードカソード層セグメント(331)の長手方向主軸が前記第1のダイオードアノード層セグメント(321)のうちの対応するものの前記長手方向主軸(MA)に沿って延在するように、前記ストライプ形状の第1のダイオードアノード層セグメント(321)の前記対応するもの内に配置され、

各ダイオードカソード層セグメント(331)は、前記局所寿命制御領域(91)のうちの対応するものの前記第2の横幅(w2)よりも少なくとも200 μ mまたは少なくとも300 μ m小さい第3の横幅(w3)を有し、前記局所寿命制御領域(91)のうちの前記対応するものは、前記第2の主面(22)に平行な前記面への前記正投影において前記第1のダイオードアノード層セグメント(321)のうちの前記対応するもの内に配置されることを特徴とする、逆導通パワー半導体デバイス。

【請求項2】

10

20

30

40

50

前記半導体ウェハ(20)が円形形状を有し、各第1のダイオードアノード層セグメント(321)の前記長手方向主軸(MA)が前記円形形状の半径方向に沿って延在する、請求項1に記載の逆導通パワー半導体デバイス。

【請求項3】

各第1のダイオードアノード層セグメント(321)の前記第1の横幅(w1)は、前記長手方向主軸(MA)に沿った任意の位置において、5000μm未満または4000μm未満または3000μm未満である、請求項1または2に記載の逆導通パワー半導体デバイス。

【請求項4】

前記第2の主面(22)に平行な前記面への前記正投影において、前記半導体ウェハ(20)の前記横方向中心内に、前記還流ダイオード(60)の円形形状部分が配置され、前記円形形状部分から各第1のダイオードアノード層セグメント(321)が横方向に延在する、請求項1～3のいずれか1項に記載の逆導通パワー半導体デバイス。

10

【請求項5】

各第1のダイオードアノード層セグメント(321)の、その長手方向主軸(MA)に沿った方向における長さは、この方向における前記半導体ウェハ(20)の幅の少なくとも20%または少なくとも25%である、請求項1～4のいずれか1項に記載の逆導通パワー半導体デバイス。

【請求項6】

前記ダイオードアノード層(32)は、2つの隣接する第1のダイオードアノード層セグメント(321)の間に横方向にそれぞれ配置される半径方向に沿って延在するストライプ形状の第2のダイオードアノード層セグメント(321)を含み、各第2のダイオードアノード層セグメント(321)と前記半導体ウェハ(20)の前記横方向中心との間の距離は、各第1のダイオードアノード層セグメント(321)と前記半導体ウェハ(20)の前記横方向中心との間の距離よりも大きい、請求項1～5のいずれか1項に記載の逆導通パワー半導体デバイス。

20

【請求項7】

各第1のダイオードアノード層セグメント(321)の前記第1の横幅(w1)の最小値が、2000μm未満である、請求項1～6のいずれか1項に記載の逆導通パワー半導体デバイス。

30

【請求項8】

前記第3の横幅(w3)は、前記第1のダイオードアノード層セグメント(321)のうちの前記対応するものの前記第1の横幅(w1)よりも少なくとも600μm小さいか、または少なくとも800μm小さい、請求項1～7のいずれか1項に記載の逆導通パワー半導体デバイス。

【請求項9】

各ベース層(52)の深さと前記ダイオードアノード層(32)の深さとが同じである、請求項1～8のいずれか1項に記載の逆導通パワー半導体デバイス。

【請求項10】

前記複数のサイリスタセル(50)の前記ゲート電極(55)は互いに電氣的に接続され、前記逆導通パワー半導体デバイスは、前記複数のサイリスタセル(50)の前記ゲート電極(55)に接触するための共通ゲート接点(40)をさらに備え、前記共通ゲート接点(40)は、前記第1の主面(21)上の前記半導体ウェハ(20)の周縁部に配置される、請求項1～9のいずれか一項に記載の逆導通パワー半導体デバイス。

40

【請求項11】

前記サイリスタカソード層(51)は、複数の前記ゲート電極(55)およびそれらの間の接続を形成するゲートメタライゼーション層によって前記第1の主面(21)に平行な面内で少なくとも部分的に囲まれた複数の別個のサイリスタカソード層セグメント(511)を含む、請求項1～10のいずれか1項に記載の逆導通パワー半導体デバイス。

【請求項12】

50

前記複数のサイリスタセル(50)の前記サイリスタカソード層セグメント(511)は、前記半導体ウェハ(20)の前記横方向中心の周りに同心リング状に配置されたストライプとして前記第1の主面(21)に配置され、各ストライプの長手方向主軸は、前記半導体ウェハ(20)の前記横方向中心から延在し、前記第1の主面(21)に平行な方向である半径方向に沿って延在する、請求項11に記載の逆導通パワー半導体デバイス。

【請求項13】

逆導通パワー半導体デバイスを製造するための方法であって、

前記逆導通パワー半導体デバイスは、

第1の主面(21)および前記第1の主面(21)の反対側の第2の主面(22)を有する半導体ウェハ(20)と、

複数のサイリスタセル(50)と、

還流ダイオード(60)と

を備え、

前記複数のサイリスタセル(50)の各々は、前記第1の主面(21)から前記第2の主面(22)への順に、

・ 第1の導電型のサイリスタカソード層(51)と、

・ 前記第1の導電型とは異なる第2の導電型のベース層(52)であって、前記ベース層(52)と前記サイリスタカソード層(51)との間に第1のp-n接合部が形成される、ベース層(52)と、

・ 前記ベース層(52)との第2のp-n接合部を形成する前記第1の導電型のドリフト層(53)と、

・ 前記ドリフト層(53)によって前記ベース層(52)から分離される第2の導電型のサイリスタアノード層(54)と

を備え、

各サイリスタセル(50)は、前記サイリスタカソード層(51)の側方に配置され、前記ベース層(52)とオーミックコンタクトを形成するゲート電極(55)と、前記第1の主面(21)上に配置され、前記サイリスタカソード層(51)とオーミックコンタクトを形成するサイリスタカソード電極(56)と、前記第2の主面(22)上に配置され、前記サイリスタアノード層(54)とオーミックコンタクトを形成するサイリスタアノード電極(57)とをさらに備え、

前記還流ダイオード(60)は、

・ 前記第1の主面(21)にあり、前記ドリフト層(53)と第3のp-n接合部を形成し、前記ドリフト層(53)によって前記ベース層(52)から分離される、前記第2の導電型のダイオードアノード層(32)と、

・ 前記第1の主面(21)上にあり、前記ダイオードアノード層(32)に電氣的に接続されたダイオードアノード電極(31)と、

・ 前記第2の主面(22)にあり、前記ドリフト層(53)に電氣的に接続された前記第1の導電型のダイオードカソード層(33)と、

・ 前記第2の主面(22)上にあり、前記ダイオードカソード層(33)とオーミックコンタクトを形成するダイオードカソード電極(36)と

を備え、

前記ダイオードアノード層(32)は、前記第2の主面(22)に平行な面上への正投影においてストライプ形状である複数の第1のダイオードアノード層セグメント(321)を備え、各第1のダイオードアノード層セグメント(321)の長手方向主軸(MA)は、前記半導体ウェハ(20)の横方向中心から離れる横方向に延在し、前記横方向は、前記第2の主面(22)に平行な方向であり、

前記第2の主面(22)に平行な面内かつその長手方向主軸(MA)に垂直な方向における各第1のダイオードアノード層セグメント(321)の第1の横幅(w1)は、前記長手方向主軸に沿った任意の位置において少なくとも1000μm、または少なくとも1200μmであり、

10

20

30

40

50

前記逆導通パワー半導体デバイスは、放射線誘導再結合中心を含む複数の局所寿命制御領域(91)を備え、

各局所寿命制御領域(91)は、前記第2の主面(22)に平行な面への正投影においてストライプ形状であり、各局所寿命制御領域(91)の長手方向主軸が前記第1のダイオードアノード層セグメント(321)のうちの対応するものの前記長手方向主軸(MA)に沿って延在するように、前記第1のダイオードアノード層セグメント(321)のうちの前記対応するものの内に配置される前記正投影内にあり、

各局所寿命制御領域(91)は、前記第1のダイオードアノード層セグメント(321)のうちの前記対応するものの前記第1の横幅(w1)よりも少なくとも200 μ mまたは少なくとも300 μ m小さい第2の横幅(w2)を有し、

前記ダイオードカソード層(33)は、複数のダイオードカソード層セグメント(331)を含み、

各ダイオードカソード層セグメント(331)は、前記第2の主面(22)に平行な前記面への前記正投影においてストライプ形状であり、この正投影において、各ダイオードカソード層セグメント(331)の長手方向主軸が前記第1のダイオードアノード層セグメント(321)のうちの対応するものの前記長手方向主軸(MA)に沿って延在するように、前記ストライプ形状の第1のダイオードアノード層セグメント(321)の前記対応するもの内に配置され、

各ダイオードカソード層セグメント(331)は、前記局所寿命制御領域(91)のうちの対応するものの前記第2の横幅(w2)よりも少なくとも200 μ mまたは少なくとも300 μ m小さい第3の横幅(w3)を有し、前記局所寿命制御領域(91)のうちの前記対応するものは、前記第2の主面(22)に平行な前記面への前記正投影において前記第1のダイオードアノード層セグメント(321)のうちの前記対応するものの中に配置され、

前記方法は、以下の、

(a) 第1の導電型の半導体ウェハ(20)を設けるステップであって、前記半導体ウェハ(20)は、第1の面(21)を有し、前記第1の面(21)の反対側の第2の面(22)を有し、前記半導体ウェハ(20)のドーピング濃度は、最終的な逆導通パワー半導体デバイスにおける前記ドリフト層(53)のドーピング濃度に対応する、半導体ウェハ(20)を設けるステップと、

(b) 前記半導体ウェハ(20)の前記第1の面(21)上に第1のマスク層(210)を設けるステップであって、前記第1のマスク層(210)は第1の開口部(211)を備える、第1のマスク層(210)を設けるステップと、

(c) 前記ベース層(52)および前記ダイオードアノード層(32)を形成するために、前記第1のマスク層(210)の前記第1の開口部(211)を通して前記半導体ウェハ(20)の前記第1の面(21)に前記第2の導電型のドーパントを選択的に被着させるステップと、

(d) 前記第1の面(21)上に第2のマスク層(240)を形成するステップであって、前記第2のマスク層(240)は第2の開口部(241)を有する、第2のマスク層(240)を形成するステップと、

(e) 前記半導体ウェハ(20)内に放射線誘導再結合中心を含む前記局所寿命制御領域(91)を形成するために、放射線(250)を、前記第2のマスク層(240)内の前記第2の開口部(241)を通じて前記第1の面(21)上に選択的に加えるステップと、

(f) 前記第1の面(21)上に前記サイリスタカソード層(51)を形成するステップと、

(g) 前記第2の面(22)上に前記サイリスタアノード層(54)および前記ダイオードカソード電極(36)を形成するステップと、

(h) 前記第2の面(22)上に前記ダイオードカソード層(33)を形成するステップと

10

20

30

40

50

を含み、

前記第2の開口部(241)は、前記第1の面(21)に平行な面への正投影において、各第2の開口部(241)が前記第1のダイオードアノード層セグメント(321)のうちの対応するものの投影領域内に配置されるように、前記第1のダイオードアノード層セグメント(321)が形成される前記半導体ウェハ(20)の領域と横方向に整列するストライプ形状開口部を備え、前記ストライプ形状開口部は、前記第1のダイオードアノード層セグメント(321)のうちの対応するものの長手方向主軸(MA)に沿ったすべての位置において、前記第1のダイオードアノード層セグメント(321)のうちの前記対応するものの前記第1の横幅(w1)よりも少なくとも200 μ mまたは少なくとも300 μ m小さい第4の横幅(w4)を有する、方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

発明の分野

本発明は、請求項1のプリアンブルに記載の逆導通パワー半導体デバイスおよびそのような逆導通パワー半導体デバイスの製造方法に関する。

【背景技術】

【0002】

発明の背景

集積ゲート転流サイリスタ(IGCT)は、中電圧駆動デバイス、STATCOM、および揚水発電などの多くの高出力用途に選択されるデバイスとして確立されている。今日、IGCTは、4.5kV~最大6.5kVの範囲の電圧定格を有する最先端のデバイスを有する電流源インバータ(CSI)および電圧源インバータ(VSI)用途に最適化されており、今日では非対称、対称(逆阻止)、および逆導通(RC)デバイスとして利用可能である。集積ゲート転流サイリスタ(IGCT)は、そのサイリスタのような伝導およびトランジスタのようなターンオフのために、多くの高出力電子機器用途に選択される理想的なデバイスである。

20

【0003】

逆導通集積ゲート転流サイリスタ(RC-IGCT)は、単一の半導体ウェハ内にIGCT部および単一の内蔵還流ダイオード部を含む逆導通パワー半導体デバイスである。ダイオード部は、 n^- ドープドリフト層および n^- ドープバッファ層によって分離された p^- ドープアノード層および n^+ ドープカソード層を含む。ダイオード部は円形であり、上面視で半導体ウェハの中心にIGCT部に隣接して配置される。IGCT部とダイオード部との間には、IGCT部内のサイリスタセルの p^- ドープベース層をダイオード部の p^- ドープアノード層から分離する n^- ドープ分離領域が存在する。このRC-IGCTでは、デバイスのダイオード部は、逆回復電流ピークを減少させるように寿命制御によって最適化され、それによって逆回復損失を減少させ、したがってダイオードを高電力故障から保護する。しかしながら、半導体ウェハのIGCT部分は、いかなる寿命制御も利用しない。したがって、再結合中心を生成するためにプロトン(H^+)またはヘリウムイオン(He^{2+})の高エネルギーイオン注入を適用し、それによってダイオード部内に局所寿命制御(LLC)領域を形成する場合、約0.5mmの厚さ(イオンエネルギーおよびマスクの機械的安定性に依存する)を有する金属マスクを使用して、重イオンを効率的にブロックし、IGCT部の領域における再結合中心の生成を防止する。順導通状態および逆導通状態では、半導体ウェハの一部のみが電流に使用される。したがって、順導通状態または逆導通状態における損失は比較的高い。

30

40

【0004】

それぞれ順導通状態および逆導通状態の半導体ウェハ全体を利用することによってオン状態損失を低減するために開発された既知の逆導通パワー半導体デバイスは、図1および図2に示すようなバイモードゲート転流サイリスタ(BGCT)である。図1は上面視でBGCTを示し、図2は図1の線c'-cに沿った断面においてデバイスを示す。BGCT

50

は、単一の半導体ウェハ 1 内に、互いに電氣的に並列に接続された複数のサイリスタセル 2 を備える。図 1 および図 2 に示す B G C T では、サイリスタセル 2 の各々は、カソードメタライゼーション層の形態の 3 つのサイリスタカソード電極 3 と、3 つのストライプ形状のサイリスタカソード層セグメント 4 を含む n^+ ドープサイリスタカソード層と、 p ドープベース層 5 と、 n^- ドープドリフト層 6 と、 n ドープバッファ層 7 と、 p^+ ドープサイリスタアノード層 8 と、アノードメタライゼーション層の形態のサイリスタアノード電極 9 とから構成される。サイリスタセル 2 は各々また、 p ドープベース層 5 と接触しているゲートメタライゼーション層の形態のゲート電極 10 も含む。ゲートメタライゼーション層は、ゲート電極 10 がサイリスタカソード電極 3 から垂直に分離されるように、サイリスタカソード電極 3 が配置されている平面の下方の平面内に配置されている。B G C T は、半導体ウェハ 1 の中心に環状金属領域の形態の単一の共通ゲート接点 11 を含む。共通ゲート接点 11 はゲートメタライゼーション層と直接接触しており、結果、ゲート接点 11 とすべてのサイリスタセル 2 のゲート電極 10 とは互いに電氣的に接続されている。B G C T は、サイリスタセル 2 の間に分布する複数のダイオードセル 12 を備える。ダイオードセル 12 は、対向する順方向にであるが、互いにおよびサイリスタセル 2 に電氣的に並列に接続される。各ダイオードセル 12 は、ダイオードアノード電極 17、 p ドープダイオードアノード層 13、 n^+ ドープダイオードカソード層 14、およびダイオードカソード電極 16 を含み、 p ドープダイオードアノード層 13 および n^+ ドープダイオードカソード層 14 は、 n^- ドープドリフト層 6 および n ドープバッファ層 7 によって分離されている。隣接するサイリスタセル 2 およびダイオードセル 12 は、それぞれ分離領域 15 によって分離されている。

【0005】

上記で説明したように、約 0.5 mm の厚さを有する金属マスクを使用して、(I G C T 部と共に同じ半導体ウェハに集積された単一のダイオード部を有する) 既知の R C - I G C T のダイオード部に L L C 領域を選択的に形成する。しかしながら、再現可能なプロセスのために、マスクされた構造は、マスクの厚さよりも大きくなければならない。一般的な B G C T レイアウトでは、ダイオードセルの幅は、メタルマスクの必要な厚さと同程度またはそれよりも小さい。また、L L C 領域を形成するために、チャネリングを回避するために、表面法線に対して 7° の傾斜角で重イオンの注入を行わなければならない。したがって、重イオンの注入は、完全に整列していてもダイオードセグメントからオフセットされ、G C T 領域への注入を回避することがより重要になる。

【0006】

したがって、B G C T のレイアウトの詳細に起因して、L L C を除外することが B G C T における前提条件であると判断された。B G C T 古典設計の開発のために、エミッタ制御 (E M C O N) ダイオードの概念が考慮された。しかしながら、ダイオードアノードエミッタ効率を低く保つためには、ダイオード部 (図 2 における p ドープダイオードアノード層 13 と n^- ドープドリフト層 6 との間の $p - n$ 接合) と G C T 部 (図 2 における p ドープベース層 5 と n^- ドープドリフト層 6 との間の $p - n$ 接合) とで異なる接合深さが必要である。他方で、ダイオード部と G C T 部とが異なる阻止接合深さを有する場合、ダイオードの堅牢性は弱い。

【0007】

米国特許出願公開第 2018 204 913 号明細書から、複数のサイリスタセルを備えるターンオフパワー半導体デバイスが知られており、各サイリスタセルは、カソード領域、ベース層、ドリフト層、アノード層、ベース層に接してカソード領域の側方に配置されたゲート電極、カソード電極、およびアノード電極を備える。複数のサイリスタセルのカソード領域とカソード電極との間の界面、ならびにベース層とゲート電極との間の界面は、平坦かつ同一平面上にある。さらに、ベース層は、ゲート電極とのその接触部からカソード領域の深さの少なくとも半分の深さまで延在するゲートウェル領域を含み、任意の深さについて、この深さでのゲートウェル領域の最小ドーピング濃度は、この深さにおいて、かつ、第 1 の主面に平行な面上への正投影においてカソード領域から $2 \mu\text{m}$ の距離を

有する横方向位置において、カソード領域とゲートウェル領域との間のベース層のドーピング濃度より50%高い。ベース層は、第2の導電型の補償領域を含み、補償領域は、第1の主面に直に隣接してカソード領域とゲートウェル領域との間に配置され、補償領域内の正味ドーピング濃度に対する第1の導電型の不純物の密度は少なくとも0.4である。

【0008】

上述のBGCTは、例えば、文献「The Concept of Bi-mode Gate Commutated Thyristor」(by Umamaheswara Vemulapati and Marco Bellini in Proceedings of the 2012 24th International Symposium on Power Semiconductor Devices and ICs 3 - 7 June 2012, Bruges, Belgium, pages 29 - 32)に開示および議論されている。

10

【0009】

米国特許出願公開第2016 013 302号明細書から、互いに対向して平行に配置された第1の主面および第2の主面を有するウェハを有する逆導通パワー半導体デバイスが知られている。デバイスは、複数のダイオードセルと、複数のゲート転流サイリスタ(GCT)セルとを含む。各GCTセルは、第1の主面と第2の主面との間に第1の導電型(例えば、n型)および第2の導電型(例えば、p型)の層を含む。デバイスは、ダイオードセルのダイオードアノード層がGCTセルの第1のカソード層と交互になっている少なくとも1つの混合部を含む。各ダイオードセルにおいて、第1の導電型のダイオードバッファ層は、ダイオードバッファ層が、第1の主面からダイオードアノード層の厚さの約90%の深さまでダイオードアノード層の側面を覆うように、ダイオードアノード層とドリフト層との間に配置されている。

20

【0010】

米国特許第5 682 044号明細書から、サイリスタおよびダイオード領域の各々に平面構造を使用するために構造が比較的簡単であり、両方の領域の同時形成を可能にし、高速性能、および、埋め込みゲートまたはリセスゲート構造を使用することによって高い降伏電圧を有する埋め込みゲートまたはリセスゲート構造のRCサイリスタを有し、サイリスタおよびダイオード領域の同時形成、および、高速かつ大電流のスイッチング性能を可能にする、低および中電力用途のための平面ゲート構造の逆導通(RC)サイリスタが知られており、平面ゲート構造のRCサイリスタは、サイリスタ領域内の平面ゲート構造の静的誘導(SI)サイリスタまたは小型化GTOと、ダイオード領域内の平面構造のSIダイオードとを含む構造を有し、ダイオード領域は、そのカソード側にnエミッタまたはダイオードカソード短絡領域間のショットキーコンタクトを有し、サイリスタ領域は、そのアノード側に(p+)アノード層、波形アノード層またはアノード(n+)層によって形成されるSIAアノード短絡構造を有し、高耐圧デバイスの場合、nバッファ層が追加され、同様に、埋め込みゲートまたはリセスゲート構造のRCサイリスタは、サイリスタ領域にある埋め込みゲートまたはリセスゲート構造のSIサイリスタと、埋め込みまたはリセス構造のSIダイオードとを含む構造を有する。

30

【発明の概要】

40

【発明が解決しようとする課題】

【0011】

上記に鑑みて、本発明の目的は、従来技術における上述の問題の一部またはすべてを克服することができる逆導通パワー半導体デバイスを提供することである。特に、本発明の目的は、良好な熱性能を確保しながら、順導通損失およびスイッチング導通損失を同時に低く保つことができる逆導通パワー半導体デバイスを提供することである。

【課題を解決するための手段】

【0012】

本発明の目的は、請求項1に記載の逆導通パワー半導体デバイスによって達成される。本発明のさらなる発展は、従属請求項に明記されている。

50

【 0 0 1 3 】

本発明の逆導通パワー半導体デバイスは、第1の主面および第1の主面の反対側の第2の主面を有する半導体ウェハに集積される複数のサイリスタセルおよび還流ダイオードを備える。複数のサイリスタセルの各々は、第1の主面から第2の主面への順に、第1の導電型のサイリスタカソード層と、第1の導電型とは異なる第2の導電型のベース層であって、ベース層とサイリスタカソード層との間に第1のp-n接合部が形成される、ベース層と、ベース層と第2のp-n接合部を形成する第1の導電型のドリフト層と、ドリフト層によってベース層から分離される第2の導電型のサイリスタアノード層とを備える。各サイリスタセルは、サイリスタカソード層の側方に配置され、ベース層とオーミックコンタクトを形成するゲート電極と、第1の主面上に配置され、サイリスタカソード層とオーミックコンタクトを形成するサイリスタカソード電極と、第2の主面上に配置され、サイリスタアノード層とオーミックコンタクトを形成するサイリスタアノード電極とをさらに備える。還流ダイオードは、第1の主面にあり、ドリフト層と第3のp-n接合部を形成し、ドリフト層によってベース層から分離される、第2の導電型のダイオードアノード層と、第1の主面上にあり、ダイオードアノード層に電気的に接続されたダイオードアノード電極と、第2の主面にあり、ドリフト層に電気的に接続された第1の導電型のダイオードカソード層と、第2の主面上にあり、ダイオードカソード層とオーミックコンタクトを形成するダイオードアノード電極とを備える。ダイオードアノード層は、第2の主面に平行な面上への正投影においてストライプ形状である複数の第1のダイオードアノード層セグメントを備え、各第1のダイオードアノード層セグメントの長手方向主軸は、半導体ウェハの横方向中心から離れる横方向に延在し、第2の主面に平行な面内で、長手方向主軸に垂直な方向における各第1のダイオードアノード層セグメントの第1の横幅は、長手方向主軸に沿った任意の位置において少なくとも1000 μ m、または少なくとも1200 μ mである。これは、各第1のダイオードアノード層セグメントの最小横幅が少なくとも1000 μ m、または少なくとも1200 μ mであることを意味する。

10

20

【 0 0 1 4 】

本明細書全体を通して、横方向とは、第2の主面に平行な方向を指し、半導体ウェハの横方向中心は、第2の主面に平行な面内の中心として決定される。また、本明細書前該を通して、領域の中心は、重心、すなわち領域内のすべての点の算術平均位置として理解されるべきである。また、本明細書全体を通して、ストライプ形状要素は、所定の長手方向の幅が他の方向よりも大きい任意の要素として定義され、所定の長手方向の幅は、所定の長手方向に垂直な任意の線に沿った幅の少なくとも2倍である。ストライプ形状要素の長手方向主軸は、所定の長手方向に沿って延在する。

30

【 0 0 1 5 】

本発明の逆導通パワー半導体デバイスでは、複数のストライプ形状の第1のダイオードアノード層セグメントを有する還流ダイオードを実装することにより、半導体ウェハ内で良好な熱および電流の拡散が保証される。さらに、還流ダイオードのセグメント化は、その挙動をより滑らかにし、これにより、半導体ウェハの厚さまで低減することが可能になり、逆導通状態および順導通状態における損失が減少する。ストライプ形状の第1のダイオードアノード層セグメントの第1の横幅の下限は、既知のBGCTと比較して低い順方向導通損失をもたらす。これは、電流拡散の減少に起因する導電率変調を最小限に抑えることによって説明することができる。既知のBGCTよりも大幅に高いストライプ形状の第1のダイオードアノード層セグメントの第1の横幅の高い下限であっても、熱拡散はストライプ形状に起因して依然として効率的であり、逆導通パワー半導体デバイスは良好なサージ電流能力を示す。

40

【 0 0 1 6 】

本発明の逆導通パワー半導体デバイスは、放射線誘導再結合中心を含む複数の局所寿命制御領域を備え、各局所寿命制御領域は、第2の主面に平行な面への正投影においてストライプ形状であり、各局所寿命制御領域の長手方向主軸が第1のダイオードアノード層セグメントのうちの対応するものの長手方向主軸に沿って延在するように、第1のダイオ-

50

ドアノード層セグメントのうちの対応するものの内に配置される正投影内にあり、各局所寿命制御領域は、第1のダイオードアノード層セグメントのうちの対応するものの第1の横幅よりも少なくとも $200\mu\text{m}$ または少なくとも $300\mu\text{m}$ 小さい第2の横幅を有する。例示的には、第2の横幅は、第2の主面に直交し、第1のダイオードアノード層セグメントのうちの対応するものの長手方向主軸に直交する面に沿った各垂直断面において、第1のダイオードアノード層セグメントのうちの対応するものの第1の横幅よりも少なくとも $200\mu\text{m}$ または少なくとも $300\mu\text{m}$ 小さい。

【0017】

本発明の逆導通パワー半導体デバイスでは、ストライプ形状ダイオード部内のドリフト層部分の縁部（ストライプ形状の第1のダイオードアノード層セグメントと第2の主面に平行な面上の正投影において重なる半導体ウェハの部分）における比較的高いキャリア寿命は、ストライプ形状ダイオード部の中央部よりもはるかに多くの電荷の注入をそこにもたらす。ここで、中央部とは、長手方向主軸に垂直かつ第2の主面に平行な方向に関して中央にある部分を指す）。ダイオードが回復しているとき、プロトン注入領域内のp-n接合は、そこに電荷が少ないため、迅速にクリアされる。これにより、スイッチおよびチョークのような他の回路素子からダイオードへの電圧の伝達が開始される。ダイオード電圧の出現は電流変化速度を遅くし、あたかもダイオードが第1のダイオードアノード層セグメントの全幅に照射されたかのように同等のレベルにおいて、ダイオード逆回復ピーク電流 I_{rr} に達する。ダイオードの縁部の電荷山は依然としてそこにある。電子は、より高い電圧の一般的な方向に下方に移動する。それらは n^+ ダイオードカソード層に対して横方向に変位するため、それらはそれに到達するために横方向に流れなければならない。明らかに、これは周知の電界電荷抽出（FCE）効果が生じ得る状況である。すなわち、このような例示的な実施形態では、還流ダイオードは、寿命分割によって強化されるFCEダイオードである。電荷キャリアの山は、最適な横方向配置を得、一方で、低寿命領域は、妥当なダイオード逆回復ピーク電流 I_{rr} を保証する。これは、還流ダイオードのソフトリカバリをもたらす。

【0018】

本発明では、ダイオードカソード層は、複数のダイオードカソード層セグメントを含み、各ダイオードカソード層セグメントは、第2の主面に平行な面上への正投影においてストライプ形状であり、この正投影において、各ダイオードカソード層セグメントの長手方向主軸が第1のダイオードアノード層セグメントのうちの対応するものの長手方向主軸に沿って延在するように、ストライプ形状の第1のダイオードアノード層セグメントのうちの対応するもの内に配置され、各ダイオードカソード層セグメントは、局所寿命制御領域のうちの対応するものの第2の横幅よりも少なくとも $200\mu\text{m}$ または少なくとも $300\mu\text{m}$ 小さい第3の横幅を有し、局所寿命制御領域のうちの対応するものは、第2の主面に平行な面上への正投影において第1のダイオードアノード層セグメントのうちの対応するもの内に配置される。そのような例示的な実施形態では、還流ダイオードの逆回復中のFCE効果はより顕著であり、その結果、還流ダイオードのソフトリカバリおよびより滑らかな挙動をもたらされる。例示的には、第3の横幅は、第2の主面に直交し、第1のダイオードアノード層セグメントのうちの対応するものの長手方向主軸に直交する面に沿った各垂直断面において、局所寿命制御領域のうちの対応するものの第2の横幅よりも少なくとも $200\mu\text{m}$ または少なくとも $300\mu\text{m}$ 小さい。例示的な実施形態では、半導体ウェハは円形状を有し、各第1のダイオードアノード層セグメントの長手方向主軸は、この円形状の半径方向に沿って延在する。

【0019】

例示的な実施形態では、各第1のダイオードアノード層セグメントの第1の横幅は、その長手方向主軸に沿った任意の位置において、 $5000\mu\text{m}$ 未満または $4000\mu\text{m}$ 未満または $3000\mu\text{m}$ 未満である。これは、第1の横幅の最大値が $5000\mu\text{m}$ 未満または $4000\mu\text{m}$ 未満または $3000\mu\text{m}$ 未満であることを意味する。

【0020】

10

20

30

40

50

例示的な実施形態では、第2の主面に平行な面への正投影において、半導体ウェハの横方向中心内に、還流ダイオードの円形状部分が配置される。このような構成において、利用可能な半導体ウェハ領域が最も効率的に使用される。この例示的な実施形態では、各第1のダイオードアノード層セグメントは、還流ダイオードの円形状部分から横方向に延在してもよい。

【0021】

例示的な実施形態では、各第1のダイオードアノード層セグメントの、その長手方向主軸に沿った方向における長さは、この方向における半導体ウェハの幅の少なくとも20%または少なくとも25%である。このような比較的長いストライプ形状の第1のダイオードアノード層セグメントにより、還流ダイオードで発生した熱の効率的な熱拡散により熱性能が改善される。

10

【0022】

例示的な実施形態では、ダイオードアノード層は、2つの隣接する第1のダイオードアノード層セグメントの間に横方向にそれぞれ配置される半径方向に沿って延在するストライプ形状の第2のダイオードアノード層セグメントを含み、各第2のダイオードアノード層セグメントと半導体ウェハの横方向中心との間の距離は、各第1のダイオードアノード層セグメントと半導体ウェハの横方向中心との間の距離よりも大きい。このような例示的な実施形態では、隣接するストライプ形状ダイオードアノード層セグメント間の距離の変動を低減することができ、熱拡散が向上する。

【0023】

20

例示的な実施形態では、各第1のダイオードアノード層セグメントの第1の横幅の最小値は、2000 μm 未満である。そのようなパラメータを用いると、熱性能が改善され、還流ダイオードは、既知のRC-IGCTよりも滑らかな挙動を示す。

【0024】

例示的な実施形態では、第3の横幅は、第1のダイオードアノード層セグメントのうちの対応するものの第1の横幅よりも少なくとも600 μm 小さいか、または少なくとも800 μm 小さい。そのような例示的な実施形態では、還流ダイオードの逆回復中のFCE効果はより顕著であり、その結果、還流ダイオードのソフトリカバリおよびより滑らかな挙動をもたらされる。例示的には、第3の横幅は、第2の主面に直交し、第1のダイオードアノード層セグメントのうちの対応するものの長手方向主軸に直交する面に沿った各垂直断面において、第1のダイオードアノード層セグメントのうちの対応するものの第1の横幅よりも少なくとも600 μm または少なくとも800 μm 小さい。

30

【0025】

例示的な実施形態では、各ベース層の深さおよびダイオードアノード層の深さは同じである。そのような例示的な実施形態では、ダイオードの接合深さ（すなわち、ダイオードアノード層の深さ）およびGCT部の接合深さ（すなわち、ベース層の深さ）が異なる既知のBGCTと比較して、ダイオードの堅牢性が改善される。また、このような例示的な実施形態では、ベース層およびダイオードアノード層は、同じプロセスステップで同時に形成することができる。したがって、逆導通パワー半導体デバイスの製造が容易である。

【0026】

40

例示的な実施形態では、複数のサイリスタセルのゲート電極は互いに電氣的に接続され、デバイスは、複数のサイリスタセルのゲート電極に接触するための共通ゲート接点をさらに備え、共通ゲート接点は、第1の主面上の半導体ウェハの周縁部に配置される。

【0027】

例示的な実施形態では、サイリスタカソード層は、複数のゲート電極およびそれらの間の接続を形成するゲートメタライゼーション層によって第1の主面に平行な面内で少なくとも部分的に囲まれた複数の別個のサイリスタカソード層セグメントを含む。後者の例示的な実施形態では、複数のサイリスタセルのサイリスタカソード層セグメントは、半導体ウェハの横方向中心の周りに同心リング状に配置されたストライプとして第1の主面に配置されてもよく、各ストライプの長手方向主軸は、半導体ウェハの横方向中心から延在し

50

、第1の主面に平行な方向である半径方向に沿って延在する。この例示的な実施形態では、カソードからゲートへの伝導電流の迅速な転流が促進される。

【0028】

逆導通パワー半導体デバイスは、請求項15に記載の方法によって製造することができる。

【0029】

図面の簡単な説明

本発明の詳細な実施形態が、添付の図面を参照して下記に論じられる。

【図面の簡単な説明】

【0030】

【図1】既知のターンオフパワー半導体デバイスであるバイモードゲート転流サイリスタ(BGCT)の上面図である。

【図2】図1の線c'-cに沿ったBGCTの断面図である。

【図3】本発明の一実施形態による逆導通パワー半導体デバイスの上面図である。

【図4】図3の上面図の拡大部分Aを示す図である。

【図5】図4の線B-B'に沿った部分垂直断面を示す。

【図6】図3の逆導通パワー半導体デバイスのストライプ形状の還流ダイオード部の水平面への正投影を示す図である。

【図7】寿命制御領域の異なる幅(プロトン照射幅)に対する図3の逆導通パワー半導体デバイスのスナップオフ電圧ピークを示す図である。

【図8】ダイオードカソード層セグメントの異なる幅(プロトン照射幅)に対する図3の逆導通パワー半導体デバイスのスナップオフ電圧ピークを示す図である。

【図9】本発明の第2の実施形態による逆導通パワー半導体デバイスの上面図である。

【図10A】本発明の一実施形態による逆導通パワー半導体デバイスを製造するための方法ステップを示す図である。

【図10B】本発明の一実施形態による逆導通パワー半導体デバイスを製造するための方法ステップを示す図である。

【発明を実施するための形態】

【0031】

図で使用される参照符号およびそれらの意味は、参照符号のリストに要約されている。一般に、類似の要素は、本明細書全体を通して同じ参照符号を有する。記載された実施形態は、例として意図されており、本発明の範囲を限定するものではない。

【0032】

好ましい実施形態の詳細な説明

以下、本発明の第1の実施形態による逆導通パワー半導体デバイスについて、図3～図6を参照して説明する。図3は、逆導通パワー半導体デバイスの上面図を示し、図4は、図3の上面図の部分Aを拡大して示し、図5は、図4の線B-B'に沿った部分垂直断面を示し、図6は、逆導通パワー半導体デバイスの一部の水平面への正投影を示す。

【0033】

図5に示すように、第1の実施形態による逆導通パワー半導体デバイスは、第1の主面21および第2の主面22を有する半導体ウェハ20を備える。半導体ウェハ20には、複数のサイリスタセル50および還流ダイオード60が集積されている。各サイリスタセル50は、第1の主面21から第2の主面22への順序において、

- ・ n型サイリスタカソード層51と、
- ・ p型ベース層52であって、第1のp-n接合部がベース層52とサイリスタカソード層51との間に形成される、p型ベース層52と、
- ・ ベース層52と第2のp-n接合部を形成するn型ドリフト層53と、
- ・ n型バッファ層55と、
- ・ ドリフト層53によってベース層52から分離されているp型サイリスタアノード層54と

10

20

30

40

50

を備える。

【0034】

そこで、バッファ層55は任意選択であり、ドリフト層53のドーピング濃度よりも高いドーピング濃度を有する。各サイリスタセル50は、サイリスタカソード層51の側方に配置され、ベース層52とオーミックコンタクトを形成するゲート電極55と、第1の主面21上に配置され、サイリスタカソード層51とオーミックコンタクトを形成するサイリスタカソード電極56と、第2の主面22上に配置され、サイリスタアノード層54とオーミックコンタクトを形成するサイリスタアノード電極57とをさらに備える。

【0035】

半導体ウェハ20に集積された還流ダイオード60は、

- ・ 第1の主面21にあるp型ダイオードアノード層32であって、このダイオードアノード層32は、ドリフト層53と第3のp-n接合部を形成し、ドリフト層53によってベース層52から分離されている、p型ダイオードアノード層32と、

- ・ 第1の主面21上にある、ダイオードアノード層32に電氣的に接続されたダイオードアノード電極31と、

- ・ 第2の主面22にある、バッファ層55を通じてドリフト層53に電氣的に接続されたn型ダイオードカソード層33（本明細書全体を通して、同じ導電型の2つの半導体領域が電氣的に接続されると記載されている場合、これは、これら2つの半導体領域が直接接触しているか、または同じ導電型の1つ以上の半導体領域によって互いに接続されているか、もしくは金属によって互いに接続されていることを意味するものとする）と、

- ・ 第2の主面22上にある、ダイオードカソード層33とオーミックコンタクトを形成するダイオードカソード電極36と

を備える。

【0036】

サイリスタセル50のベース層52は、ドリフト層53の少なくとも一部を含む分離領域70によってダイオードアノード層32から分離される。

【0037】

ダイオードアノード層32は、図3の上面図および図4の部分上面図において、第1のダイオードアノード層セグメント321上の第1の主面21上に延在するダイオードアノード電極31のストライプ形状部分31aに対応する複数の第1のダイオードアノード層セグメント321を含む。図3および図4において、ダイオードアノード電極31は薄い灰色で示されている。図3および図4に示すように、各第1のダイオードアノード層セグメント321は、半導体ウェハ20の横方向中心から離れる方向に延在する長手方向主軸MAを有する。ここで、長手方向主軸MAは、第1のダイオードアノード層セグメント321がその最大伸長を有する方向として定義されてもよい。例示的な実施形態では、長手方向主軸MAは、反射に関して上面視において（すなわち、第2の主面22に平行な面への正投影において）第1のダイオードアノード層セグメント321の対称軸を形成する（すなわち、第1のダイオードアノード層セグメント321の投影は、長手方向主軸MAに対して鏡映対称性を有する）。

【0038】

第1の実施形態では、半導体ウェハ20は円形形状を有し、各第1のダイオードアノード層セグメント321の長手方向主軸MAは、円形形状半導体ウェハ20の横方向中心から半径方向に沿って延在する。

【0039】

ストライプ形状の第1のダイオードアノード層セグメント321は、第2の主面22に垂直かつ第1のダイオードアノード層セグメント321の長手方向主軸MAに垂直な面に沿った垂直断面において、第1の横幅w1を有する。図5では、第1のダイオードアノード層セグメント321に対応する還流ダイオード60のストライプ形状部分の半分のみが示されていることに留意されたい。したがって、第1のダイオードアノード層セグメント321の幅0.5 x w1が、図5に示されている。第1のダイオードアノード層セグメント

10

20

30

40

50

ント321の第1の横幅 w_1 は、第1のダイオードアノード層セグメント321の長手方向主軸MAに沿って変化してもよい。本発明では、各第1のダイオードアノード層セグメント321の、その長手方向主軸MAに垂直な方向の第1の横幅 w_1 は、長手方向軸MAに沿った任意の位置において少なくとも1000 μm または少なくとも1200 μm である(すなわち、第1の横幅 w_1 の最小値は、少なくとも1000 μm または少なくとも1200 μm である)。各第1のダイオードアノード層セグメント321の第1の横幅 w_1 の最大値は、その第1のダイオードアノード層セグメント321の最小横幅の5倍未満または最小横幅の4倍未満であってもよい。例えば、各第1のダイオードアノード層セグメント321の第1の横幅 w_1 は、長手方向軸に沿った任意の位置において、5000 μm 未満または4000 μm 未満または3000 μm 未満であってもよい(すなわち、第1の横幅の最大値は、5000 μm 未満、または4000 μm 未満、または3000 μm 未満である)。例示的な実施形態では、各第1のダイオードアノード層セグメント321の、その長手方向主軸MAに垂直な方向における第1の横幅 w_1 の最小値は、2000 μm 未満であり、その結果、第1の横幅 w_1 の最小値は、1000 μm ~2000 μm の範囲内または1200 μm ~2000 μm の範囲内にある。

10

【0040】

例示的な実施形態では、各第1のダイオードアノード層セグメント321の、その長手方向主軸MAに沿った方向における長さは、例示的に、図3に示すように、この方向における半導体ウェハ20の幅または直径の少なくとも20%または少なくとも25%である。

【0041】

20

ベース層52の深さおよびダイオードアノード層32の深さは、例示的な、図4に示すように、同じである。

【0042】

第1の実施形態による逆導通パワー半導体デバイスは、第1のダイオードアノード層セグメント321とドリフト層53との間のp-n接合に近い領域内に、複数の局所寿命制御領域91をさらに備える。各局所寿命制御領域91は、放射線誘導再結合中心を含む。第2の主面22に平行な面への正投影において、各局所寿命制御領域91はストライプ形状であり、そのような正投影における第1のダイオードアノード層セグメント321のうちの対応するもの内に配置され、それにより、各局所寿命制御領域91の長手方向主軸は、正投影における第1のダイオードアノード層セグメント321のうちの1つの長手方向主軸MAに沿って延在する。これは、各局所寿命制御領域91および対応する第1のダイオードアノード層セグメント321が同じ長手方向主軸MAを共有することを意味する。例示的には、局所寿命制御領域91は、対応する第1のダイオードアノード層セグメント321と同様に、反射に関する対称軸として長手方向主軸MAとの鏡映対称性を有する。

30

【0043】

図5に示すように、各局所寿命制御領域91は、第2の主面22に直交し、かつ第1のダイオードアノード層セグメント321のうちの対応するものの長手方向主軸MAに直交する面に沿った各垂直断面において、この垂直断面において第1のダイオードアノード層セグメント321のうちの対応するものの第1の横幅 w_1 よりも少なくとも200 μm または少なくとも300 μm 小さい第2の横幅 w_2 を有する。

40

【0044】

局所寿命制御領域91に加えて、図5に示すように、ドリフト層53内のより深くに追加の第2の局所寿命制御領域92が配置されてもよい(任意選択)。このような追加の第2の局所寿命制御領域92の横幅は、局所寿命制御領域91の横幅と同じであってもよい。

【0045】

図5を参照すると、ダイオードカソード層33は、複数のダイオードカソード層セグメント331を備え、各ダイオードカソード層セグメント331は、第2の主面22に平行な面への正投影においてストライプ形状であり、この正投影において、各ダイオードカソード層セグメント331の長手方向主軸が第1のダイオードアノード層セグメント321のうちの対応するものの長手方向主軸MAに沿って延在するように、ストライプ形状の第

50

1のダイオードアノード層セグメント321の対応するものの内に配置される。これは、各ダイオードカソード層セグメント331および対応する第1のダイオードアノード層セグメント321が同じ長手方向主軸MAを共有することを意味する。例示的には、各ダイオードカソード層セグメント331は、対応する第1のダイオードアノード層セグメント321の鏡映対称性と同様に、反射に関する対称軸として長手方向主軸MAとの鏡映対称性を有する。各ダイオードカソード層セグメント331は、第2の主面22に直交し、第1のダイオードアノード層セグメント321のうちの対応するものの長手方向主軸MAに直交する面に沿った各垂直断面において、この断面において局所寿命制御領域91のうちの対応するものの第2の横幅w2より少なくとも200μmまたは少なくとも300μm小さい第3の横幅w3を有し、局所寿命制御領域91のうちの対応するものは、第2の主面22に平行な面への正投影において第1のダイオードアノード層セグメント321のうちの対応するものの内に配置される。

10

【0046】

すなわち、以下の関係(1)が満たされる。

【0047】

【数1】

$$w1 > w2 > w3$$

(1)

20

【0048】

この関係は、図6に示されており、この図は、第1のダイオードアノード層セグメント321の断面、対応する寿命制御領域91の対応する断面、および対応するダイオードカソード層セグメント331の、この正投影において互いに重なる断面の上面図(第2の主面22に平行な面への正投影)を示す。図6に示す断面において、第1の横幅w1、第2の横幅w2および第3の横幅w3は、一定であるように示されている。しかしながら、上記のように、これらの横幅w1、w2およびw3は、上記の制限内で長手方向主軸線MAに沿って変化してもよい。各第1のダイオードアノード層セグメント321、対応する寿命制御領域91、対応するダイオードカソード層セグメント331およびダイオードアノード電極31のフィンガ部分31aは、還流ダイオード60のストライプ形状部分に対応する。

30

【0049】

代替的に、またはw3とw2との間の上記の関係に加えて、各ダイオードカソード層セグメント331は、第2の主面22に直交し、かつ第1のダイオードアノード層セグメント321のうちの対応するものの長手方向主軸MAに直交する面に沿った各垂直断面において、この断面において第1のダイオードアノード層セグメント321のうちの対応するものの第1の横幅w1よりも少なくとも600μmまたは少なくとも800μm小さい第3の横幅w3を有する。

【0050】

図3の上面図からさらに分かるように、ダイオードアノード電極31は、第1のダイオードアノード層セグメント321に対応する第1のフィンガ部分31aの他に、第2のフィンガ部分31bおよび第3のフィンガ部分31cを有する。第1の実施形態では、これらすべてのフィンガ部分31a、31b、31cの長手方向主軸は、半導体ウェハ20の横方向中心から半径方向に延在する。

40

【0051】

逆導通パワー半導体デバイスの横方向中心において、ダイオードアノード電極31は、円形形状部分31dを備え、そこから第1のフィンガ部分31aが半径方向に延在する。第2のフィンガ部分31bは、隣り合う2つの第1のフィンガ部分31aの間に半径方向に延在する。第2のフィンガ部分31bは、第1のフィンガ部分31aよりも短く、円形部分31dから離間している。第3のフィンガ部分31cは、第1のフィンガ部分31a

50

と最も近い第2のフィンガ部分31bとの間に半径方向に延在する。第3のフィンガ部分31cは、第1のフィンガ部分31aよりも短く、また、第2のフィンガ部分31bよりも短い。第3のフィンガ部分31cは、第2のフィンガ部分31bよりも大きい距離だけ円形部分31dから離れている。最後に、半導体ウェハ31の周縁部において、直に隣り合う第1のフィンガ部分31a～第3のフィンガ部分31cの各対の間に第4のフィンガ部分31eが配置されている。上述したように、各第1のフィンガ部分31aは、第1のダイオードアノード層セグメント321に対応し、第2の主面22に平行な面への正投影において、第1のダイオードアノード層セグメント321のうちの対応するものの長手方向主軸MAに沿って延在する長手方向主軸を各々有する。同様に、第2のフィンガ部分31b、第3のフィンガ部分31cおよび第4のフィンガ部分31eは、それらがその上に延在するストライプ形状ダイオードアノード層セグメント321、ストライプ形状寿命制御領域91およびストライプ形状ダイオードカソード層セグメント331に対応する。垂直断面において、ダイオードアノード電極31の第2のフィンガ部分31b、第3のフィンガ部分31cおよび第4のフィンガ部分31eの各々に対応する還流ダイオード60の各フィンガ部分は、第1のフィンガ部分31aに対応する還流ダイオード60のフィンガ部分について図5を参照して上述したものと同一構造を有する。第2のフィンガ部分31bに対応するストライプ形状ダイオードアノード層セグメント321は、第2のダイオードアノード層セグメント321として参照される。

10

【0052】

複数のサイリスタセル50のサイリスタカソード層51は、ストライプ形状であり、互いに分離している複数のサイリスタカソード層セグメント511を含む。サイリスタカソード層セグメント511上には、サイリスタカソード電極56の対応するフィンガ部分が形成される。上面視において、サイリスタカソード電極56のフィンガ部分は、サイリスタカソード層セグメント511と同じまたは対応するパターンおよび形状を有する。図3から最もよく分かるように、逆導通パワー半導体デバイスの上上面視において、サイリスタカソード層セグメント511は、半導体ウェハ20の横方向中心の周りに同心リング状に配置されたストライプとして第1の主面21に配置され、各ストライプの長手方向主軸は、(半導体ウェハ20の横方向中心から延在し、第1の主面21に平行な方向である)半径方向に沿って延在する)。各リングにおいて、サイリスタカソード層セグメント511は、半導体ウェハ20の横方向中心に対して同じ距離を有する。図3に示す例示的な実施形態では、サイリスタカソード層セグメント511は、12個の同心リング内に配置されてもよい。ただし、同心リングの数は、他の任意の数であってもよい。例えば、複数の同心リングが設けられる。第2の主面22に平行な面への正投影において、同心リングの各々において、サイリスタカソード層セグメント511のグループは、フィンガ部分31a～31c、31eと交互になっている。図3に示す例では、サイリスタカソード層セグメント511が配置されている最初の3つの内側同心リングにおいて、直に隣接するサイリスタカソード層セグメント511のグループは、それぞれ各リングに沿って第1のフィンガ部分31aのみと交互になる。次の3つの同心リングにおいて、直に隣接するサイリスタカソード層セグメント511のグループは、それぞれ各リングに沿って第1のフィンガ部分31aおよび第2のフィンガ部分31bと交互になる。最後に、サイリスタカソード層セグメント511が配置される次の5つの同心リングにおいて、直に隣接するサイリスタカソード層セグメント511のグループは、各リングに沿って第1のフィンガ部分31a、第2のフィンガ部分31bおよび第3のフィンガ部分31cと交互になる。サイリスタカソード層セグメント511が配置されている最も外側のリングでは、それぞれ直に隣接する2つのサイリスタカソード層セグメント511のグループが、この最も外側のリングに沿って第1のフィンガ部分～第4のフィンガ部分31a、31b、31cおよび31eと交互になっている。図3および図4の上上面図において、サイリスタカソード層セグメント511に対応するサイリスタカソード電極56のフィンガ部分は、黒いストライプとして示されている。

20

30

40

【0053】

50

図3および図4から最もよく分かるように、第1の実施形態では、複数のサイリスタセル50のゲート電極55は互いに電氣的に接続され、逆導通パワー半導体デバイスは、複数のサイリスタセル50のゲート電極55に接触するための共通ゲート接点40をさらに備え、共通ゲート接点40は、第1の主面21上の半導体ウェハ20の周縁部に配置される。第1のダイオードアノード層セグメント321は、サイリスタカソード層セグメント511が配置されているすべての同心リングを通して半径方向に延在する。そのような例示的な実施形態では、サイリスタセル50から（またはサイリスタセルへの）半導体ウェハ20の周縁部7にある共通ゲート接点40への（または共通ゲート接点からの）ゲート電流の流れは、ストライプ形状の第1のダイオードアノード層セグメント321に対応する還流ダイオードのフィンガ部分によって妨げられない。これは、特にターンオフ中の電流転流を容易にする。

10

【0054】

図9に、本発明の第2の実施形態による逆導通パワー半導体の上面図を示す。多くの類似点を考慮して、第1の実施形態との相違点のみを以下に説明する。残りの特徴に関しては、第1の実施形態の上記の説明を参照されたい。図9において、薄い灰色の領域は、ダイオードアノード電極31の領域に対応する。ダイオードアノード電極31の4つの第1のフィンガ部分301aおよび4つの第2のフィンガ部分301bは、半導体ウェハ20の横方向中心から径方向に延在する。追加の第3のフィンガ部分301cが、4つのフィンガ部分301aからそれぞれ半導体ウェハ20の横方向中心から離れる方向に延在する。第1のフィンガ部分301aおよび第2のフィンガ部分301bは、回転対称に配置されている。フィンガ部分301a~301cは、還流ダイオード60のストライプ形状部分に対応し、図5に断面で示し、図5を参照して上述したような構造を有する。第2の実施形態による逆導通パワー半導体デバイスにおけるサイリスタセル50は、第1の実施形態のサイリスタセル50と上面視の配置のみが異なる。第2の実施形態では、図9に黒いストライプとして示されているカソード層セグメント511は、それぞれ直に隣接するフィンガ部分301b、301cの間に横方向に延在するストライプの長手方向主軸に沿って配置される。すなわち、カソード層セグメント511は、半径方向に対して傾斜した方向に延在する。第2の実施形態による逆導通パワー半導体デバイスのサイリスタセル50の構造は、図5に断面で示し、図5を参照して上述したものと基本的に同じである。

20

【0055】

図7は、 $1200\mu\text{m}$ の第1の横幅 w_1 および $200\mu\text{m}$ の第3の横幅 w_3 を有するストライプ形状還流ダイオード60について、寿命制御領域91の第2の横幅 w_2 に対する還流ダイオード60のスナップオフ電圧 V_{RMSn} の依存性を示すグラフを示す。異なる記号、すなわち三角形、黒丸および白丸は、それぞれ異なるプロトン照射線量（図7では $1E+13$ 、 $2E+13$ および $4E+14$ として示されている）に対応する。約 $w_2=800\mu\text{m}$ の寿命制御領域の第2の横幅 w_2 において、スナップオフ電圧 V_{RMSn} はその最小値を有し、第2の横幅 w_2 の増加と共に再び増加し始める。図8は、 $1200\mu\text{m}$ の第1の横幅 w_1 および $800\mu\text{m}$ の第2の横幅 w_2 を有する還流ダイオード60について、第3の横幅 w_3 に対するスナップオフ電圧の依存性を示すグラフを示す。図8から分かるように、第3の横幅 w_3 の減少は、スナップオフ電圧 V_{RMSn} の減少をもたらす。

30

40

【0056】

以下、上述の実施形態のいずれかによる逆導通パワー半導体デバイスの製造方法を、図10Aおよび図10Bを参照して示す。本方法は、以下の、

(a) n型半導体層200を設けるステップであって、半導体層200は、第1の面201を有し、第1の面201の反対側の第2の面202を有し、半導体層200のドーピング濃度は、最終的な逆導通パワー半導体デバイスにおけるドリフト層53のドーピング濃度に対応する、n型半導体層200を設けるステップと、

(b) 半導体層200の第1の面201上に第1のマスキング層210を設けるステップであって、第1のマスキング層210は第1の開口部211を備える、第1のマスキング層210を設けるステップと、

50

(c) 最終的な逆導通半導体デバイスのベース層 5 2 およびダイオードアノード層 3 2 を形成するために、第 1 のマスク層 2 1 0 の第 1 の開口部 2 1 1 を通じて半導体層 2 0 0 の第 1 の面 2 0 1 に p 型ドーパント 2 2 0 を選択的に被着させるステップと、

(e) 第 1 の面 2 0 1 上に第 2 のマスク層 2 4 0 を形成するステップであって、第 2 のマスク層 2 4 0 は第 2 の開口部 2 4 1 を有する、第 2 のマスク層 2 4 0 を形成するステップと、

(f) 半導体層 2 0 0 内に放射線誘導再結合中心を含む局所寿命制御領域 9 1 を形成するために、電子または重イオン放射線などの放射線 2 5 0 を、第 2 のマスク層 2 4 0 内の第 2 の開口部 2 4 1 を通じて第 1 の面 2 0 1 上に選択的に加えるステップと、

(g) 第 1 の面 2 0 1 上にサイリスタカソード層 5 1 を形成するステップと、

(h) 第 2 の面 2 0 2 上にサイリスタアノード層 5 4 およびダイオードカソード電極 3 6 を形成するステップと、

(i) 第 2 の面 2 0 2 上にダイオードカソード層 3 3 を形成するステップとを含む。

【0057】

第 2 の開口部 2 4 1 は、第 1 の面 2 0 1 に平行な面への正投影において、各第 2 の開口部 2 4 1 が第 1 のダイオードアノード層セグメント 3 2 1 のうちの対応するものの投影領域内に配置されるように、第 1 のダイオードアノード層セグメント 3 2 1 が形成される半導体層 2 0 0 の領域と横方向に整列したストライプ形状開口部を含み、ストライプ形状の開口部 2 4 1 は、最終的な逆導通パワー半導体デバイスにおける第 1 のダイオードアノード層セグメント 3 2 1 のうちの対応するものの長手方向主軸 MA に沿ったすべての位置で、第 1 のダイオードアノード層セグメント 3 2 1 のうちの対応するものの横幅 w_1 よりも少なくとも $200 \mu\text{m}$ または少なくとも $300 \mu\text{m}$ 小さい横幅 w_4 を有する。

【0058】

添付の特許請求の範囲によって定義される本発明の着想から逸脱することなく、上述の実施形態の変更が可能であることは、当業者には明らかであろう。

【0059】

上記の実施形態は、特定の導電型で説明された。上述の実施形態における半導体層の導電型は、p 型層として記載されたすべての層が n 型層であり、n 型層として記載されたすべての層が p 型層であるように切り替えられてもよい。

【0060】

逆導通パワー半導体デバイスの上記の実施形態は、円形半導体ウェハ 2 0 を用いて説明されている。しかしながら、半導体ウェハは、矩形または多角形などの他の形状を有してもよい。

【0061】

図 10 A および図 10 B を参照して上述した実施形態による方法は、複数の異なる方法ステップを特定の順序で記載した。しかしながら、方法ステップは異なる順序で実行されてもよい。

【0062】

「備える (comprising)」という単語は他の要素またはステップを排除するものではなく、不定冠詞「a」または「an」は複数を除外しないことに留意されたい。また、異なる実施形態に関連して説明した要素を組み合わせてもよい。

【符号の説明】

【0063】

参照符号のリスト

- 1、20 半導体ウェハ
- 2、50 サイリスタセル
- 3、56 サイリスタカソード電極
- 4、511 サイリスタカソード層セグメント
- 5、52 ベース層

10

20

30

40

50

6、53	ドリフト層	
7、59	バッファ層	
8、54	サイリスタアノード層	
9、57	サイリスタアノード電極	
10、55	ゲート電極	
11、40	共通ゲート接点	
12	ダイオードセル	
13、32	ダイオードアノード層	
14、33	ダイオードカソード層	
15、70	分離領域	10
16、36	ダイオードカソード電極	
17、31	ダイオードアノード電極	
21	第1の主面	
22	第2の主面	
200	半導体層	
201	第1の面	
202	第2の面	
210	第1のマスク層	
211	第1の開口部	
220	p型ドーパント	20
240	第2のマスク層	
241	第2の開口部	
31a、31b、31c、31e；		
301a、301b、301c	ダイオードアノード電極31のフィンガ部分	
31d	ダイオードアノード電極31の中央部	
321	ダイオードアノード層セグメント	
331	ダイオードカソード層セグメント	
51	サイリスタカソード層	
60	還流ダイオード	
91	局所寿命制御（LLC）領域	30
92	第2の局所寿命制御領域	
w1	第1の横幅（321の）	
w2	第2の横幅（91の）	
w3	第3の横幅（331の）	
w4	横幅（241の）	

【 図 面 】
【 図 1 】

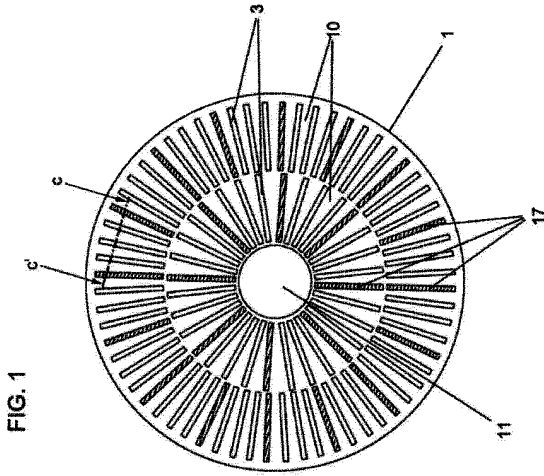


FIG. 1

【 図 2 】

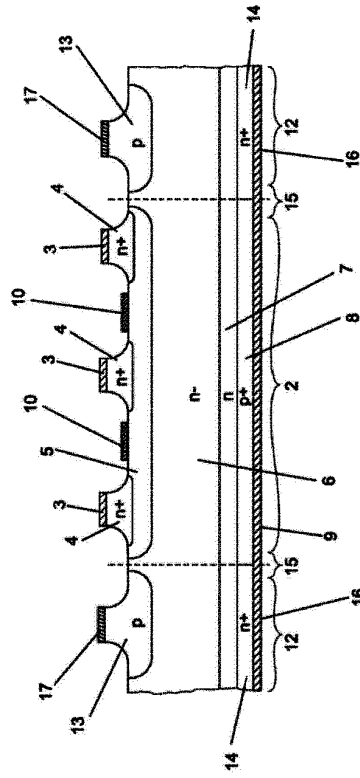


FIG. 2

【 図 3 】

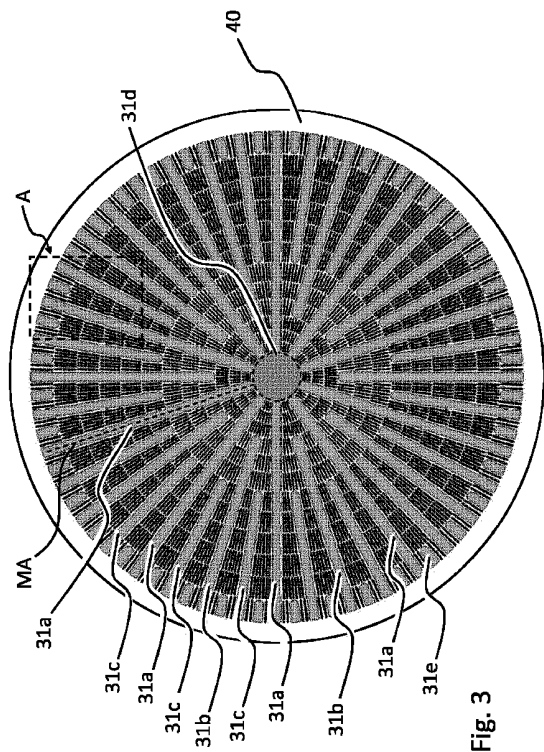


Fig. 3

【 図 4 】

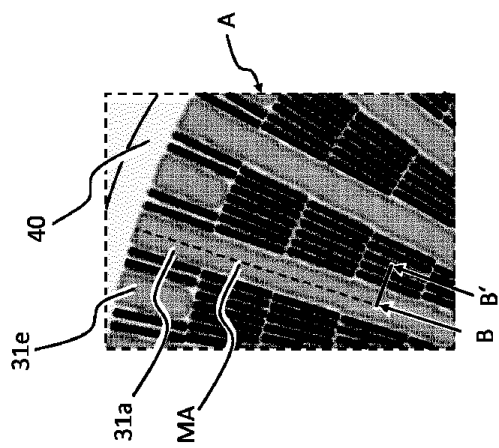


Fig. 4

10

20

30

40

50

【 図 5 】

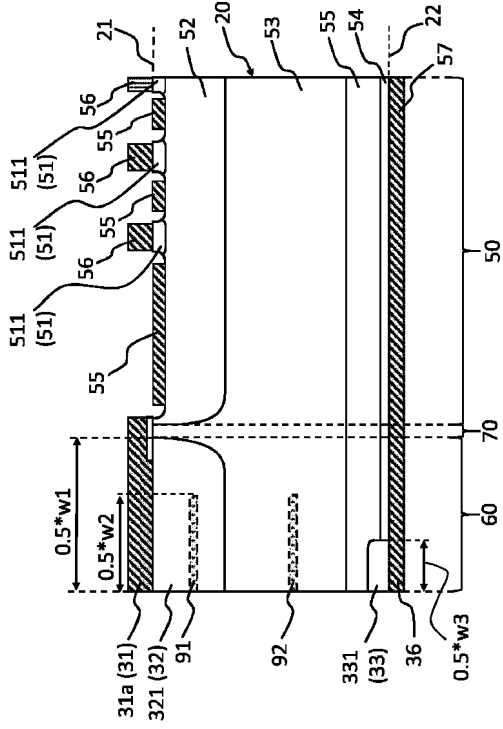


Fig. 5

【 図 6 】

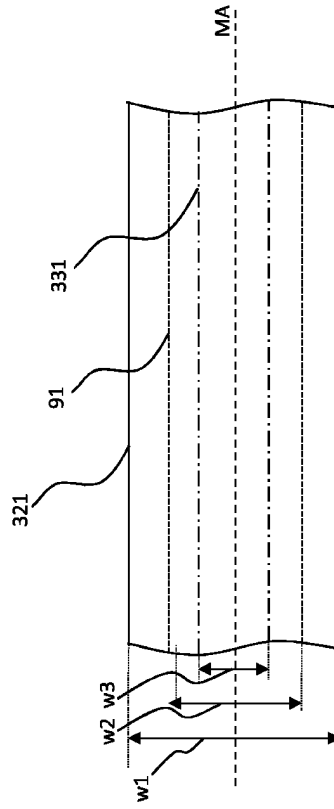


Fig. 6

【 図 7 】

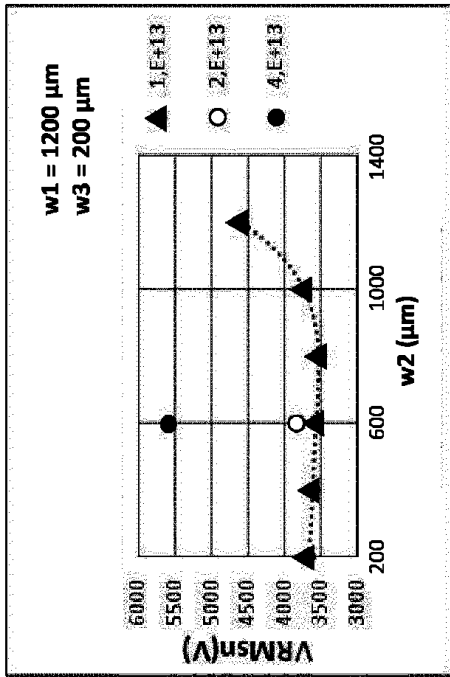


Fig. 7

【 図 8 】

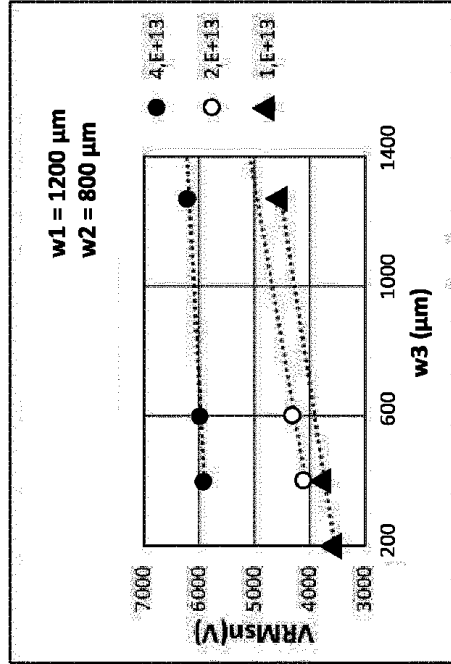


Fig. 8

【 図 9 】

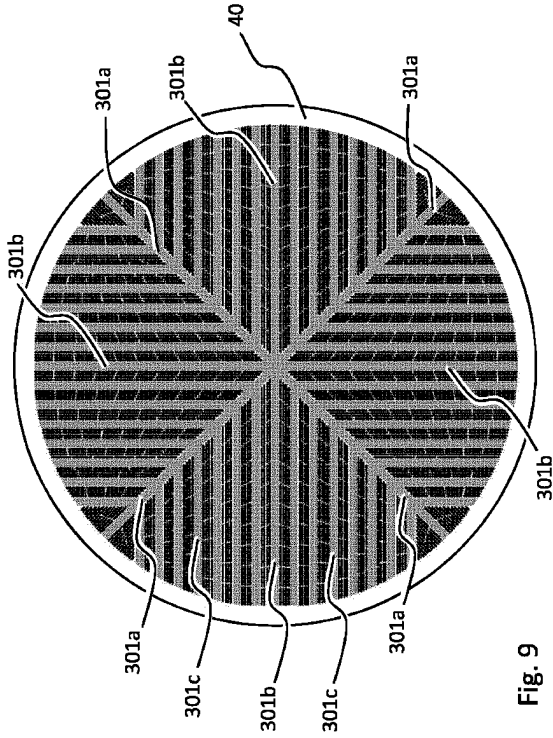


Fig. 9

【 図 10 A 】

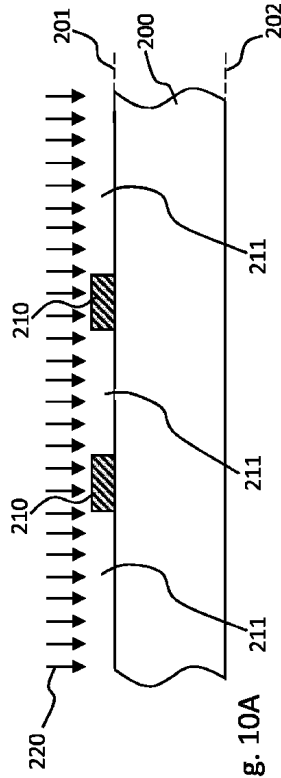


Fig. 10A

【 図 10 B 】

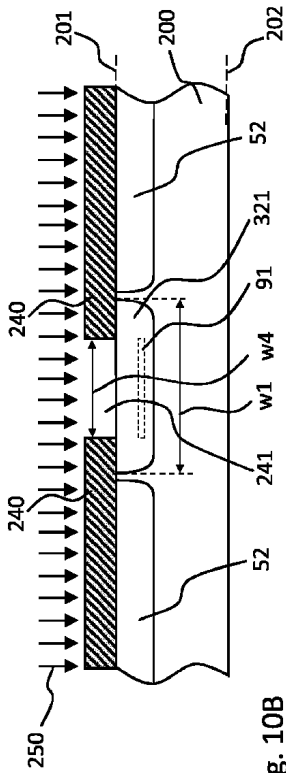


Fig. 10B

10

20

30

40

50

フロントページの続き

- (56)参考文献 特開2016-181691(JP,A)
特開2016-009871(JP,A)
特表2013-543260(JP,A)
特開平08-186247(JP,A)
特開平08-213592(JP,A)

- (58)調査した分野 (Int.Cl., DB名)
H01L 29/74
H01L 29/861
H01L 29/868