(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年11月21日(21.11.2019)

WIPO | PCT

(10) 国際公開番号
WO 2019/220537 A1

(51) 国際特許分類:
G09G 3/36 (2006.01)　*G09G 3/20* (2006.01)

(21) 国際出願番号：PCT/JP2018/018762

(22) 国際出願日：2018年5月15日(15.05.2018)

(25) 国際出願の言語：日本語

(26) 国際公開の言語：日本語

(71) 出願人: 堺ディスプレイプロダクト株式会社 (**SAKAI DISPLAY PRODUCTS CORPORATION**) [JP/JP]; 〒5908522 大阪府堺市堺区匠町１番地 Osaka (JP).

(72) 発明者: 堀邊　隆介 (**HORIBE, Ryusuke**); 〒5908522 大阪府堺市堺区匠町１番地 堺ディスプレイプロダクト株式会社内 Osaka (JP).

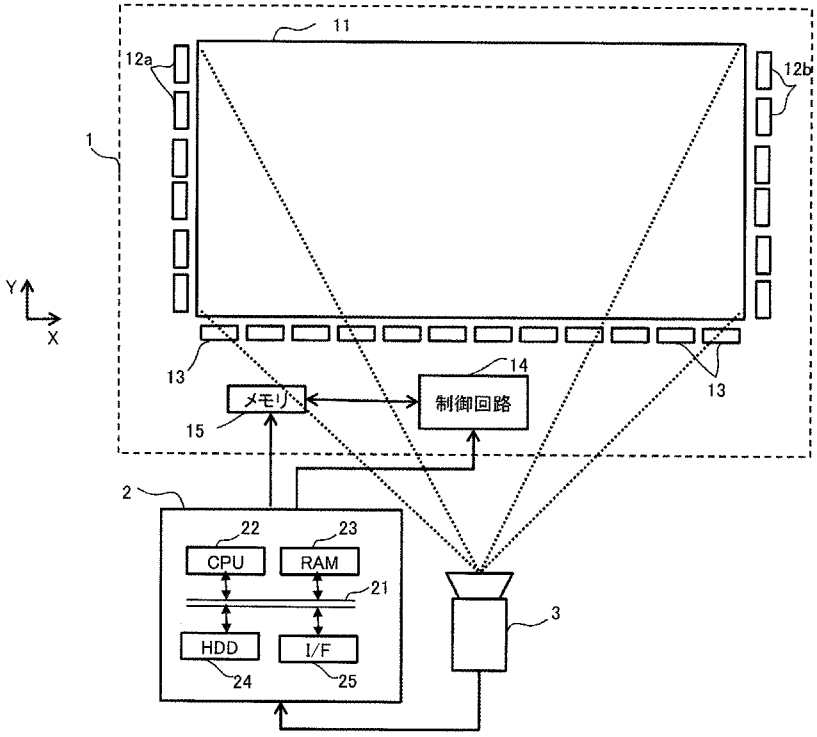
木村 優斗 (**KIMURA, Yuto**); 〒5908522 大阪府堺市堺区匠町１番地 堺ディスプレイプロダクト株式会社内 Osaka (JP).

(74) 代理人: 鮫島　睦，外 (**SAMEJIMA, Mutsumi** et al.); 〒5300017 大阪府大阪市北区角田町８番１号梅田阪急ビルオフィスタワー青山特許事務所 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,

(54) **Title:** CALIBRATION DEVICE AND CALIBRATION METHOD

(54) 発明の名称： 較正装置及び較正方法



14 Control circuit
15 Memory

(57) **Abstract:** Display cells (33) are selected in units of rows by a plurality of first control signals applied via a plurality of first signal lines (31). The display cells (33) respectively display pixels of an image along one of a plurality of rows in accordance with a plurality of second control signals applied via a plurality of second signal lines (32). A photographing device (3) photographs a screen of the display panel (11). A computation device 2 causes the display panel (11) to display a test image. On the basis of the luminance of first and second regions in the test image displayed on the display panel

WO 2019/220537 A1

[続葉有]

MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

(11) and photographed by the photographing device (3), the computation device 2 sets the delay amount of second control signals for the display cells (33) included in the second region with respect to second control signals for the display cells (33) included in the first region such that the luminance of the second region satisfies a predetermined reference with respect to the luminance of the first region.

(57) 要約:各表示セル(３３)は、複数の第１の信号線(３１)を介して印加される複数の第１の制御信号によって行ごとに選択される。各表示セル(３３)は、複数の第２の信号線(３２)を介して印加される複数の第２の制御信号に従って複数の行のうちの１つに沿った画像の各画素を表示する。撮影装置(３)は、表示パネル(１１)の画面を撮影する。演算装置２は、表示パネル(１１)にテスト画像を表示させる。演算装置２は、表示パネル(１１)に表示されて撮影装置(３)によって撮影されたテスト画像のうちの第１及び第２の領域の輝度に基づいて、第２の領域の輝度が第１の領域の輝度に対して予め決められた基準を満たすように、第１の領域に含まれる表示セル(３３)のための第２の制御信号に対する、第２の領域に含まれる表示セル(３３)のための第２の制御信号の遅延量を設定する。

明　細　書

発明の名称 ： 較正装置及び較正方法

技術分野

[0001] 本発明は、表示装置を較正する較正装置及び較正方法に関する。

背景技術

[0002] 近年、液晶パネルなどの表示パネルは、次第に大型化し、その解像度及びフレームレートも次第に増大している。

先行技術文献

特許文献

[0003] 特許文献1：特開２００３－１６２２６２号公報

特許文献2：特開２００９－０１４８９７号公報

発明の概要

発明が解決しようとする課題

[0004] 表示パネルが大型化するにつれて、その各表示セルを駆動させるための信号線の長さが増大し、従って、信号線を介して伝送される信号の遅延量が大きくなる。例えば、各表示セルのスイッチ素子をオン及びオフするゲート制御信号は、ゲート駆動回路の近傍の位置（表示パネルのエッジ部）と、ゲート駆動回路から遠隔した位置（表示パネルの中央部）とでは、その立ち上がり及び立ち下がりの時間差が顕著になる。

[0005] この影響を低減するために、各表示セルに画像データを供給するタイミングをゲート制御信号の遅延量に応じて補正することが考えられている（例えば、特許文献１及び２を参照）。

[0006] しかしながら、表示パネルの信号線には製造バラツキがあり、信号の遅延は個別の製品ごとに変動し、個別の製品ごとに表示パネルの画面内において輝度（階調）のバラツキが生じる可能性がある。

[0007] 本発明の目的は、以上の課題を解決し、表示パネルの画面内における輝度のバラツキを低減するように表示装置を較正する新規な較正装置及び較正方

法を提供することにある。

課題を解決するための手段

[0008] 本発明の一態様によれば、表示装置を較正する較正装置が提供される。表示装置は、複数の行に沿った複数の第１の信号線と、複数の列に沿った複数の第２の信号線と、第１及び第２の信号線にそれぞれ接続された複数の表示セルとを含む表示パネルを備える。各表示セルは、複数の第１の信号線を介して印加される複数の第１の制御信号によって行ごとに選択される。各表示セルは、複数の第２の信号線を介して印加される複数の第２の制御信号に従って複数の行のうちの１つに沿った画像の各画素を表示する。較正装置は、表示パネルの画面を撮影する撮影装置と、表示パネルにテスト画像を表示させ、表示パネルに表示されて撮影装置によって撮影されたテスト画像のうちの第１及び第２の領域の輝度に基づいて、第２の領域の輝度が第１の領域の輝度に対して予め決められた基準を満たすように、第１の領域に含まれる表示セルのための第２の制御信号に対する、第２の領域に含まれる表示セルのための第２の制御信号の遅延量を設定する演算装置とを備える。

発明の効果

[0009] 本発明に係る較正装置及び較正方法によれば、表示パネルに表示されて撮影装置によって撮影されたテスト画像に基づいて第２の制御信号の遅延量を設定することにより、表示パネルの画面内における輝度のバラツキを低減するように表示装置を較正することができる。

図面の簡単な説明

[0010] [図1]第１の実施形態に係る表示装置、演算装置、及び撮影装置の構成を示すブロック図である。

[図2]図１の表示装置の詳細構成を示すブロック図である。

[図3]図２の表示セルの詳細構成を示す回路図である。

[図4]図２の１つのゲート信号線の等価回路を示す図である。

[図5]図１の表示パネルにおいて生じる遅延を示す概略図である。

[図6]図１の表示パネルをドット反転方式で駆動する場合における、表示セル

の理想的な動作を示すタイミングチャートである。

[図7]図１の表示パネルをドット反転方式で駆動する場合における、ゲート制御信号が鈍って遅延が生じたときの表示セルの動作を示すタイミングチャートである。

[図8]図１の表示パネルをドット反転方式で駆動して画像全体で白色のテスト画像を表示する場合における、ゲート制御信号が鈍って遅延が生じたときの表示パネルを示す図である。

[図9]図１の表示パネルをドット反転方式で駆動する場合における、ゲート制御信号に生じた遅延に応じてソース制御信号を遅延させたときの表示セルの動作を示すタイミングチャートである。

[図10]図１の表示パネルを縦ライン反転方式で駆動する場合における、表示セルの理想的な動作を示すタイミングチャートである。

[図11]図１の表示パネルを縦ライン反転方式で駆動する場合における、ゲート制御信号が鈍って遅延が生じたときの表示セルの動作を示すタイミングチャートである。

[図12]図１の表示パネルを縦ライン反転方式で駆動して白色と黒色のストライプ画像を表示する場合における、ゲート制御信号が鈍って遅延が生じたときの表示パネルを示す図である。

[図13]図１の表示パネルを縦ライン反転方式で駆動する場合における、ゲート制御信号に生じた遅延に応じてソース制御信号を遅延させたときの表示セルの動作を示すタイミングチャートである。

[図14]図１の演算装置によって実行される較正処理を示すフローチャートである。

[図15]図１の表示装置によって実行される初期化処理を示すフローチャートである。

[図16]第２の実施形態に係る表示装置、演算装置、及び撮影装置の構成を示すブロック図である。

[図17]図１６の表示パネルの各スイッチ素子に係るゲート・ソース電圧に対

するドレイン電流の特性を示すグラフである。

[図18]図１６の表示パネルの各スイッチ素子に係るチャネル温度に対するゲートしきい値電圧の特性を示すグラフである。

[図19]図１６の演算装置によって実行される較正処理を示すフローチャートである。

[図20]図１６の表示装置によって実行される初期化処理を示すフローチャートである。

[図21]図１の表示装置においてソース制御信号の遅延量を設定する方法を説明するための図である。

[図22]図２１のソース駆動回路の詳細構成を示すブロック図である。

[図23]図２２の各ソース信号線を介して伝送されるソース制御信号に設定される遅延量を示すグラフである。

[図24]図１の各ソース駆動回路における遅延量の合成を示すグラフである。

[図25]第１の実施形態の変形例に係る表示装置においてソース制御信号の遅延量を設定する方法を説明するための図である。

発明を実施するための形態

[0011] 以下、図面を参照して、本発明の各実施形態に係る表示装置の較正装置及び較正方法について説明する。各図において、同じ符号は同様の構成要素を示す。

[0012] ［第１の実施形態］

図１は、第１の実施形態に係る表示装置１、演算装置２、及び撮影装置３の構成を示すブロック図である。演算装置２及び撮影装置３は、輝度のバラツキを低減するように表示装置１を較正する較正装置として動作する。

[0013] 表示装置１は、表示パネル１１、複数のゲート駆動回路１２ａ，１２ｂ、複数のソース駆動回路１３、制御回路１４、及びメモリ１５を備える。表示パネル１１は、行方向（図１等のＸ方向）及び列方向（図１等のＹ方向）に沿って配列された複数の表示セル３３（図２参照）を含む。表示パネル１１は矩形の画面を有する。表示パネル１１は、例えば液晶パネルである。ゲー

ト駆動回路１２ａ，１２ｂは、各表示セル３３を行ごとに選択する複数のゲート制御信号を表示パネル１１の各表示セル３３に供給する。ここで、「選択」とは、表示セル３３のスイッチ素子（後述）をオンすることにより、表示セル３３の内部のキャパシタ及び表示素子をソース信号線３２（図２参照）に接続することを意味する。ソース駆動回路１３は、複数の行のうちの１つに沿った画像の各画素の階調を示す複数のソース制御信号を、複数の可変な遅延量で、複数のソース信号線３２を介して各表示セル３３に供給する。制御回路１４は、ゲート駆動回路１２ａ，１２ｂ及びソース駆動回路１３を制御する。制御回路１４は、タイミングコントローラとも呼ばれる。メモリ１５は、ソース制御信号の遅延量など、表示装置１の動作に関連するさまざまなパラメータを格納する不揮発性記憶媒体である。制御回路１４は、メモリ１５に格納されたパラメータに基づいて表示装置１の全体の動作を制御する。

[0014] 演算装置２は、バス２１、中央処理装置（ＣＰＵ）２２、ランダムアクセスメモリ（ＲＡＭ）２３、ハードディスクドライブ（ＨＤＤ）２４、及びインターフェース（Ｉ／Ｆ）２５を備える。中央処理装置２２、ランダムアクセスメモリ２３、ハードディスクドライブ２４、及びインターフェース２５は、バス２１を介して互いに接続される。ハードディスクドライブ２４は、演算装置２の動作に関連するプログラム及びデータを格納する。中央処理装置２２は、ハードディスクドライブ２４からプログラム及びデータを読み出し、読み出したプログラムをランダムアクセスメモリ２３において実行する。ハードディスクドライブ２４に代えて、ソリッドステートメモリなどの他の記憶装置を備えてもよい。インターフェース２５は、ＨＤＭＩ（登録商標）、イーサネット（登録商標）、ＵＳＢ、などを含み、演算装置２と、表示装置１及び撮影装置３とを互いに接続する。

[0015] 撮影装置３は、表示パネル１１の画面全体を撮影するように設けられる。撮影装置３は、撮影した画像を演算装置２に送る。

[0016] 演算装置２の中央処理装置２２は、撮影装置３によって撮影された画像に

基づいて、図１４を参照して後述する較正処理を実行し、表示装置１を較正する。

[0017] 演算装置２は、汎用のコンピュータであってもよく、表示装置１を較正するための専用装置であってもよい。

[0018] 図２は、図１の表示装置１の詳細構成を示すブロック図である。表示パネル１１は、複数の行に沿った複数のゲート信号線３１と、複数の列に沿った複数のソース信号線３２と、ゲート信号線３１及びソース信号線３２にそれぞれ接続された複数の表示セル３３とを含む。各ゲート駆動回路１２ａ，１２ｂは、各表示セル３３を行ごとに選択する複数のゲート制御信号を、複数のゲート信号線３１を介して各表示セル３３に供給する。各ソース駆動回路１３は、複数の行のうちの１つに沿った画像の各画素の階調を示す複数のソース制御信号を、複数の可変な遅延量で、複数のソース信号線３２を介して各表示セル３３に供給する。表示パネル１１の左辺にゲート駆動回路１２ａが設けられるとともに、表示パネル１１の右辺にもゲート駆動回路１２ｂが設けられ、各ゲート信号線３１の両端にゲート駆動回路１２ａ，１２ｂがそれぞれ接続される。本明細書では、ゲート駆動回路１２ａ，１２ｂを総称して「ゲート駆動回路１２」ともいう。また、表示パネル１１の下辺にソース駆動回路１３が設けられる。

[0019] 表示パネル１１は、例えば、ドット反転方式、横ライン反転方式、又は縦ライン反転方式で駆動される。ドット反転方式では、行ごと、列ごと、かつフレームごとに反転する極性を有する電圧が各表示セル３３に印加される。また、横ライン反転方式では、予め決められた個数の行ごとかつフレームごとに反転する極性を有する電圧が各表示セル３３に印加される。また、縦ライン反転方式では、予め決められた個数の列ごとかつフレームごとに反転する極性を有する電圧が各表示セル３３に印加される。

[0020] 本明細書では、ゲート駆動回路１２、ゲート信号線３１、及びゲート制御信号を、それぞれ、「第１の駆動回路」、「第１の信号線」、及び「第１の制御信号」ともいう。また、本明細書では、ソース駆動回路１３、ソース信

号線３２、及びソース制御信号を、それぞれ、「第２の駆動回路」、「第２の信号線」、及び「第２の制御信号」ともいう。

[0021] 図３は、図２の表示セル３３の詳細構成を示す回路図である。表示セル３３は、スイッチ素子４１、キャパシタ４２、及び表示素子４３を備える。スイッチ素子４１は、ゲート制御信号に応じてオン及びオフする。スイッチ素子４１は、例えば薄膜トランジスタである。キャパシタ４２及び表示素子４３は、互いに並列接続され、それらの一端はスイッチ素子４１を介してソース信号線３２に接続され、それらの他端は所定の共通電圧Ｖｃｏｍの端子に接続される。キャパシタ４２は、ソース制御信号の電圧に応じて充電される容量素子である。表示素子４３は、キャパシタ４２の両端電圧に応じて変化する光学的特性を有する。表示素子４３は、例えば液晶である。

[0022] ゲート駆動回路１２ａ，１２ｂから表示パネル１１に入力されたゲート制御信号は、ゲート信号線３１を伝搬し、各表示セル３３のスイッチ素子４１のゲート端子に印加される。また、ソース駆動回路１３から表示パネル１１に入力されたソース制御信号は、ソース信号線３２を伝搬し、各表示セル３３のスイッチ素子４１のドレイン端子に印加される。スイッチ素子４１のゲート端子に印加されているゲート制御信号の電圧が上昇してスイッチ素子４１のしきい値電圧Ｖｔｈを超えると、スイッチ素子４１がオンしてドレイン・ソース間が導通する。このとき、スイッチ素子４１のドレイン端子に印加されているソース制御信号の電圧がスイッチ素子４１のソース端子を通って表示セル３３に供給され、ソース制御信号の電圧に応じてキャパシタ４２が充電（又は放電）される。

[0023] 次に、図４及び図５を参照して、各ゲート信号線３１を介して伝送されるゲート制御信号の遅延について説明する。

[0024] 図４は、図２の１つのゲート信号線３１の等価回路を示す図である。ゲート信号線３１は、それ自体の抵抗Ｒを有する。また、ゲート信号線３１とその近傍の導体との間に容量Ｃ（寄生容量）が生じる。ゲート信号線３１は、抵抗Ｒ及び容量Ｃを有する分布定数回路であり、抵抗Ｒ及び容量Ｃにより決

まる時定数を有する。すなわち、ゲート信号線３１は低域通過フィルタとして機能するので、ゲート信号線３１の上でゲート制御信号が伝搬するにつれて、その波形の鈍りが大きくなる。

[0025] 図５は、図１の表示パネル１１において生じる遅延を示す概略図である。前述のように、表示パネル１１が大型化するにつれて、信号線を介して伝送される信号の遅延量が大きくなる。さらに、表示パネル１１が特に４０型以上の大きなサイズを有する場合、ゲート信号線３１が長くなり、従って、その抵抗Ｒ及び容量Ｃが増大することによりゲート制御信号の波形の鈍りが大きくなる。ゲート制御信号の波形が鈍ると、ゲート制御信号の電圧がスイッチ素子４１のしきい値電圧を超える及び／又は下回るタイミング、すなわちスイッチ素子４１がオン及び／又はオフされるタイミングが遅延し、ゲート制御信号自体が遅延したときと同等の影響が生じる。ゲート信号線３１に起因する遅延は、ゲート信号線３１の抵抗Ｒ及び容量Ｃ（分布定数）の影響で、図５に示すように、ゲート駆動回路１２ａ，１２ｂの近傍、すなわち表示パネル１１の左辺及び右辺（例えば表示セルＡ）から、表示パネル１１の中央部（例えば表示セルＢ）に進むほど増大する。この影響で、表示パネル１１をドット反転方式又は横ライン反転方式で駆動する場合は、表示パネル１１の中央部が暗くなる。また、表示パネル１１を縦ライン反転方式で駆動し、横ストライプを表示する場合は、ある表示セル３３のキャパシタ４２に対して、隣接する行の表示セル３３のキャパシタ４２に供給すべきソース制御信号の電圧が充電されてしまうことにより、表示パネル１１の中央部においてゴーストが発生する。

[0026] これに対して、第１の実施形態によれば、各表示セル３３の位置でのゲート制御信号の遅延に合わせて、各表示セル３３に対応するソース駆動回路１３がソース制御信号を出力するタイミングを遅延させる。詳しくは、演算装置２は、表示パネル１１にテスト画像を表示させ、表示パネル１１に表示されたテスト画像を撮影装置３によって撮影する。次いで、演算装置２は、撮影されたテスト画像のうちの所定の基準領域及び対象領域の輝度に基づいて

、対象領域の輝度が基準領域の輝度に対して予め決められた基準を満たすように、基準領域に含まれる表示セル３３のためのソース制御信号に対する、対象領域に含まれる表示セル３３のためのソース制御信号の遅延量を決定する。演算装置２は、決定されたソース制御信号の遅延量を表示装置１に設定し、これにより、表示パネル１１の画面内における輝度のバラツキを低減するように表示装置１を較正する。ここで、基準領域は、例えば、表示セルＡの近傍の領域など、ゲート駆動回路１２ａ，１２ｂの近傍の領域である。また、対象領域は、例えば、表示セルＢの近傍の領域など、基準領域に含まれる表示セルと同じゲート信号線３１に接続された表示セルのうち、輝度を調整しようとしている表示セルを含む任意の領域である。本明細書では、基準領域を「第１の領域」ともいい、対象領域を「第２の領域」ともいう。

[0027] 次に、図６～図１３を参照して、第１の実施形態に係る較正装置によって決定されるソース制御信号の遅延量について詳細に説明する。

[0028] まず、図６～図９を参照して、図１の表示パネル１１をドット反転方式で駆動する場合における、表示セル３３の動作、ゲート制御信号の遅延、及びソース制御信号の遅延量の決定について説明する。

[0029] ドット反転方式では、各表示セル３３に印加される電圧の極性は、互いに隣接するゲート信号線３１ごとに反転され、互いに隣接するソース信号線３２ごとに反転され、かつ、フレームごとに反転される。また、ドット反転方式では、テスト画像は画像全体で均一の輝度を有し、例えば画像全体で白色のテスト画像が使用される。

[0030] 図６は、図１の表示パネル１１をドット反転方式で駆動する場合における、表示セル３３の理想的な動作を示すタイミングチャートである。図６の１段目は、図５の表示セルＡにおいて、スイッチ素子４１のゲート端子に印加されるゲート制御信号の電圧を示す。図６の２段目は、図５の表示セルＡにおいて、スイッチ素子４１のドレイン端子に印加されるソース制御信号の電圧を示す。図６の３段目は、図５の表示セルＡにおけるキャパシタ４２に保持された電圧を示す。

[0031] 図６の１段目を参照すると、ゲート制御信号は、例えば、ローレベルのとき－１０Ｖ～－６Ｖの電圧を有し、ハイレベルのとき２０Ｖ～３５Ｖの電圧を有する。スイッチ素子４１のゲートしきい値電圧は、例えば約５Ｖである。表示パネル１１が例えば約４０００本の走査線を有し、１２０Ｈｚで動作する場合、ゲート制御信号は、約２マイクロ秒のオン期間を有する。

[0032] 表示パネル１１はドット反転方式で駆動するので、図６の２段目に示すように、ソース制御信号の電圧は、１行を走査するごとに交互に共通電圧Ｖｃｏｍより高い電圧ＶＨ又は低い電圧ＶＬに変化する。以下、図６～図９では、図５の表示セルＡ及びＢを含む画素により白色を表示するために、共通電圧Ｖｃｏｍより高いソース制御信号の電圧ＶＨを表示セルＡ及びＢに供給する場合を考える。

[0033] 図６を参照すると、キャパシタ４２は、スイッチ素子４１のオン期間にわたって、ソース制御信号の電圧ＶＨに応じて充電される。スイッチ素子４１のオン期間が終了した時点においてキャパシタ４２に保持される電圧は、オン期間中のソース制御信号の電圧ＶＨと、オン期間の長さとに依存する。表示セルＡでは、キャパシタ４２が充電されて電圧ＶＨに達し、その後、スイッチ素子４１がオフになる（ゲート制御信号がローレベルになる）までは、図６の１～２段目からわかるように、ソース制御信号は電圧ＶＨのまま維持される。従って、表示セルＡでは、スイッチ素子４１がオフした後、図６の３段目に示すように、キャパシタ４２は所望の電圧ＶＨを保持する。

[0034] 図７は、図１の表示パネル１１をドット反転方式で駆動する場合における、ゲート制御信号が鈍って遅延が生じたときの表示セル３３の動作を示すタイミングチャートである。図７は、各ソース駆動回路１３が複数のソース制御信号を同じタイミングで出力する場合を示す。図７の１段目は、図５の表示セルＡにおいて、スイッチ素子４１のゲート端子に印加されるゲート制御信号の電圧を示す。図７の２段目は、図５の表示セルＢにおいて、スイッチ素子４１のゲート端子に印加されるゲート制御信号の電圧を示す。図７の３段目は、図５の表示セルＢにおいて、スイッチ素子４１のドレイン端子に印

加されるソース制御信号の電圧を示す。図７の４段目は、図５の表示セルＢにおけるキャパシタ４２に保持された電圧を示す。図８は、図１の表示パネル１１をドット反転方式で駆動して画像全体で白色のテスト画像を表示する場合における、ゲート制御信号が鈍って遅延が生じたときの表示パネル１１を示す図である。

[0035] ゲート制御信号が表示パネル１１の左辺及び右辺（例えば表示セルＡ）から中央部（例えば表示セルＢ）まで伝送されると、図７の１～２段目に示すように、ゲート信号線３１の抵抗Ｒ及び容量Ｃによりゲート制御信号の波形に鈍りが生じる。ゲート制御信号の波形の鈍りに起因してスイッチ素子４１がオン及びオフされるタイミングが遅延する。従って、スイッチ素子４１は、ゲート制御信号自体が遅延した場合と同様の影響を受ける。ここで、（ＶＨ－Ｖｔｈ）＞（Ｖｔｈ－ＶＬ）の場合、ゲート制御信号の立ち下がりは、ゲート制御信号の立ち上がりよりも大きく遅延する。これにより、表示セルＢにおけるゲート制御信号のオン期間は、表示セルＡにおけるゲート制御信号のオン期間よりも長くなる。従って、各ソース駆動回路１３が複数のソース制御信号を同じタイミングで出力する場合、表示セルＢでは、ソース制御信号の電圧に応じてキャパシタ４２が充電（又は放電）される時間長は、表示セルＡでの時間長よりも長くなり、スイッチ素子４１がオフするタイミングが遅くなる。

[0036] 図７の２～３段目に示すように、表示セルＢでは、ソース制御信号はスイッチ素子４１のオン期間において電圧ＶＨから電圧ＶＬに変化し、その後、スイッチ素子４１がオフされる。従って、表示セルＢでは、図７の４段目に示すように、スイッチ素子４１のオン期間において、キャパシタ４２に保持された電圧は、ソース制御信号の電圧ＶＨに応じて上昇するが、その後、ソース制御信号の電圧ＶＬに応じて下降してしまう。スイッチ素子４１がオフした後、キャパシタ４２は電圧ＶＨよりも低い電圧を保持する。これにより、図８に示すように、表示パネル１１の左辺及び右辺の近傍に比べて、表示パネル１１の中央部の輝度が低下する。

[0037] 表示セル３３のキャパシタ４２に保持される電圧は、表示セル３３に供給されるソース制御信号が所望の電圧ＶＨに遷移してから、表示セル３３のスイッチ素子４１がオフするまでの期間におけるソース制御信号の電圧に応じて決まる。従って、キャパシタ４２に電圧ＶＨを保持させるためには、少なくともこの期間にわたって、ソース制御信号は電圧ＶＨを維持する必要がある。スイッチ素子４１がオフする前に、ソース制御信号の電圧が、現在の表示セル３３の所望の電圧ＶＨから、隣接する行の表示セル３３に供給すべき次の電圧ＶＬに遷移すると、キャパシタ４２に保持された電圧は電圧ＶＨからずれて、電圧ＶＬに、又は、電圧ＶＨと電圧ＶＬとの中間値に変化してしまう。この場合、例えば、白色を表示するために表示セル３３が最大輝度で発光すべき場合であっても、キャパシタ４２に保持された電圧が電圧ＶＨからずれて輝度が低下してしまう。また、スイッチ素子４１がオンした後、ソース制御信号が電圧ＶＨに達するタイミングが遅延すると、キャパシタ４２の充電時間が不足してキャパシタ４２が電圧ＶＨに達することができず、表示セル３３の輝度が低下する可能性がある。

[0038] 図９は、図１の表示パネル１１をドット反転方式で駆動する場合における、ゲート制御信号に生じた遅延に応じてソース制御信号を遅延させたときの表示セル３３の動作を示すタイミングチャートである。図９の１段目は、図５の表示セルＡにおいて、スイッチ素子４１のゲート端子に印加されるゲート制御信号の電圧を示す。図９の２段目は、図５の表示セルＢにおいて、スイッチ素子４１のゲート端子に印加されるゲート制御信号の電圧を示す。図９の３段目は、図５の表示セルＡにおいて、スイッチ素子４１のドレイン端子に印加されるソース制御信号の電圧を示す。図９の４段目は、図５の表示セルＢにおいて、スイッチ素子４１のドレイン端子に印加されるソース制御信号の電圧を示す。図９の５段目は、図５の表示セルＢにおけるキャパシタ４２に保持された電圧を示す。

[0039] 図９の４段目に示すように、表示セルＢでは、少なくともゲート制御信号の立ち下がりの遅延量（図９の２段目を参照）だけ、ソース駆動回路１３に

よりソース制御信号を出力するタイミングを遅延させる。これにより、表示セルＢでは、キャパシタ４２が充電されて電圧ＶＨに達し、その後、スイッチ素子４１がオフになるまでは、ソース制御信号は電圧ＶＨのまま維持される。従って、表示セルＢでは、スイッチ素子４１がオフした後、図９の５段目に示すように、キャパシタ４２は所望の電圧ＶＨを保持する。

[0040] 演算装置２は、以下のように、表示セルＡ及びＢのためのソース制御信号をそれぞれ出力するタイミングを決定する。

[0041] 各ソース駆動回路１３は、初期状態では、複数のソース制御信号を同じタイミングで出力する。このとき、表示セルＡのキャパシタ４２には所望の電圧ＶＨが保持され（図６の３段目）、表示セルＢのキャパシタ４２には電圧ＶＨから下降した電圧が保持される（図７の４段目）。従って、撮影されたテスト画像において、表示セルＢの輝度は表示セルＡの輝度よりも低くなる。

[0042] これに対して、演算装置２は、撮影されたテスト画像に基づいて、表示セルＡ及びＢの輝度の差を初期状態よりも低減するように、表示セルＡ及びＢのためのソース制御信号をそれぞれ出力するタイミングを決定する。演算装置２は、表示セルＡ及びＢの輝度の差が低減するまで、好ましくは、表示セルＡ及びＢの輝度が一致するまで、表示セルＡのためのソース制御信号に対して表示セルＢのためのソース制御信号を遅延させる。これにより、演算装置２は、表示セルＢのためのソース制御信号の遅延量を、表示セルＡのスイッチ素子４１がオフされるタイミングから表示セルＢのスイッチ素子４１がオフされるタイミングまでの時間長と同じもしくはより長くなるように決定することができる。ソース制御信号の遅延量は、予め用意された輝度差と遅延量との対応テーブルに基づいて決定されてもよい。その結果、表示セルＡのキャパシタ４２には所望の電圧ＶＨが保持され（図６の３段目）、表示セルＢのキャパシタ４２にもまた所望の電圧ＶＨが保持される（図９の５段目）。従って、撮影されたテスト画像において、表示セルＡ及びＢの輝度は一致する。

[0043] 表示セルＢのためのソース制御信号の遅延量が過大であると、前述のように、表示セルＢのキャパシタ４２の充電時間が不足してキャパシタ４２の電圧が所望値に達することができず、表示セルＢの輝度が低下する可能性がある。従って、演算装置２は、撮影されたテスト画像に基づいて、表示セルＡ及びＢの輝度の差を初期状態よりも増大させないように、かつ、いったん初期状態よりも低減した値から再び増大させないように、表示セルＡ及びＢのためのソース制御信号をそれぞれ出力するタイミングを決定する。これにより、演算装置２は、表示セルＢのスイッチ素子４１がオンされて表示セルＢのキャパシタ４２にソース制御信号の電圧が印加される時間長が、スイッチ素子４１がオンされてからキャパシタ４２の電圧がソース制御信号の電圧に達するまでの時間長と同じもしくはより長くなるように、ソース制御信号の遅延量を決定することができる。

[0044] 図６～図９の例では、白色を表示するために共通電圧Ｖｃｏｍより高いソース制御信号の電圧ＶＨを表示セルＡ及びＢに供給する場合を参照して説明した。一方、白色を表示するために共通電圧Ｖｃｏｍより低いソース制御信号の電圧ＶＬを各表示セル３３に供給する場合も同様に、演算装置２は、各表示セル３３のためのソース制御信号をそれぞれ出力するタイミングを決定することができる。

[0045] このように、演算装置２は、基準領域の輝度に対する対象領域の輝度の差を初期状態よりも低減するように、基準領域に含まれる表示セルのためのソース制御信号に対する、対象領域に含まれる表示セルのためのソース制御信号の遅延量を決定する。このように決定されたソース制御信号の遅延量を表示装置１に設定することにより、演算装置２は、ドット反転方式で表示パネル１１を駆動する場合、表示装置１を図９に示すように動作させることができる。

[0046] なお、横ライン反転方式により表示パネル１１を駆動する場合もまた、表示パネル１１をドット反転方式で駆動する場合と同様に、演算装置２は、ソース制御信号の遅延量を決定することができる。横ライン反転方式では、各

表示セル３３に印加される電圧の極性は、互いに隣接するゲート信号線３１ごと（又は、予め決められた個数のゲート信号線３１ごと）に反転され、かつ、フレームごとに反転される。また、横ライン反転方式では、テスト画像は、ドット反転方式と同様に、画像全体で均一の輝度を有し、例えば画像全体で白色のテスト画像が使用される。また、横ライン反転方式では、図９に示したものと同様のソース制御信号が各ソース信号線３２に供給される。この場合もまた、演算装置２は、基準領域の輝度に対する対象領域の輝度の差を初期状態よりも低減するように、基準領域に含まれる表示セルのためのソース制御信号に対する、対象領域に含まれる表示セルのためのソース制御信号の遅延量を決定する。このように決定されたソース制御信号の遅延量を表示装置１に設定することにより、演算装置２は、横ライン反転方式で表示パネル１１を駆動する場合、ドット反転方式で表示パネル１１を駆動する場合と同様に、表示装置１を図９に示すように動作させることができる。

[0047] 次に、図１０～図１３を参照して、縦ライン反転方式により表示パネル１１を駆動する場合における、表示セル３３の動作、ゲート制御信号の遅延、及びソース制御信号の遅延量の決定について説明する。

[0048] 縦ライン反転方式により表示パネル１１を駆動する場合もまた、表示パネル１１をドット反転方式又は横ライン反転方式で駆動する場合と同様に、演算装置２は、ソース制御信号の遅延量を決定することができる。縦ライン反転方式では、各表示セル３３に印加される電圧の極性は、互いに隣接するソース信号線３２ごと（又は、予め決められた個数のソース信号線３２ごと）に反転され、かつ、フレームごとに反転される。また、縦ライン反転方式では、テスト画像は予め決められた個数の行ごとに異なる輝度を有し、例えば白色と黒色のストライプ画像が使用される。この場合もまた、演算装置２は、基準領域の輝度に対する対象領域の輝度の差を初期状態よりも低減するように、基準領域に含まれる表示セルのためのソース制御信号に対する、対象領域に含まれる表示セルのためのソース制御信号の遅延量を決定する。

[0049] 図１０は、図１の表示パネル１１を縦ライン反転方式で駆動する場合にお

ける、表示セル３３の理想的な動作を示すタイミングチャートである。図１０の１段目は、図５の表示セルＡにおいて、スイッチ素子４１のゲート端子に印加されるゲート制御信号の電圧を示す。図１０の２段目は、図５の表示セルＡにおいて、スイッチ素子４１のドレイン端子に印加されるソース制御信号の電圧を示す。図１０の３段目は、図５の表示セルＡにおけるキャパシタ４２に保持された電圧を示す。

[0050] 表示パネル１１は、縦ライン反転方式で駆動しており、白色と黒色のストライプ画像を表示するので、図１０の２段目に示すように、あるソース制御信号の電圧は、１行又はｎ行（ｎは自然数）を走査するごとに交互に共通電圧Ｖｃｏｍと電圧ＶＨに変化する。また、他のソース制御信号の電圧は、１行又はｎ行（ｎは自然数）を走査するごとに交互に共通電圧Ｖｃｏｍと電圧ＶＬに変化する。各ソース制御信号が電圧ＶＨになるか、それとも電圧ＶＬになるかは、予め決められた個数の列ごとに切り替わり、かつ、フレームごとに切り替わる。以下、図１０～図１３では、図５の表示セルＡ及びＢを含む画素により白色を表示するために、共通電圧Ｖｃｏｍより高いソース制御信号の電圧ＶＨを表示セルＡ及びＢに供給する場合を考える。

[0051] 図１０を参照すると、表示セルＡでは、キャパシタ４２が充電されて電圧ＶＨに達し、その後、スイッチ素子４１がオフになる（ゲート制御信号がローレベルになる）までは、図１０の１～２段目からわかるように、ソース制御信号は電圧ＶＨのまま維持される。従って、表示セルＡでは、スイッチ素子４１がオフした後、図１０の３段目に示すように、キャパシタ４２は所望の電圧ＶＨを保持する。

[0052] 図１１は、図１の表示パネル１１を縦ライン反転方式で駆動する場合における、ゲート制御信号が鈍って遅延が生じたときの表示セル３３の動作を示すタイミングチャートである。図１１は、各ソース駆動回路１３が複数のソース制御信号を同じタイミングで出力する場合を示す。図１１の１段目は、図５の表示セルＡにおいて、スイッチ素子４１のゲート端子に印加されるゲート制御信号の電圧を示す。図１１の２段目は、図５の表示セルＢにおいて

、スイッチ素子４１のゲート端子に印加されるゲート制御信号の電圧を示す。図１１の３段目は、図５の表示セルＢにおいて、スイッチ素子４１のドレイン端子に印加されるソース制御信号の電圧を示す。図１１の４段目は、図５の表示セルＢにおけるキャパシタ４２に保持された電圧を示す。図１２は、図１の表示パネル１１を縦ライン反転方式で駆動して白色と黒色のストライプ画像を表示する場合における、ゲート制御信号が鈍って遅延が生じたときの表示パネル１１を示す図である。

[0053] 図１１の２～３段目に示すように、表示セルＢでは、ソース制御信号はスイッチ素子４１のオン期間において電圧ＶＨから電圧Ｖｃｏｍに変化し、その後、スイッチ素子４１がオフされる。従って、表示セルＢでは、図１１の４段目に示すように、スイッチ素子４１のオン期間において、キャパシタ４２に保持された電圧は、ソース制御信号の電圧ＶＨに応じて上昇するが、その後、ソース制御信号の電圧Ｖｃｏｍに応じて下降してしまう。スイッチ素子４１がオフした後、キャパシタ４２は電圧ＶＨよりも低い電圧を保持する。このように、スイッチ素子４１がオフする前に、ソース制御信号の電圧が、現在の表示セル３３の所望の電圧ＶＨから、隣接する行の表示セル３３に供給すべき次の電圧Ｖｃｏｍに遷移すると、キャパシタ４２に保持された電圧は電圧ＶＨからずれて、電圧Ｖｃｏｍに、又は、電圧ＶＨと電圧Ｖｃｏｍとの中間値に変化してしまう。従って、表示セル３３を含む画素が白色を表示する（すなわち最大輝度になる）ためにキャパシタ４２が電圧ＶＨを保持すべき場合であっても、キャパシタ４２に保持された電圧は電圧ＶＨよりも低くなる。

[0054] 同様に、スイッチ素子４１がオフする前に、ソース制御信号の電圧が、現在の表示セル３３の所望の電圧Ｖｃｏｍから、隣接する行の表示セル３３に供給すべき次の電圧ＶＨに遷移すると、キャパシタ４２に保持された電圧は電圧Ｖｃｏｍからずれて、電圧ＶＨに、又は、電圧Ｖｃｏｍと電圧ＶＨとの中間値に変化してしまう。従って、表示セル３３を含む画素が黒色を表示する（すなわち最小輝度になる）ためにキャパシタ４２が電圧Ｖｃｏｍを保持

すべき場合であっても、キャパシタ４２に保持された電圧は電圧Ｖｃｏｍよりも高くなる。

[0055] これにより、行ごとに白色及び黒色が交替するストライプ画像を表示しようとするとき、白色を表示すべき画素の表示セル３３が最大輝度よりも暗くなり、黒色を表示すべき画素の表示セル３３が最小輝度よりも明るくなるので、ゴーストが発生して画像のエッジがぼやけてしまう。また、例えば、図１２に示すように、表示パネル１１の左辺及び右辺の近傍に比べて、表示パネル１１の中央部の付近におけるコントラストが低下する。

[0056] 図１３は、図１の表示パネル１１を縦ライン反転方式で駆動する場合における、ゲート制御信号に生じた遅延に応じてソース制御信号を遅延させたときの表示セル３３の動作を示すタイミングチャートである。図１３の１段目は、図５の表示セルＡにおいて、スイッチ素子４１のゲート端子に印加されるゲート制御信号の電圧を示す。図１３の２段目は、図５の表示セルＢにおいて、スイッチ素子４１のゲート端子に印加されるゲート制御信号の電圧を示す。図１３の３段目は、図５の表示セルＡにおいて、スイッチ素子４１のドレイン端子に印加されるソース制御信号の電圧を示す。図１３の４段目は、図５の表示セルＢにおいて、スイッチ素子４１のドレイン端子に印加されるソース制御信号の電圧を示す。図１３の５段目は、図５の表示セルＢにおけるキャパシタ４２に保持された電圧を示す。

[0057] 図１３の４段目に示すように、表示セルＢでは、少なくともゲート制御信号の立ち下がりの遅延量（図１３の２段目を参照）だけ、ソース駆動回路１３によりソース制御信号を出力するタイミングを遅延させる。これにより、表示セルＢでは、キャパシタ４２が充電されて電圧ＶＨに達し、その後、スイッチ素子４１がオフになるまでは、ソース制御信号は電圧ＶＨのまま維持される。従って、表示セルＢでは、スイッチ素子４１がオフした後、図１３の５段目に示すように、キャパシタ４２は所望の電圧ＶＨを保持する。

[0058] 演算装置２は、以下のように、表示セルＡ及びＢのためのソース制御信号をそれぞれ出力するタイミングを決定する。

[0059] 各ソース駆動回路１３は、初期状態では、複数のソース制御信号を同じタイミングで出力する。このとき、表示セルＡのキャパシタ４２には所望の電圧ＶＨが保持され（図１０の３段目）、表示セルＢのキャパシタ４２には電圧ＶＨから下降した電圧が保持される（図１１の４段目）。また、表示セルＡと同じソース信号線３２に接続され、表示セルＡに隣接する表示セル３３のキャパシタ４２には所望の電圧Ｖｃｏｍが保持される。また、表示セルＢと同じソース信号線３２に接続され、表示セルＢに隣接する表示セル３３のキャパシタ４２には電圧Ｖｃｏｍから上昇した電圧が保持される。従って、撮影されたテスト画像において、表示セルＢの近傍の領域における輝度のコントラストは、表示セルＡの近傍の領域における輝度のコントラストよりも低くなる。

[0060] これに対して、演算装置２は、撮影されたテスト画像に基づいて、表示セルＡ及びＢの近傍の領域における輝度のコントラストの差を初期状態よりも低減するように、表示セルＡ及びＢのためのソース制御信号をそれぞれ出力するタイミングを決定する。演算装置２は、表示セルＡ及びＢの近傍の領域における輝度のコントラストの差が低減するまで、好ましくは、表示セルＡ及びＢの近傍の領域における輝度のコントラストが一致するまで、表示セルＡのためのソース制御信号に対して、表示セルＢのためのソース制御信号を遅延させる。これにより、演算装置２は、表示セルＢのためのソース制御信号の遅延量を、表示セルＡのスイッチ素子４１がオフされるタイミングから表示セルＢのスイッチ素子４１がオフされるタイミングまでの時間長と同じもしくはより長くなるように決定することができる。その結果、表示セルＡのキャパシタ４２には所望の電圧ＶＨが保持され（図１０の３段目）、表示セルＢのキャパシタ４２にもまた所望の電圧ＶＨが保持される（図１３の５段目）。同様に、表示セルＡと同じソース信号線３２に接続され、表示セルＡに隣接する表示セル３３のキャパシタ４２には所望の電圧Ｖｃｏｍが保持される。また、表示セルＢと同じソース信号線３２に接続され、表示セルＢに隣接する表示セル３３のキャパシタ４２にも所望の電圧Ｖｃｏｍが保持さ

れる。従って、撮影されたテスト画像において、表示セルＡ及びＢの近傍の領域における輝度のコントラストは一致する。

[0061] 表示セルＢのためのソース制御信号の遅延量が過大であると、表示セルＢのキャパシタ４２の充電時間が不足してキャパシタ４２の電圧が所望値に達することができず、表示セルＢの近傍の領域における輝度のコントラストが低下する可能性がある。従って、演算装置２は、撮影されたテスト画像に基づいて、表示セルＡ及びＢの近傍の領域における輝度のコントラストの差を初期状態よりも増大させないように、かつ、いったん初期状態よりも低減した値から再び増大させないように、表示セルＡ及びＢのためのソース制御信号をそれぞれ出力するタイミングを決定する。これにより、演算装置２は、表示セルＢのスイッチ素子４１がオンされて表示セルＢのキャパシタ４２にソース制御信号の電圧が印加される時間長が、スイッチ素子４１がオンされてからキャパシタ４２の電圧がソース制御信号の電圧に達するまでの時間長と同じもしくはより長くなるように、ソース制御信号の遅延量を決定することができる。

[0062] 図１０～図１３の例では、白色を表示するために共通電圧Ｖｃｏｍより高いソース制御信号の電圧ＶＨを表示セルＡ及びＢに供給する場合を参照して説明した。一方、白色を表示するために共通電圧Ｖｃｏｍより低いソース制御信号の電圧ＶＬを各表示セル３３に供給する場合も同様に、演算装置２は、各表示セル３３のためのソース制御信号をそれぞれ出力するタイミングを決定することができる。

[0063] このように、演算装置２は、基準領域における互いに隣接する２つの行の輝度のコントラストに対する、対象領域における互いに隣接する２つの行の輝度のコントラストの差を初期状態よりも低減するように、基準領域に含まれる表示セルのためのソース制御信号に対する、対象領域に含まれる表示セルのためのソース制御信号の遅延量を決定する。このように決定されたソース制御信号の遅延量を表示装置１に設定することにより、演算装置２は、縦ライン反転方式で表示パネル１１を駆動する場合、表示装置１を図１３に示

すように動作させることができる。

[0064] 互いに隣接する２つの行の輝度のコントラストを測定するために、撮影装置３は、例えば、個別の行の輝度を測定可能な高解像度の撮影素子を備えてもよい。また、撮影装置３は、撮影装置３に取り付けられた拡大レンズ又は接写レンズなどの光学系と、撮影装置３自体を表示パネル１１の画面全体にわたって移動させる駆動機構とを備えてもよい。また、較正装置は、表示パネル１１上において左辺の近傍、右辺の近傍、及び中央部にそれぞれ設けられた少なくとも３つの撮影装置と、各撮影装置に取り付けられた拡大レンズ又は接写レンズなどの光学系とを備えてもよい。

[0065] 演算装置２は、ソース制御信号の遅延量を、基準領域に含まれる表示セル３３のスイッチ素子４１がオフされるタイミングから対象領域に含まれる表示セル３３のスイッチ素子４１がオフされるタイミングまでの時間長と同じもしくはより長くなるように決定する。さらに、演算装置２は、対象領域に含まれる表示セル３３のスイッチ素子４１がオンされて表示セル３３のキャパシタ４２にソース制御信号の電圧が印加される時間長が、スイッチ素子４１がオンされてからキャパシタ４２の電圧がソース制御信号の電圧に達するまでの時間長と同じもしくはより長くなるように、ソース制御信号の遅延量を決定する。これにより、ソース制御信号を遅延させても、キャパシタ４２の電圧がソース制御信号の電圧に達するのに十分な時間長を確保することができ、従って、ソース制御信号を遅延させたことに起因する輝度の低下を生じにくくすることができる。

[0066] 図１４は、図１の演算装置２によって実行される較正処理を示すフローチャートである。ステップＳ１において、演算装置２の中央処理装置２２は、ハードディスクドライブ２４からテスト画像（例えば、白色画像又はストライプ画像）を読み出し、テスト画像を表示装置１に送り、テスト画像を表示パネル１１に表示させる。ステップＳ２において、中央処理装置２２は、撮影装置３により、表示パネル１１に表示されたテスト画像を撮影する。ステップＳ３において、中央処理装置２２は、撮影されたテスト画像に基づいて

、図６～図１３を参照して説明したように、ソース制御信号の遅延量を決定する。ステップＳ４において、中央処理装置２２は、撮影されたテスト画像の全体において輝度又はコントラストの差が予め決められたしきい値より小さいか否かを判断し、ＹＥＳのときはステップＳ５に進み、ＮＯのときはステップＳ２に戻る。ステップＳ５において、中央処理装置２２は、ソース制御信号の遅延量を表示装置１に送り、メモリ１５に保存させる。これにより、演算装置２は、輝度のバラツキを低減するように表示装置１を較正することができる。

[0067] 図１５は、図１の表示装置１によって実行される初期化処理を示すフローチャートである。図１５の初期化処理は、例えば、表示装置１の電源をオンしたときに実行される。ステップＳ１１において、表示装置１の制御回路１４は、メモリ１５から、演算装置２によって決定されたソース制御信号の遅延量を読み出す。ステップＳ１２において、制御回路１４は、各ソース駆動回路１３にソース制御信号の遅延量を設定する。ステップＳ１３において、制御回路１４は、映像を表示する。これにより、表示装置１は、輝度のバラツキを低減するように較正された状態で映像を表示することができる。

[0068] 第１の実施形態によれば、表示パネル１１に表示されて撮影装置３によって撮影されたテスト画像に基づいてソース制御信号の遅延量を設定することにより、輝度のバラツキを低減するように表示装置１を較正することができる。

[0069] 前述したように、ゲート制御信号の波形が鈍るとスイッチ素子４１がオン及び／又はオフされるタイミングが遅延する。第１の実施形態によれば、このような遅延も考慮して、輝度の低下を解消するようにソース制御信号の遅延量を決定することができる。

[0070] 第１の実施形態は、ゲート駆動回路１２が表示パネル１１の左辺のみ又は右辺のみに設けられている場合にも同様に適用可能である。また、第１の実施形態は、ソース駆動回路１３が表示パネル１１の上辺及び下辺の両方に設けられている場合にも同様に適用可能である。

[0071] ［第２の実施形態］

図１６は、第２の実施形態に係る表示装置１Ａ、演算装置２Ａ、及び撮影装置３の構成を示すブロック図である。図１６の表示装置１Ａは、図１の表示装置１の制御回路１４に代えて制御回路１４Ａを備え、さらに、表示パネル１１の温度を測定する温度センサ１６を備える。温度センサ１６によって測定された表示パネル１１の温度は、制御回路１４Ａと、演算装置２Ａとに送られる。演算装置２Ａは、表示パネル１１の異なる温度に応じて異なるソース制御信号の遅延量を設定する。

[0072] 図１７は、図１６の表示パネル１１の各スイッチ素子４１に係るゲート・ソース電圧に対するドレイン電流の特性を示すグラフである。図１８は、図１６の表示パネル１１の各スイッチ素子４１に係るチャネル温度に対するゲートしきい値電圧の特性を示すグラフである。スイッチ素子４１の各種特性は温度に依存して変化するので、ゲート制御信号の波形の鈍りが同じ場合であっても、スイッチ素子４１がオン及びオフされるタイミングは、温度に依存して変化する。従って、演算装置２Ａが、異なる温度に応じて異なるソース制御信号の遅延量を予め決定してメモリ１５に保存することにより、表示装置１Ａは、表示パネル１１の温度が変動しても、輝度のバラツキを生じにくくすることができる。

[0073] 図１９は、図１６の演算装置２Ａによって実行される較正処理を示すフローチャートである。図１９のステップＳ２１～Ｓ２４は、図１４のステップＳ１～Ｓ４と同様である。ステップＳ２５において、演算装置２Ａの中央処理装置２２は、温度センサ１６により、表示パネル１１の温度を測定する。ステップＳ２６において、中央処理装置２２は、ソース制御信号の遅延量及び表示パネル１１の温度を表示装置１に送り、メモリ１５に保存させる。ステップＳ２７において、中央処理装置２２は、温度変動が停止したか否かを判断し、ＹＥＳのときは処理を終了し、ＮＯのときはステップＳ２２に戻る。中央処理装置２２は、例えば、予め決められた長さの時間期間において、温度の変動量が予め決められたしきい値以下であるとき、温度変動が停止し

たと判断してもよい。これにより、演算装置２Ａは、異なる温度に応じて異なるソース制御信号の遅延量を決定することができる。

[0074] 図１９は、表示装置１Ａの電源をオンしてから表示パネル１１の温度が定常状態になるまでの動作を示す。それに代わって、加熱装置を用いて表示パネル１１を加熱しながら、表示パネル１１の異なる温度に応じて異なるソース制御信号の遅延量を決定してもよい。

[0075] 演算装置２Ａは、図１９の較正処理によって決定された遅延量及び温度のいくつかの組に基づいて、内挿又は外挿などの演算により、測定された温度以外の他の温度における遅延量を決定してメモリ１５に保存してもよい。

[0076] 図２０は、図１６の表示装置１Ａによって実行される初期化処理を示すフローチャートである。ステップＳ３１において、表示装置１Ａの制御回路１４Ａは、温度センサ１６により、表示パネル１１の温度を測定する。ステップＳ３２において、制御回路１４Ａは、温度に対応するソース制御信号の遅延量をメモリ１５から読み出す。図２０のステップＳ３３～Ｓ３４は、図１５のステップＳ２～Ｓ３と同様である。その後、ステップＳ３１に戻り、温度が変化していれば処理を繰り返す。

[0077] 第２の実施形態によれば、異なる温度に応じて異なるソース制御信号の遅延量を予め決定することにより、表示パネル１１の温度が変動しても、撮影装置３を用いて表示装置１Ａを再較正する必要なく、表示装置１Ａは、輝度のバラツキを低減するように較正された状態で映像を表示することができる。

[0078] 制御回路１４Ａは、温度センサ１６によって測定された温度がメモリ１５に保存された温度とは異なるとき、測定された温度に最も近い温度に対応する遅延量をメモリ１５から読み出して各ソース駆動回路１３に設定してもよい。それに代わって、遅延量が温度に応じてほぼ線形に変化するのであれば、制御回路１４Ａは、測定された温度に基づいて遅延量を補間し、補間された遅延量を各ソース駆動回路１３に設定してもよい。

[0079] ［遅延量の設定方法］

次に、演算装置２によって決定されたソース制御信号の遅延量を表示装置１に設定する具体的な方法について説明する。

[0080] ７０型～８０型など、大型の表示パネルでは、演算装置２によって決定されたソース制御信号の遅延量は、最大で約１マイクロ秒又はそれ以上に達することがある。

[0081] また、例えば、ハイビジョン（ＦＨＤ）、４Ｋ、８Ｋなど、高解像度の表示装置では、非常に多数のソース信号線が表示パネルの横方向に所定間隔で設けられるので、単一のソース駆動回路の集積回路では、表示パネルに供給されるすべてのソース制御信号を発生することができない。この場合、互いに並置された複数のソース駆動回路の集積回路を用いてソース制御信号を発生し、表示パネルを駆動する。従って、複数のソース駆動回路を個々に、かつ、互いに連携させて制御する必要がある。

[0082] 以下、これらの条件を満たすように、複数のソース駆動回路１３を制御し、演算装置２によって決定された遅延量で複数のソース制御信号を各表示セル３３に供給する方法について説明する。

[0083] 図２１は、図１の表示装置１においてソース制御信号の遅延量を設定する方法を説明するための図である。図２１は、図１の表示装置１の構成要素のうち、制御回路１４と、４つのソース駆動回路１３－１～１３－４とのみを示し、説明の簡単化のため、他の構成要素を省略する。ソース駆動回路１３－１～１３－４のうちの各１つのソース駆動回路は、互いに隣接した複数Ｎ個のソース信号線３２－ｍ－ｎ（１≦ｍ≦４，１≦ｎ≦Ｎ）に接続される。制御回路１４は、各ソース駆動回路１３－１～１３－４の内部のバッファから各ソース制御信号を出力させるラッチパルス信号ＬＳ０を、各ソース駆動回路１３－１～１３－４に供給する。本明細書では、ラッチパルス信号ＬＳ０を「第３の制御信号」ともいう。

[0084] 図２２は、図２１のソース駆動回路１３－１の詳細構成を示すブロック図である。ソース駆動回路１３－１は、インターフェース（Ｉ／Ｆ）５１、シフトレジスタ回路５２、データラッチ回路５３、Ｄ／Ａコンバータ回路５４

、出力バッファ回路５５、及び遅延回路５６，５７を備える。ソース駆動回路１３－１は、制御回路１４から、クロック信号ＣＬＫと、１つの行に沿った画像の各画素の階調を示すデータ信号ＤＡＴＡと、メモリ１５から読み出されたソース制御信号の遅延量と、ラッチパルス信号ＬＳ０とを受信する。クロック信号ＣＬＫ及びデータ信号ＤＡＴＡは、映像を示すシリアルデータである。

[0085] インターフェース（Ｉ／Ｆ）５１は、制御回路１４から送られたクロック信号ＣＬＫ及びデータ信号ＤＡＴＡを受信し、受信したデータをシフトレジスタ回路５２に格納する。シフトレジスタ回路５２は、格納したデータを一定のデータ量ごとにデータラッチ回路５３に送り、Ｎチャネルのパラレルデータとして格納させる。データラッチ回路５３は、格納したＮチャネルのパラレルデータ（ディジタルデータ）をＤ／Ａコンバータ回路５４に送る。Ｄ／Ａコンバータ回路５４は、データラッチ回路５３から送られたＮチャネルのパラレルデータをディジタル・アナログ変換してＮチャネルの電圧値に変換し、変換されたＮチャネルの電圧値を出力バッファ回路５５に送る。出力バッファ回路５５はＮ個のバッファ５５ａを備え、各バッファ５５ａには、Ｄ／Ａコンバータ回路５４から送られた各電圧値が格納される。

[0086] 出力バッファ回路５５の各バッファ５５ａは、ラッチパルス信号が入力されたとき、例えばラッチパルス信号の立ち上がりのタイミングで、内部に格納した電圧値をソース制御信号としてソース信号線３２－１－１～３２－１－Ｎに出力する。ここで、各バッファ５５ａには、ラッチパルス信号ＬＳ０を遅延回路５６，５７によって遅延させたラッチパルス信号が入力される。遅延回路５６は、ソース駆動回路１３－１～１３－４ごとに異なる第１の遅延量Ｄ１～Ｄ４のうちの遅延量Ｄ１でラッチパルス信号ＬＳ０を遅延させる。遅延回路５６によって遅延されたラッチパルス信号ＬＳ０を、「ラッチパルス信号ＬＳ１」と表す。遅延回路５７は、ソース駆動回路１３－１に接続されたソース信号線３２－１－１～３２－１－Ｎごとに異なる第２の遅延量でラッチパルス信号ＬＳ１を遅延させる。本明細書では、遅延回路５６を「

第１の遅延回路」ともいい、遅延回路５７を「第２の遅延回路」ともいう。従来技術に係るソース駆動回路では、一般的には、１つのラッチパルス信号に応答してすべてのバッファ５５ａが同時にソース制御信号を出力する。一方、実施形態に係るソース駆動回路１３－１では、バッファ５５ａごとにラッチパルス信号の位相をずらすことで、１つのソース駆動回路１３－１により出力される複数のソース制御信号にさまざまな遅延量を設定することができる。

[0087] 第１及び第２の遅延量は、演算装置２によって決定されてメモリ１５に保存され、制御回路１４によってメモリ１５から読み出されて遅延回路５６，５７に設定される。演算装置２は、テスト画像のうちのソース駆動回路１３－１に対応する各部分領域の輝度の各平均値に基づいて第１の遅延量Ｄ１を決定する。また、演算装置２は、互いに隣接する２つのソース駆動回路１３－１，１３－２の第１の遅延量の差Δｄ１＝Ｄ２－Ｄ１を、１つのソース駆動回路１３－１に接続されたソース信号線３２－１－１～３２－１－Ｎの個数Ｎにより除算した値Δｄ０＝Δｄ１／Ｎに基づいて第２の遅延量を決定する。演算装置２は、例えば、各表示セル３３に供給するソース制御信号の第２の遅延量を、例えば、表示セル３３がゲート駆動回路１２から離れるにつれて値Δｄ０ずつ増大するように決定する。これにより、演算装置２は、第１及び第２の遅延量の和が各ソース制御信号の所望の遅延量になるように、第１及び第２の遅延量を決定することができる。

[0088] 図２３は、図２２の各ソース信号線３２－１－１～３２－１－Ｎを介して伝送されるソース制御信号に設定される遅延量を示すグラフである。ソース信号線３２－１－１の遅延量は、ソース駆動回路１３－１において最小値を有し、ソース駆動回路１３－１の第１の遅延量Ｄ１に等しい。また、ソース信号線３２－１－Ｎの遅延量は、ソース駆動回路１３－１において最大値を有し、実質的に、ソース駆動回路１３－２の第１の遅延量Ｄ２に等しい。他のソース信号線３２－１－２～３２－１－（Ｎ－１）の遅延量は、遅延量Ｄ１から遅延量Ｄ２まで線形に増大する。

[0089] 遅延回路５６，５７は、ラッチパルス信号ＬＳ０をアナログ的に遅延させてもよく、ラッチパルス信号ＬＳ０よりも高速なクロックに基づいてディジタル的に遅延させてもよい。ただし、ディジタル的な遅延回路のほうが、アナログ的な遅延回路よりも、高精度にラッチパルス信号ＬＳ０を遅延させることができる。

[0090] ラッチパルス信号ＬＳ０は、クロック信号ＣＬＫ及びデータ信号ＤＡＴＡとは別個に制御回路１４からソース駆動回路１３－１に入力されることに代えて、クロック信号ＣＬＫ及びデータ信号ＤＡＴＡに基づいてソース駆動回路１３－１により生成されてもよい。

[0091] ソース駆動回路１３－２～１３－４もまた、ソース駆動回路１３－１と同様に構成される。

[0092] 再び図２１を参照すると、ソース駆動回路１３－１～１３－４は、遅延回路５６－１～５６－４をそれぞれ備える。遅延回路５６－１～５６－４は、図２２の遅延回路５６に対応し、ソース駆動回路１３－１～１３－４ごとに異なる第１の遅延量Ｄ１～Ｄ４でラッチパルス信号ＬＳ０を遅延させ、遅延されたラッチパルス信号ＬＳ１～ＬＳ４を生成する。ソース駆動回路１３－１の右端のソース信号線３２－１－Ｎと、ソース駆動回路１３－２の左端のソース信号線３２－２－１とを介してそれぞれ伝送されるソース制御信号に設定される遅延量は互いに実質的に等しい。同様に、ソース駆動回路１３－２～１３－４の各境界で互いに隣接する一対のソース信号線を介してそれぞれ伝送されるソース制御信号に設定される遅延量も互いに実質的に等しい。これにより、複数のソース駆動回路１３－１～１３－４を用いていても、遅延量をおおよそ連続的に変化させることができ、互いに隣接するソース駆動回路の間における遅延量の急激な変化を生じにくくして、急峻な輝度の変化を抑えることができる。

[0093] 図２４は、図１の各ソース駆動回路１３における遅延量の合成を示すグラフである。大型かつ高解像度の表示装置１であって、ソース制御信号に大きな遅延量を設定する必要がある場合であっても、遅延回路５６，５７の遅延

量を合成することにより、輝度のバラツキを低減するようにソース制御信号の所望の遅延量を設定することができる。また、以上説明したように、複数のソース駆動回路１３を個々に、かつ、互いに連携させて制御してソース制御信号を発生し、表示パネル１１を駆動することができる。

[0094] 図２５は、第１の実施形態の変形例に係る表示装置においてソース制御信号の遅延量を設定する方法を説明するための図である。図２５は、図１の表示装置１が、図２１のソース駆動回路１３－１～１３－４及び制御回路１４に代えて、ソース駆動回路１３Ａ－１～１３Ａ－４及び制御回路１４Ａを備える場合を示す。

[0095] ソース駆動回路１３Ａ－１～１３Ａ－４は、図２１のソース駆動回路１３－１～１３－４から遅延回路５６－１～５６－４を除去した構成を有する。ソース駆動回路１３Ａ－１～１３Ａ－４のうちの各１つのソース駆動回路は、図２２のソース駆動回路１３－１と同様に、当該ソース駆動回路に接続されたソース信号線３２ごとに異なる第２の遅延量でラッチパルス信号ＬＳ０を遅延させる遅延回路５７（第２の遅延回路）を備える。

[0096] 制御回路１４Ａは、ラッチ信号発生器６１及び遅延回路６２を備える。ラッチ信号発生器６１は、各ソース制御信号を出力させるラッチパルス信号ＬＳ０を発生する信号源である。遅延回路６２は、図２１の遅延回路５６－１～５６－４と同様に、ソース駆動回路１３Ａ－１～１３Ａ－４ごとに異なる第１の遅延量Ｄ１～Ｄ４でラッチパルス信号ＬＳ０を遅延させ、遅延されたラッチパルス信号ＬＳ１～ＬＳ４を生成する。ラッチパルス信号ＬＳ１～ＬＳ４は、各ソース駆動回路１３Ａ－１～１３Ａ－４に供給される。本明細書では、遅延回路６２を「第１の遅延回路」ともいう。

[0097] 図２５の場合もまた、図２１の場合と同様に、第１及び第２の遅延量は、演算装置２によって決定されてメモリ１５に保存され、制御回路１４Ａによってメモリ１５から読み出されて遅延回路６２，５７に設定される。演算装置２は、第１及び第２の遅延量の和が各ソース制御信号の所望の遅延量になるように、第１及び第２の遅延量を決定する。

[0098] 図２１～図２５を参照して説明した遅延量の設定方法は、表示パネル１１に表示されて撮影装置３によって撮影されたテスト画像に基づいて決定された遅延量を設定する場合に限定されず、他の任意の遅延量をソース駆動回路１３に設定する場合に適用可能である。

産業上の利用可能性

[0099] 本発明は、大型かつ高解像度の表示装置において輝度のバラツキを低減するように較正する場合に利用可能である。

符号の説明

[0100] １，１Ａ…表示装置、

２，２Ａ…演算装置、

３…撮影装置、

１１…表示パネル、

１２ａ，１２ｂ…ゲート駆動回路、

１３，１３－１～１３～４，１３Ａ－１～１３Ａ～４…ソース駆動回路、

１４，１４Ａ…制御回路、

１５…メモリ、

１６…温度センサ

２１…バス、

２２…中央処理装置（ＣＰＵ）、

２３…ランダムアクセスメモリ（ＲＡＭ）、

２４…ハードディスクドライブ（ＨＤＤ）、

２５…インターフェース（Ｉ／Ｆ）、

３１…ゲート信号線、

３２…ソース信号線、

３３…表示セル、

４１…スイッチ素子、

４２…キャパシタ、

４３…表示素子、

５１…インターフェース（Ｉ／Ｆ）、

５２…シフトレジスタ回路、

５３…データラッチ回路、

５４…Ｄ／Ａコンバータ回路、

５５…出力バッファ回路、

５５ａ…バッファ、

５６，５６－１～５６－４，５７…遅延回路、

６１…ラッチ信号発生器、

６２…遅延回路。

請求の範囲

[請求項1] 表示装置を較正する較正装置であって、

前記表示装置は、複数の行に沿った複数の第１の信号線と、複数の列に沿った複数の第２の信号線と、前記第１及び第２の信号線にそれぞれ接続された複数の表示セルとを含む表示パネルを備え、前記各表示セルは、前記複数の第１の信号線を介して印加される複数の第１の制御信号によって前記行ごとに選択され、前記各表示セルは、前記複数の第２の信号線を介して印加される複数の第２の制御信号に従って前記複数の行のうちの１つに沿った画像の各画素を表示し、

前記較正装置は、

前記表示パネルの画面を撮影する撮影装置と、

前記表示パネルにテスト画像を表示させ、前記表示パネルに表示されて前記撮影装置によって撮影されたテスト画像のうちの第１及び第２の領域の輝度に基づいて、前記第２の領域の輝度が前記第１の領域の輝度に対して予め決められた基準を満たすように、前記第１の領域に含まれる前記表示セルのための前記第２の制御信号に対する、前記第２の領域に含まれる前記表示セルのための前記第２の制御信号の遅延量を設定する演算装置とを備えた、

較正装置。

[請求項2] 前記表示パネルは、前記行ごと、前記列ごと、かつフレームごとに反転する極性を有する電圧を各表示セルに印加するドット反転方式により、又は、予め決められた個数の行ごとかつフレームごとに反転する極性の電圧を各表示セルに印加するライン反転方式により駆動され、

前記テスト画像は、画像全体で均一の輝度を有し、

前記演算装置は、前記第１の領域の輝度に対する前記第２の領域の輝度の差を初期状態よりも低減するように、前記第１の領域に含まれる前記表示セルのための前記第２の制御信号に対する、前記第２の領

域に含まれる前記表示セルのための前記第２の制御信号の遅延量を設定する、

請求項１記載の較正装置。

[請求項3] 前記表示パネルは、予め決められた個数の列ごとかつフレームごとに反転する極性の電圧を各表示セルに印加するライン反転方式により駆動され、

前記テスト画像は、予め決められた個数の行ごとに異なる輝度を有し、

前記演算装置は、前記第１の領域における互いに隣接する２つの行の輝度のコントラストに対する、前記第２の領域における互いに隣接する２つの行の輝度のコントラストの差を初期状態よりも低減するように、前記第１の領域に含まれる前記表示セルのための前記第２の制御信号に対する、前記第２の領域に含まれる前記表示セルのための前記第２の制御信号の遅延量を設定する、

請求項１記載の較正装置。

[請求項4] 前記各表示セルは、前記第１の制御信号に応じてオン及びオフするスイッチ素子と、前記スイッチ素子を介して前記第２の信号線に接続された容量素子とを備え、

演算装置は、

前記遅延量を、前記第１の領域に含まれる前記表示セルのスイッチ素子がオフされるタイミングから前記第２の領域に含まれる前記表示セルのスイッチ素子がオフされるタイミングまでの時間長と同じもしくはより長くなるように設定し、かつ、

前記第２の領域に含まれる前記表示セルのスイッチ素子がオンされて前記表示セルの容量素子に前記第２の制御信号の電圧が印加される時間長が、前記スイッチ素子がオンされてから前記容量素子の電圧が前記第２の制御信号の電圧に達するまでの時間長と同じもしくはより長くなるように、前記遅延量を設定する、

請求項１～３のうちの１つに記載の較正装置。

[請求項5] 前記表示装置は、前記表示パネルの温度を測定する温度センサをさらに備え、

前記演算装置は、前記表示パネルの異なる温度に応じて異なる遅延量を設定する、

請求項１～４のうちの１つに記載の較正装置。

[請求項6] 前記表示装置は、

前記各第１の制御信号を前記複数の第１の信号線を介して前記各表示セルに供給する少なくとも１つの第１の駆動回路と、

前記各第２の制御信号を前記複数の第２の信号線を介して前記各表示セルに供給する複数の第２の駆動回路と、

前記第１及び第２の駆動回路を制御する制御回路とをさらに備え、

前記複数の第２の駆動回路のうちの各１つの第２の駆動回路は、前記複数の第２の信号線のうちの互いに隣接した複数の信号線に接続され、

前記制御回路は、前記各第２の制御信号を出力させる第３の制御信号を前記各第２の駆動回路に供給する信号源を備え、

前記複数の第２の駆動回路のうちの各１つの第２の駆動回路は、

前記第２の駆動回路ごとに異なる第１の遅延量で前記第３の制御信号を遅延させる第１の遅延回路と、

当該１つの第２の駆動回路に接続された前記第２の信号線ごとに異なる第２の遅延量で前記第３の制御信号を遅延させる第２の遅延回路とを備え、

前記演算装置は、前記各第２の制御信号の遅延量が前記第１及び第２の遅延量の和になるように、前記第１及び第２の遅延量を設定する、

請求項１～５のうちの１つに記載の較正装置。

[請求項7] 前記表示装置は、

前記各第１の制御信号を前記複数の第１の信号線を介して前記各表示セルに供給する少なくとも１つの第１の駆動回路と、

前記各第２の制御信号を前記複数の第２の信号線を介して前記各表示セルに供給する複数の第２の駆動回路と、

前記第１及び第２の駆動回路を制御する制御回路とをさらに備え、

前記複数の第２の駆動回路のうちの各１つの第２の駆動回路は、前記複数の第２の信号線のうちの互いに隣接した複数の信号線に接続され、

前記制御回路は、

前記各第２の制御信号を出力させる第３の制御信号を発生する信号源と、

前記第２の駆動回路ごとに異なる第１の遅延量で前記第３の制御信号を遅延させて前記各第２の駆動回路に供給する第１の遅延回路とを備え、

前記複数の第２の駆動回路のうちの各１つの第２の駆動回路は、当該１つの第２の駆動回路に接続された前記第２の信号線ごとに異なる第２の遅延量で前記第３の制御信号を遅延させる第２の遅延回路を備え、

前記演算装置は、前記各第２の制御信号の遅延量が前記第１及び第２の遅延量の和になるように、前記第１及び第２の遅延量を設定する、

請求項１～５のうちの１つに記載の較正装置。

[請求項8] 前記演算装置は、

前記テスト画像のうちの前記各第２の駆動回路に対応する各部分領域の輝度の各平均値に基づいて前記第１の遅延量を設定し、

前記複数の第２の駆動回路のうちの互いに隣接する２つの第２の駆動回路の第１の遅延量の差を、前記各１つの第２の駆動回路に接続された前記第２の信号線の個数により除算した値に基づいて前記第２の

遅延量を設定する、

請求項６又は７記載の較正装置。

[請求項9] 表示装置を較正する較正方法であって、

前記表示装置は、複数の行に沿った複数の第１の信号線と、複数の列に沿った複数の第２の信号線と、前記第１及び第２の信号線にそれぞれ接続された複数の表示セルとを含む表示パネルを備え、前記各表示セルは、前記複数の第１の信号線を介して印加される複数の第１の制御信号によって前記行ごとに選択され、前記各表示セルは、前記複数の第２の信号線を介して印加される複数の第２の制御信号に従って前記複数の行のうちの１つに沿った画像の各画素を表示し、

前記較正方法は、

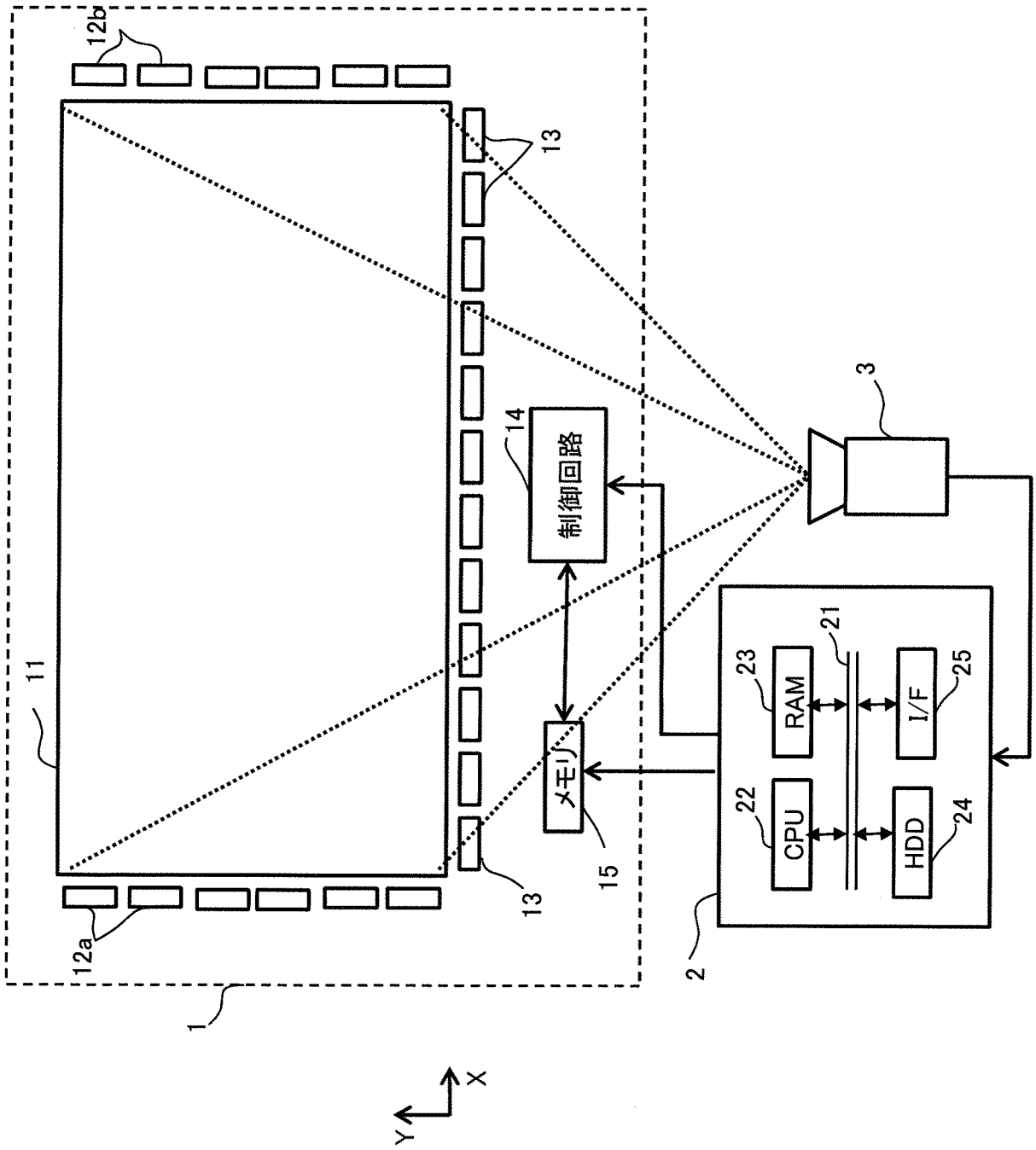
前記表示パネルにテスト画像を表示させるステップと、

前記表示パネルの画面を撮影するステップと、

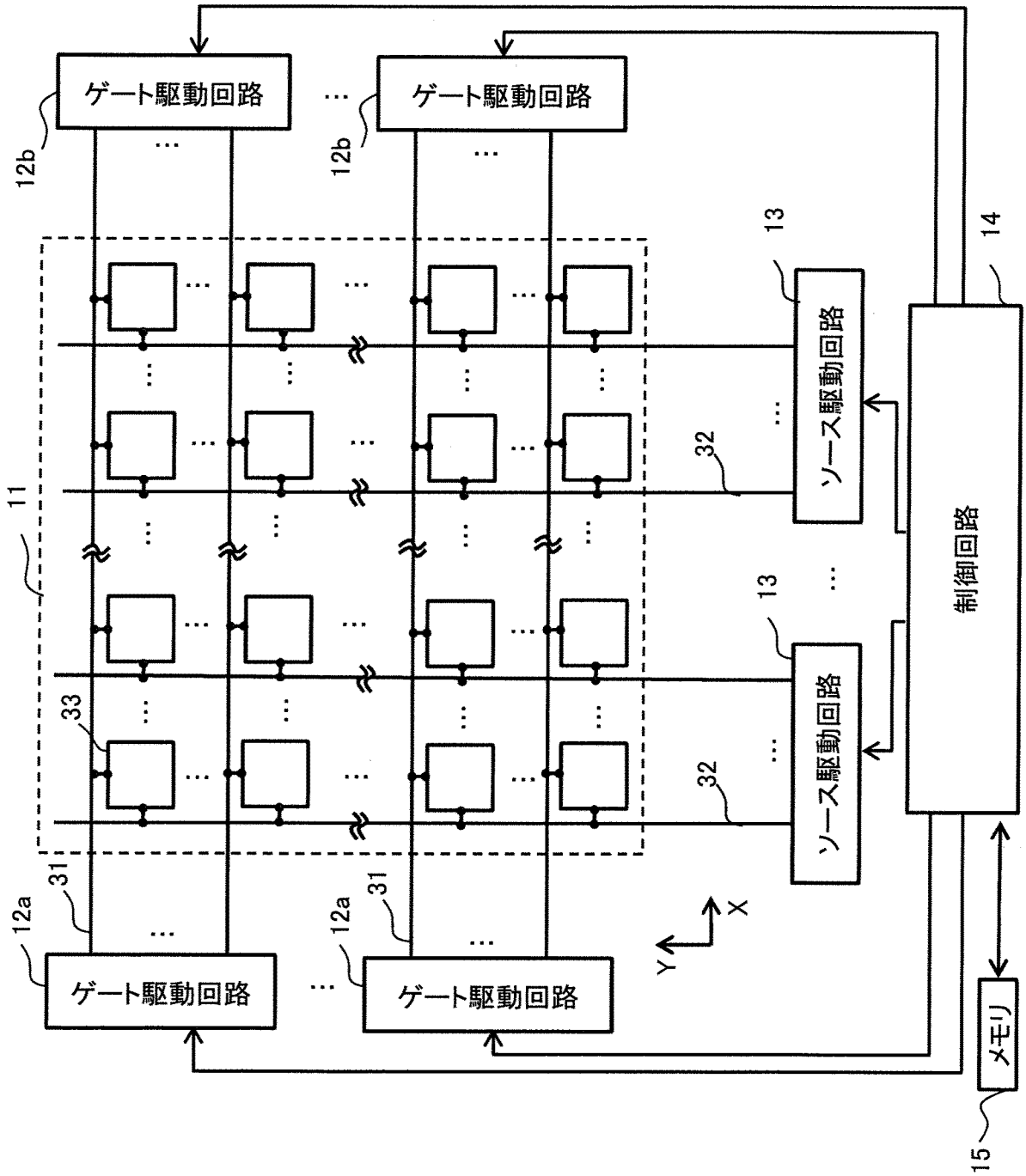
前記表示パネルに表示されて撮影されたテスト画像のうちの第１及び第２の領域の輝度に基づいて、前記第２の領域の輝度が前記第１の領域の輝度に対して予め決められた基準を満たすように、前記第１の領域に含まれる前記表示セルのための前記第２の制御信号に対する、前記第２の領域に含まれる前記表示セルのための前記第２の制御信号の遅延量を設定するステップとを含む、

較正方法。

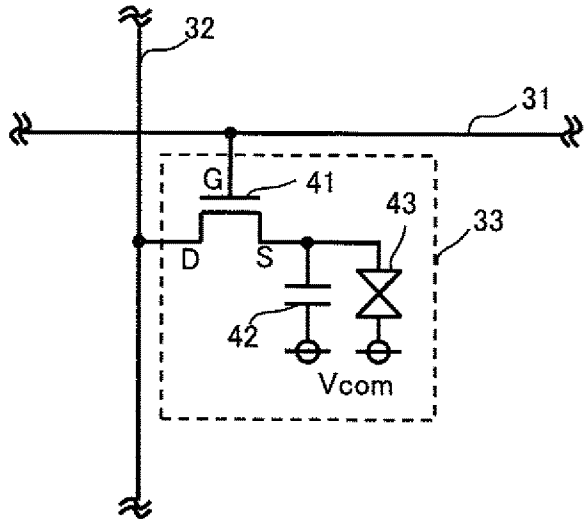
[図1]



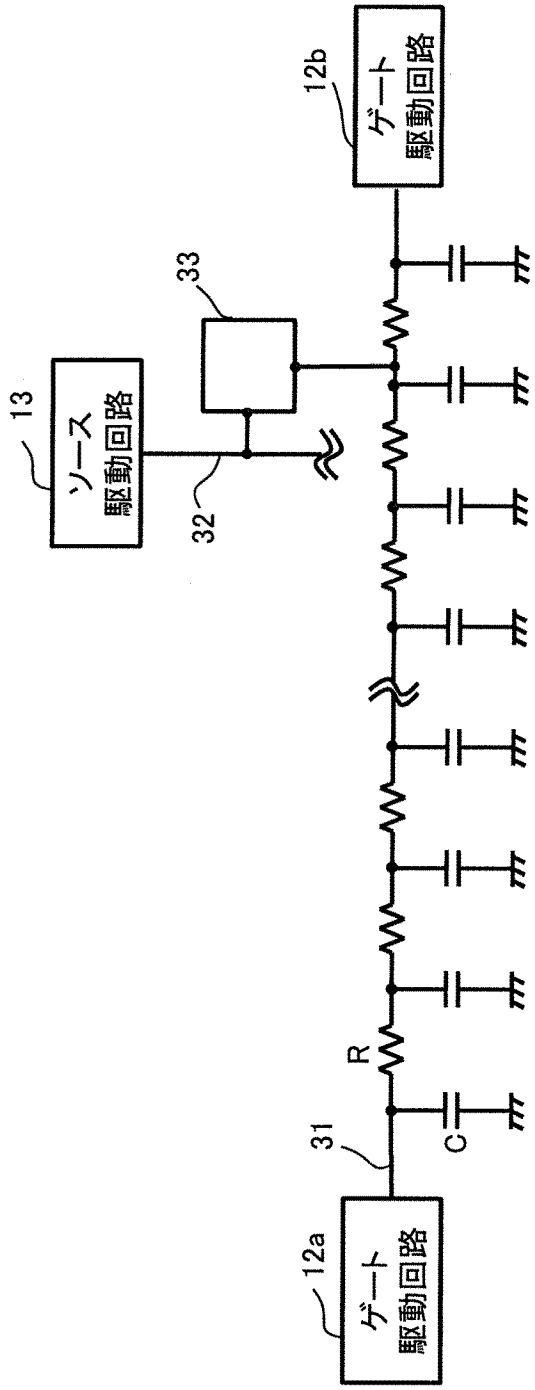
[図2]


ゲート駆動回路
ゲート駆動回路
12b
12b
13
14
ソース駆動回路
制御回路
32
11
13
ソース駆動回路
33
32
31
12a
31
12a
ゲート駆動回路
ゲート駆動回路
X
Y
メモリ
15

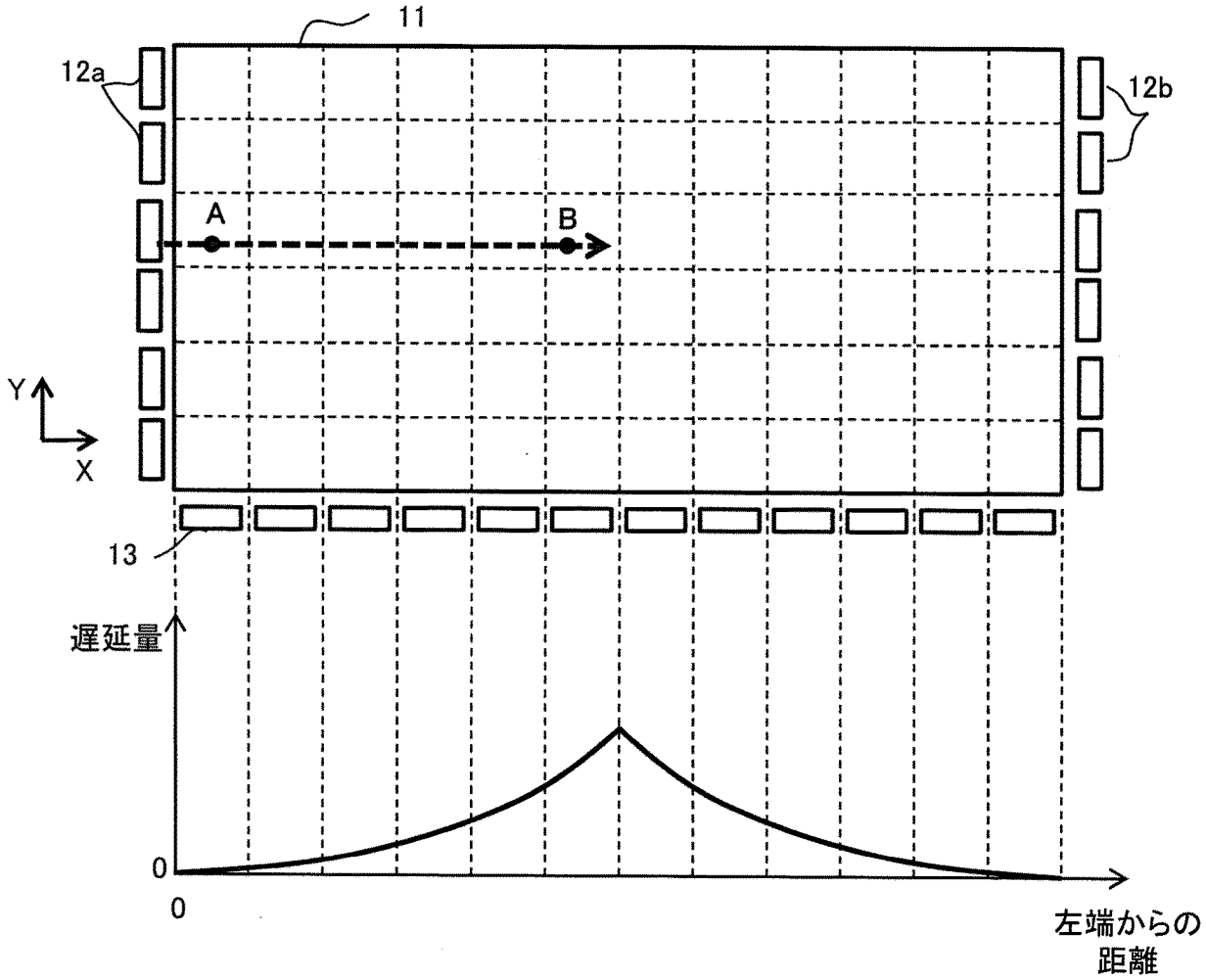
[図3]



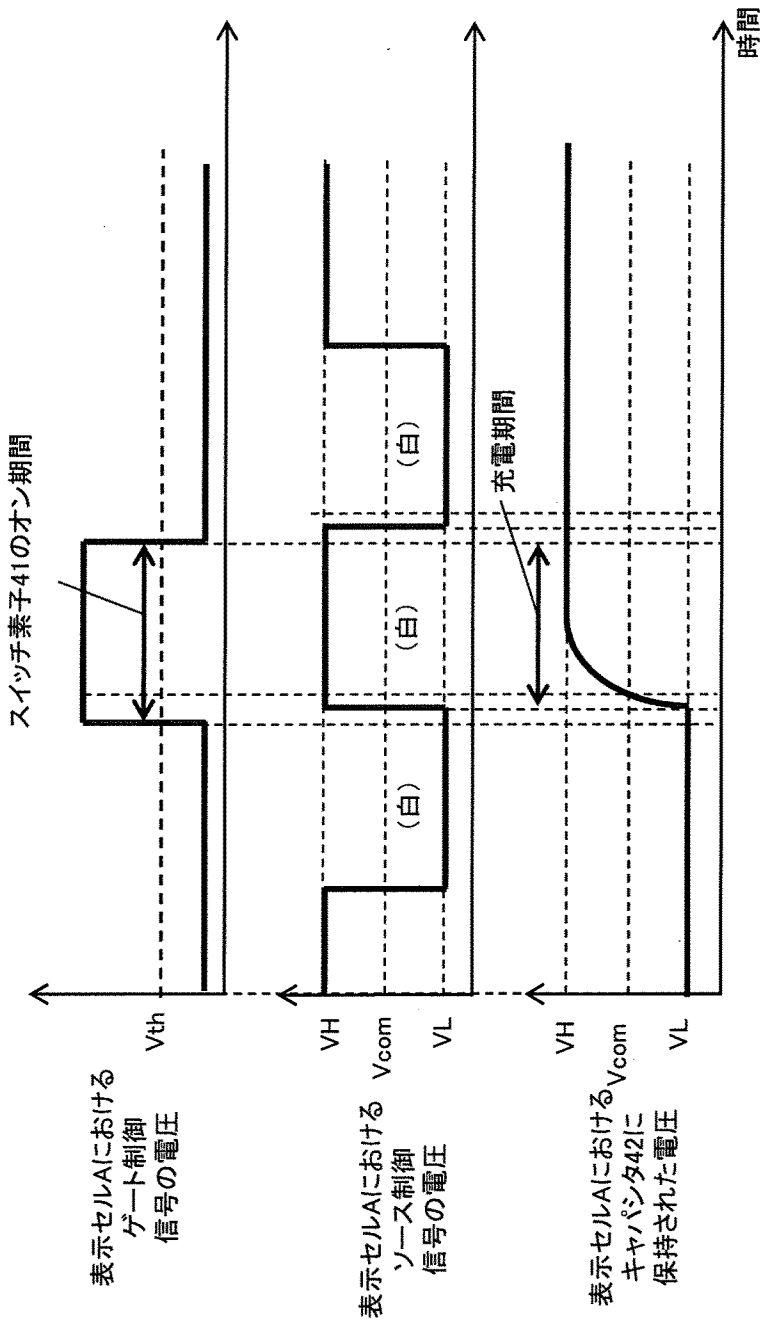
[図4]



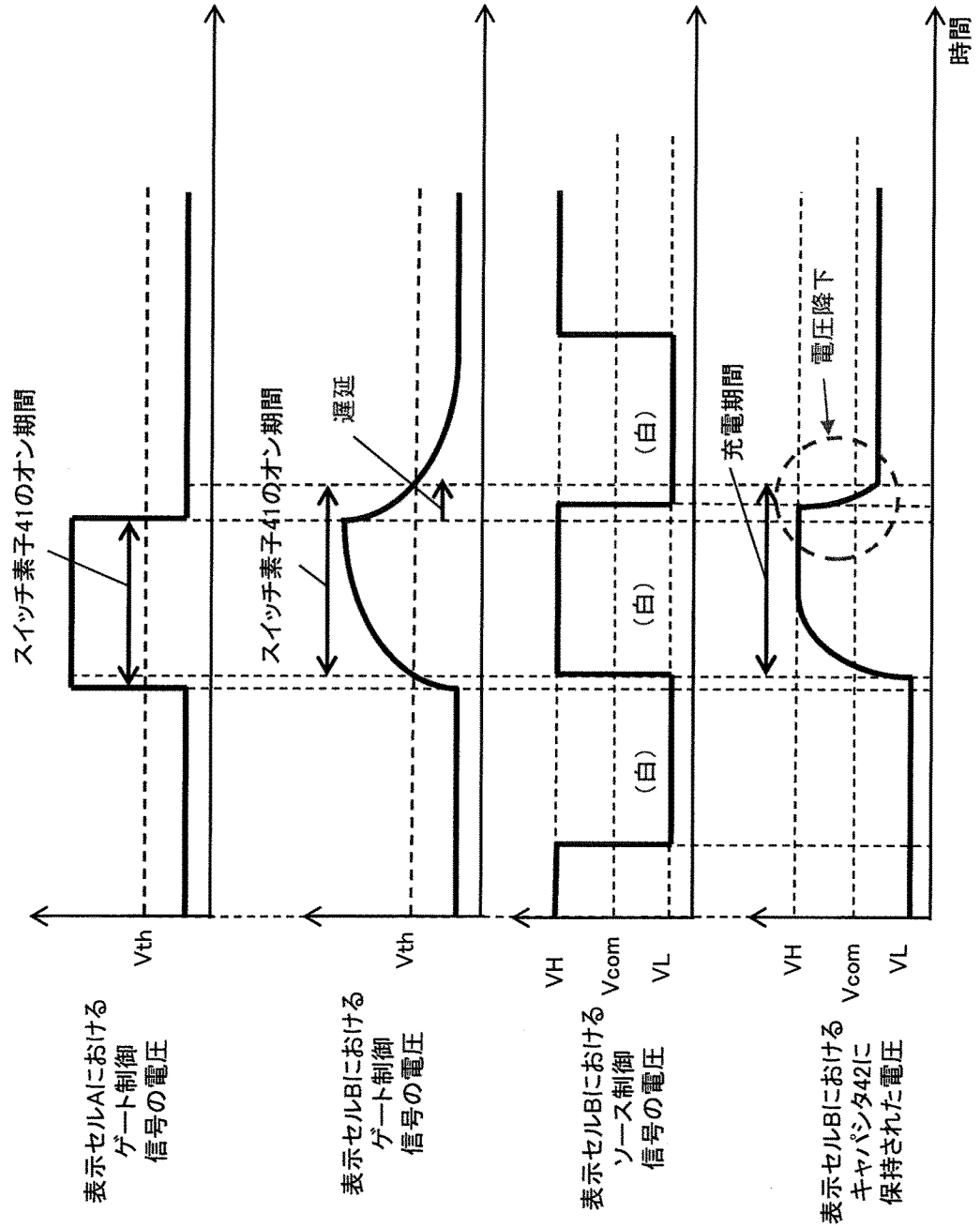
[図5]



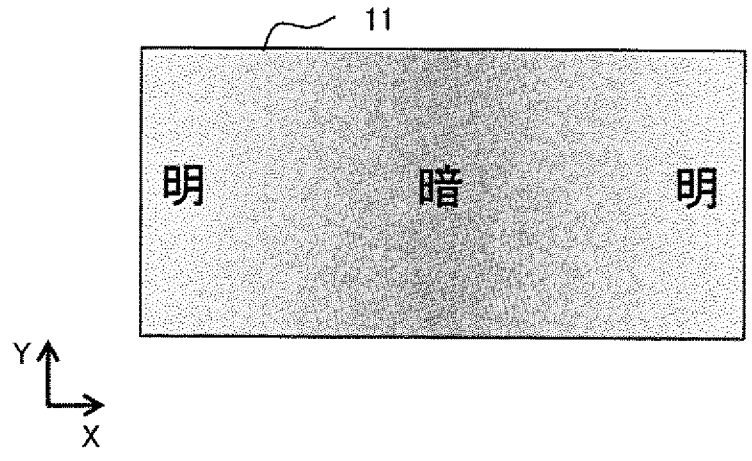
[図6]


時間
スイッチ素子41のオン期間
充電期間
(白)
(白)
(白)
Vth
VH
Vcom
VL
VH
Vcom
VL
表示セルAにおける
ゲート制御
信号の電圧
表示セルAにおける
ソース制御
信号の電圧
表示セルAにおける
キャパシタ42に
保持された電圧

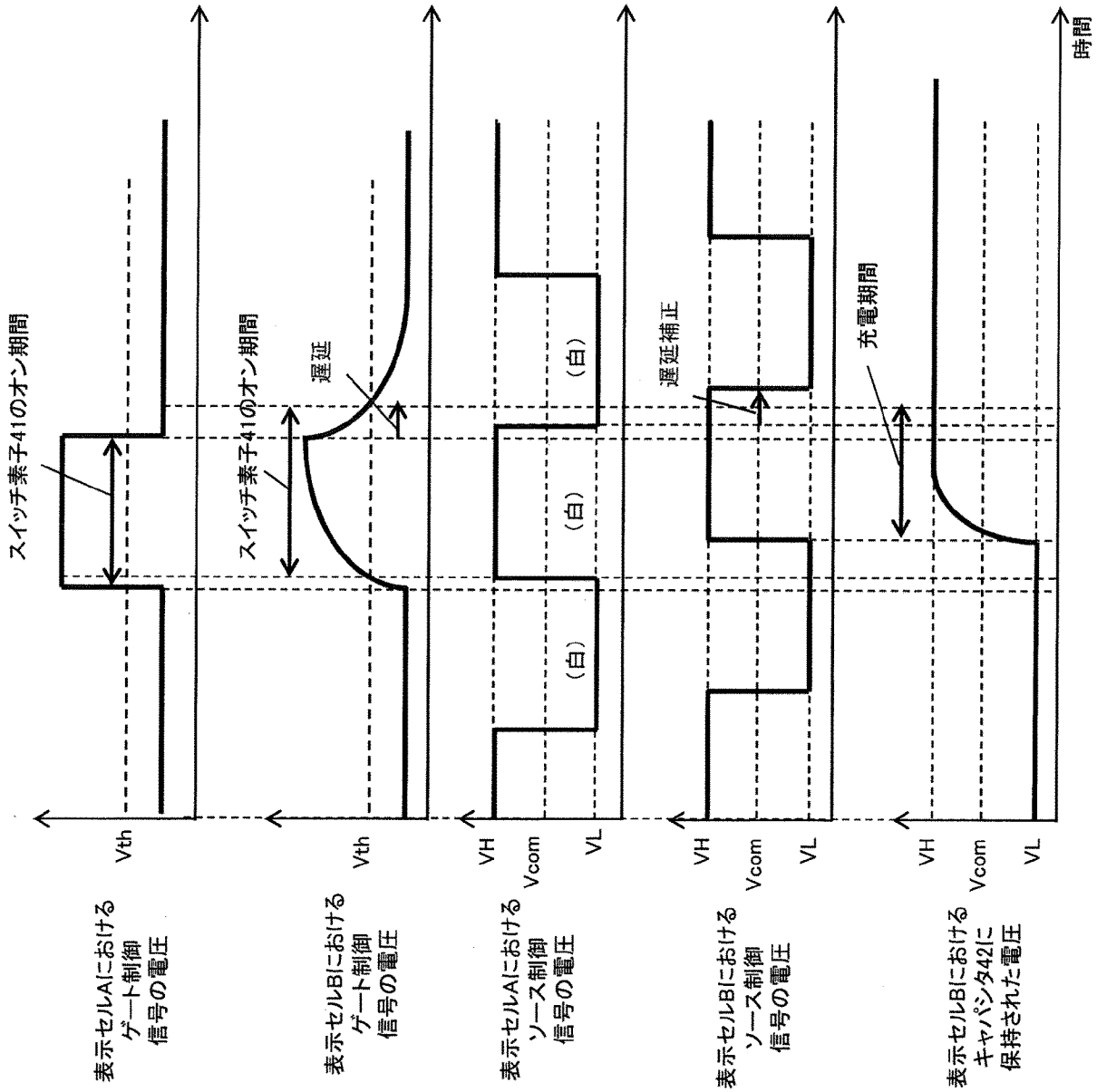
[図7]


時間
スイッチ素子41のオン期間
スイッチ素子41のオン期間
遅延
充電期間
電圧降下
(白)
(白)
(白)
Vth
Vth
VH
Vcom
VL
VH
Vcom
VL
表示セルAIにおける
ゲート制御
信号の電圧
表示セルBIにおける
ゲート制御
信号の電圧
表示セルBIにおける
ソース制御
信号の電圧
表示セルBIにおける
キャパシタ42に
保持された電圧

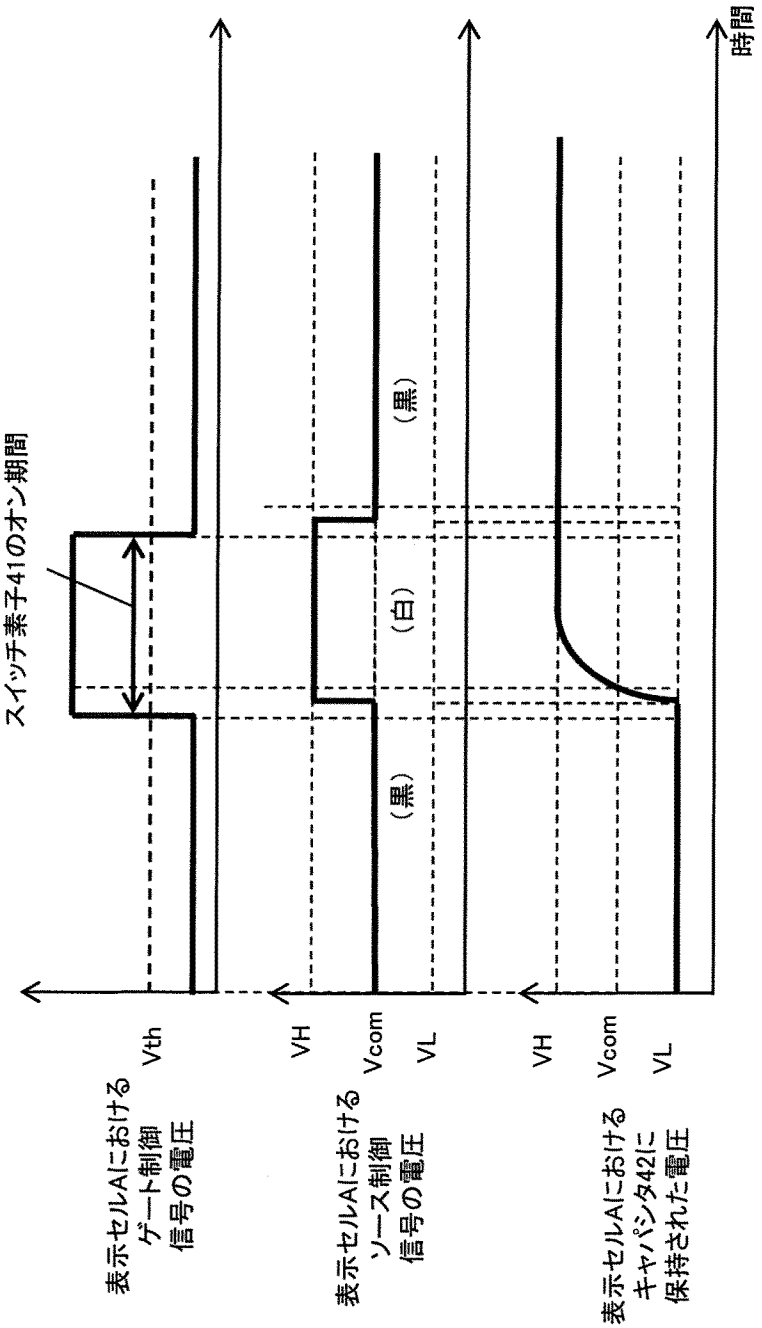
[図8]


11
明
暗
明
Y
X

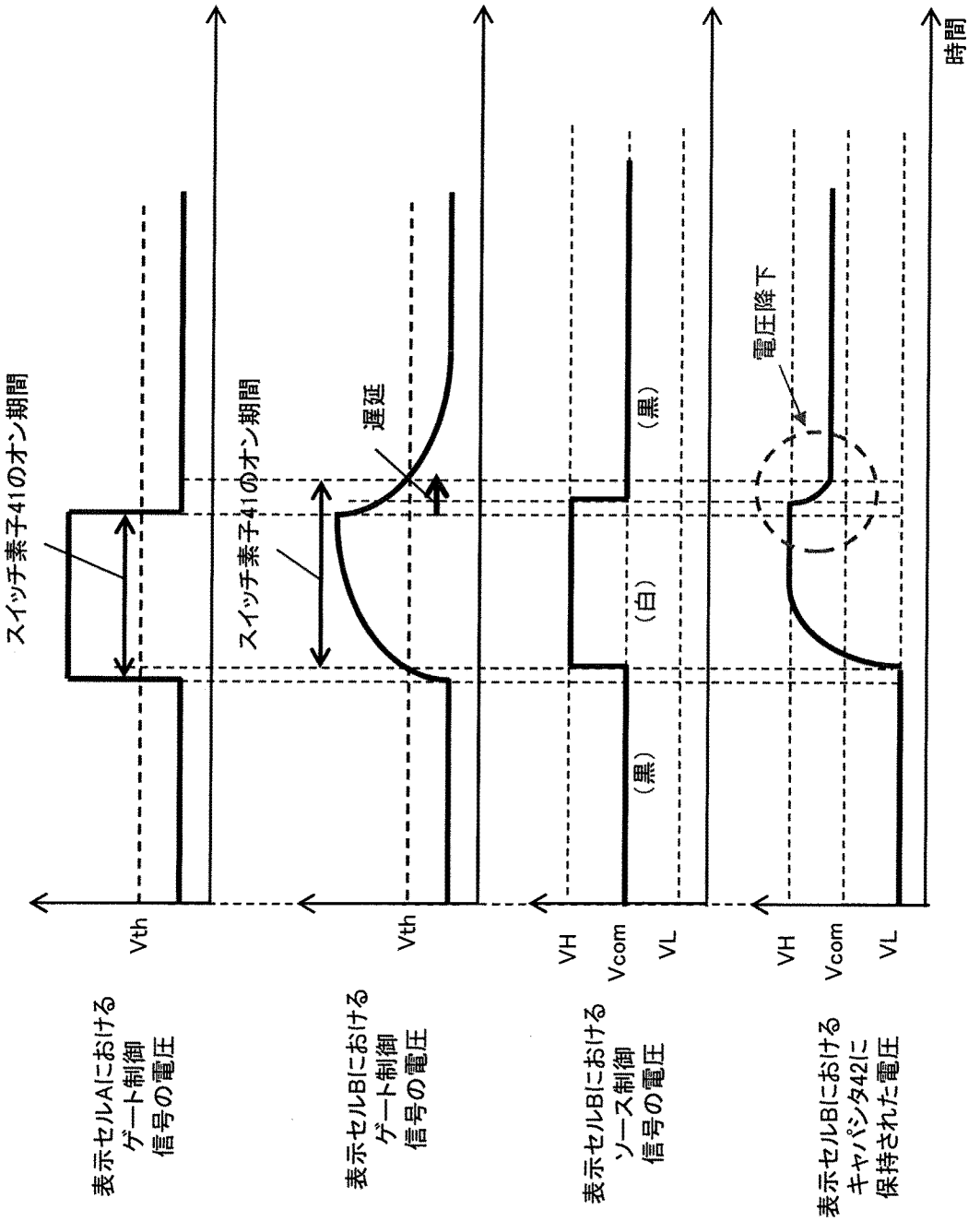
[図9]


スイッチ素子41のオン期間
スイッチ素子41のオン期間
遅延
遅延補正
充電期間
(白)
(白)
(白)
Vth
Vth
VH
Vcom
VL
VH
Vcom
VL
VH
Vcom
VL
時間
表示セルAIにおける
ゲート制御
信号の電圧
表示セルBIにおける
ゲート制御
信号の電圧
表示セルAIにおける
ソース制御
信号の電圧
表示セルBIにおける
ソース制御
信号の電圧
表示セルBIにおける
キャパシタ42に
保持された電圧

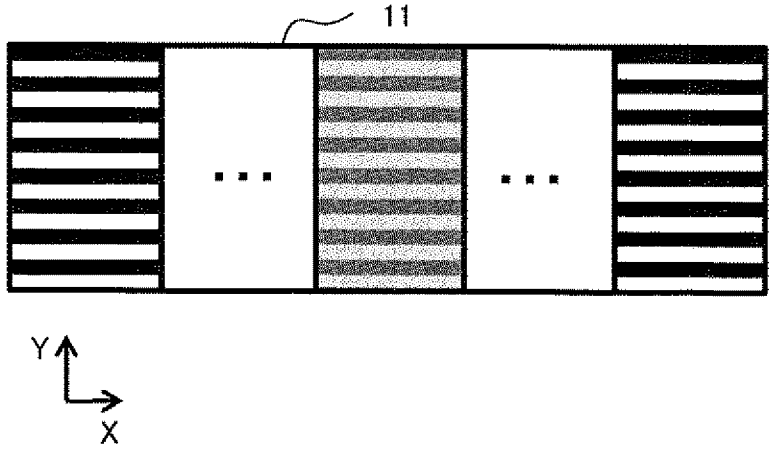
[図10]


スイッチ素子41のオン期間
時間
表示セルAIにおける
ゲート制御
信号の電圧
Vth
表示セルAIにおける
ソース制御
信号の電圧
VH
Vcom
VL
（黒）
（白）
（黒）
表示セルAIにおける
キャパシタ42に
保持された電圧
VH
Vcom
VL

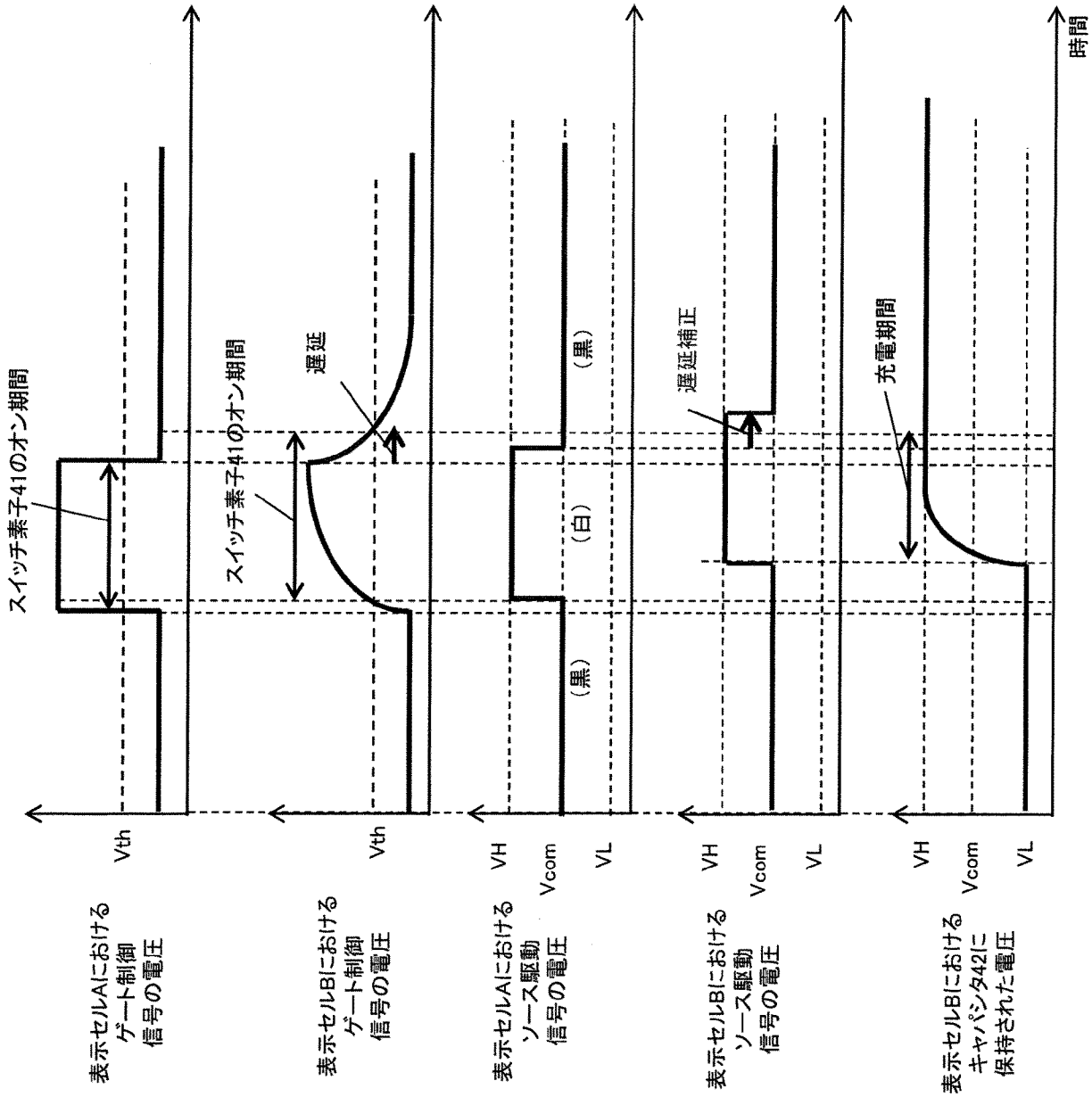
[図11]


スイッチ素子41のオン期間
スイッチ素子41のオン期間
遅延
電圧降下
(黒)
(白)
(黒)
時間
Vth
Vth
VH
Vcom
VL
VH
Vcom
VL
表示セルAIにおける
ゲート制御
信号の電圧
表示セルBIにおける
ゲート制御
信号の電圧
表示セルBIにおける
ソース制御
信号の電圧
表示セルBIにおける
キャパシタ42に
保持された電圧

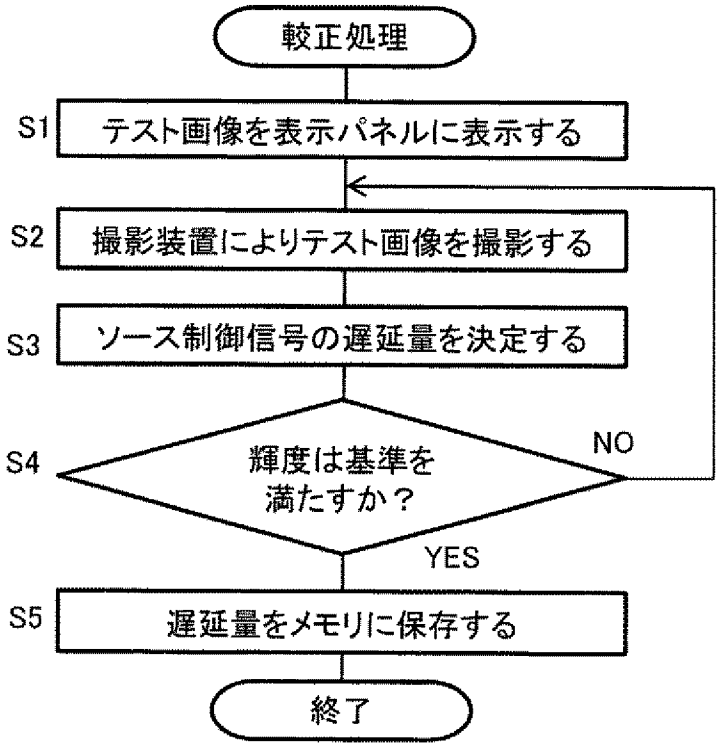
[図12]


11
Y
X

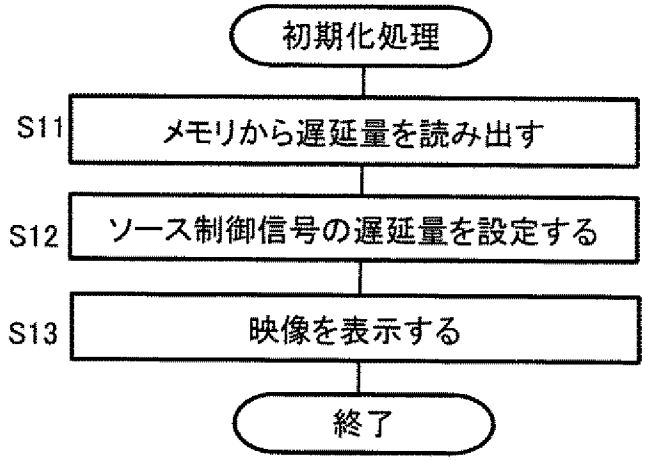
[図13]


スイッチ素子41のオン期間
スイッチ素子41のオン期間
遅延
(黒)
(白)
(黒)
遅延補正
充電期間
時間
Vth
Vth
VH
Vcom
VL
VH
Vcom
VL
VH
Vcom
VL
表示セルAにおける
ゲート制御
信号の電圧
表示セルBにおける
ゲート制御
信号の電圧
表示セルAにおける
ソース駆動
信号の電圧
表示セルBにおける
ソース駆動
信号の電圧
表示セルBにおける
キャパシタ42に
保持された電圧

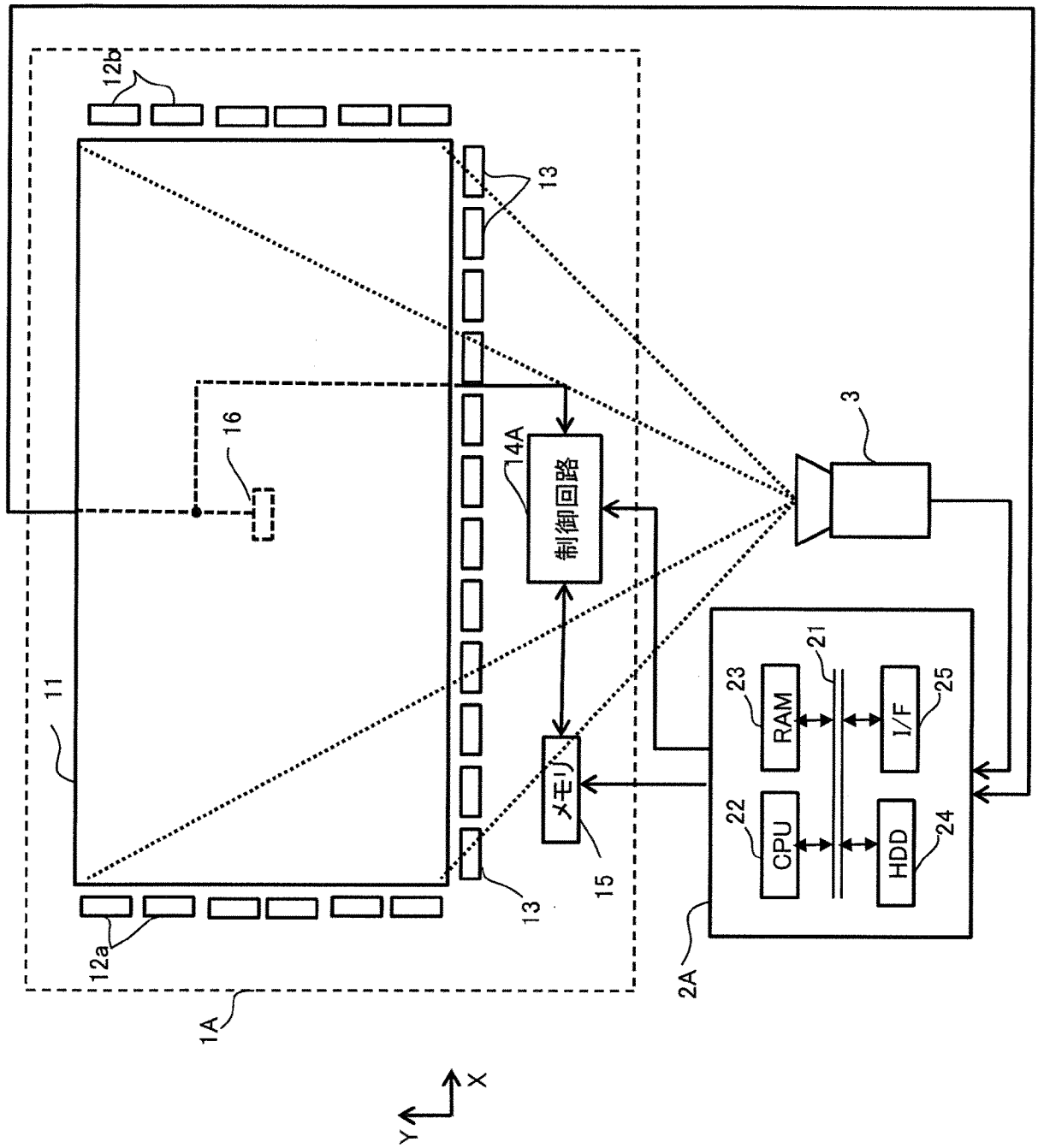
[図14]


較正処理
S1
テスト画像を表示パネルに表示する
S2
撮影装置によりテスト画像を撮影する
S3
ソース制御信号の遅延量を決定する
S4
輝度は基準を
満たすか？
NO
YES
S5
遅延量をメモリに保存する
終了

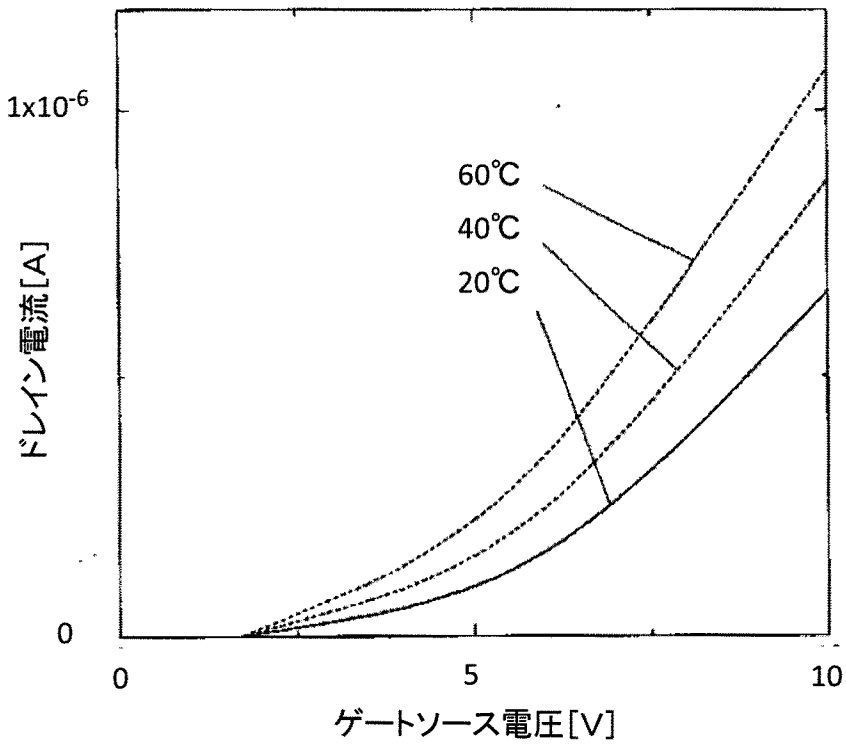
[図15]


初期化処理
S11
メモリから遅延量を読み出す
S12
ソース制御信号の遅延量を設定する
S13
映像を表示する
終了

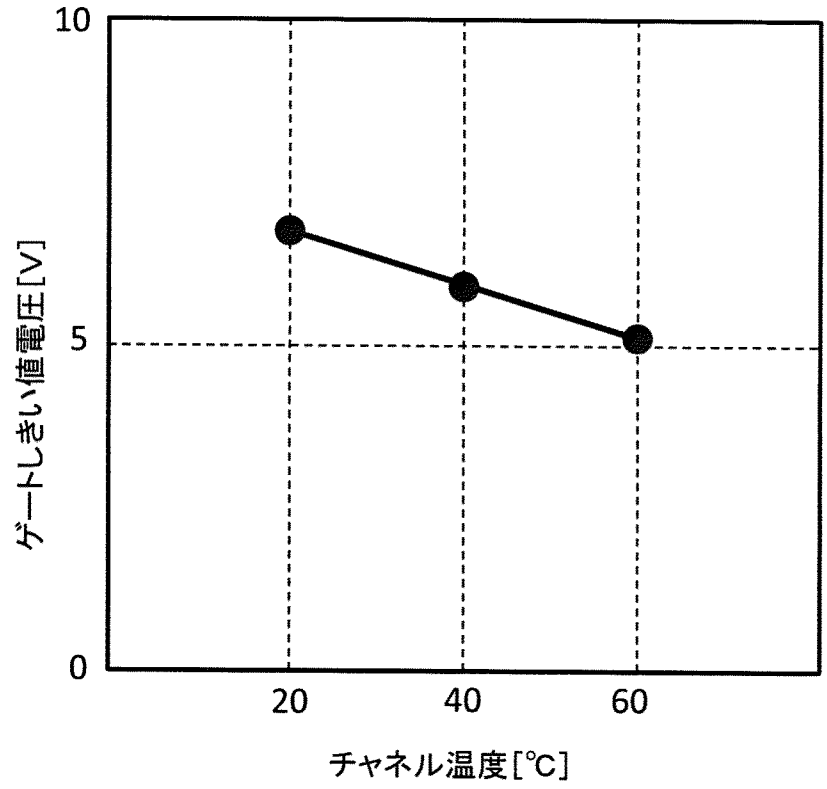
[図16]


12b
13
16
14A
制御回路
3
11
メモリ
15
21
23
RAM
I/F
25
22
CPU
HDD
24
12a
13
2A
1A
X
Y

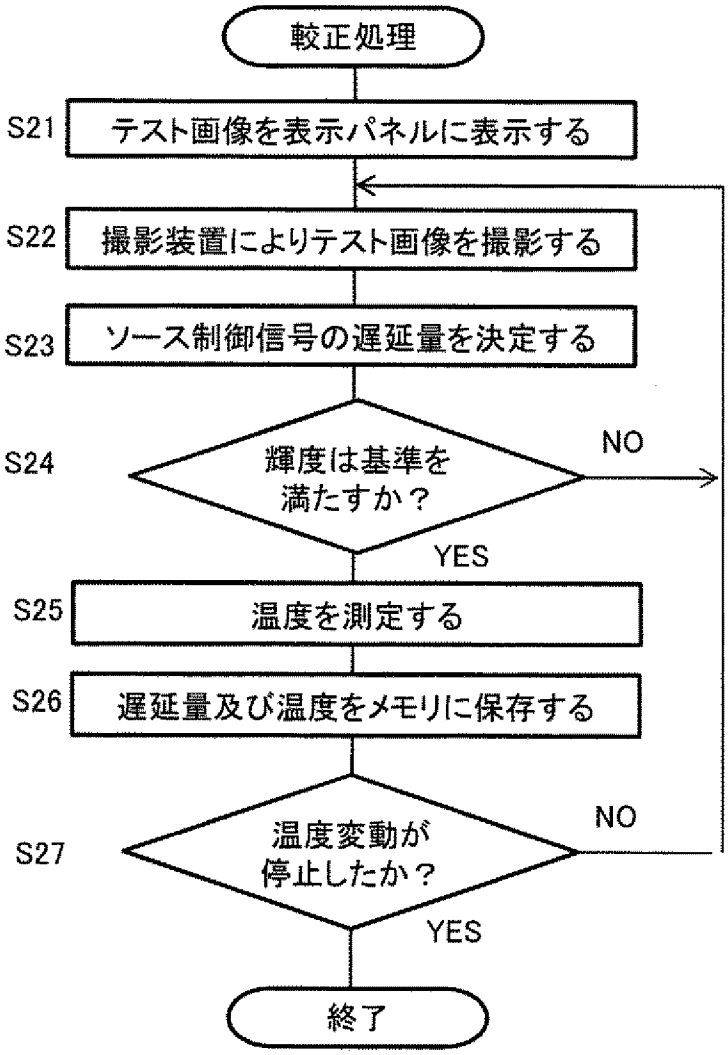
[図17]


1x10-6
0
ドレイン電流[A]
60℃
40℃
20℃
0
5
10
ゲートソース電圧[V]

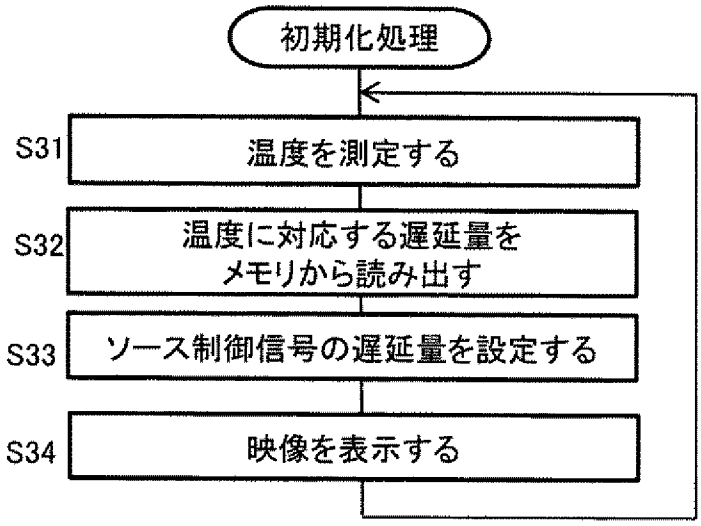
[図18]


10
5
0
ゲートしきい値電圧[V]
20
40
60
チャネル温度[℃]

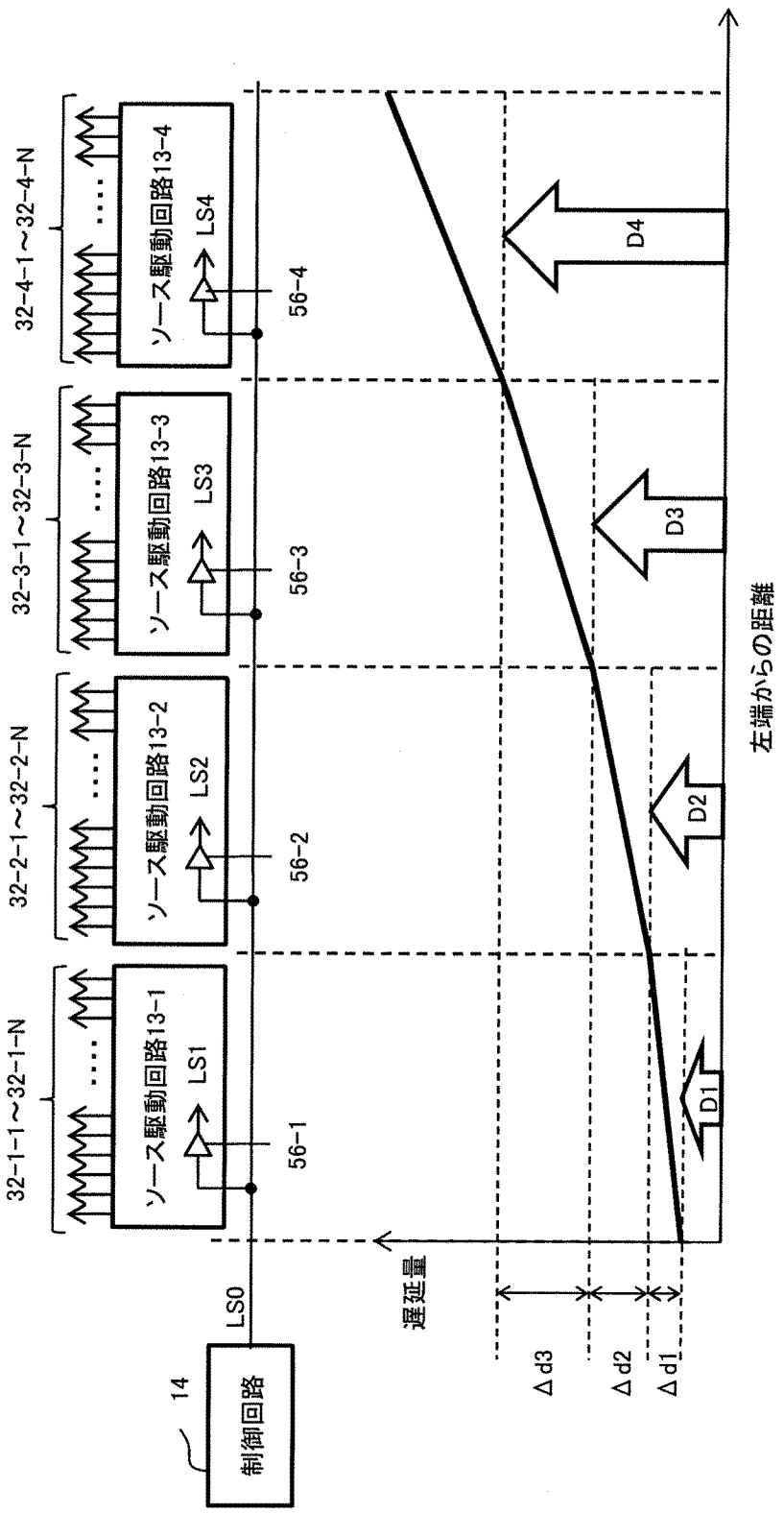
[図19]


較正処理
S21
テスト画像を表示パネルに表示する
S22
撮影装置によりテスト画像を撮影する
S23
ソース制御信号の遅延量を決定する
S24
輝度は基準を満たすか？
NO
YES
S25
温度を測定する
S26
遅延量及び温度をメモリに保存する
S27
温度変動が停止したか？
NO
YES
終了

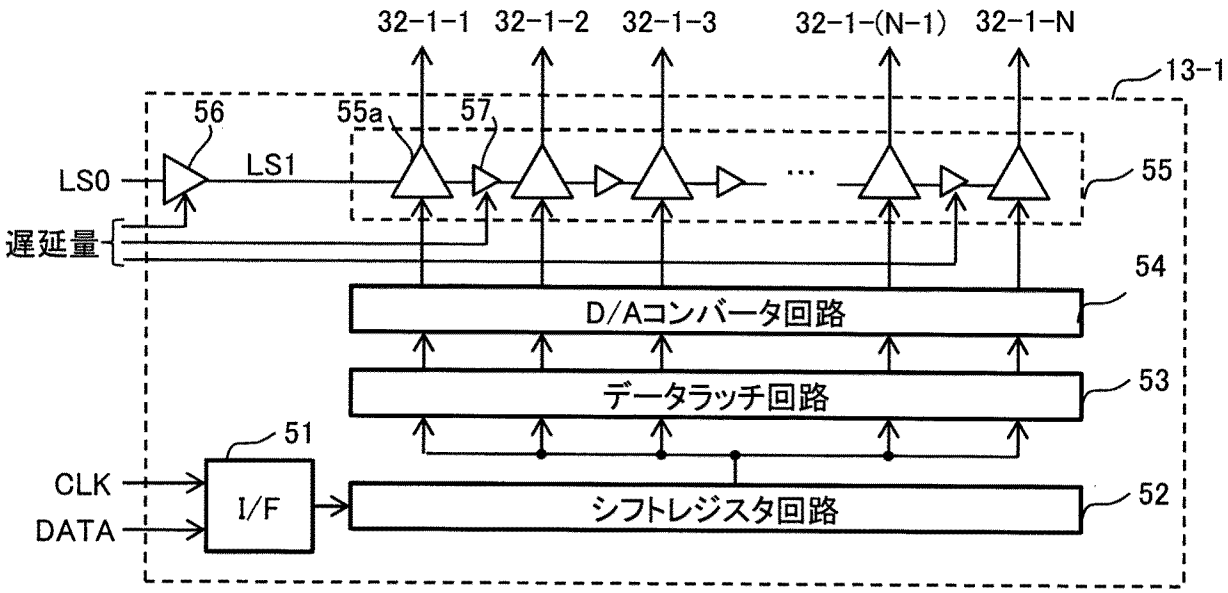
[図20]


初期化処理
S31
温度を測定する
S32
温度に対応する遅延量をメモリから読み出す
S33
ソース制御信号の遅延量を設定する
S34
映像を表示する

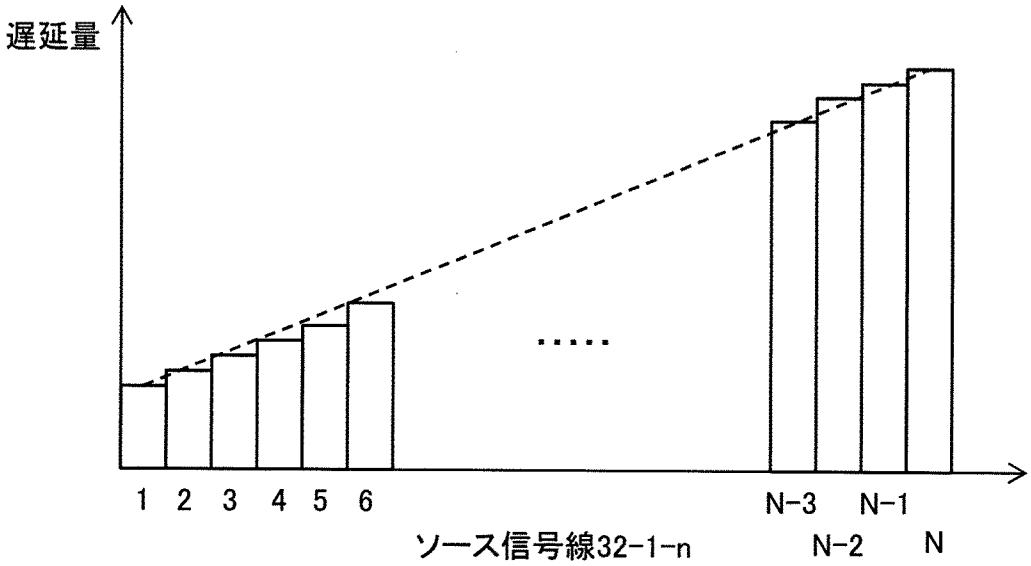
[図21]


制御回路
14
LS0
ソース駆動回路13-1
LS1
ソース駆動回路13-2
LS2
ソース駆動回路13-3
LS3
ソース駆動回路13-4
LS4
32-1-1～32-1-N
32-2-1～32-2-N
32-3-1～32-3-N
32-4-1～32-4-N
56-1
56-2
56-3
56-4
遅延量
Δd3
Δd2
Δd1
D1
D2
D3
D4
左端からの距離

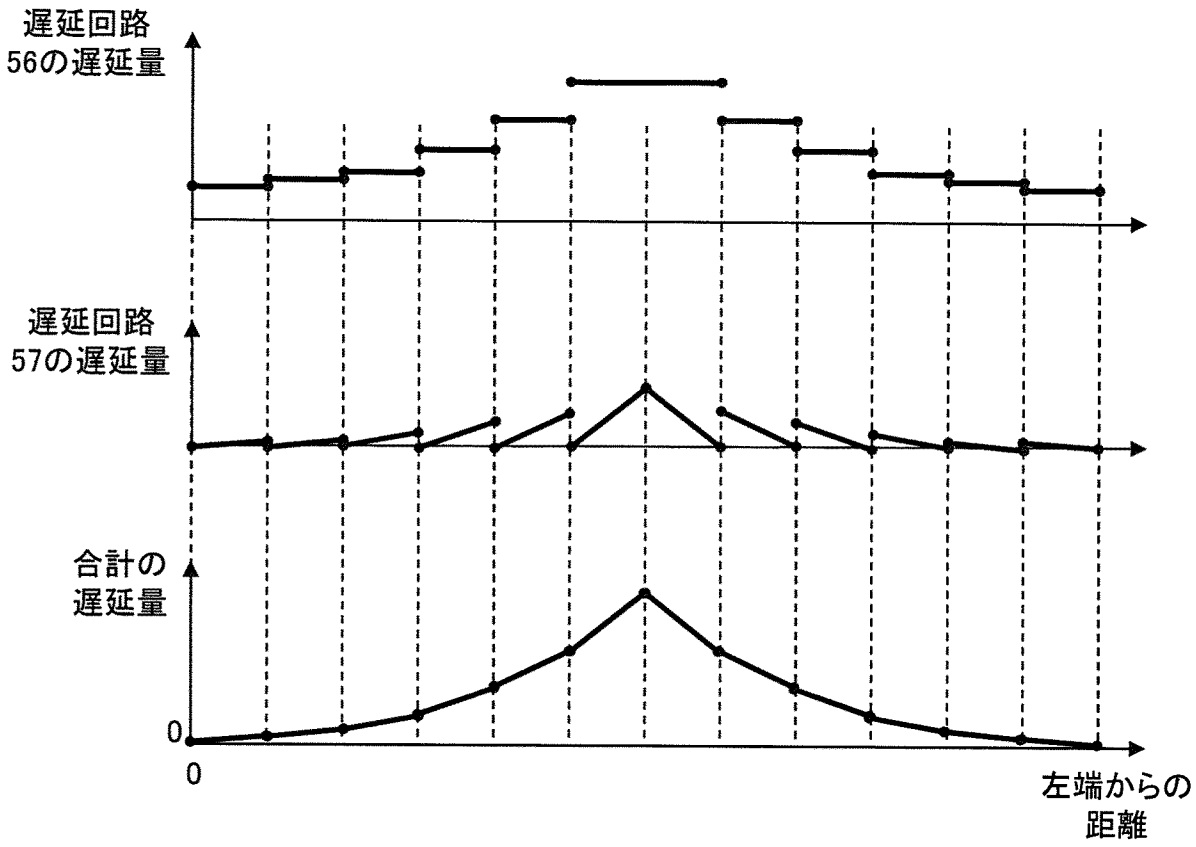
[図22]


32-1-1
32-1-2
32-1-3
32-1-(N-1)
32-1-N
13-1
56
55a
57
LS0
LS1
55
遅延量
54
D/Aコンバータ回路
53
データラッチ回路
51
CLK
DATA
I/F
52
シフトレジスタ回路

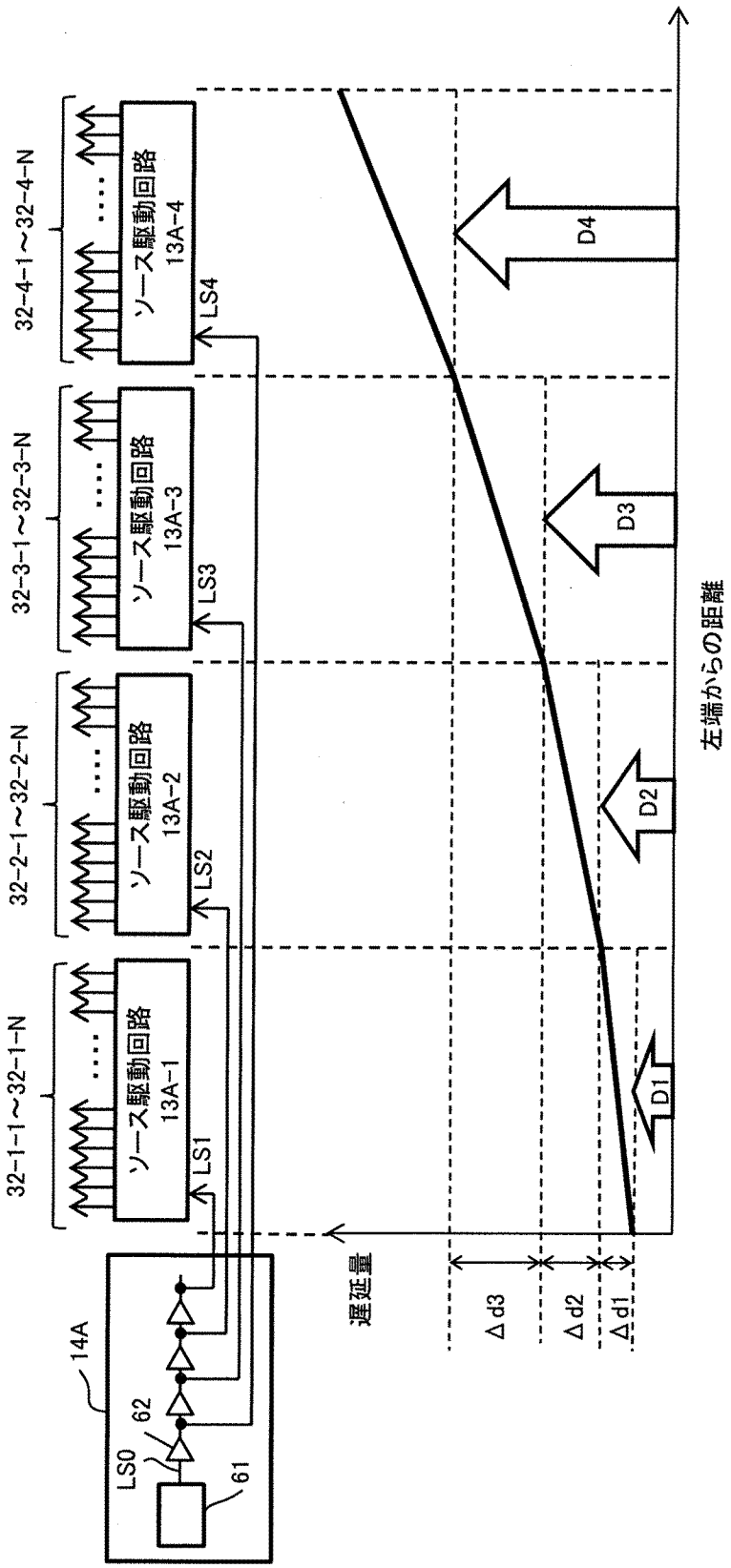
[図23]


遅延量
1 2 3 4 5 6
N-3 N-1
N-2 N
ソース信号線32-1-n

[図24]



[図25]


32-1-1～32-1-N
32-2-1～32-2-N
32-3-1～32-3-N
32-4-1～32-4-N
ソース駆動回路
13A-1
13A-2
13A-3
13A-4
LS1
LS2
LS3
LS4
14A
62
LS0
61
遅延量
Δd3
Δd2
Δd1
D1
D2
D3
D4
左端からの距離

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2018/018762

A. CLASSIFICATION OF SUBJECT MATTER
Int. Cl. G09G3/36(2006.01)i, G09G3/20(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int. Cl. G09G3/36, G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2018
Registered utility model specifications of Japan 1996-2018
Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2006-195387 A (SEIKO EPSON CORP.) 27 July 2006, paragraphs [0008]-[0038], fig. 1-9 (Family: none)	1, 9
A	JP 2003-316323 A (SONY CORP.) 07 November 2003, entire text, all drawings (Family: none)	1-9
A	JP 10-274951 A (NEC CORP.) 13 October 1998, entire text, all drawings (Family: none)	1-9
A	JP 2004-294536 A (SONY CORP.) 21 October 2004, entire text, all drawings (Family: none)	1-9

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
03.08.2018	14.08.2018
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (January 2015)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2018/018762

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2015/136588 A1 (JOLED INC.) 17 September 2015, entire text, all drawings & US 2017/0018220 A1	1-9
A	US 2016/0284297 A1 (NOVATEK MICROELECTRONICS CORP.) 29 September 2016, entire text, all drawings & CN 106205511 A & TW 201635269 A	1-9
A	US 2018/0046007 A1 (SAMSUNG DISPLAY CO., LTD.) 15 February 2018, entire text, all drawings & KR 10-2018-0018889 A	1-9

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１８／０１８７６２

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　G09G3/36(2006.01)i, G09G3/20(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　G09G3/36, G09G3/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１８年
日本国実用新案登録公報	１９９６－２０１８年
日本国登録実用新案公報	１９９４－２０１８年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2006-195387 A（セイコーエプソン株式会社）2006.07.27, ［００００８］－［００００３８］, 図１－９（ファミリーなし）	1,9
A	JP 2003-316323 A（ソニー株式会社）2003.11.07, 全文全図（ファミリーなし）	1-9
A	JP 10-274951 A（日本電気株式会社）1998.10.13, 全文全図（ファミリーなし）	1-9

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの

「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「Ｏ」口頭による開示、使用、展示等に言及する文献

「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
０３．０８．２０１８	１４．０８．２０１８

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　２Ｉ　９７０７
橋本　直明
電話番号　０３－３５８１－１１０１　内線　３２７３

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2004-294536 A (ソニー株式会社) 2004.10.21, 全文全図 (ファミリーなし)	1-9
A	WO 2015/136588 A1 (株式会社ＪＯＬＥＤ) 2015.09.17, 全文全図 & US 2017/0018220 A1	1-9
A	US 2016/0284297 A1 (NOVATEK MICROELECTRONICS CORP.) 2016.09.29, 全文全図 & CN 106205511 A & TW 201635269 A	1-9
A	US 2018/0046007 A1 (SAMSUNG DISPLAY CO., LTD.) 2018.02.15, 全文全図 & KR 10-2018-0018889 A	1-9