

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4843347号
(P4843347)

(45) 発行日 平成23年12月21日 (2011.12.21)

(24) 登録日 平成23年10月14日 (2011.10.14)

(51) Int.Cl.

H04L 27/22 (2006.01)

F I

H04L 27/22

F

請求項の数 3 (全 12 頁)

(21) 出願番号 特願2006-99865 (P2006-99865)
 (22) 出願日 平成18年3月31日 (2006.3.31)
 (65) 公開番号 特開2007-274546 (P2007-274546A)
 (43) 公開日 平成19年10月18日 (2007.10.18)
 審査請求日 平成21年1月22日 (2009.1.22)

(73) 特許権者 303046277
 旭化成エレクトロニクス株式会社
 東京都千代田区神田神保町一丁目105番地
 (74) 代理人 100077481
 弁理士 谷 義一
 (72) 発明者 矢部 和央
 神奈川県厚木市岡田3050番地 旭化成
 マイクロシステム株式会社内

審査官 彦田 克文

最終頁に続く

(54) 【発明の名称】 受信システム

(57) 【特許請求の範囲】

【請求項1】

デジタル変調による通信システムであって、

入力信号を前記入力信号のシンボル・レートの整数倍とは異なる任意の周波数のサンプル・レートでサンプリングするA/D変換器と、

前記A/D変換器の出力を入力して、前記サンプル・レートで主にフィルタ処理を目的とする処理を実行するデジタル信号処理部と、

前記デジタル信号処理部からの出力を、前記サンプル・レートで受け取り、前記入力信号のシンボル・レートの通倍周波数のレートのデータ列に変換するサンプル・レート・コンバータと

を備え、

前記サンプル・レート・コンバータは、

前記デジタル信号処理部からの出力に対し、2つのデータの間にN分割（Nは2以上の整数）した値を算出して、疑似的な前記サンプル・レートのN倍のレートのデータ列を作り出すリニア・インターポレータと、

前記サンプル・レートのN倍のレートと前記シンボル・レートの前記通倍周波数のレートとの比の小数点以下を切り捨てた値のサンプル間隔および前記比の小数点以下を切り上げた値のサンプル間隔を組み合わせた間隔で、平均のレートが前記シンボル・レートの前記通倍周波数のレートとなるように、前記サンプル・レートのN倍のレートの前記データ列からデータを間引き、前記シンボル・レートの前記通倍周波数のレートの前記データ

列を作り出すデシメータと

を有することを特徴とする受信システム。

【請求項 2】

前記サンプル・レート・コンバータの前段に配置された前記デジタル信号処理部は、ルート・ナイキスト・ロールオフ特性を持つ FIR フィルタを備え、

前記 AD 変換器の出力は、前記 FIR フィルタを介して、前記サンプル・レート・コンバータに送られることを特徴とする請求項 1 に記載の受信システム。

【請求項 3】

前記サンプル・レート・コンバータの出力を受けて、後段のデジタル・ベースバンド処理部で使用される前記入力信号のシンボル・レートの通倍周波数のクロックに同期したデータを出力するバッファ手段をさらに備え、

前記サンプル・レート・コンバータは、前記入力信号のシンボル・レートの通倍周波数のレート用のデータを生成することを特徴とする請求項 1 または 2 に記載の受信システム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、AD 変換器を有する受信システムに関し、より詳細には、AD 変換器の出力をデジタル信号処理するデジタル変調方式による通信システムにおいて AD 変換に広いダイナミックレンジを持たせた受信システムに関する。

【背景技術】

【0002】

近年のデジタル移動体通信の受信システムにおいては、部品点数を減らすために、RF から直接ベースバンド帯域へ変換するダイレクト・コンバージョン方式を採用することが多い。

【0003】

図 2、図 3 は、このダイレクト・コンバージョン方式の構成例を示す図である。ダイレクト・コンバージョン方式には、チャンネル選択フィルタの配置に大きく分けて 2 つの手法があり、その 1 つは、図 2 に示すように、チャンネル選択フィルタをアナログ回路で構成して、それを AD 変換器の前に置く場合であり、もう一つは図 3 に示すように、AD 変換器の後ろでデジタル・フィルタで構成する場合である。より高いデータ・レートに対応するためには、チャンネル選択フィルタとして高精度のロールオフ特性を持たせる必要があるため、より理想に近いフィルタ特性を実現でき、さらに IC 化することが可能な後者の構成が適している。

【0004】

図 2 において、直交変調された信号をアンテナ 12 で受信し、表面弾性波フィルタ (SAW) 13 で所望の帯域のみを通過させて、低雑音増幅器 14 で増幅し、局部発振器 17 からの搬送波周波数信号を、位相器 16 を介して I (In-phase) と Q (Quadrature-phase) の直交復調器 (15a、15b) に供給する。直交復調された受信信号 S_a 、 S_b は、アナログ・ローパス・フィルタ 18a、18b によって帯域制限され、AD 変換器 2a、2b によって AD 変換され、デジタル・ベースバンド処理部へ受け渡される。

【0005】

図 3 においては、直交復調された受信信号 S_a 、 S_b は、それぞれ折り返し防止フィルタ (AAF) 1a、1b を通過した後、広ダイナミックレンジの AD 変換器 2a、2b によって妨害波が含まれたまま AD 変換され、デジタル・ローパス・フィルタ 19a、19b によって帯域制限される。このデジタル化された受信データがデジタル・ベースバンド処理部へ受け渡される。

【0006】

図 2 および図 3 において、AD 変換に要求されるダイナミックレンジが必要以上に大きくなることを防ぐために、高周波信号の段階で、受信信号レベルに応じてゲインを切り替

10

20

30

40

50

えることのできる可変利得増幅器（VGA）が存在するのが普通であるが、ここでは省略してある。

【0007】

チャネル選択フィルタを、図3に示すようにデジタル・フィルタで実現する場合、AD変換器の前の帯域制限は折り返し防止を主目的とした必要最小限のものでよい代わりに、自チャネル近傍の妨害波が減衰せずにAD変換器に入力されうるため、AD変換には広いダイナミックレンジ特性が要求されることになる。

【0008】

また、コストダウンや性能の向上を図るために、シンボル・レートが比較的低い場合には、デジタル化に有利な、 $\Sigma\Delta$ 型AD変換器とデジタル信号処理の組み合わせによる受信システムが提案されている（たとえば、非特許文献1参照）。この $\Sigma\Delta$ 型AD変換器では、適用する通信システム固有のシンボル・レートの数倍～数十倍の周波数でオーバー・サンプリングを実行する。

10

【0009】

【非特許文献1】Robert H.M. van Veldhoven ,et.al., A 3.3-mW $\Sigma\Delta$ Modulator for UMTS in 0.18- μ m CMOS With 70-dB Dynamic Range in 2-MHz Bandwidth, IEEE J. Solid State Circuits, VOL.37, No.12, December 2002, pp1645-1652

【発明の開示】

【発明が解決しようとする課題】

【0010】

20

チャネル選択フィルタをデジタル・フィルタで構成する場合、すでに述べたように、AD変換としては広いダイナミックレンジを有することが必要となる。AD変換器のサンプル・レートは、後段のデジタル信号処理の都合上、適用する通信システム固有のシンボル・レート（例えばUMTSの場合は3.84MHz）の通倍（通常では、整数倍）とするのが一般的であり、通常は、温度補償型水晶発振器（以下TCXO）が発生する基準クロックからPLLを使用して生成したものをサンプリング・クロックとすることが行われる。

【0011】

このとき、技術的観点から言えば、TCXOの発振周波数はシステム固有のシンボル・レート、チップレートやPLLの作りやすさといったことを考慮して決められるべきであるが、一方、調達コストやその他のシステムの要求によっては、その発振周波数を異なる要求にしたがって、技術的観点から見た周波数と異なる周波数とすることも望まれているのが現状である。

30

【0012】

また、TCXOの発振周波数によっては、PLLでシステム固有のシンボル・レートの通倍のクロックを生成する際に比較基準周波数が低くなり、ループ帯域が狭くなり、PLLの内部回路自体が発生する位相雑音が十分に抑圧されずにクロックに出力され、結果としてAD変換器のサンプリング・クロックのジッタ特性が劣化してしまうことが起こりうる。

【0013】

40

一方、一般にAD変換器が入力信号を標本化（サンプリング）する際に、そのサンプリング・クロックに含まれるジッタは、いわゆるノイズ（本来の信号とは異なる信号成分）を生成する。nビットのAD変換器において、サンプリング・クロックに含まれるジッタ（RMS値）が σ_{tj} であるときのS/N比は、

【0014】

【数1】

$$SNR(dB) = -10 \log \left\{ \frac{2}{3} * 2^{-2n} + \frac{2}{\pi} (2\pi f_{in} * \sigma_{tj})^2 \right\}$$

50

【0015】

となる。ここで f_{in} は入力信号の周波数である。つまり、サンプリング・クロックのジッタ特性が悪ければ、それだけで A/D 変換における限界ダイナミックレンジが狭くなってしまうという問題があった。

【0016】

本発明は上記の点に鑑み、使用できる基準クロック等の制約によりシステム固有のシンボル・レートの通倍の周波数で、所望する低ジッタのクロックを作れない条件においても、少なくともクロックジッタの少ない広ダイナミックレンジの A/D 変換部とデジタル信号処理部よりなる高精度の受信システムを提供することを目的とするものである。言い換えれば、受信システムに固有の周波数という制約を受けずに、クロックジッタの少ない、広ダイナミックレンジの A/D 変換部を構成することを可能とする受信システムを提供することを目的とする。

10

【課題を解決するための手段】

【0017】

上記課題を解決して本発明の目的を達成するため、請求項 1 の発明は、デジタル変調による通信システムであって、入力信号を前記入力信号のシンボル・レートの整数倍とは異なる任意の周波数のサンプル・レートでサンプリングする A/D 変換器と、前記 A/D 変換器の出力を入力して、前記サンプル・レートで主にフィルタ処理を目的とする処理を実行するデジタル信号処理部と、前記デジタル信号処理部からの出力を、前記サンプル・レートで受け取り、前記入力信号のシンボル・レートの通倍周波数のレートのデータ列に変換するサンプル・レート・コンバータとを備え、前記サンプル・レート・コンバータは、前記デジタル信号処理部からの出力に対し、2つのデータの間に N 分割（N は 2 以上の整数）した値を算出して、疑似的な前記サンプル・レートの N 倍のレートのデータ列を作り出すリニア・インターポレータと、前記サンプル・レートの N 倍のレートと前記シンボル・レートの前記通倍周波数のレートとの比の小数点以下を切り捨てた値のサンプル間隔および前記比の小数点以下を切り上げた値のサンプル間隔を組み合わせた間隔で、平均のレートが前記シンボル・レートの前記通倍周波数のレートとなるように、前記サンプル・レートの N 倍のレートの前記データ列からデータを間引き、前記シンボル・レートの前記通倍周波数のレートの前記データ列を作り出すデシメータとを有することを特徴とするものである。このようにサンプル・レート・コンバータを使用することで、A/D 変換器のサンプリング・クロックが前記通信システム固有のシンボル・レートの通倍周波数である必要がなくなり、使用できる基準クロックや前記システム固有のシンボル・レートによる制約を受けることなく、PLL で低ジッタを実現しやすい任意の周波数を A/D 変換器のサンプリング・クロックとして適用することができ、結果として広ダイナミックレンジの A/D 変換とデジタル信号処理よりなる高精度の受信システムを実現することができる。

20

30

【0019】

また、請求項 2 の発明は、請求項 1 に記載の受信システムであって、前記サンプル・レート・コンバータの前段に配置された前記デジタル信号処理部は、ルート・ナイキスト・ロールオフ特性を持つ FIR フィルタを備え、

前記 A/D 変換器の出力は、前記 FIR フィルタを介して、前記サンプル・レート・コンバータに送られることを特徴とするものである。これにより、A/D 変換器の出力信号に含まれる妨害波成分がサンプル・レート変換によって信号帯域内に折り返してくるのを防ぐとともに、符号間干渉の小さい高精度の受信システムを実現可能としている。

40

【0020】

さらに請求項 3 の発明は、請求項 1 または 2 に記載の受信システムであって、前記サンプル・レート・コンバータの出力を受けて、後段のデジタル・ベースバンド処理部で使用する前記入力信号のシンボル・レートの通倍周波数のクロックに同期したデータを出力するバッファ手段をさらに備え、前記サンプル・レート・コンバータは、前記入力信号のシンボル・レートの通倍周波数のレート用のデータを生成することを特徴とするものである。これにより、位相のずれによるデータ受け渡しのタイミングの破綻を防ぐことが可能

50

となる。

【発明の効果】

【0021】

以上説明したように、本発明の受信システムは、低ジッタの任意の周波数のクロックでA/D変換器を動作させることができるため、使用できる基準クロックや適用するシステム固有のシンボル・レート等の制約によらず、広ダイナミックレンジのA/D変換器とデジタル信号処理部よりなる高精度の受信システムを実現することができる。言い換えればA/D変換器のサンプリング・クロックを生成するPLLに対して、そのジッタ特性に関する要求仕様を実現する際の困難性を大幅に緩和することができる。

【発明を実施するための最良の形態】

10

【0022】

以下、本発明の実施の形態について図面を参照して説明する。

【0023】

図4は本発明を適用したダイレクト・コンバージョン方式による受信システムの、概略構成を示す図である。図4に示す構成が、上述した図3に示す構成と異なっている部分は、デジタル・ローパス・フィルタ19a、19bと、デジタル・ベースバンド処理部との間に、サンプル・レート・コンバータ(SRC)6a、6bを設けた点である。

【0024】

図1は、図4に示す本発明によるダイレクト・コンバージョン方式による受信システムの直交復調以降を、さらに詳細に示す図である。

20

【0025】

まず、本発明の実施形態における受信システムの動作を、図4を使用して説明する。図1に示すように、本発明における受信システムでは、直交復調された受信信号 S_a 、 S_b は、それぞれ折り返し防止フィルタ1a、1bを通過した後、広ダイナミックレンジのA/D変換器2a、2bによって妨害波が含まれたままA/D変換され、デジタル・ローパス・フィルタ19a、19bによって帯域制限される。このデジタル化された受信データがデジタル・ベースバンド処理部へ受け渡される際に、サンプル・レート・コンバータ6a、6bを介しているため、A/D変換器2a、2bのサンプル・レートは必ずしもデジタル・ベースバンド処理部11のクロック・レートすなわち通信システム固有のシンボル・レートの通倍である必要はない。したがって、A/D変換器のサンプリング・クロックを、広ダイナミックレンジを実現するのに好適な任意の周波数にすることが可能となり、また同時に、調達コストやその他のシステムの要求に合致した発振器を使用することが可能となる。

30

【0026】

図1を使用して、さらに、本発明の詳細を説明する。図1に示す受信システムでは、図4のA/D変換器直後のデジタル・ローパス・フィルタ19a、19bに対応する部分が、ルート・ナイキスト・ロールオフ特性を持つFIRフィルタ3a、3bとなっている。これにより、妨害波成分を十分に減衰させ、かつ良好なシンボル・タイミング再生が可能である。ここでFIRフィルタの動作周波数はシステム固有のシンボル・レートの通倍ではなく、サンプリング・レートのクロック・レートであるが、このクロック・レートは、通常、シンボル・レートよりも十分高い周波数とされるので、デジタル・フィルタは適当な係数を選択することにより任意のフィルタ特性を実現することが可能であるため、システム固有のシンボル・レートに対応したルート・ナイキスト・ロールオフ特性を実現することは容易である。

40

【0027】

また、図1のサンプル・レート・コンバータ6は、リニア・インターポレータ7a、7bとデシメータ8a、8bおよび小規模のタイミング生成回路9から構成されており、消費電力や面積の増大を招くことなく実現している。

【0028】

ここでは一例としてこの受信システムをUMTS(Universal Mobile Telecommunicati

50

ons System) 受信機に適用した場合を例にとって、図 1 を用いてその動作原理を説明する。

【0029】

UMTS 受信機に用いられる基準クロックは、GSM (Global System for Mobile communication) システムで広く用いられている 26 MHz の TCXO が採用されることが多い。この 26 MHz のクロックを基準として、例えば PLL で 52 MHz を生成し、これを AD 変換器のサンプリング・クロックおよびルート・ナイキスト・フィルタの動作クロックとして用いる。これは 26 MHz の 2 倍の周波数なので、PLL ループの帯域を広くとることができるため、低ジッタのクロックを容易に実現できる。

【0030】

次にこのルート・ナイキスト・フィルタ出力 S_{3a} 、 S_{3b} に対し、例えば 8 倍のリニア・インターポレーションを行い、次にデシメーションを実行する。この場合、リニア・インターポレーションの演算は単純に 2 つのデータの間を 8 分割した値を算出するだけでよいため、8 倍のクロック (416 MHz) は必要とならない。今、I チャネルの n 番目のルート・ナイキスト・フィルタ出力 S_{3a} を、 D_n ($n = 0, 2, 3, \dots$) とすると、リニア・インターポレーションの結果 S_{4a} は、

$$D_n(k) = D_n + k * (D_{n+1} - D_n) / 8 \quad \text{式 1}$$

とし、 n を、サンプリング・クロック単位のデータの連番を表す 0、1、2、 $\dots$ とし、 k を、このデータ間に内挿されるデータの連番 0～7 とした場合、次のように表すことができる。

$$D_0(0), D_0(1), \dots, D_0(7), D_1(0), \dots, D_1(7), D_2(0), \dots, D_2(7), \dots$$

このようにすることによって、擬似的に $52 \text{ MHz} * 8 = 416 \text{ MHz}$ のレートのデータ列が得られることになる。

【0031】

なお以降の説明は I チャネルについてのみ行うが、Q チャネルに関しても全く同様であることは言うまでもない。

【0032】

一般に N 倍のリニア・インターポレーションには、次の式で表すようなフィルタ効果を伴う。

【0033】

【数 2】

$$\left| H(e^{j\omega}) \right| = \left\{ \frac{\text{sinc}(N * \omega / 2)}{\text{sinc}(\omega / 2)} \right\}^2$$

【0034】

8 倍の線形補間は、図 5 に示すようなフィルタ特性を持つため、擬似的に得られる $52 \text{ MHz} * 8 = 416 \text{ MHz}$ のレートのデータ列は、厳密にはその信号成分のスペクトルは影響を受ける。しかし、この場合、52 MHz の周波数が、UMTS におけるナイキスト周波数 (システム固有のシンボル・レートの $1/2$) である 1.92 MHz よりも十分に高く、1.92 MHz の周波数での減衰量は約 -0.02 dB にすぎず、その (図 5 のスペクトルによる) 影響は微小であり、復調性能の劣化はほとんどないことがわかっている。

【0035】

今、後段のデジタル・ベースバンド処理部が 15.36 MHz (シンボル・レート 3.84 MHz の 4 倍) で受信データが入力されることを期待していると仮定し、擬似的な 416 MHz レート相当のデータ列からデシメータによってデータを抜き出し、15.36 MHz レートのデータ列を作り出すことを考える。416 MHz は 15.36 MHz の約 27.08 倍であり、整数倍ではないため等間隔で間引くことでは実現不可能である。し

たがって27サンプル間隔と28サンプル間隔を組み合わせ、平均レートを15.36MHzとすることを考える。その具体的な方法をあらわすのが次の式である。

【0036】

【数3】

$$\frac{1}{15.36\text{MHz}} \times 12 = \frac{1}{416\text{MHz}} \times (27 \times 11 + 28)$$

【0037】

つまり、15.36MHzレートの12サンプル分のデータ列は、416MHzレートのデータ列から27サンプルおきに11サンプル分取り出し、12サンプル目のデータのみ28サンプル間隔で取り出すことを繰り返すことによって得られることがわかる。したがってデシメータ出力 S_{5a} としては、例えば、図6に示すようなデータ列とすればよいことになる。

10

【0038】

図6において、サンプリング・クロック単位のデータの連番を表す数字の並びは、0、3、6、10、13、・・・となっており、その差は、3、3、4、3、・・・となっている。また、52MHzは15.36MHzの約3.4倍であるので、52MHzのクロックエッジの3周期もしくは4周期間隔を組み合わせることにより、取り出したデータを擬似的に15.36MHzのレートで出力することが可能である。このようなデシメータ出力タイミングの一例を図7に示す。このとき出力データが算出されるタイミングは、抜き出されたデータに求められる本来のタイミングとは異なるが、平均レートが正確に15.36MHzである限りにおいては、大きな時間単位で見た場合には、全く問題とならない。

20

【0039】

なお、このようにあるデータ列から、その一部のデータを抜き出してデータ・レートを下げる場合には、通常は不要成分（帯域外成分、すなわち、この場合、15.36MHzの半分のナイキスト周波数以上の成分）が信号帯域内（前述のナイキスト周波数）に折り返すことによる性能劣化を防ぐために、ローパス・フィルタを用意するものであるが、この図1に示す例では、ルート・ナイキスト・フィルタがこの役割を果たし、またリニア・インターポレーションによって発生する折り返し成分は、リニア・インターポレーション自体のフィルタ特性（上述の式1）で十分抑圧されているため、改めてローパス・フィルタを用意しなくても十分高い復調精度を得ることが可能である。

30

【0040】

このようにして得られるデータ列は、図7に示すように、算出間隔が一定でない擬似15.36MHzレートのデータ列である。図1のFIFO（10a、10b）は、このような信号を入力し、後段のデジタル・ベースバンド部へ過不足なく、等しい周期でデータを受け渡すため役目を有する。このFIFOの書き込みは、図7に示すように、間隔を置いたサンプリング・クロック（例示の場合、52MHzのクロック）でなされ、このFIFOからの読み出しは、デジタル・ベースバンド処理部のクロック（例示の場合、15.36MHz）でなされる。

40

【0041】

後段のデジタル・ベースバンド処理部で使用されているクロック（もしくはそれを分周したもの）である15.36MHzは、通常は同一のTCXOを基準に生成されているため、平均周波数としては前記擬似15.36MHzと完全に一致しているため、FIFOにある程度の段数を設け、その半分の段数への書き込み完了後に、読み出しを開始することにより、連続的なデータの受け渡しを確立することが可能になる。

【0042】

このFIFOの代わりに、書き込み側と読みだし側を独立して制御可能なRAMも使用することができ、また一般的なRAMも使用することができる。

【0043】

50

以上からわかるように、本発明による受信システムは、適用するシステム固有のデータ・レートによる制約を受けることなくA/D変換器のサンプル周波数を選択することができるため、使用できる基準クロックに応じて適切なサンプル周波数を任意に選択して、ループ帯域の広いPLLによって低ジッタのA/D変換器用のサンプリング・クロックを容易に生成できる。したがって、広いダイナミックレンジを持つ(A/D変換器を使用した)高精度な受信システムを実現することができる。また、サンプル・レート変換手段としてリニア・インターポレーションによる、実質的な高オーバー・サンプリング化と非等間隔のデシメーションの組み合わせの構成を採用することにより、サンプル・レート変換においてサンプリング・クロックと異なるより高周波の動作クロックを必要とせず、これにより、高クロック回路による消費電力の増大を回避することが可能となる。

10

【0044】

なお、ここでは本発明を、受信した高周波信号に同一周波数のローカル信号を乗算して、直接ベースバンド信号に変換するダイレクト・コンバージョン方式に適用する場合を例にとって説明した。しかし、上述した構成を、受信した高周波信号に異なる周波数のローカル信号(1stローカル)を乗算して一旦中間周波数に落とした後、さらにその中間周波数のローカル信号(2ndローカル)を乗算してベースバンド信号に変換するスーパーヘテロダイン方式や、上記2ndローカルとして比較的低い周波数を採用して中間周波数のままA/D変換した後デジタル乗算によってベースバンド信号に変換するLow IF方式にも適用することが可能である。

【0045】

20

サンプル・レート・コンバータとしては、リニア・インターポレーションではなく、実データと同じデータを挿入することにより補間するサンプル・ホールド・インターポレーションを適用することも可能である。ただしこの場合は折り返し信号のフィルタリング効果が小さくなるため、サンプル・レート変換後のデータに含まれるノイズ成分が大きくなる欠点がある。あるいはゼロを挿入することにより補間するゼロ・インターポレーションを適用することも可能であるが、この場合はローパス・フィルタが別途必要となる。また、2つのサンプルを使用するリニア・インターポレーションではなく、2つ以上のサンプルを使用して算出するインターポレーションを使用することもできる。この場合は、上述した実施例の構成で、同じ効果を得ることができる。しかし、インターポレーションの構成が複雑になる欠点がある。

30

【0046】

またサンプル・レート・コンバータをルート・ナイキスト・フィルタの前に配置する構成も考えられる。この場合は先に挙げた課題を解決できるうえに、ルート・ナイキスト・フィルタの動作クロックが低くなるメリットがあるが、妨害波がサンプル・レート変換によって帯域内に折り返してくることを防ぐために、結局サンプル・レート・コンバータの直前に別途ローパス・フィルタが必要となるためフィルタ特性が冗長となり、逆に消費電力の増加を招く可能性がある。

【産業上の利用可能性】**【0047】**

本発明は、特に高精度の復調性能が要求される、デジタル移動体通信用の受信システムとして好適である。

40

【図面の簡単な説明】**【0048】**

【図1】本発明の実施の形態にかかる、ルート・ナイキスト・フィルタをA/D変換器の後ろに配置し、さらに線形補間を利用したサンプル・レート・コンバータ、およびデータ・バッファリング手段としてのFIFOを適用したダイレクト・コンバージョン方式受信システムの、直交復調器以降の部分の構成を示す図である。

【図2】帯域制限用の受信フィルタをアナログ回路で構成してA/D変換器の前に置く場合のダイレクト・コンバージョン方式受信システムの構成を示す図である。

【図3】帯域制限用の受信フィルタをデジタル・フィルタで構成してA/D変換器の後ろに

50

置く場合のダイレクト・コンバージョン方式受信システムの構成を示す図である。

【図4】本発明の実施の形態にかかる、帯域制限用の受信フィルタをデジタル・フィルタで構成しAD変換器の後ろに置き、さらにデジタル・ベースバンド処理に好適なレートに変換するサンプル・レート・コンバータが適用された場合のダイレクト・コンバージョン方式受信システムの構成を示す図である。

【図5】8倍の線形補間による周波数特性を表した模式図である。

【図6】8倍の線形補間によって擬似的に作成されるデータ列を説明する図である。

【図7】デシメータからのデータ出力タイミングの例を示すタイミングチャート図である。

。

【符号の説明】

10

【0049】

1 a、1 b 折り返し防止フィルタ (AAF: Anti-Alias Filter)

2 a、2 b AD変換器 (ADC)

3 a、3 b ルート・ナイキスト・フィルタ

4 温度補償型水晶発振器 (TCXO)

5 位相同期ループ (PLL)

6 a、6 b サンプル・レート・コンバータ (SRC)

7 a、7 b リニア・インターポレータ

8 a、8 b デシメータ (選択制御回路)

9 タイミング発生回路

20

10 a、10 b FIFO (first-in first-out) バッファ

11 デジタル・ベースバンド処理部

12 受信アンテナ

13 表面弾性波 (SAW) フィルタ

14 低雑音増幅器 (LNA)

15 a、15 b 直交復調器

16 移相器

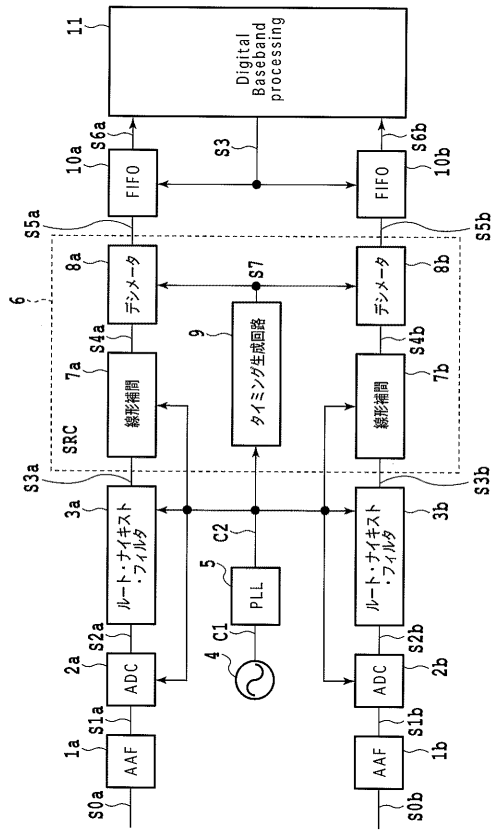
17 局部発振器 (LO)

18 a、18 b アナログ・ローパス・フィルタ

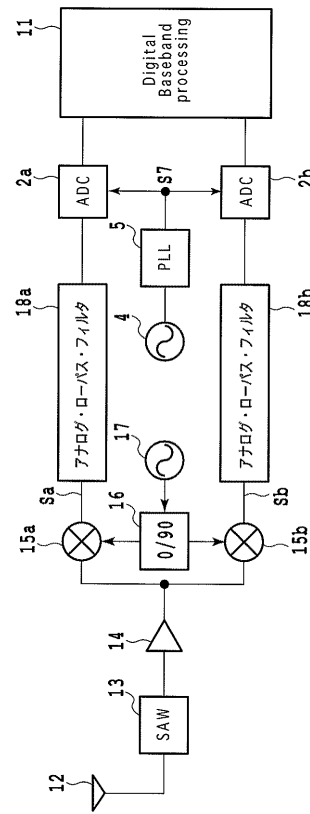
19 a、19 b デジタル・ローパス・フィルタ

30

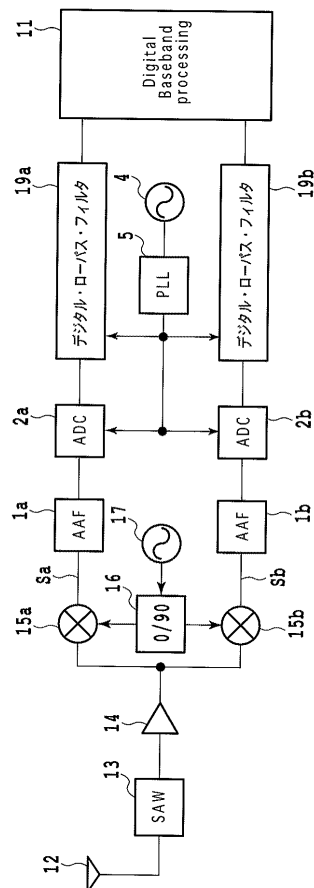
【図 1】



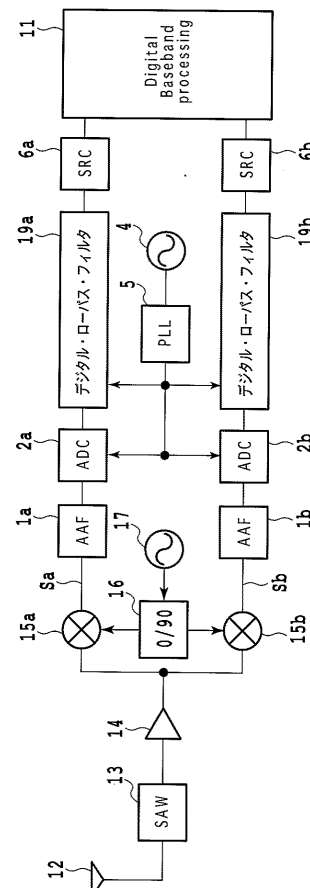
【図 2】



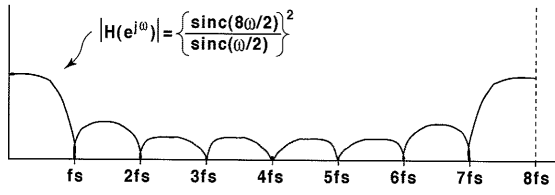
【図 3】



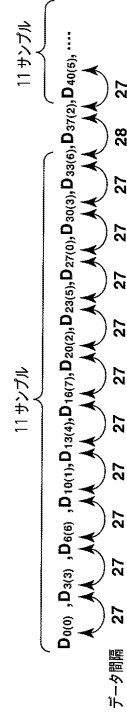
【図 4】



【図 5】



【図 6】



【図 7】



フロントページの続き

- (56)参考文献 特開2002-247121 (JP, A)
特開2002-280941 (JP, A)
特開2003-298674 (JP, A)
特開2003-234793 (JP, A)
特開2001-177586 (JP, A)
特表2006-506900 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
H04L 27/22