

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成18年1月26日(2006.1.26)

【公開番号】特開2000-223575(P2000-223575A)

【公開日】平成12年8月11日(2000.8.11)

【出願番号】特願平11-20277

【国際特許分類】

H 01 L	21/82	(2006.01)
H 01 L	21/3205	(2006.01)
H 01 L	23/52	(2006.01)
H 01 L	21/768	(2006.01)

【F I】

H 01 L	21/82	W
H 01 L	21/88	Z
H 01 L	21/90	A

【手続補正書】

【提出日】平成17年12月5日(2005.12.5)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】 多層配線を有する半導体装置の設計方法であって、

(a) 基本セルを複数配置する工程と、

(b) チャネルに配線を配置し、論理回路を形成する工程と、

(c) 前記(b)工程後、空きチャネルに、異なる配線間を電気的に接続する電源補強用の接続孔を配置する工程とを有することを特徴とする半導体装置の設計方法。

【請求項2】 多層配線を有する半導体装置の設計方法であって、

(a) 基本セルを複数配置する工程と、

(b) 第1の配線層において、第1方向のチャネルに、第1の電源配線を配置し、前記第1の配線層の上層の第2の配線層において、前記第1方向に対して交差する第2方向のチャネルに、前記基本セル内及び基本セル間を接続する配線を配置し、前記第2の配線層の上層の第3の配線層において、前記第1方向のチャネルに、前記第1の電源配線を補強する第2の電源配線を配置する工程と、

(c) 前記(b)工程の後に、前記第2の電源配線と第1の電源配線とを電気的に接続する接続孔を配置する工程とを有することを特徴とする半導体装置の設計方法。

【請求項3】 請求項2記載の半導体装置の設計方法であって、

前記(c)の工程において、前記接続孔は、前記基本セル内及び基本セル間を接続する配線が配置されない空きチャネルに配置されることを特徴とする半導体装置の設計方法。

【請求項4】 多層配線を有する半導体装置であって、

複数の基本セルの電界効果トランジスタが、半導体基板の第1の領域に形成され、

前記第1の領域に所定の電位を供給する第1の給電配線が、第1方向に延在して配置され、

前記複数の基本セルの電界効果トランジスタのソースに電気的に接続される第1の電源配線が、前記第1方向に延在して配置され、

前記第1の給電配線及び第1の電源配線の上層の第2の配線層に、第2の電源配線及び第1の配線が、前記第1方向に延在して配置され、

前記第2の電源配線は、前記第1の電源配線の上方に形成され、かつ前記第1の電源配線に電気的に接続され、

前記第1の給電配線の上方は、配線チャネル領域となっており、その配線チャネル領域には、前記第1の給電配線とは電気的に接続されない前記第1の配線が配置されていることを特徴とする半導体装置。

【請求項5】 多層配線を有する半導体装置であって、

複数の基本セルの電界効果トランジスタが、半導体基板の第1の領域に形成され、

前記第1の領域に所定の電位を供給する第1の給電配線が、第1方向に延在して配置され、

前記複数の基本セルの電界効果トランジスタのソースに電気的に接続される第1の電源配線が、前記第1方向に延在して配置され、

前記第1の給電配線及び第1の電源配線の上層の第2の配線層に、前記第1の給電配線に電気的に接続する第2の給電配線又は前記第1の電源配線に電気的に接続する第2の電源配線が、前記第1方向に対して交差する第2方向に延在して配置され、

前記第2の給電配線又は第2の電源配線の下部に配置される基本セルを、前記第1の領域に供給する電位を変換するためのスイッチ素子形成用のセルとして用いることを特徴とする半導体装置。

【請求項6】 請求項4または5記載の半導体装置において、前記基本セルは、前記第1方向に交差する第2方向に並んで配置されたゲート幅の異なる2種類の電界効果トランジスタで構成され、

前記ゲート幅の異なる2種類の電界効果トランジスタのうち、相対的にゲート幅の小さい電界効果トランジスタが、複数のpチャネル型の電界効果トランジスタと、複数のnチャネル型の電界効果トランジスタとで構成され、その各々のゲート電極が、前記複数のpチャネル型の電界効果トランジスタと複数のnチャネル型の電界効果トランジスタとの間の領域に配置された幅広パターンと一体的に形成され互いに電気的に接続されていることを特徴とする半導体装置。

【請求項7】 半導体装置において、複数の基本セルは、第1方向に並んで配置されたゲート幅の異なる2種類の電界効果トランジスタで構成され、

前記ゲート幅の異なる2種類の電界効果トランジスタのうち、相対的にゲート幅の小さい電界効果トランジスタが、複数のpチャネル型の電界効果トランジスタと、複数のnチャネル型の電界効果トランジスタとで構成され、その各々のゲート電極が、前記複数のpチャネル型の電界効果トランジスタと複数のnチャネル型の電界効果トランジスタとの間の領域に配置された幅広パターンと一体的に形成され互いに電気的に接続されていることを特徴とする半導体装置。

【請求項8】 多層配線を有する半導体装置であって、

半導体基板に形成された複数の基本セルと、

前記半導体基板に形成され、前記基本セルの第1の電界効果トランジスタが配置された第1導電型の第1の領域と、

前記半導体基板に形成され、前記基本セルの第2の電界効果トランジスタが配置された第2導電型の第2の領域と、

前記第1の領域に所定の電位を供給する給電配線であって、前記複数の基本セルが並んで配置される第1方向に沿って延在された第1の給電配線と、

前記第2の領域に所定の電位を供給する給電配線であって、前記複数の基本セルが並んで配置される前記第1方向に沿って延在された第2の給電配線と、

前記基本セルに形成された素子の第1の動作電圧を供給する電源配線であって、前記第1方向に沿って延在された電源配線と、

前記基本セルに形成された素子の第2の動作電圧を供給する電源配線であって、前記第1方向に沿って延在された電源配線と、

前記第1の給電配線に所定の電位を供給する給電配線であって、前記第1の給電配線よりも上層に形成され、前記第1方向に対して交差する第2方向に延在する第3の給電配線

と、

前記第2の給電配線に所定の電位を供給する給電配線であって、前記第2の給電配線よりも上層に形成され、前記第1方向に対して交差する前記第2方向に延在する第4の給電配線と、

前記第3の給電配線または第4の給電配線の少なくとも一方の直下に配置されている基本セルを、前記第1の領域または第2の領域に供給する電位を変換するためのスイッチ素子形成用のセルとして用いることを特徴とする半導体装置。

【請求項9】 多層配線を有する半導体装置であって、

半導体基板に形成された複数の基本セルと、

前記半導体基板に形成された半導体領域と、

前記半導体領域に所定電位の電圧を供給する領域であって、前記半導体領域と同一導電型で、かつ、前記半導体領域の不純物濃度よりも高い不純物濃度で形成され、前記基本セルの第1方向に沿って延在された給電領域と、

前記基本セルに形成された素子の動作電圧を供給する電源配線であって、前記半導体基板の上層の第1の配線層に配置され、前記基本セルの第1方向に沿って延在された第1の電源配線と、

前記基本セルに形成された素子の動作電圧を供給する電源配線であって、前記第1の配線層の上層の第2の配線層に配置され、前記基本セルの第1方向に沿って延在された第2の電源配線と、

前記第1の電源配線と第2の電源配線とを電気的に接続する接続孔と、

前記第1の配線層と第2の配線層との間の配線層であって前記第1方向に交差する第2方向をチャネル方向として持つ第3の配線層に配置された信号配線とを有することを特徴とする半導体装置。

【請求項10】 請求項4～9のいずれか一項に記載の半導体装置において、前記半導体領域に印加する電圧を動作電圧または基板電圧に切り換える切換え手段を設けたことを特徴とする半導体装置。

【請求項11】 多層配線を有する半導体装置の製造方法であって、

(a) 半導体基板の正面に基本セルを複数配置する工程と、

(b) 第1方向のチャネルに第1の配線層で構成される第1の電源配線を配置する工程と、

(c) 前記第1の配線層の上層の第2の配線層において、前記第1方向に対して平行なチャネルに、前記第1の電源配線を補強するための第2の電源配線を配置する工程と、

(d) 前記第1の配線層と第2の配線層との間の第3の配線層において、前記第1方向に対して交差する第2方向のチャネルに信号配線を配置する工程と、

(e) 前記(d)工程後、前記第1の電源配線と第2の電源配線とを電気的に接続する接続孔を配置する工程とを有することを特徴とする半導体装置の製造方法。

【請求項12】 請求項11記載の半導体装置の製造方法において、前記半導体基板に形成された半導体領域に、前記基本セルが構成され、前記半導体領域に前記基本セルの第1方向に沿って延在され、前記半導体領域と同一導電型で形成され、前記半導体領域の不純物濃度よりも高い不純物濃度で形成された給電領域を配置する工程を有することを特徴とする半導体装置の製造方法。