



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년01월06일
(11) 등록번호 10-2347691
(24) 등록일자 2022년01월03일

- (51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) H02M 7/00 (2006.01)
- (52) CPC특허분류
H01L 29/78696 (2013.01)
H01L 29/78681 (2013.01)
- (21) 출원번호 10-2020-0088371
(22) 출원일자 2020년07월16일
심사청구일자 2020년07월16일
- (56) 선행기술조사문헌
Ngoc Thanh Duong et al., 'Modulating the Functions of MoS₂/MoTe₂ van der Waals Heterostructure via Thickness Variation', ACS Nano, 13(2019) 4478-4485 (2019.04.02.) 1부.*
Yongtao Li et al., 'Anti-Ambipolar Field-Effect Transistors Based On Few-Layer 2D Transition Metal Dichalcogenides', ACS Appl. Mater. Interfaces, 8(2016) 15574-15581 (2016.06.03.) 2부.*
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
- (72) 발명자
주진수
서울특별시 중랑구 신내로21길 16, 525동 402호
김준영
서울특별시 마포구 새창로8길 72, 205동 204호
박현정
경기도 수원시 권선구 곡선로 20, 610동 1102호
- (74) 대리인
김홍석

전체 청구항 수 : 총 9 항

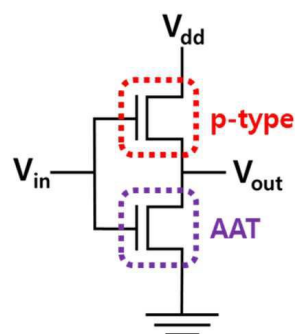
심사관 : 이양근

(54) 발명의 명칭 이차원 전이금속 다이칼코게나이드 물질을 포함한 p-n 이중접합 구조의 인버터

(57) 요약

이차원 전이금속 다이칼코게나이드 물질을 포함한 p-n 이중접합 구조의 인버터를 제공한다. 인버터는 기판, 기판 상에 배치되는 절연막, 제1 전이금속 다이칼코게나이드를 포함하며, 절연막 상에서 제1 방향으로 연장하는 제1 채널, 절연막 상에서 제1 채널의 양단에 배치되는 제1 전극 및 제2 전극, 제2 전이금속 다이칼코게나이드를 포함하며, 제1 채널 상에서 제1 방향과 수직 교차하는 제2 방향으로 연장하는 제2 채널, 절연막 상에서 제2 채널의 양단에 배치되는 제3 전극 및 제4 전극, 기판에 전기적으로 연결되어 복수의 입력전압들을 인가하는 제1 단자, 및 제1 전극 (혹은 제2 전극) 또는 제3 전극 (혹은 제4 전극) 중 하나와 전기적으로 연결되며, 입력 전압들에 따라 다양한 전압을 출력하는 제3 단자를 포함하되, 출력되는 전압에 따라 세 개의 논리 상태들 출력한다.

대표도



(52) CPC특허분류

H02M 7/003 (2021.05)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711084120
과제번호	2018R1A2B2006369
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	개인기초연구(과기정통부)(R&D)
연구과제명	유기반도체 기반 이중접합 나노시스템의 광반응 특성 연구 및 빛으로 작동하는 광기
전-트랜지스터 개발	
기 여 율	1/1
과제수행기관명	고려대학교
연구기간	2019.03.01 ~ 2020.02.29

명세서

청구범위

청구항 1

이차원 전이금속 다이칼코게나이드 물질을 포함한 p-n 이종접합 구조의 인버터에 있어서,
 기판;
 상기 기판 상에 배치되는 절연막;
 제1 전이금속 다이칼코게나이드를 포함하며, 상기 절연막 상에서 제1 방향으로 연장되는 제1 채널;
 상기 절연막 상에서 상기 제1 채널의 양단에 배치되는 제1 전극 및 제2 전극;
 제2 전이금속 다이칼코게나이드를 포함하며, 상기 제1 채널 상에서 상기 제1 방향과 교차하는 제2 방향으로 연장되는 제2 채널;
 상기 절연막 상에서 상기 제2 채널의 양단에 배치되는 제3 전극 및 제4 전극;
 상기 기판에 전기적으로 연결되어 복수의 입력전압들을 인가하는 제1 단자; 및
 상기 제2 전극과 상기 제4 전극 중 어느 하나와 전기적으로 연결되며, 상기 입력 전압들에 따라 다양한 전압을 출력하는 제3 단자를 포함하되,
 상기 출력되는 전압에 따라 복수의 논리 상태들을 출력하고,
 상기 제3 전극 및 상기 제4 전극을 소스/드레인 전극으로 갖는 제1 트랜지스터;
 상기 제3 전극 및 상기 제4 전극을 소스/드레인 전극으로 갖는 제2 트랜지스터; 및
 상기 제4 전극 및 상기 제1 전극을 소스/드레인 전극으로 갖는 제3 트랜지스터를 회로적 구성으로 가지되,
 상기 제1 및 제2 트랜지스터들은 유효 p형 WSe₂ 전계효과 트랜지스터로 기능하고,
 상기 제3 트랜지스터는 WSe₂/MoS₂ p-n 이종접합 전계효과 트랜지스터로 기능하는,
 인버터.

청구항 2

제1항에 있어서,
 상기 제1 단자에 인가되는 입력 전압이 음의 전압값을 갖는 제1 전압일 때, "1"의 논리 상태가 되고,
 상기 제1 단자에 인가되는 입력 전압이 상기 제1 전압보다 큰 제2 전압일 때, 역이중극성 트랜지스터 특성에 의해 "1/2"의 논리 상태가 되며,
 상기 제1 단자에 인가되는 입력 전압이 상기 제2 전압보다 크며 양의 전압값을 갖는 제3 전압이 인가될 때, 상기 입력전압에 의해 정공결핍 현상으로 "0"의 논리 상태가 되는,
 인버터.

청구항 3

제1항에 있어서,
 상기 제1 전극과 연결되는 접지 단자를 더 포함하는,

인버터.

청구항 4

제3항에 있어서,

상기 제1 전이금속 다이칼코게나이드는 MoS_2 를 포함하고, 상기 제2 전이금속 다이칼코게나이드는 WSe_2 를 포함할 때,

상기 제3 전극과 전기적으로 연결되는 제2 단자를 더 포함하는,

인버터.

청구항 5

제4항에 있어서,

상기 제1 채널, 상기 제2 채널, 상기 제1 내지 제4 전극들, 상기 제1 및 제2 단자들이 형성된 절연막을 덮는 PMMA-co-PMAA를 포함하는 막층을 더 포함하는,

인버터.

청구항 6

이차원 전이금속 다이칼코게나이드 물질을 포함한 p-n 이종접합 구조의 인버터에 있어서,

기판;

상기 기판 상에 배치되는 절연막;

제1 전이금속 다이칼코게나이드를 포함하며, 상기 절연막 상에서 제1 방향으로 연장되는 제1 채널;

상기 절연막 상에서 상기 제1 채널의 양단에 배치되는 제1 전극 및 제2 전극;

제2 전이금속 다이칼코게나이드를 포함하며, 상기 제1 채널 상에서 상기 제1 방향과 교차하는 제2 방향으로 연장되는 제2 채널;

상기 절연막 상에서 상기 제2 채널의 양단에 배치되는 제3 전극 및 제4 전극;

상기 기판에 전기적으로 연결되어 복수의 입력전압들을 인가하는 제1 단자; 및

상기 제2 전극과 상기 제4 전극 중 어느 하나와 전기적으로 연결되며, 상기 입력 전압들에 따라 다양한 전압을 출력하는 제3 단자를 포함하되,

상기 출력되는 전압에 따라 복수의 논리 상태들을 출력하고,

상기 제4 전극 및 상기 제2 전극을 소스/드레인 전극으로 갖는 제1 트랜지스터;

상기 제2 전극 및 상기 제1 전극을 소스/드레인 전극으로 갖는 제2 트랜지스터; 및

상기 제2 전극 및 상기 제1 전극을 소스/드레인 전극으로 갖는 제3 트랜지스터를 회로적 구성으로 가지되,

상기 제1 트랜지스터는 $\text{WSe}_2/\text{MoSe}_2$ p-n 이종접합 전계효과 트랜지스터로 기능하고,

상기 제2 및 제3 트랜지스터들은 유효 n형 MoSe_2 전계효과 트랜지스터로 기능하는,

인버터.

청구항 7

제1항에 있어서,
상기 인버터는 p형 인버터인,
인버터.

청구항 8

제6항에 있어서,
상기 제1 전이금속 다이칼코게나이드는 MoSe_2 를 포함하고, 상기 제2 전이금속 다이칼코게나이드는 WSe_2 를 포함할 때,
상기 제1 전극과 연결되는 접지 단자; 및
상기 제4 전극과 전기적으로 연결되는 제2 단자를 더 포함하는,
인버터.

청구항 9

삭제

청구항 10

제8항에 있어서,
상기 인버터는 n형 인버터인,
인버터.

발명의 설명

기술 분야

[0001] 본 발명은 인버터에 관한 것으로, 보다 상세하게는 이차원 전이금속 다이칼코게나이드 물질을 포함한 p-n 이종 접합 구조의 인버터에 관한 것이다.

배경 기술

[0002] 인버터에 사용된 기본적인 구조는 드레인-소스 전압이 인가된 상태에서 문턱 전압 이상의 게이트 전압을 인가하면 활성층을 통해 흐르는 전류가 조절되는 전계효과 트랜지스터이다. 활성층에 첨가된 불순물에 따라 양의 게이트 전압을 인가할 때 동작하는 n형 트랜지스터, 음의 게이트 전압을 인가할 때 동작하는 p형 트랜지스터로 분류할 수 있다. 이중극성 트랜지스터는 양의 게이트 전압 또는 음의 게이트 전압을 인가할 때 모두 활성층을 형성하여 전류가 흐르는 트랜지스터를 말한다. 역 이중극성 트랜지스터는 그와 반대로 큰 값 양의 게이트 전압 또는 음의 게이트 전압이 인가되는 경우에는 활성층이 형성되지 않아 전류가 흐르지 않고, 특정 범위의 게이트 전압이 인가된 상태에서는 전류가 잘 흐르게 되는 트랜지스터이다. p-n 이종접합구조 트랜지스터의 경우, 두 물질 모두 활성층이 형성되는 특정 범위 내의 게이트 전압이 인가되는 경우에 전류가 잘 흐르게 되며, 그 외의 게이트 전압이 인가되는 경우에는 전류가 잘 흐르지 않게 된다.

[0003] 이차원 전이금속 다이칼코게나이드 물질을 이용하여 제작한 p-n 이종접합구조의 트랜지스터에 전압을 인가하게 되면 이종접합계면에서 전자와 정공이 재결합하여 전류가 흐르게 된다. 이러한 원리를 이용하여 이차원 전이금속 다이칼코게나이드 물질 혹은 유기물을 이용한 p-n 이종접합 구조의 인버터를 제작할 수 있다.

[0004] 국내공개번호 2014-0085115 (이하, 선행문헌)에는 "이중 전이금속 다이칼코게나이드 채널을 가진 전계효과 트랜지스터"를 개시하고 있다. 선행문헌을 살펴보면, 제1 전이금속 다이칼코게나이드로 이루어진 제1 채널 및 제1

채널 상에 형성되고 제2 전이금속 다이칼코게나이드로 이루어진 제2 채널을 포함하는 것을 특징으로 하고 있다.

[0005] 본 발명에서는 복수의 채널들이 수직으로 교차된 구조로 복수의 논리 상태를 출력하는 인버터를 제시한다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 대한민국 공개특허 제2014-0085115호

발명의 내용

해결하려는 과제

[0007] 본원 발명이 해결하고자 하는 과제는 복수의 채널이 수직으로 교차된 구조로 복수의 논리 상태를 출력하는 이차원 전이금속 다이칼코게나이드 물질을 포함한 p-n 이종접합 구조의 인버터를 제공하는 것이다.

과제의 해결 수단

[0008] 해결하고자 하는 과제를 달성하기 위하여 본 발명의 실시 예들에 따른 이차원 전이금속 다이칼코게나이드 물질을 포함한 p-n 이종접합 구조의 인버터는 기판 상에 배치되는 절연막, 제1 전이금속 다이칼코게나이드를 포함하며, 상기 절연막 상에서 제1 방향으로 연장하는 제1 채널, 상기 절연막 상에서 상기 제1 채널의 양단에 배치되는 제1 전극 및 제2 전극, 제2 전이금속 다이칼코게나이드를 포함하며, 상기 제1 채널 상에서 상기 제1 방향과 교차하는 제2 방향으로 연장하는 제2 채널, 상기 제2 채널의 양단에 배치되는 제3 전극 및 제4 전극, 상기 기판에 전기적으로 연결되어 복수의 입력전압들을 인가하는 제1 단자, 및 상기 제1 전극 (혹은 제2 전극) 또는 제3 전극 (혹은 제4 전극) 중 하나와 전기적으로 연결되며, 상기 입력 전압들에 따라 다양한 전압을 출력하는 제3 단자를 포함한다. 상기 출력되는 전압에 따라 "1", "1/2", 및 "0"의 세 개의 논리 상태들 출력한다.

발명의 효과

[0009] 본 발명의 실시 예들에 따른 이차원 전이금속 다이칼코게나이드 물질을 포함한 p-n 이종접합 구조의 인버터는 제1 채널 및 제2 채널의 물질을 변경하고 공급 전압 단자 및 출력 전압 단자의 위치에 따라 여러 전극으로 활용 가능하다.

[0010] 또한, 제1 채널 및 제2 채널이 겹치는 부분, 즉, 이종접합계면에서 전자 및 정공이 재결합하여, 랑제방 (Langevin) 재결합 및 쇼클리-리드-홀 (Shockley-Read-hall) 재결합을 통해서 전류가 흐르고, 다중 값들을 출력할 수 있는 인버터를 제공할 수 있다. 다중 출력 값들은 "1", "1/2", 및 "0"의 세 개의 논리 상태들 출력할 수 있다.

[0011] 그리고, 이차원 전이금속 다이칼코게나이드 물질을 이용한 p-n 이종접합 구조의 트랜지스터는 표면에 PMMA-co-PMAA(poly(methyl methacrylate-co-methacrylic acid)) 막층을 코팅하여, 복수의 출력 전압들을 보다 안정적으로 출력할 수 있다. 따라서, 인버터는 안정적으로 논리 상태를 출력할 수 있는 새로운 소자이다.

도면의 간단한 설명

[0012] 도 1은 본 발명의 일 실시예에 따른 이차원 전이금속 다이칼코게나이드 물질을 이용한 p-n 이종접합 구조의 트랜지스터를 사용한 p형 인버터를 설명하기 위한 개략적인 등가 회로도이다.

도 2는 본 발명의 다른 실시예에 따른 일 실시예에 따른 이차원 전이금속 다이칼코게나이드 물질을 이용한 p-n 이종접합 구조의 트랜지스터를 사용한 n형 인버터를 설명하기 위한 개략적인 등가 회로도이다.

도 3은 본 발명의 일 실시예에 따른 이차원 전이금속 다이칼코게나이드 물질을 이용한 p-n 이종접합 구조의 트랜지스터를 설명하기 위한 도면이다.

도 4는 도 3에 도시된 이차원 전이금속 다이칼코게나이드 물질을 이용한 p-n 이종접합 구조의 트랜지스터의 등가 회로도이다.

도 5는 본 발명의 다른 실시예에 따른 도시된 이차원 전이금속 다이칼코게나이드 물질을 이용한 p-n 이종접합

구조의 트랜지스터를 설명하기 위한 도면이다.

도 6은 도 5에 도시된 이차원 전이금속 다이칼코게나이드 물질을 이용한 p-n 이종접합 구조의 트랜지스터의 등가 회로도이다.

도 7은 본 발명의 일 실시예에 따른 이차원 전이금속 다이칼코게나이드 물질을 이용한 p-n 이종접합 구조의 트랜지스터를 제조하는 방법을 설명하기 위한 순서도이다.

도 8은 실험예 1에서 제작된 $\text{WSe}_2/\text{MoS}_2$ 이종 접합 구조의 트랜지스터의 전기적 특성을 나타내는 그래프이다.

도 9는 실험예 1 및 실험예 2에서 제작된 $\text{WSe}_2/\text{MoS}_2$ 이종 접합 구조의 트랜지스터들이 적용된 인버터의 전기적 특성을 나타내는 그래프이다.

도 10은 실험예 3에서 제작된 $\text{WSe}_2/\text{MoSe}_2$ 이종 접합 구조의 트랜지스터의 전기적 특성을 나타내는 그래프이다.

도 11은 실험예 3에서 제작된 $\text{WSe}_2/\text{MoSe}_2$ 이종 접합 구조의 트랜지스터에 적용된 인버터의 출력 전기적 특성을 나타내는 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0013] 본 발명의 구성 및 효과를 충분히 이해하기 위하여, 첨부한 도면을 참조하여 본 발명의 바람직한 실시 예들을 설명한다. 그러나 본 발명은, 이하에서 개시되는 실시 예들에 한정되는 것이 아니라, 여러 가지 형태로 구현될 수 있고 다양한 변경을 가할 수 있다.
- [0014] 또한, 본 발명의 실시 예들에서 사용되는 용어들은 다르게 정의되지 않는 한, 해당 기술 분야에서 통상의 지식을 가진 자에게 통상적으로 알려진 의미로 해석될 수 있다.
- [0015] 본 발명의 일 실시예에 따른 인버터는 소스-드레인 전압이 인가된 상태에서 문턱 전압 이상의 게이트 전압을 인가하여 채널을 통해 전류가 흐르도록 조절되는 전계 효과 트랜지스터이다. 특히, 이하에서는 이차원 전이금속 다이칼코게나이드 물질을 이용한 p-n 이종접합 구조의 트랜지스터를 설명한다.
- [0016] 도 1은 본 발명의 일 실시예에 따른 이차원 전이금속 다이칼코게나이드 물질을 이용한 p-n 이종접합 구조의 트랜지스터를 사용한 p형 인버터를 설명하기 위한 개략적인 등가 회로도이고, 도 2는 본 발명의 다른 실시예에 따른 일 실시예에 따른 이차원 전이금속 다이칼코게나이드 물질을 이용한 p-n 이종접합 구조의 트랜지스터를 사용한 n형 인버터를 설명하기 위한 개략적인 등가 회로도이다.
- [0017] 도 1 및 도 2를 참조하면, 복수의 트랜지스터들이 직렬 연결되어, 일 트랜지스터 (제1 트랜지스터; TR1)의 소스/드레인 전극 중 하나가, 직렬 연결된 트랜지스터 (제2 트랜지스터; TR2)의 소스/드레인 전극과 연결된 구조를 가질 수 있다. 트랜지스터가 2개인 것을 예시적으로 설명하며, 설명의 용이함을 위해 위에 위치한 트랜지스터를 제1 트랜지스터라 하고, 아래에 위치한 트랜지스터를 제2 트랜지스터라 한다. 제1 트랜지스터 및 제2 트랜지스터들 각각의 채널은 MoSe_2 , MoS_2 , 또는 WSe_2 과 같은 전이금속 다이칼코게나이드 물질을 포함할 수 있다.
- [0018] 도 1을 참조하면, 제1 트랜지스터는 p형 (p-type) 트랜지스터이며, 제2 트랜지스터는 역이종극성 트랜지스터 (anti ambipolar transistor: AAT)일 수 있다. 이 경우, 제1 트랜지스터 및 제2 트랜지스터는 WSe_2 물질막 및 MoS_2 물질막이 적어도 일부가 서로 교차되는 채널을 포함할 수 있다.
- [0019] 도 2를 참조하면, 제1 트랜지스터는 역이종극성 트랜지스터(AAT)이며, 제2 트랜지스터는 n형 (n-type) 트랜지스터일 수 있다. 이 경우, 제1 트랜지스터 및 제2 트랜지스터는 WSe_2 물질막 및 MoSe_2 물질막이 적어도 일부가 서로 교차되는 채널을 포함할 수 있다.
- [0020] 도 1 및 도 2를 참조하면, 제1 트랜지스터 및 제2 트랜지스터 각각의 게이트로 공통의 입력 전압(V_{in})이 인가될 수 있다. 일 실시예에 따르면, 게이트를 통해 인가되는 입력 전압(V_{in})은 복수의 전압들이 인가될 수 있다. 제1 트랜지스터의 소스/드레인 전극 중 제2 트랜지스터의 소스/드레인과 연결되지 않은 하나를 통해 공급 전압(V_{dd})이 인가될 수 있다. 도 1 및 도 2를 참조하면, 제1 트랜지스터의 소스/드레인 전극 중 제2 트랜지스터의 소스/드레인과 연결되는 나머지 하나를 통해 출력 전압(V_{out})이 출력될 수 있다. 이때, 인가되는 입력 전압(V_{in})에 따라 출력되는 출력 전압(V_{out})이 변화될 수 있으며, 이를 통해 복수의 논리 상태를 출력할 수 있다. 제2 트랜지스

터의 소스/드레인 전극 중 제1 트랜지스터의 소스/드레인과 연결되지 않은 하나는 접지 상태일 수 있다.

- [0021] 이때, 도 1를 참조하면, 공급 전압 단자 및 출력 전압 단자 사이에 p형 트랜지스터(p-type)가 구비되고, 출력 전압 단자 및 접지 단자 사이에는 역이중극성 트랜지스터(AAT)가 구비되어 p-형 인버터를 구현할 수 있다.
- [0022] 한편, 도 2를 참조하면, 공급 전압 단자 및 출력 전압 단자 사이에 역이중극성 트랜지스터(AAT)가 구비되고, 출력 전압 단자 및 접지 단자 사이에는 n형 (n-type) 트랜지스터가 구비되어 n-형 인버터를 구현할 수 있다.
- [0023] 따라서, 도 1 및 도 2에서 설명된 바와 같이, 제1 트랜지스터, 제2 트랜지스터, 공급 전압 단자, 및 출력 전압 단자의 위치에 따라 여러 전극으로 활용 가능한 인버터가 구현될 수 있다.
- [0024] 이하에서는 p형 인터버에 대하여 보다 상세하게 설명하기로 한다.
- [0025] 도 3은 본 발명의 일 실시예에 따른 이차원 전이금속 다이칼코게나이드 물질을 이용한 p-n 이중접합 구조의 트랜지스터를 설명하기 위한 도면이다.
- [0026] 도 3을 참조하면, 이차원 전이금속 다이칼코게나이드 물질을 이용한 p-n 이중접합 구조의 트랜지스터는, 기판(100) 상에 제공되는 절연막(110), 절연막(110) 상에서 제1 방향으로 연장하는 제1 채널(CH1), 제1 채널(CH1)의 양단에 배치되는 제1 전극(ET1) 및 제2 전극(ET2), 절연막(110) 상에서 제1 채널(CH1)을 가로지르도록 제1 방향(DR1)에 세로로 교차하는 제2 방향(DR2)으로 연장하는 제2 채널(CH2), 제2 채널(CH2)의 양단에 배치되는 제3 전극(ET3) 및 제4 전극(ET4), 기판(100)과 전기적으로 연결되는 제1 단자(TM1), 제1 채널(CH1) 양단의 전극 중 하나와 연결되는 접지 단자(GT), 제2 채널(CH2) 양단에 연결되는 제2 단자(TM2), 제3 단자(TM3)를 포함한다. 도 3을 참조하면 제1 전극(ET1)과 접지 단자(GT), 제3 전극(ET3) 및 제4 전극(ET4)는 제2 단자(TM2) 및 제3 단자(TM3)와 전기적으로 연결된다.
- [0027] 기판(100)은 도핑된 실리콘과 같은 반도체 기판(100)을 포함할 수 있다. 일 실시예에 따르면, 기판(100)은 게이트로 기능할 수 있으며, 이 경우, 트랜지스터는 바텀 게이트형(bottom gate type) 트랜지스터이다.
- [0028] 절연막(110)은 게이트 절연막(110)으로써, 실리콘 산화물과 같은 절연물질을 포함할 수 있다. 일 실시예에 따르면, 절연막(110)은 기판(100)의 일 면을 완전히 덮는 구조를 가질 수 있다. 한편, 절연막(110)은 약 300 nm의 두께를 갖는다.
- [0029] 제1 채널(CH1)은 제1 전이금속 다이칼코게나이드 물질을 포함할 수 있다. 특히, 제1 채널(CH1)은 n형 반도체 특성을 갖는 물질로써 예컨대, MoS₂를 포함할 수 있다. 일 실시예에 따르면, 제1 채널(CH1)은 절연막(110) 상에서 절연막(110)을 부분적으로 덮으며 제1 방향으로 연장되는 구조를 가질 수 있다. 또한, 제1 채널(CH1)은 수 nm의 두께를 가질 수 있으며, 예컨대 2.5 내지 3.5nm의 두께를 가질 수 있다.
- [0030] 제1 전극(ET1) 및 제2 전극(ET2)은 제1 채널(CH1)의 양 단부들에 전기적으로 연결될 수 있다. 제1 전극(ET1) 및 제2 전극(ET2)은 제1 채널(CH1)에 연결되는 소스/드레인 전극들에 대응될 수 있다. 일 실시예에 따르면, 제1 전극(ET1)은 제1 채널(CH1)의 일 단부에 접촉하여 전기적으로 연결되면서 절연막(110) 상에 배치되고, 제2 전극(ET2)은 제1 채널(CH1)의 타 단부에 접촉하여 전기적으로 연결되면서 절연막(110) 상에 배치될 수 있다. 또한, 제1 전극(ET1) 및 제2 전극(ET2)은 서로 마주하며 배치될 수 있다. 한편, 제1 전극(ET1) 및 제2 전극(ET2)은 다양한 금속 물질로 이루어질 수 있다. 일 실시예에 따르면, 제1 전극(ET1) 및 제2 전극(ET2)은 Au/Ti로 이루어질 수 있으며, 20nm의 Ti막 상에 40nm의 Au막이 적층된 구조일 수 있다.
- [0031] 제2 채널(CH2)은 제2 전이금속 다이칼코게나이드 물질을 포함할 수 있다. 특히, 제2 채널(CH2)은 p형 반도체 특성을 갖는 물질로써 예컨대, WSe₂를 포함할 수 있다. 일 실시예에 따르면, 제2 채널(CH2)은 제1 방향(DR1)과 상이한 제2 방향(DR2)으로 연장하여, 제2 채널(CH2)이 제1 채널(CH1) 상부에서 제2 채널(CH2)의 적어도 일부가 제1 채널(CH1)에 세로로 교차될 수 있다. 이때, 도 1을 참조하면, 제1 방향(DR1)과 제2 방향(DR2)이 세로인 것을 예시적으로 도시하였으나, 본 발명이 이로 한정되지 않는다. 한편, 제2 채널(CH2)은 수 nm의 두께를 가질 수 있으며, 예컨대 2.5 내지 3.5nm의 두께를 가질 수 있다.
- [0032] 이때, 트랜지스터에 전압을 인가하면, 제1 채널(CH1) 및 제2 채널(CH2)이 겹치는 부분, 즉, 이중접합계면에서 전자 및 정공이 재결합하여 전류가 흐르게 된다. 이는 랑제방(Langevin) 재결합 및 쇼클리-리드-홀(Shockley-Read-hall) 재결합 현상에 의한 것이다. 랑제방 재결합은 이중접합계면에서 쿨롱(Coulomb) 인력에 의한 재결합 과정을 의미하며, 쇼클리-리드-홀 재결합은 이중접합계면에서의 트랩(trap)을 통해 재결합되는 과정을 의미한다.

- [0033] 제3 전극(ET3) 및 제4 전극(ET4)은 제2 채널(CH2)의 양 단부들에 전기적으로 연결될 수 있다. 제3 전극(ET3) 및 제4 전극(ET4)은 제2 채널(CH2)에 연결되는 소스/드레인 전극들에 대응될 수 있다. 일 실시예에 따르면, 제3 전극(ET3)은 제2 채널(CH2)의 일 단부에 접촉하여 전기적으로 연결되면서 절연막(110) 상에 배치되고, 제4 전극(ET4)은 제2 채널(CH2)의 타 단부에 접촉하여 전기적으로 연결되면서 절연막(110) 상에 배치될 수 있다. 또한, 제3 전극(ET3) 및 제4 전극(ET4)은 서로 마주하며 배치될 수 있다. 한편, 제3 전극(ET3) 및 제4 전극(ET4)은 다양한 금속 물질로 이루어질 수 있다. 일 실시예에 따르면, 제3 전극(ET3) 및 제4 전극(ET4)은 Au/Pt으로 이루어질 수 있으며, 20nm의 Pt막 상에 40nm의 Au막이 적층된 구조일 수 있다.
- [0034] 일 실시예에 따르면, 제3 전극(ET3) 및 제4 전극(ET4) 각각은 제1 전극(ET1) 및 제2 전극(ET2) 사이에 배치될 수 있다.
- [0035] 제1 단자(TM1)는 입력 전압(Vin)을 인가 하는 단자로서, 복수의 입력 전압(Vin)들이 인가될 수 있다. 상술한 바와 같이, 기관(100)은 전계효과 트랜지스터의 게이트로 기능하여, 제1 단자(TM1)에 인가되는 전압을 게이트 전압(V_g)이라고도 한다. 접지 단자(GT)는 제1 전극(ET1) 또는 제2 전극(ET1)과 전기적으로 연결되며, 제1 채널(CH1)의 일 단부를 접지시킬 수 있다. 제2 단자(TM2)는 공급 전압(V_{dd})을 인가 받는 단자이며, 제2 단자(TM2)에 인가되는 전압을 드레인 전압이라고도 한다.
- [0036] 제3 단자(TM3)는 출력 전압(Vout)을 출력하는 단자로서, 제1 단자(TM1)에 인가된 복수의 입력 전압(Vin)들에 따라 상이한 복수의 출력 전압(Vout)들이 출력될 수 있다. 일 실시예에 따르면, 제3 단자(TM3)로부터 출력되는 복수의 출력 전압(Vout)들에 따라 복수의 논리 상태들이 출력될 수 있다. 본 실시예에서는 "1", "1/2", 및 "0"의 세 개의 논리 상태들을 포함할 수 있다. 입력전압에 따른 출력전압에 대한 설명은 후속하여 상세하게 하기로 한다.
- [0037] 일 실시예에 따르면, 이차원 전이금속 다이칼코게나이드 물질을 이용한 p-n 이종접합 구조의 트랜지스터는 표면에 코팅된 PMMA-co-PMAA(poly(methyl methacrylate-co-methacrylic acid) 막층(CTL)을 포함할 수 있다. PMMA-co-PMAA 막층(CTL)은 표면 처리함으로써, WSe₂를 포함하는 제2 채널(CH2)의 전류값을 증가시킴으로써, 복수의 출력 전압(Vout)들을 보다 안정적으로 출력할 수 있다. 따라서, 이차원 전이금속 다이칼코게나이드 물질을 이용한 p-n 이종접합 구조의 트랜지스터로 구현되는 인버터의 성능을 향상시킬 수 있다. 이에 대한 설명은 후속하여 상세하게 하기로 한다.
- [0038] 도 4는 도 3에 도시된 이차원 전이금속 다이칼코게나이드 물질을 이용한 p-n 이종접합 구조의 트랜지스터의 회로도이다.
- [0039] 도 4에 도시된 바와 같이, 이차원 전이금속 다이칼코게나이드 물질을 이용한 p-n 이종접합 구조의 트랜지스터는 세 개의 트랜지스터들이 직렬로 서로 연결된 구조를 가질 수 있다. 설명의 용이함을 위해, 위에서부터 차례로, 제1 트랜지스터(TR1), 제2 트랜지스터(TR2), 및 제3 트랜지스터(TR3)라 한다.
- [0040] 도 3 및 도 4를 참조하면, 제1 트랜지스터(TR1), 제2 트랜지스터(TR2), 및 제3 트랜지스터(TR3)에는 제1 단자(TM1)가 공통으로 연결되어, 공통의 입력 전압(Vin)이 인가될 수 있다.
- [0041] 제1 트랜지스터(TR1) 및 제2 트랜지스터(TR2)는 소스/드레인 전극으로 제2 단자(TM2) 및 제3 단자(TM3)와 연결되는 제3 전극(ET3) 및 제4 전극(ET4)이 사용될 수 있다. 제3 트랜지스터(TR3)에서, 소스/드레인 전극으로 제3 단자(TM3) 및 접지 단자와 연결되는 제4 전극(ET4) 및 제1 전극(ET1)이 사용될 수 있다. 즉, 제1 트랜지스터(TR1) 및 제2 트랜지스터(TR2) 및 제3 트랜지스터(TR3)는 제4 전극(ET4)을 공유한다.
- [0042] 이 경우, 제1 트랜지스터(TR1)는 순수한(pristine) WSe₂ 전계효과 트랜지스터이며, 제2 트랜지스터(TR2)는 n형 도핑된 p형 WSe₂ 전계효과 트랜지스터이다. 제1 트랜지스터(TR1) 및 제2 트랜지스터(TR2)는 유효 p형 WSe₂ 전계효과 트랜지스터로 기능할 수 있다. 제3 트랜지스터(TR3)는 WSe₂/MoS₂ p-n 이종 접합 전계효과 트랜지스터로 기능할 수 있다. 이로써, 도 1에 도시된 이차원 전이금속 다이칼코게나이드 물질을 이용한 p-n 이종접합 구조의 트랜지스터로 p형 인버터를 구현할 수 있다.
- [0043] 도 3 및 도 4에 도시된 이차원 전이금속 다이칼코게나이드 물질을 이용한 p-n 이종접합 구조의 트랜지스터를 이용하여 다중값을 출력하는 인버터의 특성은 후속 실험예를 참조하여 설명하기로 한다.
- [0044] 도 5는 본 발명의 다른 실시예에 따른 도시된 이차원 전이금속 다이칼코게나이드 물질을 이용한 p-n 이종접합

구조의 트랜지스터를 설명하기 위한 도면이다.

- [0045] 도 5에 도시된 이차원 전이금속 다이칼코게나이드 물질을 이용한 p-n 이종접합 구조의 트랜지스터에서, 제1 채널(CH1)은 MoSe_2 를 포함하고, 제2 채널(CH2)은 WSe_2 를 포함하는데, 제1 채널(CH1)이 MoSe_2 를 포함한다는 점과 제3 단자(TM3)가 제1 채널(CH1)의 양단 전극 중 하나와 전기적으로 연결된다는 점에서 도 3에 도시된 이차원 전이금속 다이칼코게나이드 물질을 이용한 p-n 이종접합 구조의 트랜지스터와 차이가 있다. 따라서, 상세한 설명은 생략하기로 한다.
- [0046] 도 6은 도 5에 도시된 이차원 전이금속 다이칼코게나이드 물질을 이용한 p-n 이종접합 구조의 트랜지스터의 등가 회로도이다.
- [0047] 도 6에 도시된 바와 같이, 이차원 전이금속 다이칼코게나이드 물질을 이용한 p-n 이종접합 구조의 트랜지스터는 세 개의 트랜지스터들이 직렬로 서로 연결된 구조를 가질 수 있다. 설명의 용이함을 위해, 위에서부터 차례로, 제1 트랜지스터(TR1), 제2 트랜지스터(TR2), 및 제3 트랜지스터(TR3)라 한다.
- [0048] 도 5 및 도 6을 참조하면, 제1 트랜지스터(TR1), 제2 트랜지스터(TR2), 및 제3 트랜지스터(TR3)에는 제1 단자(TM1)가 공통으로 연결되어, 공통의 입력 전압(V_{in})이 인가될 수 있다.
- [0049] 제1 트랜지스터(TR1)는 소스/드레인 전극으로 제2 단자(TM2) 및 제3 단자(TM3)와 연결되는 제4 전극(ET3) 및 제2 전극(ET4)이 사용될 수 있다. 제2 트랜지스터(TR2) 및 제3 트랜지스터(TR3)는 제3 단자(TM3)와 연결되는 제2 전극(ET2) 및 접지 단자와 연결되는 제1 전극(ET1)이 사용될 수 있다. 즉, 제1 트랜지스터(TR1) 및 제2 트랜지스터(TR2) 및 제3 트랜지스터(TR3)는 제2 전극(ET2)을 공유한다.
- [0050] 이 경우, 제1 트랜지스터(TR1)는 $\text{WSe}_2/\text{MoSe}_2$ p-n 이종 접합 전계효과 트랜지스터로 기능할 수 있다. 제2 트랜지스터(TR2)는 p형 도핑된 n형 MoSe_2 전계효과 트랜지스터이고, 제3 트랜지스터(TR3)는 순수한(pristine) MoSe_2 전계효과 트랜지스터이다. 제2 트랜지스터(TR2) 및 제3 트랜지스터(TR3)는 유효 n형 MoSe_2 전계효과 트랜지스터로 기능할 수 있다. 이로써, 도 4에 도시된 이차원 전이금속 다이칼코게나이드 물질을 이용한 p-n 이종접합 구조의 트랜지스터로 n형 인버터를 구현할 수 있다.
- [0051] 도 5 및 도 6에 도시된 도 5에 도시된 이차원 전이금속 다이칼코게나이드 물질을 이용한 p-n 이종접합 구조의 트랜지스터를 이용하여 다중값을 출력하는 인버터의 특성은 후속 실험예를 참조하여 설명하기로 한다.
- [0052] 도 7은 본 발명의 일 실시예에 따른 이차원 전이금속 다이칼코게나이드 물질을 이용한 p-n 이종접합 구조의 트랜지스터를 제조하는 방법을 설명하기 위한 순서도이다.
- [0053] 도 7을 참조하면, 절연막/반도체 기판을 준비한다.(S100) 일 예로, 도핑된 반도체 기판 상에 절연막이 적층된 구조로써, 절연막은 SiO_2 를 포함하고, 기판은 고농도의 p형 불순물이 도핑된 실리콘 기판을 준비할 수 있다. 이 경우, 고농도의 p형 불순물이 도핑된 실리콘 기판은 게이트로 사용되고, 절연막은 게이트 유전층으로 사용될 수 있다. 절연막/반도체 기판은 아세톤 또는 이소프로필알코올을 이용하여 깨끗이 세척될 수 있다.
- [0054] 제1 채널을 위한 제1 물질박막 및 제2 채널을 위한 제2 물질박막을 준비한다.(S110) 일 실시예에 따르면, 제1 물질박막은 MoS_2 또는 MoSe_2 중 하나를 포함하고, 제2 물질박막은 WSe_2 를 포함할 수 있다. 일 예로, 폴리디메틸실록산(polydimethylsiloxane: PDMS) 스탬프 및 스카치 테이프 방법을 사용하여 벌크 결정으로부터 기계적으로 박리된 후, 절연막/반도체 기판 상에 로딩될 수 있다.
- [0055] 절연막/반도체 기판 상에 제1 물질박막 및 제2 물질박막을 순차적으로 적층할 수 있다.(S120) 일 실시예에 따르면, 절연막/반도체 기판 상의 제2 물질박막 위에 폴리프로필렌카보네이트(PPC)를 스핀 코팅할 수 있다. 제2 물질박막이 PPC로 코팅된 절연막/반도체 기판 상에 PDMS를 부착한다. PDMS가 부착된 PPC로 코팅된 제2 물질박막을 떼어낸다. 이어서, 절연막/반도체기판 상에 기계적 박리된 제1 물질박막에 적층되되, 제1 물질박막을 가로지르도록 배치될 수 있다. 이로써, PDMS/PPC/제2 물질박막, 및 제1 물질박막을 포함하는 샘플을 형성한다. 샘플을 가열하고 PDMS를 천천히 분리하고, 실온냉각을 한 후, PPC 필름을 아세톤 세정에 의해 제거하여, 제1 방향으로 연장하는 제1 채널 및 제2 방향으로 연장하는 제2 채널을 형성할 수 있다.
- [0056] 이어서, 제1 채널의 양단에 제1 전극 및 제2 전극을 형성하고, 제2 채널의 양단에 제3 전극 및 제4 전극을 형성할 수 있다.(S130) 일 실시예에 따르면, 절연막/반도체 기판에서 제1 내지 제4 전극들이 형성된 영역들에 전자빔을 이용하여 패터닝하여, 제1 채널 양단에는 Ti/Au 를 포함하는 제1 전극 및 제2 전극이 형성되고, 제2 채널

양단에는 Pt/Au를 포함하는 제3 전극 및 제4 전극이 형성될 수 있다.

[0057] 선택적으로, 제1 채널이 MoS₂를 포함하는 경우, 제1 채널, 제2 채널, 및 제1 내지 제4 전극들이 형성된 절연막/반도체 기판 상에 PMMA-co-PMAA를 포함하는 막층을 형성할 수 있다.(S150)

[0058] 이하에서, 실험예 1 및 2를 통해 도 3 및 도 4에 도시된 이차원 전이금속 다이칼코게나이드 물질을 이용한 p-n 이종접합 구조의 트랜지스터의 특성을 알아본다.

[0059] 실험예 1

[0060] 300nm SiO₂/고농도 p형 불순물 도핑된 Si 기판을 준비하였다. WSe₂ 및 MoS₂ 플레이크는 폴리디메틸실록산(polydimethylsiloxane: PDMS) 스탬프 및 스카치 테이프를 사용하여 벌크 결정으로부터 기계적으로 박리 된 후, 300nm SiO₂/Si 기판 상에 로딩되었다. 폴리프로필렌카보네이트(PPC) 용액을 WSe₂ 플레이크 위에 뿌려 SiO₂/Si 기판 상에 스핀 코팅 하였다. PPC로 코팅된 WSe₂ 플레이크 위에 PDMS를 부착 한 후, 1 시간 동안 DI 수에 침지시켜 PDMS / PPC / WSe₂ 샘플을 SiO₂/Si 기판에서 분리한다. PDMS / PPC / WSe₂ 샘플을 조작기를 사용하여 MoS₂ 플레이크 상에 로딩 하였다. PDMS / PPC / WSe₂ / MoS₂ 샘플을 대략 80 내지 90 °C에서 1 분 동안 가열 하며 PDMS를 천천히 분리하고, 실온에서 냉각한 후, PPC 필름을 아세톤 세정에 의해 제거 하였다. 비교적 긴 WSe₂ 및 MoS₂ 플레이크가 서로 수직으로 교차하도록 배치하였다. 전자빔 증발에 의해 MoS₂의 양단에 접촉하는 Au(40nm)/Ti(20nm)을 증착하여, 제1 전극 및 제2 전극을 형성하고, WSe₂의 양단에 접촉하는 Au(40nm)/Pt(20nm)을 증착하여, 제3 전극 및 제4 전극을 형성하였다. 이어서, WSe₂/MoS₂ 이종 접합 구조의 전계효과 트랜지스터를 N₂ 조건에서 2 시간 동안 200 °C에서 가열냉각 하였다. 이로써, 도 3 및 도 4에 도시된 구조의 WSe₂/MoS₂ 이종 접합 구조의 트랜지스터가 완성되었다.

[0061] 실험예 2

[0062] 실험예 1에서 완성된 WSe₂/MoS₂ 이종 접합 구조의 전계효과 트랜지스터 상에 PMMA-co-PMAA를 스핀 코팅한 후, 150 °C에서 1 분 동안 가열 및 건조시켜 PMMA-co-PMAA 막층을 형성하였다.

[0063] 실험예 1의 전기적 특성 평가

[0064] 도 8은 실험예 1에서 제작된 WSe₂/MoS₂ 이종 접합 구조의 트랜지스터의 전기적 특성을 나타내는 그래프이다.

[0065] 도 8을 참조하면, 소스/드레인 전압 즉, 공급 전압을 1V, 4V, 및 6V로 증가하면서, 게이트 전압, 즉 입력 전압을 변화시켜, 소스/드레인 전류를 측정한 그래프이다. 도시된 바와 같이, 소스/드레인 전압이 증가할수록 소스/드레인 전류가 증가하는 것을 볼 수 있다.

[0066] 더불어, 게이트 전압이 -65V 내지 20V에서 역이중극성 트랜지스터 특성이 나타나며, 특히, -50V 내지 25V에서, 음성미분상호컨덕턴스현상이 나타나는 것을 알 수 있다.

[0067] 실험예 1 및 실험예 2가 적용된 인버터 특성 평가

[0068] 도 9는 실험예 1 및 실험예 2에서 제작된 WSe₂/MoS₂ 이종 접합 구조의 트랜지스터들이 적용된 인버터의 전기적 특성을 나타내는 그래프이다.

[0069] 도 9를 참조하면, 소스/드레인 전압 즉, 공급 전압을 증가하면서, 실험예 1 및 실험예 2로 인가되는 게이트 전압들, 즉, 입력 전압들에 따른 출력 전압들을 측정한 그래프이다.

[0070] 입력 전압의 -50V이하일 경우, "1"의 논리 상태를 출력한다. 이 경우, WSe₂/MoS₂ p-n 이종 접합 전계효과 트랜지스터는 오프(off) 상태가 되며, 유효 p형 WSe₂ 전계효과 트랜지스터는 온(on) 상태가 된다.

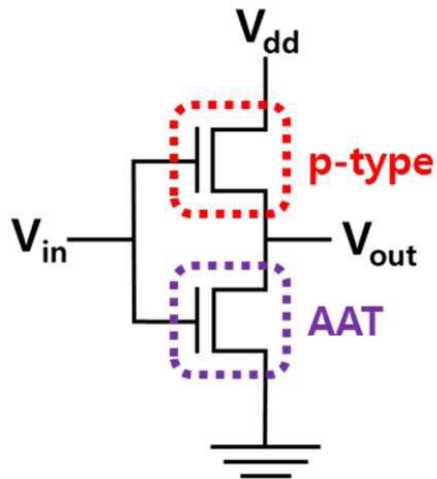
[0071] 입력 전압이 -50 내지 -25V 사이에서, "1/2"의 논리 상태를 출력한다. 이 경우, WSe₂/MoS₂ p-n 이종 접합 전계효과 트랜지스터는 온(on) 상태가 되며, 유효 p형 WSe₂ 전계효과 트랜지스터는 온(on) 상태가 되어 공급 전압이 저항비에 의해 두 트랜지스터들로 나누어지게 되어 이 전압이 출력 전압으로 출력된다. 이는 역이중극성 트랜지스터 특성에 의한 것으로 설명할 수 있다.

- [0072] 입력 전압이 -25V이상일 경우, "0"의 논리 상태를 출력한다. 이 경우, $\text{WSe}_2/\text{MoS}_2$ p-n 이종 접합 전계효과 트랜지스터는 온(on) 상태가 되며, 유효 p형 WSe_2 전계효과 트랜지스터는 오프(off) 상태가 된다.
- [0073] 이처럼, $\text{WSe}_2/\text{MoS}_2$ 이종 접합 구조의 트랜지스터에 인가되는 입력 전압들에 따라 출력 전압들이 변화되어, 복수의 논리 상태를 출력할 수 있다.
- [0074] 한편, 도 9에는 실험예 1 및 실험예 2에 공급 전압을 4V 인가할 때, 입력 전압에 따른 출력 전압을 보여준다. 동일한 공급 전압 4V를 인가할 때, PMMA-co-PMAA막층으로 코팅된 실시예 2의 인버터에서 안정적인 논리 상태가 출력되는 것을 알 수 있다. 일 예로, 입력 전압이 -50V이하에서, 실험예 1에서 공급 전압의 일부가 출력 전압으로 출력되지만 실험예 2에서 공급 전압 모두가 출력 전압으로 출력되는 것을 볼 수 있다. 따라서, PMMA-co-PMAA 막층으로 코팅된 실시예 2에서 보다 안정적으로 논리 상태가 출력되는 것을 알 수 있다.
- [0075] 또한, 도 9에서는 실험예 2에 공급 전압 4V 및 6V를 각각 인가할 때, 입력 전압에 따른 출력 전압을 보여준다. 실험예 2로 공급 전압을 6V 인가할 때 추가적인 논리상태 "3/2," "12/7" 이 입력전압 $V_{in} = -54 \text{ V}$, -42 V 에서 나타나는 것을 볼 수 있다.
- [0076] 이하에서는 실험예 3을 통해 도 5 및 도 6에 도시된 이차원 전이금속 다이칼코게나이드 물질을 이용한 p-n 이종 접합 구조의 트랜지스터의 특성을 알아본다.
- [0077] 실험예 3
- [0078] 실험예 1에서 제작되는 것과 실질적으로 동일하나, MoS_2 대신 MoSe_2 로 변경하여 제작되었다. 또한, 제1 내지 제4 전극들을 형성한 후, N_2 조건에서 2 시간 동안 200°C 에서 가열냉각 하였다. 이로써, 도 5 및 도 6에 도시된 구조의 $\text{WSe}_2/\text{MoSe}_2$ 이종 접합 구조의 트랜지스터가 완성되었다.
- [0079] 실험예 3의 전기적 특성 평가
- [0080] 도 10은 실험예 3에서 제작된 $\text{WSe}_2/\text{MoSe}_2$ 이종 접합 구조의 트랜지스터의 전기적 특성을 나타내는 그래프이다.
- [0081] 도 10을 참조하면, 소스/드레인 전압 즉, 공급 전압을 1V 내지 7V로 인가하면서, 게이트 전압을 변화시켜, 소스/드레인 전류를 측정된 그래프이다. 도시된 바와 같이, 소스/드레인 전압이 증가할수록 소스/드레인 전류가 증가하는 것을 볼 수 있다.
- [0082] 더불어, 게이트 전압이 -40 V~30 V에서 역이중극성 트랜지스터 특성이 나타나는 것과 -33 V~-10 V 범위에서 음성미분상호전도턴스 (Negative differential transconductance) 현상이 나타남을 확인할 수 있다.
- [0083] 실험예 3이 적용된 인버터 특성 평가
- [0084] 도 11은 실험예 3에서 제작된 $\text{WSe}_2/\text{MoSe}_2$ 이종 접합 구조의 트랜지스터에 적용된 인버터의 특성을 나타내는 그래프이다.
- [0085] 공급 전압이 5V인 것을 예시적으로 설명하면, 입력 전압의 -27V이하일 경우, "1"의 논리 상태를 출력한다. 이 경우, $\text{WSe}_2/\text{MoSe}_2$ p-n 이종 접합 전계효과 트랜지스터는 온(on) 상태가 되며, 유효 n형 MoSe_2 전계효과 트랜지스터는 오프(off) 상태가 된다.
- [0086] 입력 전압이 -27 내지 -5V 사이에서, "1/2"의 논리 상태를 출력한다. 이 경우, $\text{WSe}_2/\text{MoSe}_2$ p-n 이종 접합 전계효과 트랜지스터는 온(on) 상태가 되며, 유효 n형 MoSe_2 전계효과 트랜지스터는 온(on) 상태가 되어 공급 전압이 저항비에 의해 두 트랜지스터들로 나누어지게 되어 이 전압이 출력 전압으로 출력된다. 이는 역이중극성 트랜지스터 특성에 의한 것으로 설명할 수 있다.
- [0087] 입력 전압이 -5 V 이상일 경우, "0"의 논리 상태를 출력한다. 이 경우, $\text{WSe}_2/\text{MoSe}_2$ p-n 이종 접합 전계효과 트랜지스터는 오프(off) 상태가 되며, 유효 n형 MoSe_2 전계효과 트랜지스터는 온(on) 상태가 된다.
- [0088] 이처럼, $\text{WSe}_2/\text{MoSe}_2$ 는 이종 접합 구조의 트랜지스터에 인가되는 입력 전압들에 따라 출력 전압들이 변화되어, 복수의 논리 상태를 출력할 수 있다.
- [0089] 이상, 첨부된 도면을 참조하여 본 발명의 실시 예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식

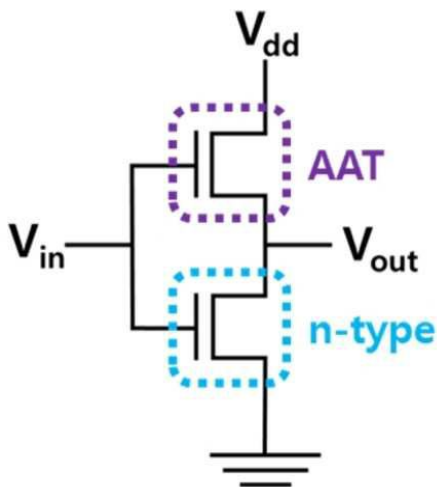
을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예에는 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

도면

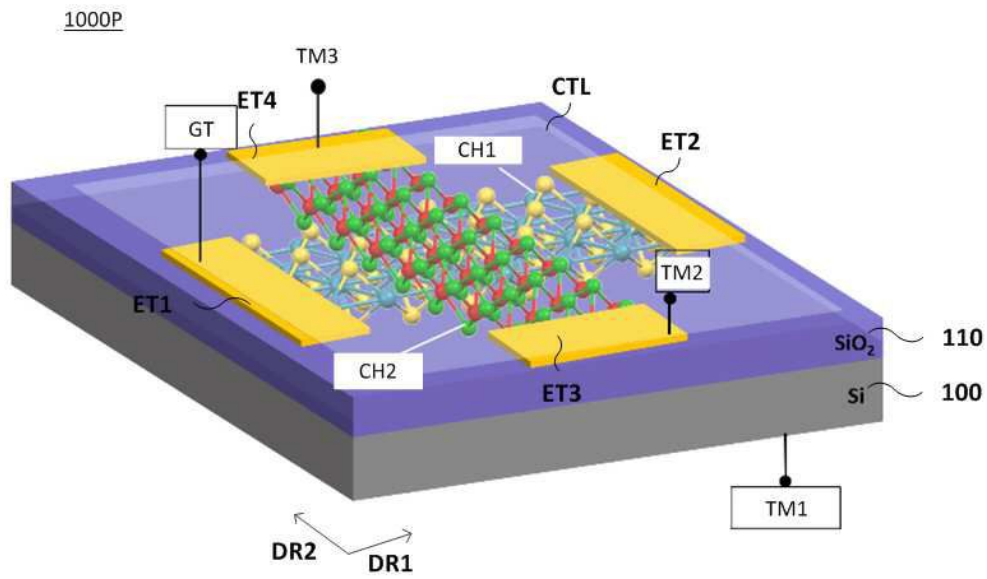
도면1



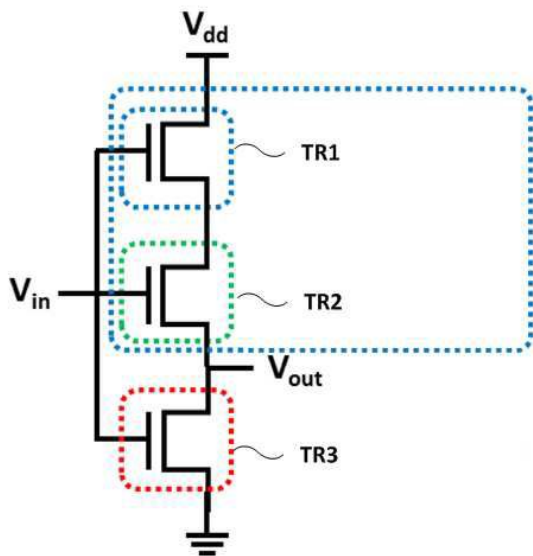
도면2



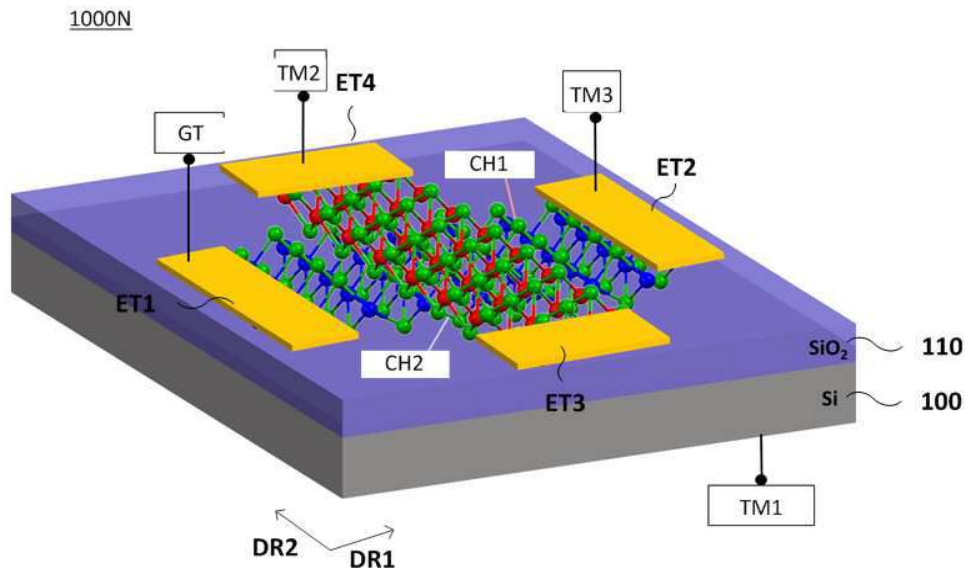
도면3



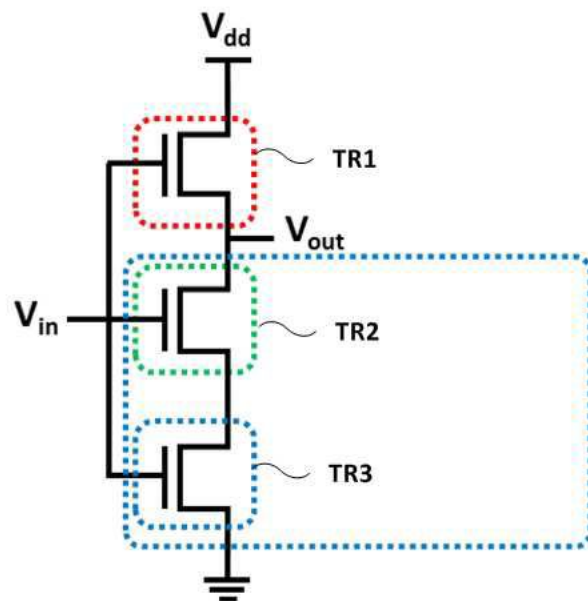
도면4



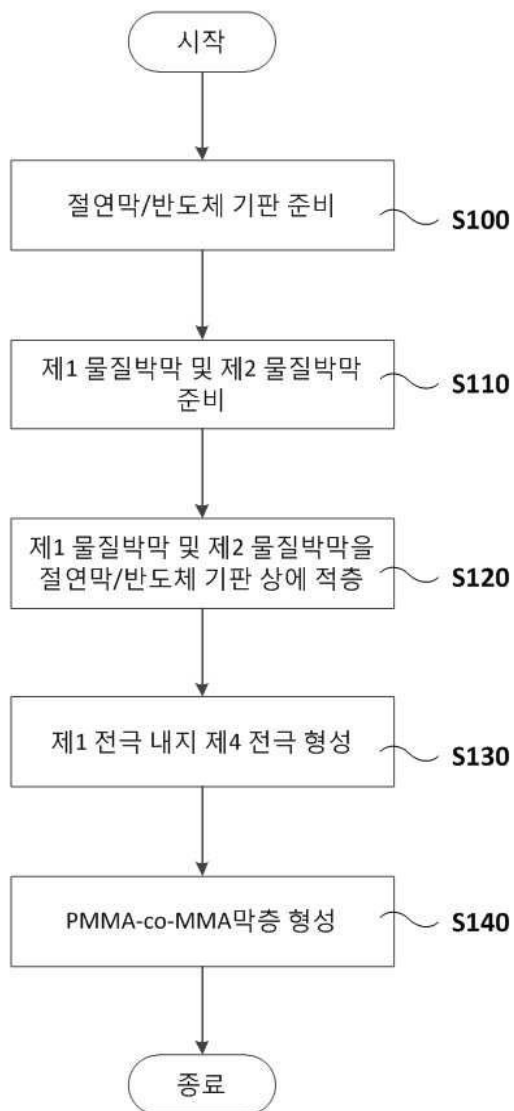
도면5



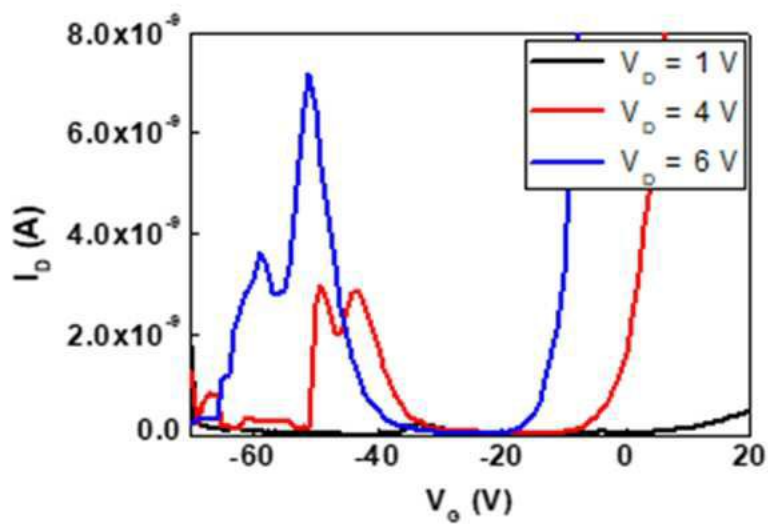
도면6



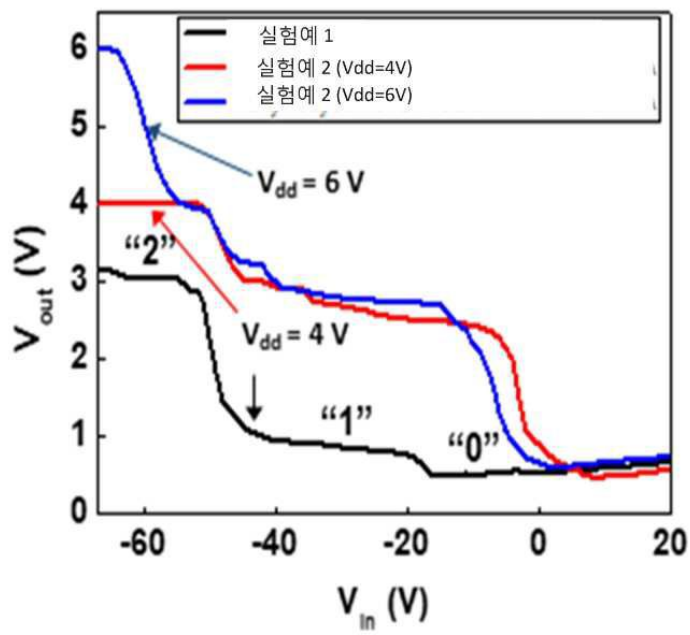
도면7



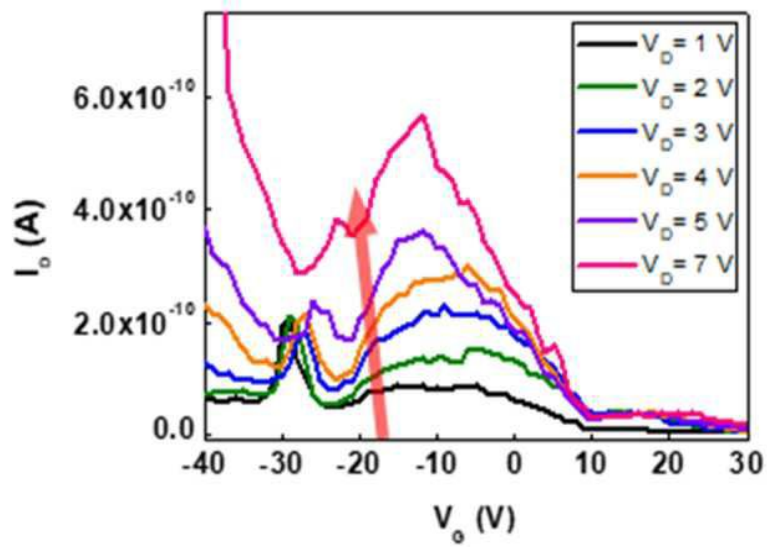
도면8



도면9



도면10



도면11

