



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201733133 A

(43)公開日：中華民國 106 (2017) 年 09 月 16 日

(21)申請案號：106117660

(22)申請日：中華民國 100 (2011) 年 08 月 02 日

(51)Int. Cl.：

*H01L29/786 (2006.01)**H01L29/788 (2006.01)**H01L21/203 (2006.01)**H01L29/94 (2006.01)**G02F1/1368 (2006.01)*

(30)優先權：2010/08/06

日本

2010-177037

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY

LABORATORY CO., LTD. (JP)

日本

(72)發明人：野田耕生 NODA, KOSEI (JP)；遠藤佑太 ENDO, YUTA (JP)；佐佐木俊成 SASAKI,

TOSHINARI (JP)

(74)代理人：林志剛

申請實體審查：有 申請專利範圍項數：13 項 圖式數：11 共 61 頁

(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

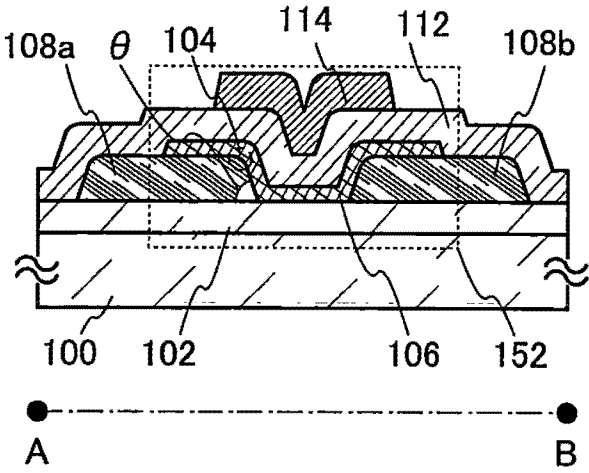
(57)摘要

本發明提供包含以下組件之半導體裝置及該半導體裝置的製造方法。該半導體裝置包含基板；氧化物半導體層，在該基板上；源極電極及汲極電極，其末端部分具有錐形角度且其上端部分具有彎曲表面，該源極電極及該汲極電極係電性連接至該氧化物半導體層；閘極絕緣層，係與該氧化物半導體層的一部分接觸，且覆蓋該氧化物半導體層、該源極電極、及該汲極電極；以及閘極電極，係與該氧化物半導體層重疊且在該閘極絕緣層之上。

A semiconductor device including the following components and a manufacturing method of the semiconductor device are provided. The semiconductor device includes a substrate; an oxide semiconductor layer over the substrate; a source electrode and a drain electrode whose end portion has a taper angle and whose upper end portion has a curved surface, the source electrode and the drain electrode being electrically connected to the oxide semiconductor layer; a gate insulating layer being in contact with a part of the oxide semiconductor layer and covering the oxide semiconductor layer, the source electrode, and the drain electrode; and a gate electrode overlapping with the oxide semiconductor layer and being over the gate insulating layer.

指定代表圖：

第3B圖



符號簡單說明：

- 100 . . . 基板
- 102 . . . 絕緣層
- 104 . . . 彎曲表面
- 106 . . . 氧化物半導體層
- 108a . . . 源極電極
- 108b . . . 汲極電極
- 112 . . . 閘極絕緣層
- 114 . . . 閘極電極
- 152 . . . 電晶體

## 發明摘要

※申請案號：106117660 (由105122742分割)

**H01L 29/786** (2006.01)

※申請日：100 年 08 月 02 日

※IPC 分類：

**H01L 29/788** (2006.01)

**H01L 21/203** (2006.01)

**H01L 29/94** (2006.01)

**G02F1/1368** (2006.01)

【發明名稱】(中文/英文)

半導體裝置

Semiconductor device

【中文】

本發明提供包含以下組件之半導體裝置及該半導體裝置的製造方法。該半導體裝置包含基板；氧化物半導體層，在該基板上；源極電極及汲極電極，其末端部分具有錐形角度且其上端部分具有彎曲表面，該源極電極及該汲極電極係電性連接至該氧化物半導體層；閘極絕緣層，係與該氧化物半導體層的一部分接觸，且覆蓋該氧化物半導體層、該源極電極、及該汲極電極；以及閘極電極，係與該氧化物半導體層重疊且在該閘極絕緣層之上。

## 【英文】

A semiconductor device including the following components and a manufacturing method of the semiconductor device are provided. The semiconductor device includes a substrate; an oxide semiconductor layer over the substrate; a source electrode and a drain electrode whose end portion has a taper angle and whose upper end portion has a curved surface, the source electrode and the drain electrode being electrically connected to the oxide semiconductor layer; a gate insulating layer being in contact with a part of the oxide semiconductor layer and covering the oxide semiconductor layer, the source electrode, and the drain electrode; and a gate electrode overlapping with the oxide semiconductor layer and being over the gate insulating layer.

【代表圖】

【本案指定代表圖】：第( 3B )圖。

【本代表圖之符號簡單說明】：

100：基板

102：絕緣層

104：彎曲表面

106：氧化物半導體層

108a：源極電極

108b：汲極電極

112：閘極絕緣層

114：閘極電極

152：電晶體

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：  
無

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】(中文/英文)

半導體裝置

Semiconductor device

## 【技術領域】

本發明有關半導體裝置及該半導體裝置的製造方法。

在此說明書中，半導體裝置意指可藉由使用半導體特徵而作用的一般裝置，且電光裝置、半導體電路、及電子裝置均係半導體裝置。

## 【先前技術】

其中電晶體係使用半導體薄膜而形成於具有絕緣表面之基板上的技術已引起注意。該等電晶體被施加至諸如積體電路（IC）或影像顯示裝置（顯示裝置）之寬廣範圍的電子裝置。以矽為主之半導體材料係廣泛地已知為用於可應用至電晶體之半導體薄膜的材料。做為另一材料，氧化物半導體已引起注意。

例如，揭示有其中主動層包含非晶氧化物，而該非晶氧化物包含銦（In）、鎵（Ga）、及鋅（Zn）且具有小於 $10^{18}/\text{cm}^3$ （立方公分）之電子載子濃度的電晶體（請參閱專利文獻1）。

雖然包含氧化物半導體的電晶體可操作於比包含非晶

矽之電晶體更高的速度處，且可以比包含多晶矽的電晶體更容易地被製造出，但因為電子特徵中之變動的高可能性，所以包含氧化物半導體的電晶體係已知為具有低可靠度的問題。例如，電晶體的臨限電壓會在偏壓溫度應力測試（BT 測試）之後變動。

其中當諸如電漿處理之表面處理係執行於閘極絕緣層、源極電極層、及汲極電極層上，且然後，氧化物半導體層形成時，則可抑制由於在氧化物半導體層與源極電極層及汲極電極層之間的雜質進入或接觸電阻增加所導致之元件特徵的劣化之底部閘極底部接觸型電晶體被揭示（請參閱專利文獻 2）。

[參考文件]

[專利文獻]

[專利文獻 1] 日本公開專利申請案第 2006-165528 號

[專利文獻 2] 日本公開專利申請案第 2010-135771 號

## 【發明內容】

包含氧化物半導體的電晶體之電性特徵中的變化和劣化會相當大地減低半導體裝置的可靠度。因此，本發明之一實施例的目的在於增進半導體裝置的可靠度。

本發明之一實施例係半導體裝置及該半導體裝置的製造方法。該半導體裝置包含基板；氧化物半導體層，在該基板上；源極電極及汲極電極，其末端部分具有錐形角度

且其上端部分具有彎曲表面，該源極電極及該汲極電極係電性連接至該氧化物半導體層；閘極絕緣層，係與氧化物半導體層的一部分接觸，且覆蓋該氧化物半導體層、源極電極、及汲極電極；閘極電極，係與該氧化物半導體層重疊且在該閘極絕緣層之上。

源極電極及汲極電極係形成於閘極絕緣層與氧化物半導體層之間。

選擇性地，源極電極及汲極電極係形成於基板與氧化物半導體層之間。

乾蝕刻法係較佳地使用以形成其中末端部分具有錐形角度的源極電極及汲極電極。阻體遮罩係由於乾蝕刻而在尺寸上縮減，以致可形成其中末端部分具有大於或等於 20 度且小於 90 度之錐形角度的源極電極及汲極電極。

透過其中末端部分具有錐形角度的源極電極及汲極電極，可增進至少與源極電極及汲極電極的側表面接觸之氧化物半導體層或閘極絕緣層之側表面的作用範圍。因此，由於源極電極及汲極電極與所形成於其上之層的不良作用範圍所導致之電場濃度而造成的崩潰幾乎不會發生。

其中上端部分具有彎曲表面之源極電極及汲極電極可以以以下方式而形成：電漿係產生於包含稀有氣體（例如，氦、氖、氬、氪、或氙）、氮、氧、及氧化氮（例如，二氧化氮）之至少一者的氛圍中；以及處理係使用該電漿而執行於源極電極及汲極電極的表面上。較佳地，使用具有低反應性之稀有氣體。特別地，在包含電漿的室之



中，可將偏壓施加至基板保持器，以致使正離子相對於源極電極及汲極電極而被加速。例如，在該處理中可使用乾蝕刻設備、CVD 設備、濺鍍設備、或其類似物。

較佳地，使用利用濺鍍設備之逆濺鍍法。

因此，源極電極及汲極電極之各自上端部分的曲率半徑可大於或等於該源極電極及該汲極電極之厚度  $1/100$  且小於或等於該厚度的  $1/2$ 。

透過其中上端部分具有彎曲表面的源極電極及汲極電極，可減輕該上端部分周圍之氧化物半導體層或閘極絕緣層上的電場濃度。電場濃度可被減輕；因此，將降低來自電場濃度之該部分的漏電流，而導致電晶體可靠度的增進。

注意的是，該電晶體可包含絕緣層，而該絕緣層係形成於基板與氧化物半導體層之間且與該氧化物半導體層接觸。選擇性地，做為形成於基板與氧化物半導體層之間且與該氧化物半導體層接觸的絕緣層，可使用其中氧係藉由加熱而釋放出的絕緣層。選擇性地，做為該絕緣層，可使用氫濃度小於或等於  $1.1 \times 10^{20}$  原子/立方公分的絕緣層。

藉由加熱而釋放出氧意指的是，所釋放出而被轉換成為氧原子之氧的數量係在熱脫附光譜儀（TDS）中大於或等於  $1.0 \times 10^{18}$  原子/立方公分，較佳地，大於或等於  $3.0 \times 10^{20}$  原子/立方公分。

在上述結構中，其中氧係藉由加熱而釋放出的絕緣層可包含氧過量之氧化矽（ $\text{SiO}_x$ （ $x > 2$ ））。在該氧過量之

氧化矽 ( $\text{SiO}_x$  ( $x > 2$ )) 中，每一單位體積之氧原子的數目係比每一單位體積之矽原子的數目大兩倍以上。每一單位體積之矽原子的數目及氧原子的數目係藉由拉塞福 (Rutherford) 反向散射光譜測量儀 (RBS) 所測量。

藉由自絕緣層而供應氧至氧化物半導體層，可降低絕緣層與氧化物半導體層之間的介面狀態密度。因而，可充分抑制由於半導體裝置之操作或其類似者所產生之電荷或其類似物的陷獲於該絕緣層與該氧化物半導體層間的介面處。

進一步地，在某些情況中，電荷係由於氧化物半導體層之中的氧缺乏所造成。通常，在氧化物半導體中之氧缺乏的一部分用作施體，而產生電子，亦即，載子。因而，電晶體的臨限電壓會以負方向而偏移。此現象主要發生在背面通道側。注意的是，在此說明書中之背面通道意指在絕緣層側之氧化物半導體層的區域。具體而言，在此說明書中之背面通道意指其中氧化物半導體層與絕緣層接觸之區域的附近。自絕緣層至氧化物半導體層之氧的充分釋出可補償氧化物半導體層中之會造成臨限電壓負向偏移的氧缺乏。在此說明書中之臨限電壓表示要使電晶體導通所需的閘極電壓。閘極電壓表示當使用源極電極的電位做為參考電位時之源極電極與閘極電極間的電位差。

換言之，當氧缺乏係產生於氧化物半導體層之中時，則不容易抑制絕緣層與氧化物半導體層間之介面處的電荷陷獲；然而，藉由提供其中氧係藉由加熱而釋放出的絕緣

層做為該絕緣層，可降低氧化物半導體層與絕緣層之間的介面狀態密度及氧化物半導體層之中的氧缺乏，且因此，可使氧化物半導體層與絕緣層間之介面處的電荷陷獲之不利效應降低。

注意的是，透過頂部閘極電晶體之使用，可防止氧化物半導體層的背面通道暴露至氛圍、水分、化學溶液、及電漿。背面通道的潔淨被維持；因此，可製造出具有穩定的電性特徵之電晶體。

如上述地，具有穩定電性特徵及高可靠度的半導體裝置可使用本發明之一實施例而製造出。

依據本發明之一實施例，可提供使用氧化物半導體的半導體裝置有穩定的電性特徵和高的可靠度。

### 【圖式簡單說明】

在附圖中：

第 1A 至 1C 圖係頂視圖及橫剖面視圖，描繪本發明一實施例之半導體裝置的實例；

第 2A 至 2E 圖係橫剖面視圖，描繪本發明一實施例之半導體裝置的製造方法之實例；

第 3A 至 3C 圖係頂視圖及橫剖面圖，描繪本發明一實施例之半導體裝置的實例；

第 4A 至 4E 圖係橫剖面視圖，描繪本發明一實施例之半導體裝置的製造方法之實例；

第 5A 至 5E 圖係視圖，其各自地描繪電子裝置，做

為本發明一實施例的半導體裝置；

第 6A 及 6B 圖係影像，顯示電晶體的橫剖面結構；

第 7A 及 7B 圖係圖形，顯示電晶體的電性特徵；

第 8A 及 8B 圖係圖形，顯示 BT 測試的前後之電晶體的電性特徵；

第 9A 及 9B 圖係圖形，顯示 BT 測試的前後之電晶體的電性特徵；

第 10 圖係圖形，顯示所使用之光源的光譜；以及

第 11A 及 11B 圖係圖形，顯示暗狀態及亮狀態中之電晶體的電性特徵。

#### 【實施方式】

在下文中，將參照附圖來詳細敘述本發明之實施例。然而，本發明並未受限於下文之說明，且由熟習於本項技藝之該等人士所易於瞭解的是，可將模式及細節予以各式各樣地改變。因此，本發明不應被解讀為受限於該等實施例的說明。在參照該等圖式而敘述本發明的結構中，相同的參考符號係共同地使用於不同圖式中的相同部分。注意的是，相同的影線圖案係施加至相似的部件，且在某些情況中，相似的部件並未藉由參考符號來予以特別地表示。

注意的是，在此說明書中之諸如“第一”及“第二”的順序號碼係為便利性而使用，且並不表示步驟的順序或層之堆疊順序。此外，在此說明書中之該等順序號碼並非表示指明本發明的特殊名稱。

(實施例 1)

在此實施例中，將參照第 1A 至 1C 圖及第 2A 至 2E 圖來敘述半導體裝置的一實施例及該半導體裝置之製造方法的一實施例。

第 1A 至 1C 圖係做為本發明一實施例的實例之電晶體 151 的頂視圖及橫剖面視圖，而該電晶體 151 係頂部閘極頂部接觸型電晶體。在此，第 1A 圖係頂視圖，第 1B 圖係沿著第 1A 圖之交變的長短虛線 A-B 所取得之橫剖面視圖，以及第 1C 圖係沿著第 1A 圖之交變的長短虛線 C-D 所取得之橫剖面視圖。注意的是，在第 1A 圖中，電晶體 151 的一些組件（例如，閘極絕緣層 112）係為簡明的緣故而被省略。

在第 1A 至 1C 圖中所描繪的電晶體 151 包含：基板 100；絕緣層 102，在基板 100 上；氧化物半導體層 106，在絕緣層 102 上；源極電極 108a 及汲極電極 108b，在氧化物半導體層 106 上；閘極絕緣層 112，覆蓋源極電極 108a 及汲極電極 108b，且與氧化物半導體層 106 部分地接觸；以及閘極電極 114，係形成於氧化物半導體層 106 之上，而閘極絕緣層 112 介於其間。源極電極 108a 及汲極電極 108b 的末端部分具有錐形角度  $\theta$ ，且其上端部分具有彎曲表面 104。

錐形角度  $\theta$  係大於或等於 20 度且小於 90 度。較佳的角度係大於或等於 40 度且小於 85 度。透過該角度，可防

止閘極絕緣層 112 之斷裂，且可增進與閘極絕緣層 112 的作用範圍。例如，在其中錐形角度  $\theta$  係小於 20 度的情況中，自上方所看到之由錐形部分所占有的面積會在源極電極 108a 及汲極電極 108b 中變大，且因此，電晶體的小型化係困難的。在其中錐形角度  $\theta$  係大於或等於 90 度的情況中，將造成步階斷開，而導致漏電流或崩潰。

注意的是，當具有錐形角度之層（在此，源極電極 108a 或汲極電極 108b）係以垂直於橫剖面（其係垂直於基板 100 之表面的平面）的方向而被觀察時，“錐形角度  $\theta$ ”表示該層內部之尖端部分的傾角，而係由該層的側表面與其底部表面所形成。例如，該錐形角度  $\theta$  對應於當以垂直於橫剖面的方向而被觀察時之與氧化物半導體層 106 接觸時之源極電極 108a 或汲極電極 108b 的下端部分之角度。

進一步地，源極電極 108a 及汲極電極 108b 之各自上端部分的彎曲表面 104 之曲率半徑係大於或等於源極電極 108a 及汲極電極 108b 之厚度的  $1/100$  且小於或等於該厚度的  $1/2$ ，較佳地，大於或等於該厚度的  $3/100$  且小於或等於該厚度的  $1/5$ ，而可藉以減輕該上端部分周圍之閘極絕緣層 112 上的電場濃度，且可降低來自該上端部分的漏電流。因此，可製造出具有穩定的電性特徵和高的可靠度之電晶體。

做為絕緣層 102 之材料，可使用氧化矽、氮氧化矽、氧化鋁、任何該等材料的混合材料、或其類似物。選擇性

地，該絕緣層 102 可藉由堆疊氧化矽、氮化矽、氮氧化矽、氧化氮化矽、氧化鋁、氮化鋁、任何該等材料的混合材料、或其類似物與上述材料而形成。例如，絕緣層 102 具有氮化矽層與氧化矽層的堆疊結構，而可藉以防止包含氫原子之雜質自基板或其類似物而進入電晶體 151。在其中絕緣層 102 具有堆疊結構的情況中，氧化矽、氮氧化矽、氧化鋁、任何該等材料的混合材料、或其類似物之氧化物層係較佳地形成為與氧化物半導體層 106 接觸。注意的是，該絕緣層 102 作用成為電晶體 151 的基底層。做為絕緣層 102，可使用其中氧係藉由加熱而釋放出的絕緣層。

注意的是，在此說明書中之氮氧化矽於其組成中包含氧比氮更多，且意指在其中測量係使用拉塞福反向散射光譜測定儀（RBS）及氫順向散射光譜測定儀（HFS）而執行的情況中，較佳地分別包含濃度範圍自 50at.%（原子百分比）至 70at.%、0.5at.% 至 15at.%、25at.% 至 35at.%、及 0at.% 至 10at.% 之氧、氮、矽、及氫的物質。進一步地，氧化氮化矽於其組成中包含氮比氧更多，且意指在其中測量係使 RBS 及 HFS 而執行的情況中，較佳地分別包含濃度範圍自 5at.% 至 30at.%、20at.% 至 55at.%、25at.% 至 35at.%、及 10at.% 至 30at.% 之氧、氮、矽、及氫的物質。注意的是，氮、氧、矽、及氫的百分比落在上文所給定的範圍之內，其中包含於該氮氧化矽或氧化氮化矽中之原子的總數係界定為 100at.%。

例如，可使用其中每一單位體積之氧原子的數目係比每一單位體積之矽原子的數目大兩倍以上之氧化矽（ $\text{SiO}_x$ （ $x>2$ ）），做為絕緣層 102 的材料。

此時，在基板 100 與絕緣層 102 間之介面處的氫濃度係小於或等於  $1.1 \times 10^{20}$  原子/立方公分，因為可降低由於自基板 100 與絕緣層 102 間之介面至氧化物半導體層 106 的氫之擴散所造成的不利影響。因此，可降低電晶體之臨限電壓的負向偏移，且可增加電晶體的可靠度。

做為使用於氧化物半導體層 106 之材料，可使用諸如 In-Sn-Ga-Zn-O 為主的材料之四成分金屬氧化物；諸如 In-Ga-Zn-O 為主的材料、In-Sn-Zn-O 為主的材料、In-Al-Zn-O 為主的材料、Sn-Ga-Zn-O 為主的材料、Al-Ga-Zn-O 為主的材料、Sn-Al-Zn-O 為主的材料、或 In-Hf-Zn-O 為主的材料之三成分金屬氧化物；諸如 In-Zn-O 為主的材料、Sn-Zn-O 為主的材料、Al-Zn-O 為主的材料、Zn-Mg-O 為主的材料、Sn-Mg-O 為主的材料、In-Mg-O 為主的材料、或 In-Ga-O 為主的材料之二成分金屬氧化物；In-O 為主的材料；Sn-O 為主的材料；Zn-O 為主的材料；或其類似物。進一步地，可將氧化矽或包含鏷系元素之氧化物添加至任何上述之材料。在此，例如，In-Ga-Zn-O 為主的材料意指包含銦（In）、鎵（Ga）、及鋅（Zn）之氧化物層，且在組成比例上並無特殊的限制。進一步地，該 In-Ga-Zn-O 為主的材料可包含除了 In、Ga、及 Zn 之外的另外元素。



氧化物半導體層 106 可係使用藉由  $\text{InMO}_3(\text{ZnO})_m$  ( $m>0$ ) 之化學式所代表的材料所形成的薄膜。在此，M 表示選自 Ga、Al、Mn、及 Co 之一或更多個金屬元素。例如，M 可係 Ga、Ga 及 Al、Ga 及 Mn、Ga 及 Co、或其類似物。

較佳地，在氧化物半導體層 106 中之鹼金屬及鹼土金屬的濃度係  $2 \times 10^{16}$  原子/立方公分或更低，或  $1 \times 10^{18}$  原子/立方公分或更低。當鹼金屬或鹼土金屬與氧化物半導體結合時，則該結合的一部分會產生載子且會導致臨限電壓的負向偏移。

因為氧化物半導體層 106 係與其中氧係藉由加熱而釋放出之絕緣層 102 接觸，所以可降低絕緣層 102 與氧化物半導體層 106 之間的介面狀態密度及氧化物半導體層 106 之中的氧缺乏。藉由該介面狀態密度的降低，可使 BT 測試的前後之間之臨限電壓的變動變小。進一步地，藉由氧缺乏的降低，臨限電壓的負向偏移會減低，且因此，可獲得常態截止的特徵。

做為使用於源極電極 108a 及汲極電極 108b 之導電層，例如，係使用包含選自 Al、Cr、Cu、Ta、Ti、Mo、及 W 之元素的金屬層，或包含上述元素之任一者做為成分的金屬氮化物層（例如，氮化鈦層、氮化鉬層、或氮化鎢層）。Ti、Mo、W、或其類似物的高熔點金屬層，或該等元素之任一者的金屬氮化物層（例如，氮化鈦層、氮化鉬層、或氮化鎢層）可堆疊於 Al、Cu、或其類似物之金

屬層的底部側或頂部側，或該二側。注意的是，在此說明書中，於源極電極與汲極電極之間並無特殊的區別。“源極電極”及“汲極電極”的用語係針對解說電晶體操作的便利性而被使用。

選擇性地，用於源極電極 108a 及汲極電極 108b 之導電層可使用導電性金屬氧化物而形成。做為該導電性金屬氧化物，係使用氧化銦 ( $\text{In}_2\text{O}_3$ )、氧化錫 ( $\text{SnO}_2$ )、氧化鋅 ( $\text{ZnO}$ )、氧化銦錫 ( $\text{In}_2\text{O}_3\text{-SnO}_2$ ；縮寫為 ITO)、氧化銦鋅 ( $\text{In}_2\text{O}_3\text{-ZnO}$ )、或其中包含氧化矽之該等金屬氧化物材料的任一者。

可將導電層設置於源極及汲極電極 108a 及 108b 與氧化物半導體層 106 之間，而該導電層的電阻係高於源極及汲極電極 108a 及 108b 的電阻，且低於氧化物半導體層 106 的電阻。可降低源極及汲極電極 108a 及 108b 與氧化物半導體層 106 間之接觸電阻的材料係使用於該導電層。選擇性地，幾乎不會自氧化物半導體層 106 提取氧的材料係使用於該導電層。透過該導電層，可抑制由於自氧化物半導體層 106 之氧的提取所造成之氧化物半導體層 106 之電阻的降低，且可抑制由於源極及汲極電極 108a 及 108b 之氧化物的產生所造成之接觸電阻的增加。選擇性地，在其中使用幾乎不會自氧化物半導體層 106 提取氧的材料以供源極及汲極電極 108a 及 108b 之用的情況中，可省略該導電層。

閘極絕緣層 112 可具有與絕緣層 102 之結構相似的結

構，且較佳地，係其中氧係藉由加熱而釋放出的絕緣層。注意的是，諸如釔穩定氧化鋯、氧化鉛、或氧化鋁之具有高介電常數的材料可視電晶體之閘極絕緣層的功能，而使用於閘極絕緣層。選擇性地，諸如釔穩定氧化鋯、氧化鉛、或氧化鋁之具有高介電常數的材料可考慮閘極耐壓及與氧化物半導體的介面狀態，而堆疊於氧化矽、氮氧化矽、或氮化矽之上。

閘極電極 114 係使用例如，諸如鋁、鈦、鉭、鎢、鋇、銅、鈳、或銦的金屬材料，該等材料之任一者的氮化物，或包含該等材料之任一者做為主要成分的合金材料而形成。注意的是，該閘極電極 114 可具有單層之結構或堆疊的結構。

進一步地，可將保護絕緣層及佈線設置於電晶體 151 之上。保護絕緣層可具有與絕緣層 102 之結構相似的結構。爲了要電性連接源極電極 108a 或汲極電極 108b 與佈線，可形成開口於絕緣層 102、閘極絕緣層 112、及其類似物之中。進一步地，可將第二閘極電極設置於氧化物半導體層 106 的下面。注意的是，無需一定要，但較佳的是，將氧化物半導體層 106 處理成爲島狀形狀。

通道長度  $L$  表示第 1A 圖中之 A-B 方向中的源極電極 108a 與汲極電極 108b 間之距離。通道寬度  $W$  表示第 1A 圖中之 C-D 方向中的源極電極 108a 與汲極電極 108b 間之距離。

雖然並未被描繪出，但氧化物半導體層 106 的末端可

在閘極電極 114 的末端之內側。

下文將參照第 2A 至 2E 圖來敘述第 1A 至 1C 圖中的電晶體 151 之製造方法的實例。

首先，製備基板 100。此時，較佳地使基板 100 接受第一熱處理。該第一熱處理的溫度係其中可將所吸附至基板上或所包含於基板中的氫脫附之溫度，且典型地，高於或等於 100°C 且低於該基板的應變點。該第一熱處理的時間週期係比 1 分鐘更長或等於 1 分鐘，且比 72 小時更短或等於 72 小時。該第一熱處理可降低所吸附至基板表面上之包含氫或其類似物的分子。該第一熱處理係在不包含氫的氛圍中執行，而較佳地係執行於  $1 \times 10^{-4}$  帕 (Pa) 或更低的高真空之中。

在基板 100 的材料及其類似物上並無特殊的限制，只要該材料具有至少足以耐受稍後將被執行的熱處理之熱阻即可。例如，可使用玻璃基板、陶質基板、石英基板、或藍寶石基板做為基板 100。選擇性地，可使用藉由矽、碳化矽、或其類似物所製成的單晶半導體基板或多晶半導體基板，藉由鍺化矽或其類似物所製成的化合物半導體基板、SOI 基板、或其類似物做為基板 100。仍選擇性地，可使用進一步設置有半導體元件之該等基板的任一者做為基板 100。

選擇性地，可使用撓性基板做為基板 100。在其中電晶體係設置於撓性基板上的情況中，可將電晶體直接形成於撓性基板上，或可將電晶體形成於不同的基板上且然

後，將其自該基板分離而轉移至撓性基板。爲了要自該基板分離電晶體以轉移其至撓性基板，較佳地，將分離層設置於該不同的基板與該電晶體之間。

接著，將絕緣層 102 形成於基板 100 上。

絕緣層 102 係藉由例如，電漿 CVD 法、濺鍍法、或其類似方法所形成。對於其中氧係藉由加熱而釋放出之絕緣層的形成，較佳地，係使用濺鍍法。該絕緣層 102 的總厚度係 50 奈米或更大，較佳地，係 200 奈米或更大。當將絕緣層 102 形成爲更厚時，可增加自絕緣層 102 所釋放出之氧的數量。選擇性地，當將絕緣層 102 形成爲更厚時，可降低由於所存在於基板 100 與絕緣層 102 間之介面處的氫之擴散所造成的不利效應。可降低由於氫之擴散所造成的不利影響之原因在於距離基板 100 與絕緣層 102 間之介面的實體距離會變長，而該介面正好係氫對氧化物半導體層 106 的擴散源之故。

當其中氧係藉由加熱而釋放出之絕緣層係藉由濺鍍法所形成時，則在其中使用氧和稀有氣體的混合氣體做爲膜形成氣體之情況中，氧對稀有氣體的比例係較佳地高。例如，在全部氣體中之氧的濃度係較佳地設定爲高於或等於 6% 且低於 100%。注意的是，較佳地，僅使用氧氣做爲沈積氣體。

例如，氧化矽層係藉由 RF 濺鍍法而在以下情形之下形成：石英（較佳地，合成石英）係使用做爲靶極；基板溫度係高於或等於 30°C 且低於或等於 450°C（較佳地，高

於或等於 70℃ 且低於或等於 200℃ ) ；在基板與靶極之間的距離 ( T-S 距離 ) 係大於或等於 20 毫米且小於或等於 400 毫米 ( 較佳地，大於或等於 40 毫米且小於或等於 200 毫米 ) ；壓力係高於或等於 0.1 帕且低於或等於 4 帕 ( 較佳地，高於或等於 0.2 帕且低於或等於 1.2 帕 ) ；高頻電力係高於或等於 0.5 千瓦 ( kW ) 且低於或等於 12 千瓦 ( 較佳地，高於或等於 1 千瓦且低於或等於 5 千瓦 ) ；以及在沈積氣體中之 (  $O_2 / (O_2 + Ar)$  ) 的比例係高於或等於 1% 且低於或等於 100% ( 較佳地，高於或等於 6% 且低於或等於 100% ) 。注意的是，可使用矽靶極做為靶極，以取代石英 ( 較佳地，合成石英 ) 靶極。做為該沈積氣體，係使用氧或氧和氬的混合氣體。

接著，將氧化物半導體層形成於絕緣層 102 上，且然後，予以處理而形成具有島狀形狀的氧化物半導體層 106 ( 請參閱第 2A 圖 ) 。

注意的是，在其中執行第一熱處理的情況中，自第一熱處理至氧化物半導體層之形成的步驟係無需暴露至氛圍而執行。進一步較佳地，該等步驟係無需中斷真空而執行。藉由無需暴露至氛圍而執行自第一熱處理至氧化物半導體層之形成的該等步驟，可抑制基板表面上的污染及在基板表面上之包含氬之分子的吸附，且可降低由於隨後所執行的熱處理所導致之氬至氧化物半導體層內的擴散。

然後，可執行第二熱處理。較佳地，該第二熱處理的溫度係其中可使氧自其中氧係藉由加熱而釋放出的絕緣層

供應至氧化物半導體層之溫度，且典型地，高於或等於 150°C 且低於基板 100 的應變點。藉由該第二熱處理，氧係自絕緣層 102 而釋放出；因此，可降低絕緣層 102 與氧化物半導體層之間的介面狀態密度以及在氧化物半導體層之中的氧缺乏。注意的是，第二熱處理可在任何時序執行，只要其係在氧化物半導體層的形成之後執行即可。進一步地，可將第二熱處理執行複數次。該第二熱處理係執行於氧化氣體氛圍或惰性氣體氛圍中。該第二熱處理的時間週期係比 1 分鐘更長或等於 1 分鐘，且比 72 小時更短或等於 72 小時。

在氧化物半導體層中之氧缺乏係藉由第二熱處理而降低。此外，由於基板表面上所存在的氫之擴散所導致的不利效應可予以降低；因此，電晶體係製造為具有常態截止的特徵。

熱處理設備並未受限於電爐，且該熱處理設備可係藉由來自諸如加熱之氣體的媒質之熱輻射或熱傳導而加熱將被處理之物件的設備。例如，係使用諸如氣體快速熱退火（GRTA）設備或燈快速熱退火（LRTA）設備之快速熱退火（RTA）設備。LRTA 設備係用以藉由來自諸如鹵素燈、金屬鹵化物燈、氙弧燈、碳弧燈、高壓鈉燈、或高壓水銀燈之燈所發射出的光（電磁波）之輻射，而加熱將被處理之物件的設備。GRTA 設備係用以使用高溫氣體而執行熱處理的設備。做為該氣體，係使用不會藉熱處理而與將被處理之物件反應的惰性氣體，例如，氮或諸如氫之稀

有氣體。

注意的是，惰性氣體氛圍係包含氮或稀有氣體做為其主要成分，且較佳地，不包含水、氫、及其類似物之氛圍。例如，所引入至熱處理設備內之氮或諸如氮、氦、或氬之稀有氣體的純度係設定為 6N (99.9999%) 或更高，較佳地，為 7N (99.99999%) 或更高（亦即，雜質濃度係 1ppm 或更低，較佳地，0.1ppm 或更低）。該惰性氣體係包含惰性氣體做為其主要成分，且包含低於 10ppm 之濃度的反應氣體的氛圍。該反應氣體係可與半導體、金屬、或其類似物反應的氣體。

注意的是，氧化氣體係氧、臭氧、二氧化氮、或其類似物，且較佳地，該氧化氣體並不包含水、氫、及其類似物。例如，所引入至熱處理設備內之氧、臭氧、或二氧化氮的純度係設定為 6N (99.9999%) 或更高，較佳地，為 7N (99.99999%) 或更高（亦即，雜質濃度係 1ppm 或更低，較佳地，0.1ppm 或更低）。用於氧化氣體氛圍，可使用氧化氣體與惰性氣體混合，且包含至少高於或等於 10ppm 的濃度之氧化氣體的氛圍。

氧化物半導體層係藉由例如，濺鍍法、真空蒸鍍法、脈波雷射沈積法、CVD 法、或其類似方法而形成。較佳地，氧化物半導體層的厚度係大於或等於 3 奈米且小於或等於 50 奈米。若氧化物半導體層太厚時（例如，100 奈米或更大的厚度），則存在有短通道效應會具有大的影響，以及具備小尺寸之電晶體會常態導通之可能性。



在此實施例中，氧化物半導體層係藉由濺鍍法而使用 In-Ga-Zn-O 為主之氧化物靶極所形成。

做為 In-Ga-Zn-O 為主之氧化物靶極，例如，係使用具有  $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$  [克分子比] 之組成比的氧化物靶極。注意的是，無需一定要將靶極的材料及組成比限制為上述者。例如，亦可使用具有  $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$  [克分子比] 之組成比的氧化物靶極。

氧化物靶極的相對密度係高於或等於 90% 且低於或等於 100%，較佳地高於或等於 95% 且低於或等於 99.9%。此係因為藉由具有高相對密度之氧化物靶極的使用，可將氧化物半導體層形成為密質的。

例如，氧化物半導體層係如下述地形成。惟，本發明並未受限於下文之方法。

沈積情形的實例係如下：基板與靶極之間的距離係 60 毫米；壓力係 0.4 帕；直流（DC）電力係 0.5 千瓦；以及沈積氛圍係氫和氧的混合氛圍（氧的流率係 33%）。注意的是，脈波 DC 濺鍍法係較佳的，因為可降低沈積之中所產生的粉狀物質（亦稱為顆粒或灰塵），且可使膜厚度的分佈均勻。

其次，用作源極電極及汲極電極的導電層係形成於氧化物半導體層 106 上。該導電層被處理成為源極電極 118a 及汲極電極 118b（請參閱第 2B 圖）。注意的是，電晶體的通道長度 L 係藉由在此所形成之源極電極 118a 的邊緣與汲極電極 118b 的邊緣之間的距離而決定。

源極電極 118a 及汲極電極 118b 係藉由乾蝕刻法而使用透過光微影處理所形成之阻體遮罩來予以處理。蝕刻係以該阻體遮罩且同時在尺寸上縮減該阻體遮罩而執行，以致使源極電極 118a 及汲極電極 118b 的末端部分可具有錐形角度。紫外線、KrF 雷射光、ArF 雷射光、或其類似者係較佳地使用以供該蝕刻中所使用的阻體遮罩之形成時的曝光之用。

在其中執行曝光使得通道長度  $L$  係小於 25 奈米的情況中，在阻體遮罩之形成時的曝光係較佳地使用例如，具有數奈米至數十奈米之極短波長的極短紫外光而執行。在透過極短紫外光的曝光中，解析度會變高且聚焦深度會變大。因此，可使稍後所形成之電晶體的通道長度  $L$  縮短，而導致電路的高速度操作。

該蝕刻可透過利用多色調遮罩所形成之阻體遮罩的使用而執行。利用多色調遮罩所形成之阻體遮罩具有複數個厚度，且可藉由灰化而在形狀中予以進一步地改變；因而，可將該阻體遮罩使用於不同圖案的複數個蝕刻步驟中。因此，對應於至少二種不同圖案的阻體遮罩可透過一多色調遮罩的使用而形成。也就是說，可使步驟簡化。

注意的是，在源極電極 118a 及汲極電極 118b 的處理中，氧化物半導體層 106 的一部分會被蝕刻，以致在某些情況中將形成的刻槽（凹陷部分）的氧化物半導體層。

然後，執行電漿處理於源極電極 118a 及汲極電極 118b 上，以致使上端部分具有彎曲表面之源極電極 108a

及汲極電極 108b 形成（請參閱第 2C 圖）。

該電漿係產生於包含稀有氣體，氮、氧、及氧化氮之其中至少一者的氛圍中。源極電極 118a 及汲極電極 118b 的表面係接受使用電漿之處理，以致使上端部分可具有彎曲表面。較佳地，使用具有低反應性之稀有氣體。例如，在包含電漿的室之中，可將偏壓施加至基板保持器，以致使正離子相對於源極電極 118a 及汲極電極 118b 而被加速。例如，可使用乾蝕刻設備、CVD 設備、濺鍍設備、或其類似設備。

例如，逆濺鍍法可以以濺鍍設備而執行。逆濺鍍法的情形可設定如下：所施加至基板側之 RF 電力係大於或等於 50 瓦（W）且小於或等於 300 瓦；濺鍍壓力係大於或等於 0.2 帕且小於或等於 10 帕；以及濺鍍氣體係藉由氬氣體所代表之稀有氣體。該處理的時間週期係大於或等於 0.5 分鐘，且小於或等於 20 分鐘。

當該電漿處理的時間週期太短時，則源極電極 118a 及汲極電極 118b 的上端部分在當自橫剖面而觀察時無法具有彎曲表面。進一步地，當該處理的時間週期太長時，則會使氧化物半導體層 106、源極電極 108a、及汲極電極 108b 變薄。

正離子與源極電極及汲極電極的表面碰撞，以致使銳利的上端部分變圓，且彎曲表面可藉以形成。此可就考慮到當正離子垂直進入基板時，則濺鍍速率會到達局部最小值，以及當入射的角度係接近 0 度或 180 度時，則濺鍍速

率會變大，而易於被瞭解。換言之，當正離子係朝向基板而垂直地放出時（不用多說地，在濺鍍方法中，離子並非一直朝向基板而垂直地放出，且即使當電極及基板係彼此互相面對而設置時，離子亦會具有某些程度之角度而被放出），則在源極電極及汲極電極的頂部表面處之濺渡速率係最小，且在源極電極及汲極電極的側表面處之濺鍍速率會變大。正離子碰撞的頻率係在愈接近源極電極及汲極電極的下端部分時愈降低；且因而，不容易執行濺鍍於源極電極及汲極電極的下端部分之上。因此，源極電極及汲極電極的上端部分係更可能接受濺鍍，且因而，具有彎曲表面而無轉角。此現象會在當源極電極及汲極電極之厚度對寬度的比例變大時，變成更為明顯。注意的是，除了彎曲表面的形成之外，可使錐形角度  $\theta$  變小。

在此方式中，源極電極及汲極電極之各自的上端部分之曲率半徑係大於或等於源極電極及汲極電極之厚度的  $1/100$ ，且小於或等於該厚度的  $1/2$ 。具備該結構，可減輕源極電極及汲極電極的上端部分周圍之閘極絕緣層 112 上的電場濃度；且因此，可製造出具有高可靠度的電晶體。

此時，源極電極 118a、汲極電極 118b、及氧化物半導體層 106 的表面係藉由電漿處理而加以平坦化。此係因為突出物應藉由電漿處理而優先地蝕刻。透過該平坦化，與稍後所形成之閘極絕緣層 112 的介面係更佳的，且由於不平坦所造成之電晶體的缺陷數目可予以降低。注意的是，氧化物半導體層、源極電極、及汲極電極的平均表面

粗糙度  $Ra$  係較佳地小於或等於 0.5 奈米。注意的是，  
“平均表面粗糙度  $Ra$ ” 係藉由三維地擴展由 JIS（日本產業標準）B0601 所界定之中心線平均粗糙度，以便施加至平面所獲得的。該平均表面粗糙度  $Ra$  可表示為“自參考平面至指定平面的偏差之絕對值的平均值”，且係以下文之公式 1 所界定。

[公式1]

$$Ra = \frac{1}{S_0} \int_{y_2}^{y_1} \int_{x_2}^{x_1} |f(x, y) - Z_0| dx dy$$

注意的是，在公式 1 之中， $S_0$  表示測量表面的面積（藉由座標  $(x_1, y_1)$ 、 $(x_1, y_2)$ 、 $(x_2, y_1)$ 、及  $(x_2, y_2)$  所代表之四點所界定的矩形區域），以及  $Z_0$  表示該測量表面的平均高度。

接著，閘極絕緣層 112 係形成以覆蓋源極電極 108a 及汲極電極 108b，且成為與氧化物半導體層 106 的一部分接觸（請參閱第 2D 圖）。

該閘極絕緣層 112 係藉由濺鍍法、電漿 CVD 法、或其類似方法所形成。閘極絕緣層 112 的總厚度係較佳地大於或等於 1 奈米且小於或等於 300 奈米，更佳地大於或等於 5 奈米且小於或等於 50 奈米。當閘極絕緣層 112 的厚度愈大時，則短通道效應會變成更大，且臨限電壓傾向於在負向側而更偏移。此外，當閘極絕緣層 112 的厚度小於或等於 5 奈米時，則由於隧道電流之漏電流會增加。

然後，形成閘極電極 114（請參閱第 2E 圖）。該閘極電極 114 係以此方式而形成，亦即，將成為閘極電極

114 之導電層係藉由濺鍍法、蒸鍍法、塗佈法、或其類似方法而形成，且然後，該導電層係使用阻體而予以蝕刻。

透過上述步驟，可製造出電晶體 151。

注意的是，氧化物半導體層的背面通道並未暴露至氛圍、水分、化學溶液、及電漿，且因而，背面通道的潔淨可被維持；因此，可製造出具有穩定之電性特徵的電晶體。

依據此實施例，可製造出具備穩定電性特徵及高可靠度的電晶體。

## （實施例 2）

在此實施例中，頂部閘極底部接觸型電晶體 152 係描繪做為半導體裝置的另一實例，其係與電晶體 151 不同。在電晶體 152 的形成中，在源極電極及汲極電極上之電漿處理以及氧化物半導體層的形成可無需中斷真空而執行。

第 3A 圖係電晶體 152 的頂視圖，第 3B 圖係沿著第 3A 圖之交變的長短點虛線 A-B 所取得的橫剖面視圖，以及第 3C 圖係沿著第 3A 圖之交變的長短點虛線 C-D 所取得的橫剖面視圖。注意的是，在第 3A 圖中，電晶體 152 的若干組件（例如，閘極絕緣層 112）係為簡明之緣故而予以省略。

第 3A 至 3C 圖中所描繪的電晶體 152 係與電晶體 151 相同，其中基板 100、絕緣層 102、氧化物半導體層 106、源極電極 108a、汲極電極 108b、閘極絕緣層 112、

及閘極電極 114 係包含在內，且源極電極 108a 及汲極電極 108b 的末端部分具有角度  $\theta$  以及其上端部分具有彎曲表面 104。在電晶體 152 與電晶體 151 之間的差異係其中氧化物半導體層 106 連接至源極電極 108a 及汲極電極 108b 的位置。換言之，在電晶體 152 中，氧化物半導體層 106 的下方部分係與源極電極 108a 及汲極電極 108b 接觸。其他的組件則與第 1A 至 1C 圖中之電晶體 151 的該等組件相似。

接著，將參照第 4A 至 4E 圖來敘述第 3A 至 3C 圖中電晶體 152 之製造方法的實例。

首先，以製備基板 100。此時，較佳地，使基板 100 接受第一熱處理。

在執行第一熱處理的情況中，於第一熱處理之後，絕緣層 102 係較佳地形成於基板 100 之上，而無需暴露至氛圍。更佳地，該第一熱處理及絕緣層 102 的形成係無需中斷真空而予以執行（請參閱第 4A 圖）。

接著，用以形成源極電極及汲極電極的導電層（包含藉由與源極電極及汲極電極相同的層所形成之佈線）係形成於絕緣層 102 上，且該導電層係藉由乾蝕刻法而處理，以形成源極電極 118a 及汲極電極 118b（請參閱第 4B 圖）。此時，阻體遮罩係在尺寸上藉由蝕刻而予以縮減，使得該源極電極及該汲極電極的末端部分可具有錐形角度。

然後，執行電漿處理於源極電極 118a 及汲極電極

118b 上，以致使末端具有彎曲表面之源極電極 108a 及汲極電極 108b 形成（請參閱第 4C 圖）。

該電漿係產生於包含諸如氮、氖、氬、氦、或氙的稀有氣體，氮、氧、及諸如二氧化氮的氧化氮之其中至少一者的氛圍中。源極電極 118a 及汲極電極 118b 的表面係接受使用電漿之處理，以致使上端部分可具有彎曲表面。

當電漿處理的時間週期太短時，則源極電極 108a 及汲極電極 108b 的上端部分無法具有彎曲表面。進一步地，當該處理的時間週期太長時，則會使絕緣層 102、源極電極 108a、及汲極電極 108b 變薄。

具體而言，源極電極及汲極電極之各自的上端部分之曲率半徑係大於或等於源極電極及汲極電極之厚度的  $1/100$ ，且小於或等於該厚度的  $1/2$ 。具備該結構，可減輕源極電極及汲極電極的上端部分周圍之氧化物半導體層 106 及閘極絕緣層 112 上的電場濃度；且因此，可製造出具有高可靠度的電晶體。

其次，執行與第一熱處理相似的熱處理，以便使所吸附在絕緣層 102、源極電極 108a、及汲極電極 108b 的表面上之氫降低。之後，形成氧化物半導體層，而無需暴露至氛圍。較佳地，該熱處理及氧化物半導體層的形成係無需中斷真空而被執行。

選擇性地，自源極電極 118a 及汲極電極 118b 上之電漿處理至氧化物半導體層的形成之該等步驟可無需中斷真空而執行。藉由以此方式而執行該等步驟，在氧化物膜、



有機污染物、或其類似物係藉由電漿處理而自源極電極 118a 及汲極電極 118b 的表面去除之後，可防止氧化物膜或有機污染物再生產生。當不具有由源極電極 118a 及汲極電極 118b 的材料所形成之氧化物膜或有機污染物於該源極電極 108a 及汲極電極 108b 與該氧化物半導體層之間的介面處時，則可降低源極電極 108a 及汲極電極 108b 與氧化物半導體層之間的接觸電阻，以致可抑制電晶體之導通狀態電流的減少。因而，可抑制由於在源極電極 108a 及汲極電極 108b 的表面上之氧化物膜或有機污染物所造成的電性特徵中之劣化，或由於光、閘極偏壓、及溫度所造成的電性特徵中之劣化。此處，在電性特徵中之劣化意指臨限電壓的偏移、導通狀態電流之減少、或其類似者。

接著，可執行第二熱處理。

然後，將氧化物半導體層處理成為氧化物半導體層 106。之後，形成閘極絕緣層 112 以覆蓋氧化物半導體層 106，且與源極電極 108a 及汲極電極 108b 的一部分接觸（請參閱第 4D 圖）。

然後，形成閘極電極 114（請參閱第 4E 圖）。

透過上述步驟，可製造出電晶體 152。

如上述地，電晶體 152 可無需暴露氧化物半導體層的背面通道至氛圍、化學溶液、及電漿而被製造出。

依據此實施例，可提供具有穩定的電性特徵、更少的劣化、及高的可靠度之電晶體。

在此實施例中所敘述之結構、方法、及其類似物可與

其他實施例中所敘述之該等結構、方法、及其類似物適當地結合。

(實施例 3)

本發明一實施例之半導體裝置可應用至各式各樣的電子裝置(包含遊戲機)。電子裝置的實例係電視機(亦稱為電視或電視接收器)、電腦或其類似物之監測器,諸如數位相機或數位攝影機之相機、數位像框、行動電話手機(亦稱為行動電話或行動電話裝置)、攜帶式遊戲機、個人數位助理、聲頻再生裝置、及諸如柏青哥(pachinko)機之大型遊戲機。將敘述各自包含上述實施例中所述之半導體裝置的電子裝置之實例。

第 5A 圖描繪膝上型個人電腦,其包含主體 301、外殼 302、顯示部 303、鍵盤 304、及其類似物。藉由應用實施例 1 或 2 中所述之半導體裝置,該膝上型個人電腦可具有高的可靠度。

第 5B 圖描繪個人數位助理(PDA),其包含顯示部 313、外部介面 315、操作鈕 314、及其類似物於主體 311 中。尖筆 312 係包含在內,成為用於操作之附件。藉由應用實施例 1 或 2 中所述之半導體裝置,該個人數位助理(PDA)可具有更高的可靠度。

第 5C 圖描繪電子書閱讀器的實例。例如,電子書閱讀器 320 包含二外殼,亦即,外殼 321 及外殼 322。外殼 321 及外殼 322 係以鉸鏈 325 而結合,以致使電子書閱讀

器 320 可以以鉸鏈 325 為軸而開啓及閉合。具備該結構、電子書閱讀器 320 可與書本一樣地操作。

顯示部 323 及顯示部 324 係分別結合於外殼 321 及外殼 322 中。顯示部 323 及顯示部 324 可顯示一影像或不同影像。當顯示部 323 及顯示部 324 顯示不同的影像時，例如，正文可顯示於右側之顯示部（第 5C 圖中之顯示部 323）上，且圖形可顯示於左側之顯示部（第 5C 圖中之顯示部 324）上。藉由應用實施例 1 或 2 中所述之半導體裝置，該電子書閱讀器可具有高的可靠度。

第 5C 圖描繪其中外殼 321 係設置有操作部及其類似物之實例。例如，外殼 321 係設置有電源開關 326、操作鍵 327、揚聲器 328、及其類似物。具備該等操作鍵 327，可翻閱頁面。注意的是，鍵盤、指標裝置、或其類似物亦可設置在其中設置顯示部於上之外殼的表面上。進一步地，外部連接端子（耳機端子、USB 端子、或其類似物）、記錄媒體插入部、及其類似物亦可設置在外殼的背面或側面。此外，電子書閱讀器 320 可具有電子字典之功能。

電子書閱讀器 320 可具有能無線地傳送及接收資料之組態。透過無線通訊，可自電子書伺服器而採購或下載所欲的書籍資料或其類似物。

第 5D 圖描繪個人數位助理，其包含二外殼，亦即，外殼 330 及外殼 331。外殼 331 包含顯示面板 332、揚聲器 333、微音器 334、指標裝置 336、相機鏡頭 337、外部

連接端子 338、及其類似物。此外，外殼 330 包含具有個人數位助理之充電功能的太陽能電池 340、外部記憶體槽 341、及其類似物。進一步地，天線係結合於外殼 331 中。藉由應用實施例 1 或 2 中所述之半導體裝置，該個人數位助理可具有高的可靠度。

進一步地，顯示面板 332 係以觸控面板而設置。顯示為影像之複數個操作鍵 335 係藉由點虛線而描繪於第 5D 圖中。注意的是，亦包含升壓電路，透過該升壓電路，可將來自太陽能電池 340 所輸出之電壓增至足夠地高，以供每一個電路之用。

在顯示面板 332 中，可根據使用圖案而適當地改變顯示方向。進一步地，個人數位助理係設置有相機鏡頭 337 於與顯示面板 332 相同的表面上，且因此，可將其使用為視訊電話。揚聲器 333 及微音器 334 可使用於視訊電話來電，記錄及播放聲音，及其類似者，以及語音通話。此外，可將其中外殼 330 及 331 係如第 5D 圖中所描繪地開啓的狀態中之外殼 330 及 331 滑動，使得其中一者重疊在另一者之上；因此，可降低個人數位助理的尺寸，而使該個人數位助理適用於攜帶。

外部連接端子 338 可連接至 AC 轉換器及諸如 USB 電纜之各式各樣類型的電纜，且充電及與個人電腦及其類似物之資料通訊亦係可能的。此外，大量資料可藉由插入記錄媒體至外部記憶體槽 341 而予以儲存，且可予以移動。

除了上述功能之外，可設置紅外線通訊功能、電視接

收功能、或其類似功能。

第 5E 圖描繪電視機之實例。在電視機 360 中，顯示部 363 係結合於外殼 361 中。顯示部 363 可顯示影像。在此，外殼 361 係藉由座台 365 而予以支撐。藉由應用實施例 1 或 2 中所述之半導體裝置，該電視機 360 可具有高的可靠度。

電視機 360 可藉由外殼 361 之操作開關或分離的遙控器，而予以操作。進一步地，該遙控器可設置有顯示部，用以顯示來自該遙控器所輸出之資料。

注意的是，電視機 360 係設置有接收器、調變解調器、及其類似物。透過接收器的使用，可接收一般的電視廣播。再者，當電視機係經由調變解調器而有線或無線地連接至通訊網路時，可執行單向（自傳送器至接器）或雙向（在傳送器與接收器之間，或在接收器之間）的資訊通訊。

在此實施例中所述之結構、方法、及其類似者可以與其他實施例中所述之該等結構、方法、及其類似者之任一者適當地結合。

#### [實例 1]

在此實例中，係以掃描透射型電子顯微鏡（STEM）來觀察所製造之取樣 1 及取樣 2 的橫剖面形狀。

將敘述取樣 1 及取樣 2 的製造方法於下文。注意的是，除非另有陳明，否則該製造方法係使用於取樣 1 及取

樣 2 二者。

在取樣 1 與取樣 2 之間的差異在於電漿處理（逆濺鍍處理）是否執行於第二鎢層 506 及氮氧化矽層 504 之上。在取樣 1 中，該逆濺鍍處理並未被執行於第二鎢層 506 及氮氧化矽層 504 上，以及在取樣 2 中，該逆濺鍍處理係在第二鎢層 506 及氮氧化矽層 504 之上執行。

第 6A 及 6B 圖顯示透過 STEM 之取樣的橫剖面形狀。第 6A 圖顯示取樣 1，以及第 6B 圖顯示取樣 2。取樣 1 及取樣 2 的製造方法係敘述如下。

首先，形成第一鎢層 502 於基板上，而具有 150 奈米之厚度。

接著，形成氮氧化矽層 504 為具有 100 奈米之厚度。

然後，鎢層係形成為具有 100 奈米之厚度，阻體遮罩係透過光微影術處理而形成，該鎢層係藉由乾蝕刻法而予以處理，且隨後，將阻體遮罩去除，以致使第二鎢層 506 形成。

接著，僅執行逆濺鍍於取樣 2 之上，使得上端部分具有彎曲表面的第二鎢層 510 形成。該逆濺鍍的情形係如下。

- 氣體：Ar ( 50sccm )
- 電力：0.2 千瓦 ( 13.56MHz )
- 壓力：0.6 帕
- 溫度：室溫
- 時間：5 分鐘

接著，氧化物半導體層 508 係形成為具有 50 奈米的厚度。該氧化物半導體層 508 的沈積情形係如下：

- 靶極：In-Ga-Zn-O ( $\text{In}_2\text{O}_3$  :  $\text{Ga}_2\text{O}_3$  :  $\text{ZnO}$ =1 : 1 : 2[克分子比]) 靶極

- 沈積氣體：Ar (30sccm)、 $\text{O}_2$  (15sccm)

- 電力：0.5 千瓦 (DC)

壓力：0.4 帕

T-S 距離：60 毫米

- 在沈積中之基板溫度：200℃

取樣 1 及取樣 2 係透過上述步驟而製造出。

與取樣 1 中之第二鎢層的上端部分相較地，在取樣 2 中之第二鎢層的上端部分係彎曲，且取樣 2 中之第二鎢層的曲率半徑係 10 奈米。

注意的是，取樣 1 的錐形角度  $\theta$  係 85 度，以及取樣 2 的錐形角度  $\theta$  係 79 度。該錐形角度  $\theta$  係計算如下。對第二鎢層之側表面中的線性部分繪製切線（切線 550、切線 551），將該切線視為斜邊，且將第二鎢層之厚度視為邊，而藉以形成直角三角形於第二鎢層之中。然後，自該直角三角形的底及高而計算錐形角度。

在取樣 1 中，於第二鎢層 506 上所形成之氧化物半導體層 508 的厚度係愈靠近第二鎢層 506 的上端部分愈小；因此，氧化物半導體層 508 並非均勻的。相反地，在取樣

2 中，於第二鎢層 510 上所形成的氧化物半導體層 508 均勻地覆蓋第二鎢層 510，即使當靠近該第二鎢層 510 的上端部分時亦然。

## [實例 2]

在此實例中，將敘述包含氧化物半導體之頂部閘極底部接觸型電晶體。

於此實例中，係評估取樣 3 及取樣 4 中之電晶體的電性特徵和劣化。

將敘述取樣 3 及取樣 4 的製造方法於下文。注意的是，除非另有陳明，否則該製造方法係使用於取樣 3 及取樣 4 二者。

在取樣 3 與取樣 4 之間的差異在於電漿處理（逆濺鍍處理）是否執行於源極電極及汲極電極之上。在取樣 3 中，該逆濺鍍處理並未被執行於源極電極及汲極電極上，以及在取樣 4 中，該逆濺鍍處理係在源極電極及汲極電極之上執行。

首先，100 奈米厚之氧化氮化矽層係藉由電漿 CVD 法而形成於玻璃基板之上。

接著，250 奈米厚之氧化矽層係藉由濺鍍法所形成。注意的是，該氧化矽層的沈積情形係如下。

- 靶極：石英靶極
- 沈積氣體：Ar (25sccm)、O<sub>2</sub> (25sccm)
- 電力：1.5 千瓦 (13.56MHz)



- 壓力：0.4 帕
- T-S 距離：60 毫米
- 在沈積中之基板溫度：100℃

然後，100 奈米厚之鎢層係藉由濺鍍法而形成於氧化矽層之上。之後，阻體遮罩係透過光微影術處理而形成，該鎢層係藉由乾蝕刻法而予以處理，以致使源極電極及汲極電極形成，且然後，將阻體遮罩去除。此時，該阻體遮罩係在尺寸上藉由蝕刻而予以縮減，使得源極電極及汲極電極的末端部分具有錐形角度。

接著，僅使取樣 4 接受藉由逆濺鍍法之表面處理。該逆濺鍍的情形係如下。

- 氣體：Ar ( 50sccm )
- 電力：0.2 千瓦 ( 13.56MHz )
- 壓力：0.6 帕
- 溫度：室溫
- 時間：3 分鐘

在該逆濺鍍之後，25 奈米厚之氧化物半導體層係藉由濺鍍法所形成，而無需中斷真空。

該氧化物半導體層的沈積情形係如下。

- 靶極：In-Gz-Zn-O (  $\text{In}_2\text{O}_3$  :  $\text{Ga}_2\text{O}_3$  :  $\text{ZnO}$ =1 : 1 : 2[克分子比] ) 靶極
- 沈積氣體：Ar ( 30sccm ) 、  $\text{O}_2$  ( 15sccm )

- 電力：0.5 千瓦（DC）
- 壓力：0.4 帕
- T-S 距離：60 毫米
- 在沈積中之基板溫度：200℃

接著，該氧化物半導體層係使用透過光微影術處理所形成之阻體遮罩，而藉由濕蝕刻來加以處理，以成為島狀氧化物半導體層。

然後，30 奈米厚之氮氧化矽層係藉由電漿 CVD 法而形成為覆蓋氧化物半導體層、源極電極、及汲極電極的閘極絕緣層。

其次，30 奈米厚之氮化鉬層及 370 奈米厚之鎢層係藉由濺鍍法所形成。之後，該氮化鉬層及該鎢層係使用透過光微影術處理所形成於該氮化鉬層及該鎢層上之阻體遮罩，而藉由乾蝕刻來加以處理，以具有閘極電極的形狀。

然後，300 奈米厚之氧化矽層係藉由濺鍍法所形成。該氧化矽層作用成為層間絕緣層。該層間絕緣層及該閘極絕緣層係使用透過光微影術處理所形成之阻體遮罩而予以處理，以致使到達閘極電極、源極電極、及汲極電極之接觸孔形成。

接著，第一鈦層、鋁層、及第二鈦層係藉由濺鍍法而分別形成為具有 50 奈米、100 奈米、及 5 奈米的厚度。之後，該第一鈦層、該鋁層、及該第二鈦層係使用透過光微影術處理所形成之阻體遮罩，而藉由乾蝕刻來加以處

理，以具有佈線的形狀。

接著，在  $250^{\circ}\text{C}$  之氮氛圍中執行 1 小時的熱處理於每一個取樣上。

用於取樣 3 及取樣 4 之電晶體係透過上述步驟而被製造出。

第 7A 及 7B 圖顯示此實例的每一個取樣之電晶體中的汲極電流 ( $I_{ds}$ ) - 閘極電壓 ( $V_{gs}$ ) 測量結果。該測量係執行於基板表面上之 25 個點。測量結果係以其中將它們重疊之狀態而顯示。通道長度  $L$  係 3 微米，以及通道寬度  $W$  係 20 微米。基板溫度係  $25^{\circ}\text{C}$ 。注意的是，電晶體的源極電極與汲極電極間之電壓  $V_{ds}$  係設定為 3 伏特 ( $V$ )。第 7A 圖顯示取樣 3 之電晶體的  $I_{ds}$ - $V_{gs}$  測量結果，以及第 7B 圖顯示取樣 4 之電晶體的  $I_{ds}$ - $V_{gs}$  測量結果。

依據該等測量結果，當與取樣 3 的電晶體相較時，取樣 4 的電晶體之臨限電壓的變化及導通狀態電流的減少和變化係變小。

接著，將敘述此實例中之 BT 測試。執行 BT 測試於上的電晶體具有 3 微米之通道長度  $L$  及 50 微米之通道寬度  $W$ 。在此實例中，首先，設定基板溫度成為  $25^{\circ}\text{C}$  以及設定源極電極與汲極電極間之電壓  $V_{ds}$  為 3 伏特，且然後，執行電晶體的  $I_{ds}$ - $V_{gs}$  測量。

接著，將基板台溫度設定成為  $150^{\circ}\text{C}$ ，且將電晶體的源極電極及汲極電極分別設定為 0 伏特及 0.1 伏特。然

後，將負電壓施加至閘極電極，使得所施加至閘極絕緣層的電場強度係  $2\text{MV/cm}$ ，且保持該閘極電極 1 小時。接著，將閘極電極的電壓設定為 0 伏特。之後，設定基板溫度成為  $25^{\circ}\text{C}$  以及設定源極電極與汲極電極間之電壓  $V_{ds}$  為 3 伏特，且執行電晶體的  $I_{ds}-V_{gs}$  測量。第 8A 及 8B 圖分別顯示取樣 3 及取樣 4 的電晶體之 BT 測試的前後之  $I_{ds}-V_{gs}$  測量結果。

在第 8A 圖中，實線 1002 指示 BT 測試前所獲得之取樣 3 的電晶體之  $I_{ds}-V_{gs}$  測量結果，以及實線 1004 指示 BT 測試後所獲得之取樣 3 的電晶體之  $I_{ds}-V_{gs}$  測量結果。當與 BT 測試前所獲得之臨限電壓相較時，則在 BT 測試後所獲得之臨限電壓於正方向中偏移 1.16 伏特。

在第 8B 圖中，實線 1012 指示 BT 測試前所獲得之取樣 4 的電晶體之  $I_{ds}-V_{gs}$  測量結果，以及實線 1014 指示 BT 測試後所獲得之取樣 4 的電晶體之  $I_{ds}-V_{gs}$  測量結果。當與 BT 測試前所獲得之臨限電壓相較時，則 BT 測試後所獲得之臨限電壓在正方向中偏移 0.71 伏特。

以相似的方式，在以下情形之下執行每一個取樣的另一電晶體之  $I_{ds}-V_{gs}$  測量：設定基板溫度成為  $25^{\circ}\text{C}$ ；以及設定源極電極與汲極電極間之電壓  $V_{ds}$  為 3 伏特。該電晶體的通道長度  $L$  係 3 微米，且其通道寬度  $W$  係 50 微米。

接著，將基板台溫度設定成為  $150^{\circ}\text{C}$ ，且將電晶體的源極電極及汲極電極分別設定為 0 伏特及 0.1 伏特。然後，將正電壓施加至閘極電極，使得所施加至閘極絕緣層

的電場強度係  $2\text{MV/cm}$ ，且將該正電壓連續施加 1 小時。接著，將閘極電極的電壓設定為 0 伏特。之後，設定基板溫度成為  $25^{\circ}\text{C}$  以及設定源極電極與汲極電極間之電壓  $V_{ds}$  為 3 伏特，且執行電晶體的  $I_{ds}-V_{gs}$  測量。第 9A 及 9B 圖分別顯示取樣 3 及取樣 4 的電晶體之 BT 測試的前後之  $I_{ds}-V_{gs}$  測量結果。

在第 9A 圖中，實線 1022 指示 BT 測試前所獲得之取樣 3 的電晶體之  $I_{ds}-V_{gs}$  測量結果，以及實線 1024 指示 BT 測試後所獲得之取樣 3 的電晶體之  $I_{ds}-V_{gs}$  測量結果。當與 BT 測試前所獲得之  $I_{ds}-V_{gs}$  曲線及導通狀態電流相較時，則在 BT 測試後所獲得之  $I_{ds}-V_{gs}$  曲線係扭曲，且在 BT 測試後所獲得之導通狀態電流減少。

在第 9B 圖中，實線 1032 指示 BT 測試前所獲得之取樣 4 的電晶體之  $I_{ds}-V_{gs}$  測量結果，以及實線 1034 指示 BT 測試後所獲得之取樣 4 的電晶體之  $I_{ds}-V_{gs}$  測量結果。當與 BT 測試前所獲得之臨限電壓相較時，則 BT 測試後所獲得之臨限電壓在負方向中偏移 0.22 伏特。

其次，將敘述此實例中之光致降級測試。執行光致降級測試於上之電晶體具有 3 微米的通道長度  $L$ ，及 50 微米的通道寬度  $W$ 。基板溫度係設定成為  $25^{\circ}\text{C}$ ，以及源極電極與汲極電極之間的電壓  $V_{ds}$  係設定成為 3 伏特 (V)。在此實例中，首先，電晶體的  $I_{ds}-V_{gs}$  測量係執行於暗狀態中，且然後，電晶體的  $I_{ds}-V_{gs}$  測量係執行於亮狀態中。

第 10 圖顯示此實例中所使用之光的發射光譜。注意的是，亮狀態意指其中透過具有該發射光譜的光之光照射係執行於 36 千勒克司 (kilolux; klx) 之光照度的狀態。

在第 11A 圖中，實線 1042 指示暗狀態中的取樣 3 之電晶體的  $I_{ds}-V_{gs}$  測量結果，以及實線 1044 指示亮狀態中的取樣 3 之電晶體的  $I_{ds}-V_{gs}$  測量結果。當與 BT 測試前所獲得之臨限電壓相較時，則 BT 測試後所獲得之臨限電壓在負方向中偏移 0.05 伏特。

在第 11B 圖中，實線 1052 指示暗狀態中的取樣 4 之電晶體的  $I_{ds}-V_{gs}$  測量結果，以及實線 1054 指示亮狀態中的取樣 4 之電晶體的  $I_{ds}-V_{gs}$  測量結果。當與 BT 測試前所獲得之臨限電壓相較時，則 BT 測試後所獲得之臨限電壓在負方向中偏移 0.01 伏特。

如上述地，所發現到的是，在此實例中之取樣 4 的電晶體於 BT 測試的前後之間以及於光照射時，具有在基板表面的臨限電壓中之小的變化及在電性特徵中之小程度的劣化。

此申請案係根據 2010 年 8 月 6 日在日本專利局所申請之日本專利申請案序號 2010-177037，該申請案的全部內容係結合於本文以供參考。

#### 【符號說明】

151, 152：電晶體

100：基板

- 102：絕緣層
- 104：彎曲表面
- 106，508：氧化物半導體層
- 108a，118a：源極電極
- 108b，118b：汲極電極
- 112：閘極絕緣層
- 114：閘極電極
- $\theta$ ：錐形角度
- Ra：平均表面粗糙度
- 301，311：主體
- 302，321，322，330，331，361：外殼
- 303，313，323，324，363：顯示部
- 304：鍵盤
- 314：操作鈕
- 315：外部介面
- 312：尖筆
- 320：電子書閱讀器
- 325：鉸鏈
- 326：電源開關
- 327，335：操作鍵
- 328，333：揚聲器
- 332：顯示面板
- 334：微音器
- 336：指標裝置

337：相機鏡頭

338：外部連接端子

340：太陽能電池

341：外部記憶體槽

360：電視機

365：座台

504：氮氧化矽層

506，510：第二鎢層

502：第一鎢層

550，551：切線

1002，1012，1022，1032，1042，1044，1052，1054：實線



## 申請專利範圍

1. 一種半導體裝置，包含：

絕緣層，在基板上；

氧化物半導體層，在該絕緣層上；

源極電極及汲極電極，其末端部分具有錐形角度且其上端部分具有彎曲表面，該源極電極及該汲極電極係電性連接至該氧化物半導體層；

閘極絕緣層，在該氧化物半導體層、該源極電極和該汲極電極上，該閘極絕緣層係與該氧化物半導體層的一部分接觸；以及

閘極電極，係與該氧化物半導體層重疊且在該閘極絕緣層之上，

其中該氧化物半導體層的末端部分被覆蓋以該源極電極及該汲極電極。

2. 一種半導體裝置，包含：

絕緣層，在基板上；

氧化物半導體層，在該絕緣層上；

源極電極及汲極電極，其末端部分具有錐形角度且其上端部分具有彎曲表面，該源極電極及該汲極電極係電性連接至該氧化物半導體層；

閘極絕緣層，在該氧化物半導體層、該源極電極和該汲極電極上，該閘極絕緣層係與該氧化物半導體層的一部分接觸；以及

閘極電極，係與該氧化物半導體層重疊且在該閘極絕

緣層之上，

其中該源極電極和該汲極電極的平均表面粗糙度  $Ra$  係小於或等於 0.5 奈米 (nm)，以及

其中該氧化物半導體層的末端部分被覆蓋以該源極電極及該汲極電極。

3. 一種半導體裝置，包含：

絕緣層，在基板上；

氧化物半導體層，在該絕緣層上；

源極電極及汲極電極，其末端部分具有錐形角度且其上端部分具有彎曲表面，該源極電極及該汲極電極係電性連接至該氧化物半導體層；

閘極絕緣層，在該氧化物半導體層、該源極電極和該汲極電極上，該閘極絕緣層係與該氧化物半導體層的一部分接觸；以及

閘極電極，係與該氧化物半導體層重疊且在該閘極絕緣層之上，

其中該氧化物半導體層的平均表面粗糙度  $Ra$  係小於或等於 0.5 奈米 (nm)，以及

其中該氧化物半導體層的末端部分被覆蓋以該源極電極及該汲極電極。

4. 如申請專利範圍第 1、2、和 3 項中任一項之半導體裝置，其中該源極電極及該汲極電極在該閘極絕緣層與該氧化物半導體層之間。

5. 如申請專利範圍第 1、2、和 3 項中任一項之半導

體裝置，其中該源極電極及該汲極電極在該基板與該氧化物半導體層之間。

6. 如申請專利範圍第 1、2、和 3 項中任一項之半導體裝置，其中該氧化物半導體層在該絕緣層上且與該絕緣層接觸。

7. 如申請專利範圍第 1、2、和 3 項中任一項之半導體裝置，其中該源極電極及該汲極電極在該絕緣層上且與該絕緣層接觸。

8. 如申請專利範圍第 1、2、和 3 項中任一項之半導體裝置，其中自該絕緣層所釋放出之氧的數量係大於或等於  $1.0 \times 10^{18}$  原子/立方公分。

9. 如申請專利範圍第 1、2、和 3 項中任一項之半導體裝置，其中該絕緣層包含氧化矽，其中每一單位體積之氧原子的數目係比每一單位體積之矽原子的數目大兩倍以上。

10. 如申請專利範圍第 1、2、和 3 項中任一項之半導體裝置，其中該錐形角度係大於或等於 20 度且小於 90 度。

11. 如申請專利範圍第 1、2、和 3 項中任一項之半導體裝置，其中該上端部分的曲率半徑係大於或等於該源極電極及該汲極電極之厚度的  $1/100$  且小於或等於該源極電極及該汲極電極之厚度的  $1/2$ 。

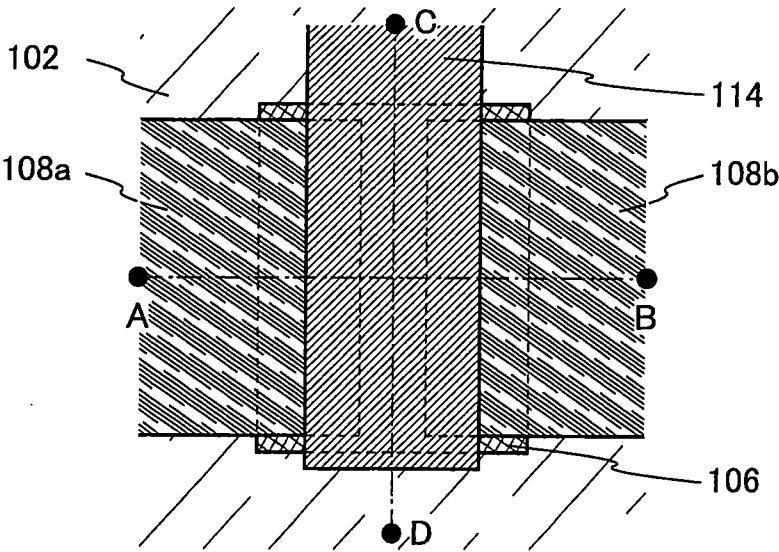
12. 如申請專利範圍第 1、2、和 3 項中任一項之半導體裝置，其中該氧化物半導體層包含 In、Ga、及 Zn 之其

中至少一者。

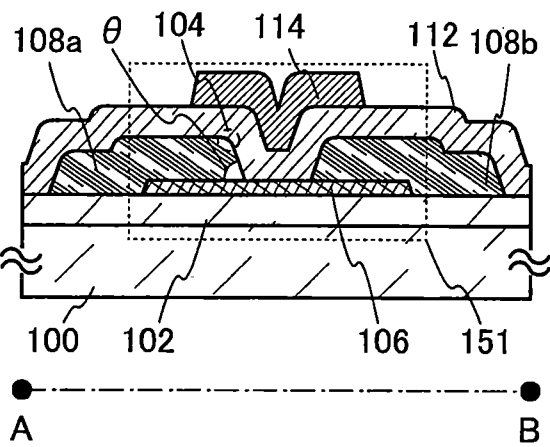
13. 如申請專利範圍第 1、2、和 3 項中任一項之半導體裝置，其中該閘極電極與該源極電極和該汲極電極的該末端部分、及該上端部分重疊。

圖式

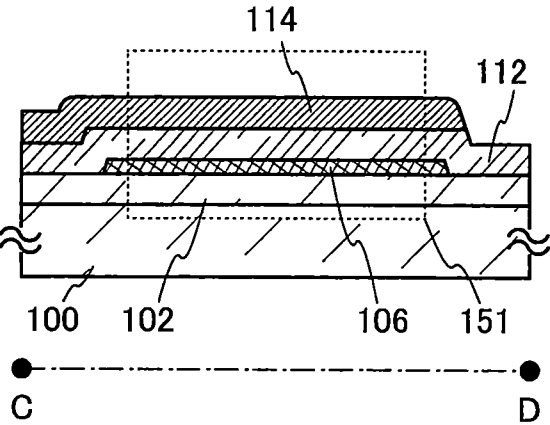
第1A圖



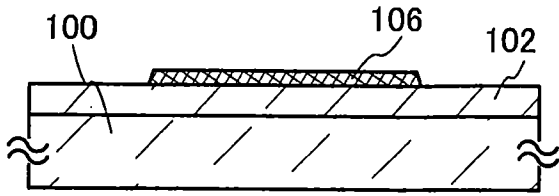
第1B圖



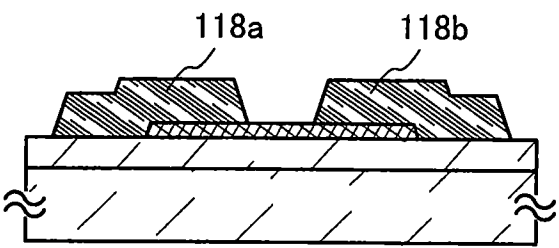
第1C圖



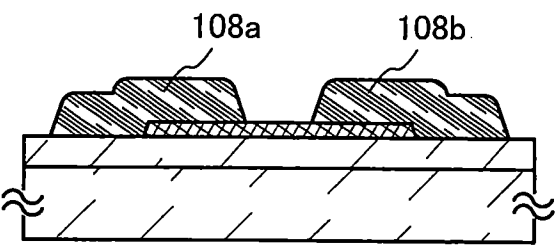
第2A圖



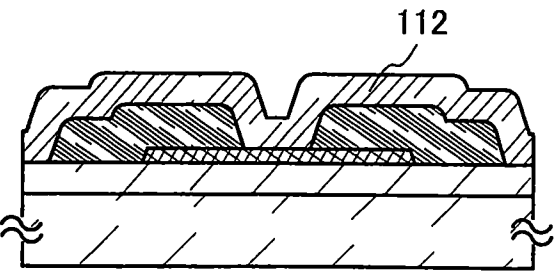
第2B圖



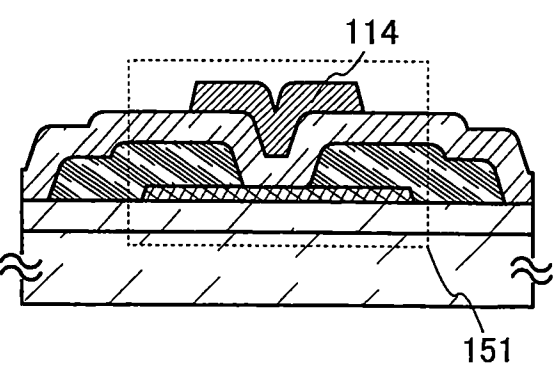
第2C圖



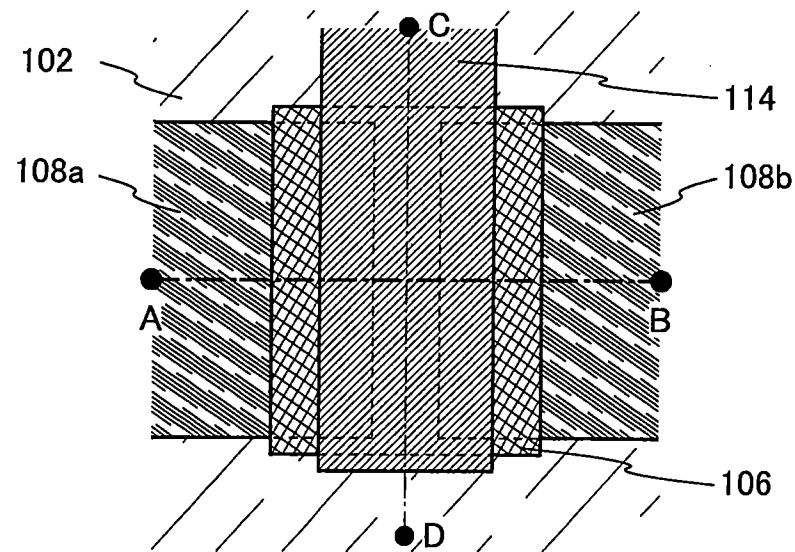
第2D圖



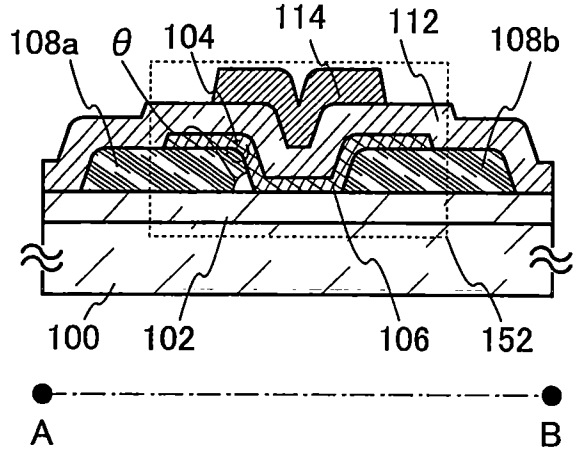
第2E圖



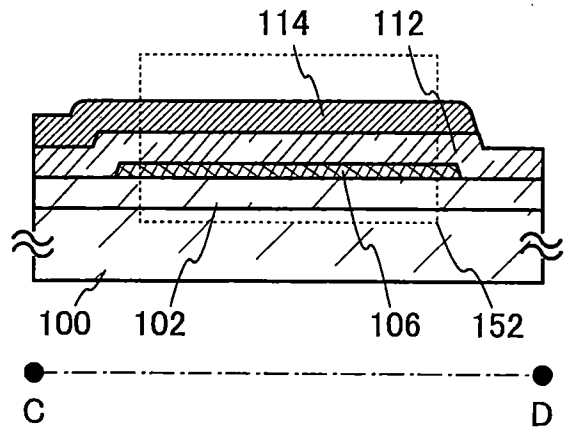
第3A圖



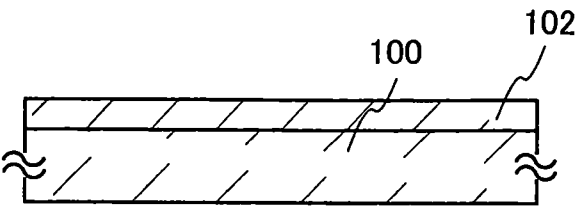
第3B圖



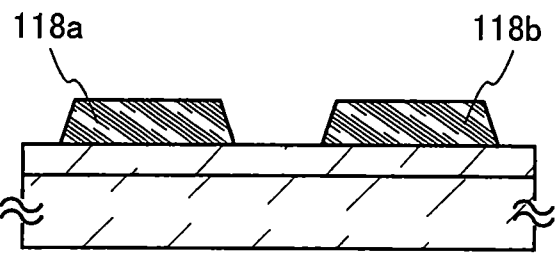
第3C圖



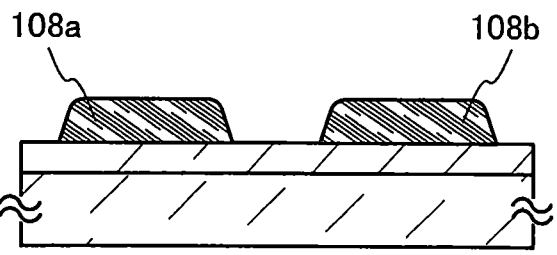
第4A圖



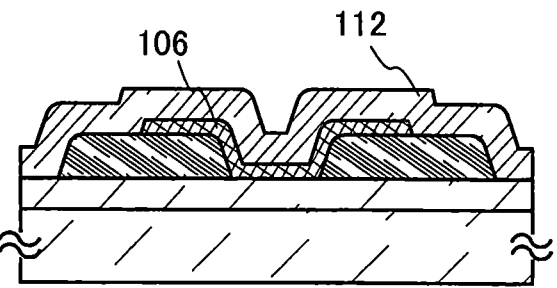
第4B圖



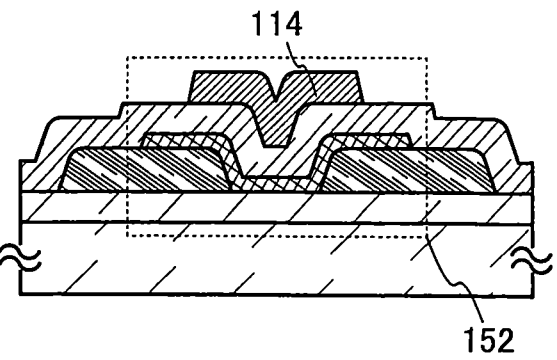
第4C圖



第4D圖

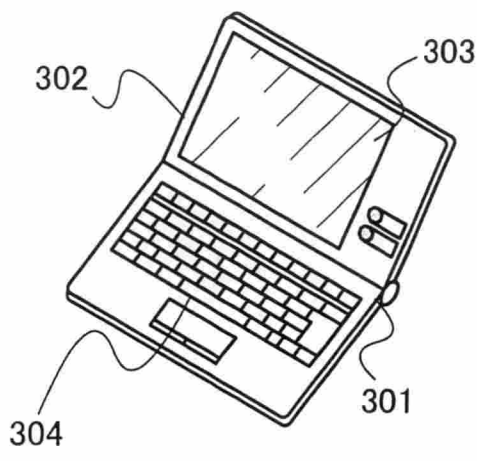


第4E圖

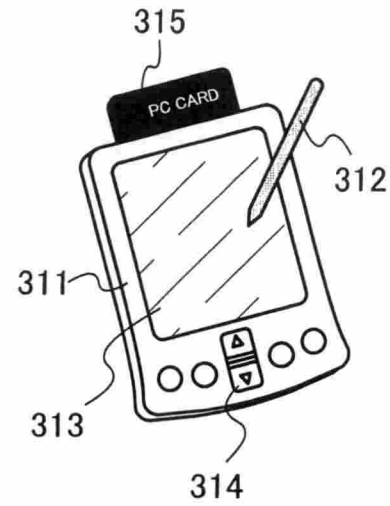




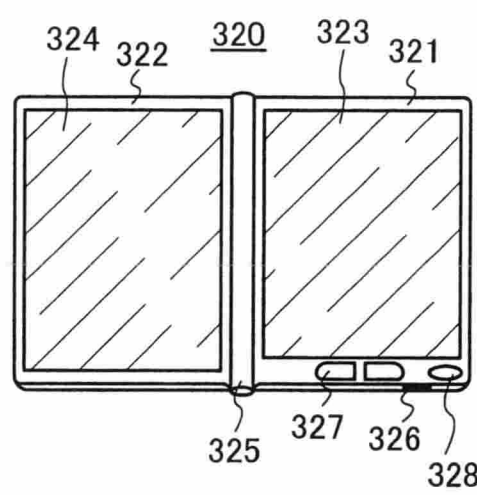
第5A圖



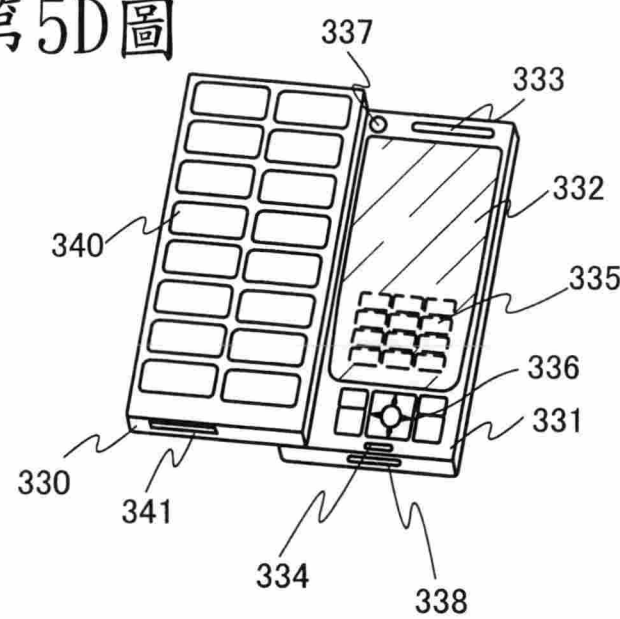
第5B圖



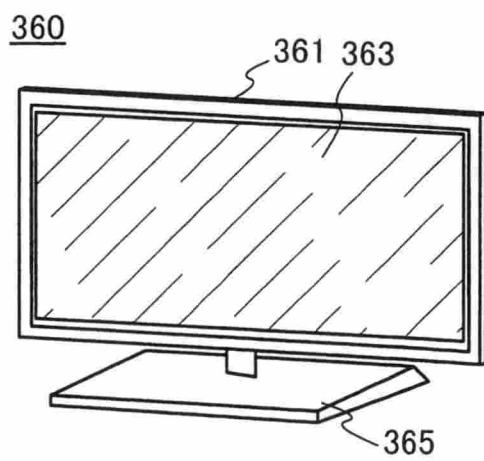
第5C圖



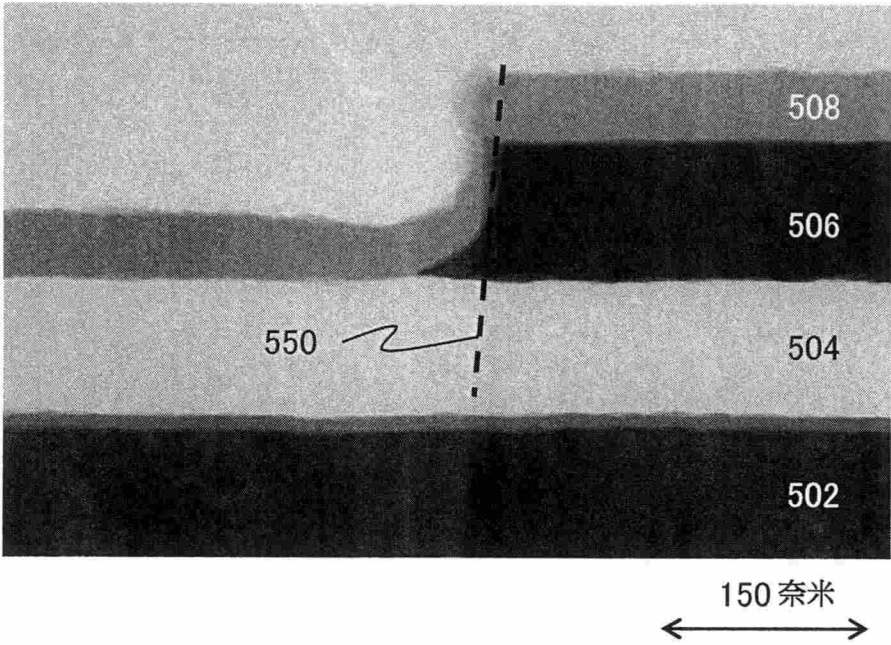
第5D圖



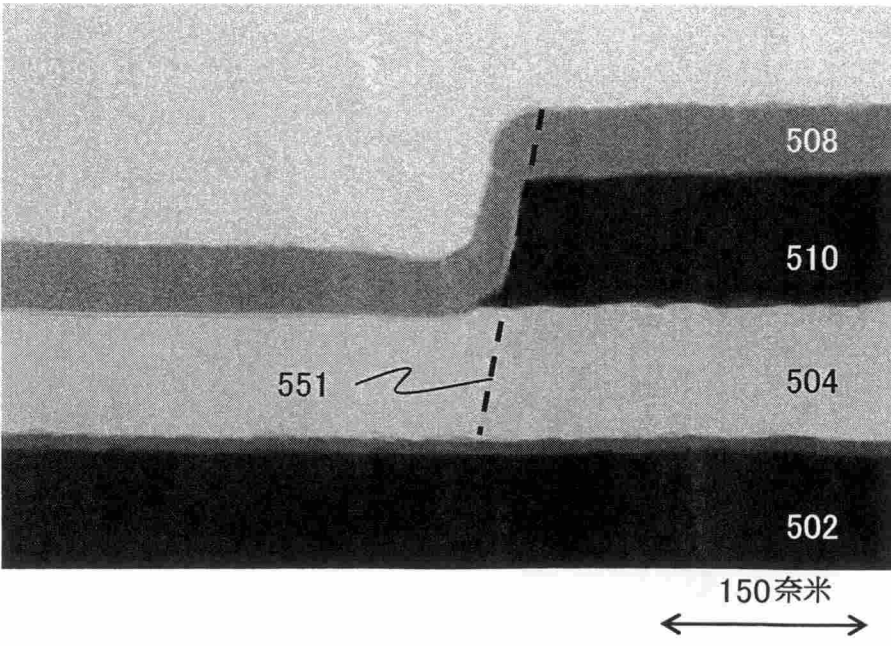
第5E圖



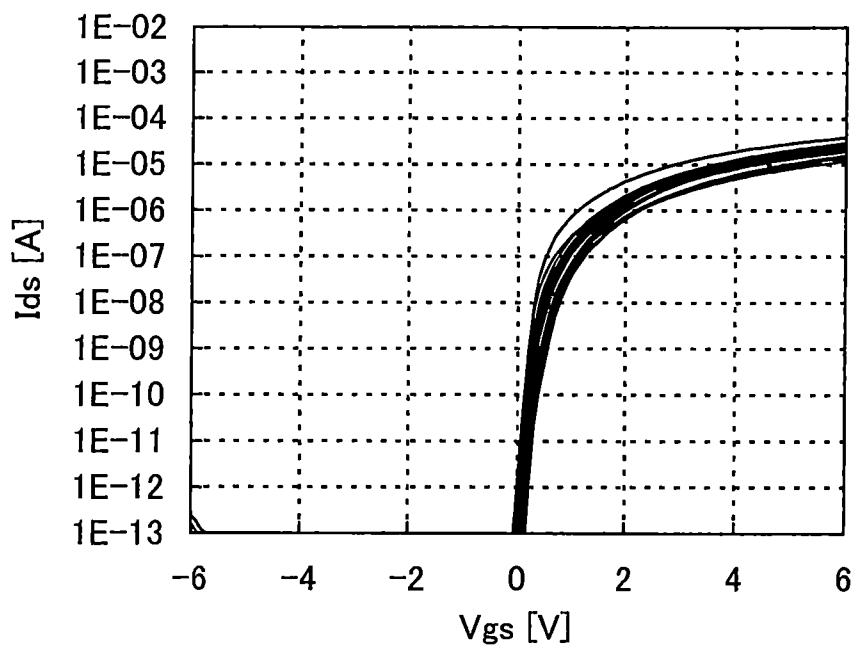
第6A圖



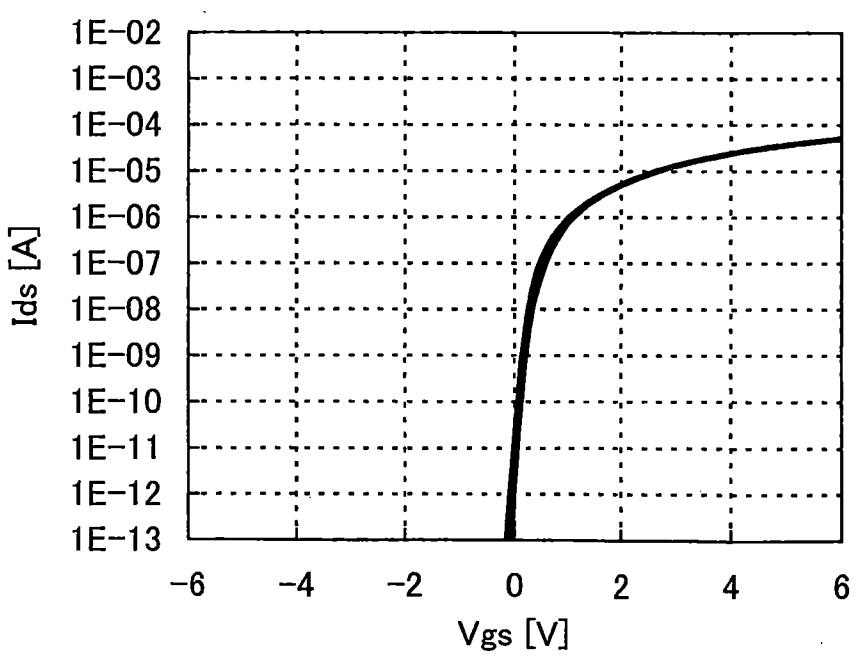
第6B圖



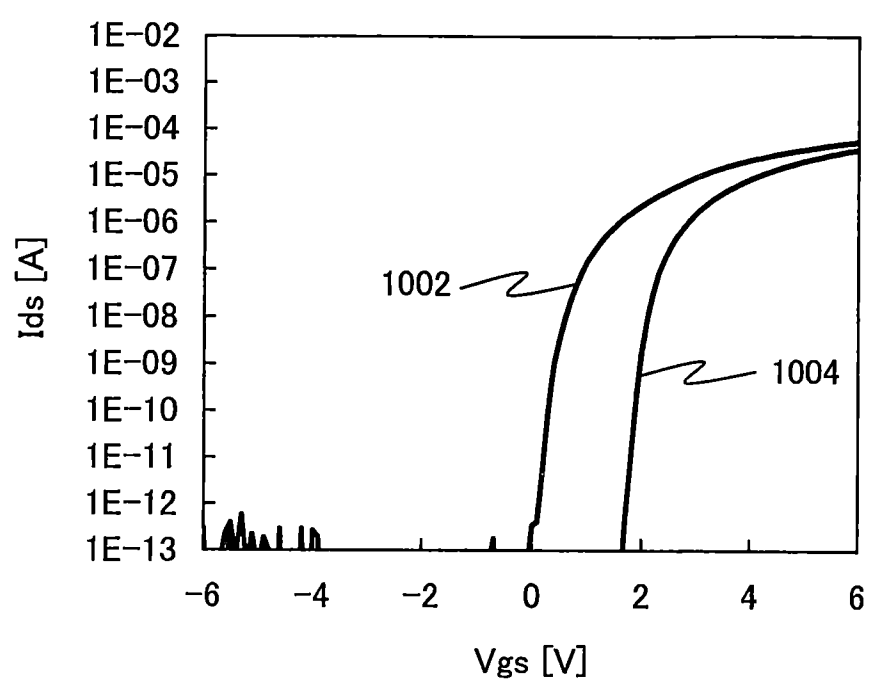
第7A圖



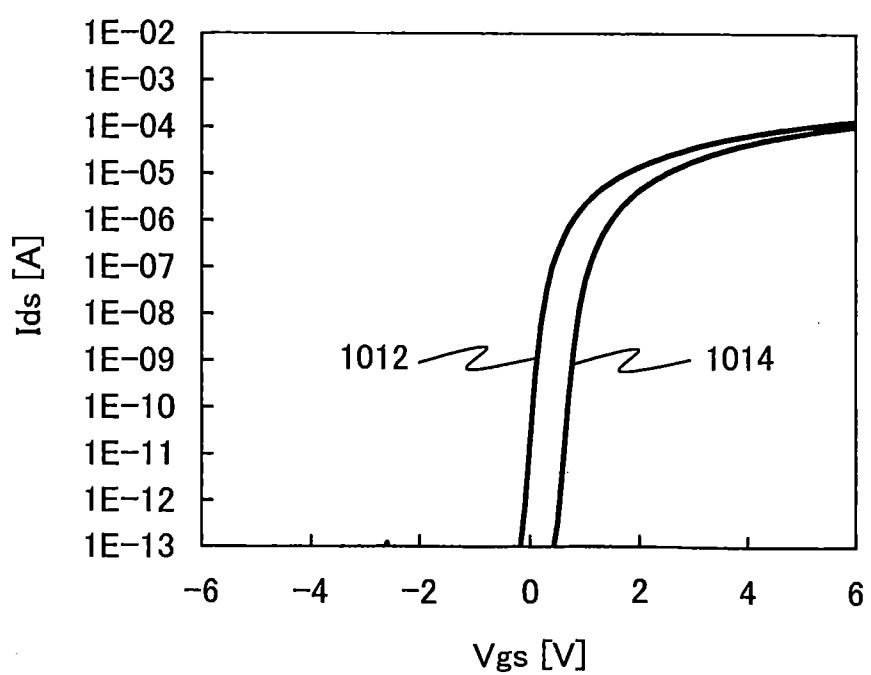
第7B圖



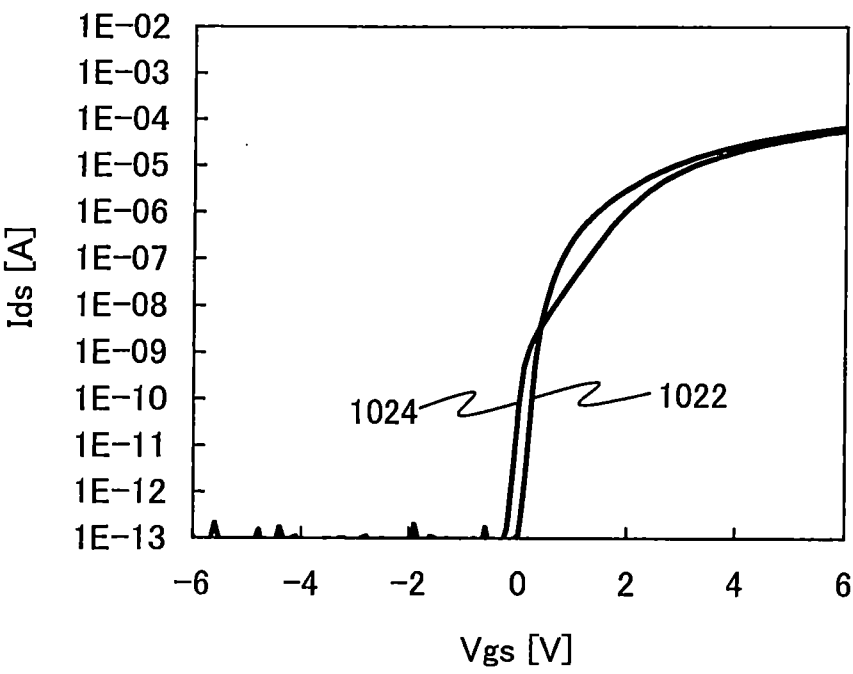
第8A圖



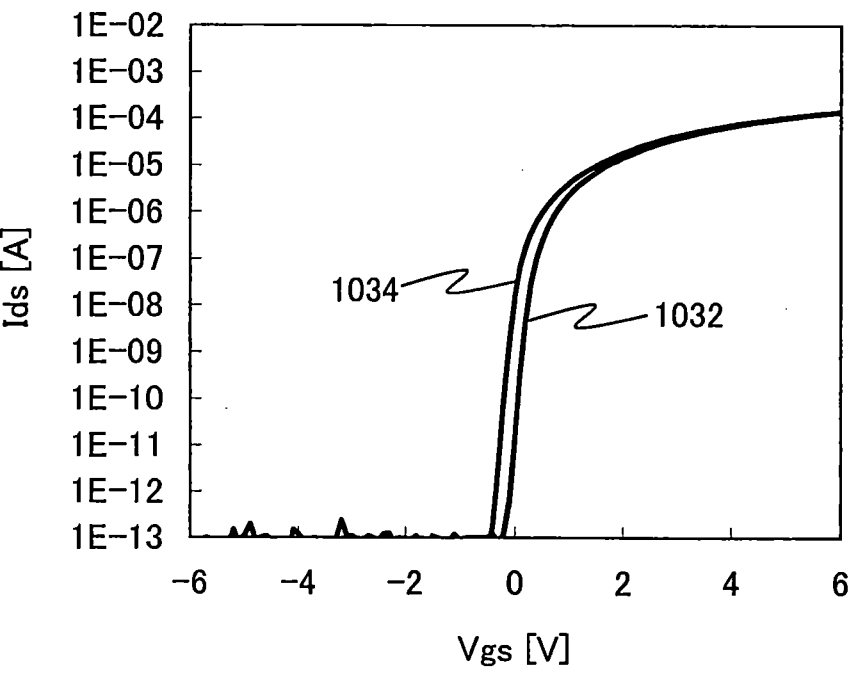
第8B圖



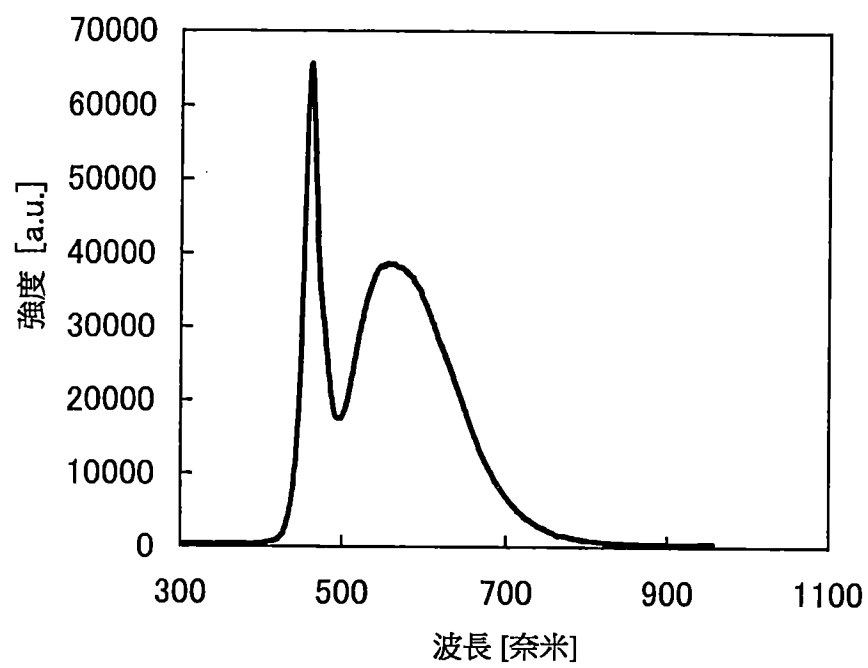
第9A圖



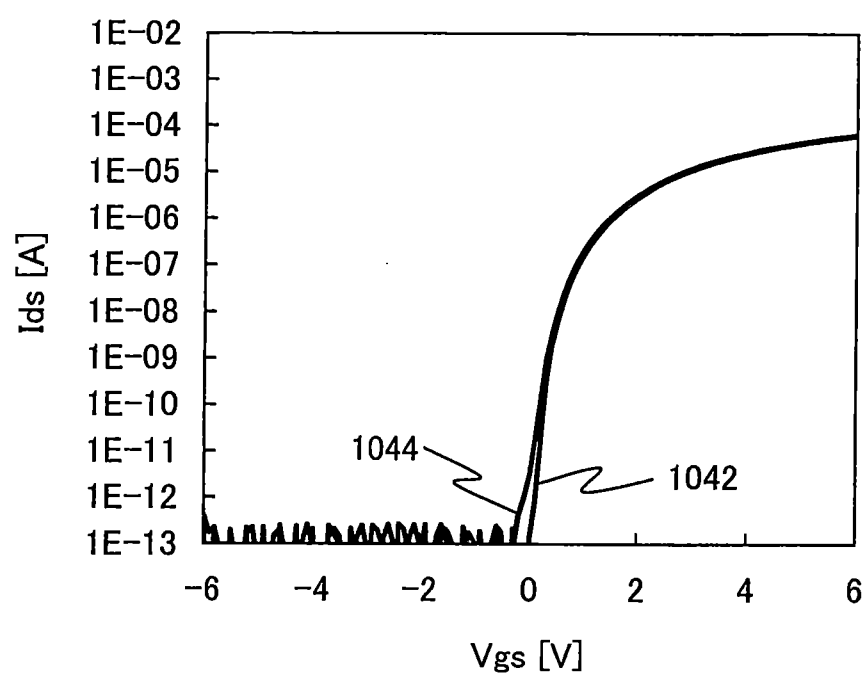
第9B圖



第10圖



第11A圖



第11B圖

