(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2010 年 3 月 25 日(25.03.2010)

PCT

(10) 国際公開番号
WO 2010/032386 A1

(51) 国際特許分類:
H01L 29/786 (2006.01) *G02F 1/1345* (2006.01)
C23C 16/24 (2006.01) *G02F 1/1368* (2006.01)

(21) 国際出願番号: PCT/JP2009/004288

(22) 国際出願日: 2009 年 9 月 1 日(01.09.2009)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2008-238485 2008 年 9 月 17 日(17.09.2008) JP

(71) 出願人 (米国を除く全ての指定国について): シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町２２番２２号 Osaka (JP).

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 齊藤裕一(SAITO, Yuichi). 守口正生(MORIGUCHI, Masao). 吉田徳生(YOSHIDA, Tokuo). 岩瀬泰章(IWASE, Yasuaki). 神崎庸輔(KANZAKI, Yohsuke). 坂本真由子(SAKAMOTO, Mayuko).

(74) 代理人: 奥田誠司(OKUDA, Seiji); 〒5410041 大阪府大阪市中央区北浜一丁目８番１６号 大阪証券取引所ビル１０階 奥田国際特許事務所 Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

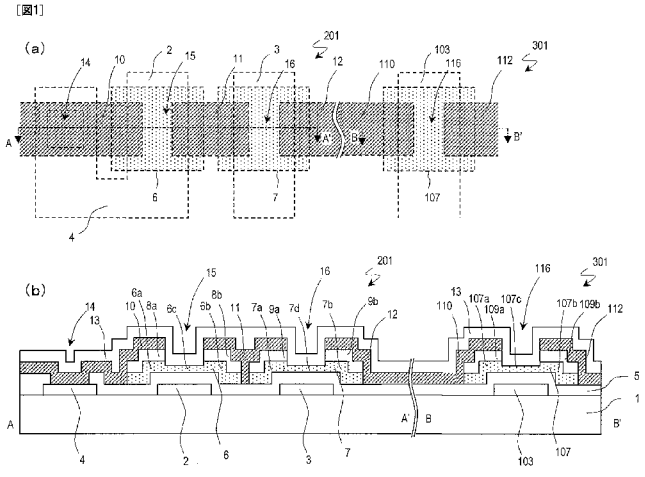
添付公開書類:
— 国際調査報告（条約第 21 条(3)）

[続葉有]

(54) **Title**: SEMICONDUCTOR DEVICE

(54) 発明の名称 : 半導体装置

[図1]



(57) **Abstract**: A diode (201) is provided with: a gate electrode (2); a gate insulating layer (5) formed on the gate electrode (2); at least one semiconductor layer (6, 7) which is formed on the gate insulating layer (5) and has a first region (6a) and a second region (7b); a first electrode (10) which is arranged on the first region (6a) and is electrically connected to the first region (6a) and the gate electrode (2); and a second electrode (12) which is arranged on the second region (7b) and is electrically connected to the second region (7b). At least one semiconductor layer (6, 7) has a channel region (6c) overlapping with the gate electrode (2) with the gate insulating layer (5) therebetween, and a resistive region (7d) not overlapping with the gate electrode (2), and in a state where the diode (201) is turned on, a current path, including the channel region (6c) and the resistive region (7d), is formed between the first electrode (10) and the second electrode (12).

(57) 要約:

[続葉有]

WO 2010/032386 A1

ダイオード２０１は、ゲート電極２と、ゲート電極２上に形成されたゲート絶縁層５と、ゲート絶縁層５上に形成され、第１領域６ａと、第２領域７ｂとを有する少なくとも１つの半導体層６、７と、第１領域６ａ上に設けられ、第１領域６ａおよびゲート電極２と電気的に接続された第１電極１０と、第２領域７ｂ上に設けられ、第２領域７ｂに電気的に接続された第２電極１２とを備え、少なくとも１つの半導体層６、７は、ゲート絶縁層５を介してゲート電極２と重なっているチャネル領域６ｃと、ゲート電極２と重なっていない抵抗領域７ｄとを有し、ダイオード２０１のオン状態において、第１電極１０と第２電極１２との間に、チャネル領域６ｃと抵抗領域７ｄとを含む電流経路が形成される。

明　細　書

発明の名称 ： 半導体装置

技術分野

[0001] 本発明は、薄膜トランジスタおよびダイオードを同一基板上に備えた半導体装置に関する。

背景技術

[0002] 液晶表示装置等に用いられるアクティブマトリクス基板は、画素毎に薄膜トランジスタ（Ｔｈｉｎ　Ｆｉｌｍ　Ｔｒａｎｓｉｓｔｏｒ；以下、「ＴＦＴ」）などのスイッチング素子を備えている。このようなスイッチング素子としては、従来から、アモルファスシリコン膜を活性層とするＴＦＴ（以下、「アモルファスシリコンＴＦＴ」）や多結晶シリコン膜を活性層とするＴＦＴ（以下、「多結晶シリコンＴＦＴ」）が広く用いられている。

[0003] 多結晶シリコン膜における電子および正孔の移動度はアモルファスシリコン膜の移動度よりも高いので、多結晶シリコンＴＦＴは、アモルファスシリコンＴＦＴよりも高いオン電流を有し、高速動作が可能である。そのため、多結晶シリコンＴＦＴを用いてアクティブマトリクス基板を形成すると、スイッチング素子としてのみでなく、ドライバーなどの周辺回路にも多結晶シリコンＴＦＴを使用することができる。従って、ドライバーなどの周辺回路の一部または全体と表示部とを同一基板上に一体形成することができるという利点がある。さらに、液晶表示装置等の画素容量をより短いスイッチング時間で充電できるという利点もある。

[0004] しかし、多結晶シリコンＴＦＴを作製しようとすると、アモルファスシリコン膜を結晶化させるためのレーザー結晶化工程の他、熱アニール工程、イオンドーピング工程などの複雑な工程を行う必要があり、基板の単位面積あたりの製造コストが高くなるという問題がある。よって、多結晶シリコンＴＦＴは、主に中型および小型の液晶表示装置に用いられている。

[0005] 一方、アモルファスシリコン膜は多結晶シリコン膜よりも容易に形成され

るので大面積化に向いている。そのため、アモルファスシリコンＴＦＴは、大面積を必要とする装置のアクティブマトリクス基板に好適に使用される。多結晶シリコンＴＦＴよりも低いオン電流を有するにもかかわらず、液晶テレビのアクティブマトリクス基板の多くにはアモルファスシリコンＴＦＴが用いられている。

[0006] しかしながら、アモルファスシリコンＴＦＴを用いると、アモルファスシリコン膜の移動度が低いことから、その高性能化に限界がある。特に、近年、液晶テレビ等の液晶表示装置には、大型化に加え、高画質化および低消費電力化が強く求められており、アモルファスシリコンＴＦＴでは、このような要求に十分に応えることが困難である。

[0007] そこで、製造工程数や製造コストを抑えつつ、より高性能なＴＦＴを実現するために、ＴＦＴの活性層の材料として、アモルファスシリコンや多結晶シリコン以外の材料を用いる試みがなされている。特許文献１、特許文献２および非特許文献１には、微結晶シリコン（μｃ－Ｓｉ）膜を用いてＴＦＴの活性層を形成することが提案されている。このようなＴＦＴを「微結晶シリコンＴＦＴ」と称する。

[0008] 微結晶シリコン膜は、内部に微結晶粒を有するシリコン膜であり、微結晶粒の粒界は主としてアモルファス相である。すなわち、微結晶粒からなる結晶相とアモルファス相との混合状態を有している。各微結晶粒のサイズは、多結晶シリコン膜に含まれる結晶粒のサイズよりも小さい。また、後で詳述するように、微結晶シリコン膜では、各微結晶粒が例えば基板面から柱状に成長した柱状形状を有する。

[0009] 微結晶シリコン膜は、プラズマＣＶＤ法などを用いた成膜工程のみによって形成され得る。原料ガスとしては、水素ガスで希釈したシランガスを用いることができる。多結晶シリコン膜を形成する場合、ＣＶＤ装置等を用いてアモルファスシリコン膜を形成した後に、レーザーや熱によってアモルファスシリコン膜を結晶化させる工程（アニール工程）が必要である。これに対し、微結晶シリコン膜を形成する場合には、ＣＶＤ装置等によって、基本的

な結晶相を含む微結晶シリコン膜を形成できるので、レーザーや熱によるアニール工程を省くことができる。このように、微結晶シリコン膜は、多結晶シリコン膜の形成に必要な工程数よりも少ない工程数で形成されるので、微結晶シリコンＴＦＴは、アモルファスシリコンＴＦＴと同程度の生産性、すなわち同程度の工程数とコストで作製され得る。また、アモルファスシリコンＴＦＴを作製するための装置を用いて微結晶シリコンＴＦＴを作製することも可能である。

[0010] 微結晶シリコン膜は、アモルファスシリコン膜よりも高い移動度を有するので、微結晶シリコン膜を用いることにより、アモルファスシリコンＴＦＴよりも高いオン電流を得ることができる。また、微結晶シリコン膜は、多結晶シリコン膜のように複雑な工程を行うことなく形成できるので、大面積化も容易である。

[0011] 特許文献１には、ＴＦＴの活性層として微結晶シリコン膜を用いることにより、アモルファスシリコンＴＦＴの１．５倍のオン電流が得られることが記載されている。また、非特許文献１には、微結晶シリコンおよびアモルファスシリコンからなる半導体膜を用いることにより、ＯＮ／ＯＦＦ電流比が10^6、移動度が約１cm^2／Ｖｓ、閾値が約５ＶのＴＦＴが得られることが記載されている。この移動度は、アモルファスシリコンＴＦＴの移動度より高い。なお、非特許文献１に記載されたＴＦＴでは、オフ電流を低減するために、微結晶シリコン層の上にアモルファスシリコン層が形成されている。さらに、特許文献２には、微結晶シリコンを用いた逆スタガ型（ボトムゲート構造）のＴＦＴが開示されている。

[0012] また、シリコンに代わる新たな材料として、Ｚｎ－Ｏ系半導体（ＺｎＯ）膜、Ｉｎ－Ｇａ－Ｚｎ－Ｏ系半導体（ＩＧＺＯ）膜などの金属酸化物半導体を用いたＴＦＴが提案されている。特許文献３には、ＺｎＯからなる半導体層を用いることにより、ＯＮ／ＯＦＦ電流比が４．５×10^5、移動度が約１５０cm^2／Ｖｓ、閾値が約１．３ＶのＴＦＴが得られることが記載されている。この移動度は、アモルファスシリコンＴＦＴの移動度よりも遥かに高い

値である。また、非特許文献２には、ＩＧＺＯからなる半導体層を用いることにより、移動度が約５．６～８．０ｃｍ^2／Ｖｓ、閾値が約－６．６～－９．９ＶのＴＦＴが得られることが記載されている。同様に、この移動度は、アモルファスシリコンＴＦＴの移動度よりも遥かに高い値である。

[0013] 一方、アクティブマトリクス基板には、通常、静電気による素子、配線などの損傷を防ぐために、ソースおよびゲートバスラインなどの配線間にショートリングが設けられる。従来は、ショートリングとして、ゲートバスラインおよびソースバスラインの周囲に、これらの配線を全て電気的に接続する導電線が形成されていたが、このようなショートリングは駆動用のドライバー等を基板に実装する前に除去する必要があり、実装工程での静電気から素子を十分に保護できない。

[0014] そこで、ＴＦＴの半導体層と同一の半導体膜を用いてショートリングを形成することが提案されている。例えば特許文献４～６は、ソースバスライン間および／またはゲートバスライン間に、半導体膜を用いて形成された２端子素子（以下、「ショートリング用ダイオード」ともいう。）を形成することによって、ショートリングを形成することを開示している。このうち特許文献４では、半導体膜としてアモルファスシリコン膜を用い、特許文献５および６では、半導体膜としてポリシリコン膜（多結晶シリコン膜）を用いている。

[0015] 図２５（ａ）は、特許文献４に開示されたアクティブマトリクス基板の平面図である。アクティブマトリクス基板１０００は、互いに平行に配列された複数のゲートバスライン１０１４と、ゲートバスライン１０１４と直交する複数のソースバスライン１０１０と、ゲートバスライン１０１４およびソースバスライン１０１０に囲まれた矩形の領域にそれぞれ設けられた画素電極（図示せず）と、ゲートバスライン１０１４およびソースバスライン１０１０の交差部近傍に配置された薄膜トランジスタ１０１８とを備える。薄膜トランジスタ１０１８は各画素のスイッチング素子として機能する。各ゲートバスライン１０１４はゲート端子１０１６に接続され、各ソースバスライ

ン１０１０はソース端子１０１２に接続されている。隣接するゲートバスライン１０１４の間、および、隣接するソースバスライン１０１０の間には、薄膜トランジスタ１０１８の半導体層と同一の半導体膜を用いて形成されたショートリング用のダイオード１０２０が形成されている。ダイオード１０２０は、ＴＦＴのソースとゲートとをショートさせた構造を有し、「ＴＦＴ型ダイオード」とも呼ばれる。

[0016] アクティブマトリクス基板１０００では、外部から何れかの端子１０１２、１０１６に静電気が入ると、その端子１０１２、１０１６に接続されたダイオード１０２０のゲートが開き、隣接する配線１０１０、１０１４に向かって順に電荷が拡散していく。その結果、全てのソースバスライン１０１０およびゲートバスライン１０１４が等電位となるので、静電気によって薄膜トランジスタ１０１８がダメージを受けることを抑制できる。

[0017] 図２５（ｂ）は、特許文献４に開示されたＴＦＴ型ダイオード１０２０の模式的な断面図である。ダイオード１０２０は、ゲート電極１１１１と、ゲート電極１１１１の上にゲート絶縁膜１００５を介して形成された半導体層１００６と、半導体層１００６の両端にそれぞれ電気的に接続された第１電極（ソース電極）１１３１および第２電極（ドレイン電極）１１３２とを有している。半導体層１００６と、第１および第２電極１１３１、１１３２との間にはそれぞれコンタクト層１００７が形成されている。第１電極１１３１はゲート電極１１１１とコンタクトホール１１３３内で接続されている。半導体層１００６のうち２つの電極１１３１、１１３２に挟まれた部分１００６ｃはゲート電極１１１１と重なっている。

[0018] このようなダイオード１０２０では、第２電極１１３２の電位を基準（０Ｖ）として、第１電極１１３１に正の電位が与えられると、ゲート電極１１１１も正の電位となる。これによって、半導体層１００６のうちゲート電極１１１１と重なっている部分１００６ｃの電気抵抗が下がり、チャネルが形成される。この結果、第１電極１１３１と第２電極１１３２との間に電流が流れる。

先行技術文献

特許文献

[0019] 特許文献1：特開平６－１９６７０１号公報

特許文献2：特開平５－３０４１７１号公報

特許文献3：特開２００２－７６３５６号公報

特許文献4：特開平１０－２０３３６号公報

特許文献5：特開２００７－２１２７１１号公報

特許文献6：特開平１１－２３１３４５号公報

非特許文献

[0020] 非特許文献1：Ｚｈｏｎｇｙａｎｇ Ｘｕ他「Ａ Ｎｏｖｅｌ Ｔｈｉｎ－ｆｉｌｍ Ｔｒａｎｓｉｓｔｏｒｓ Ｗｉｔｈ μｃ－Ｓｉ／ａ－Ｓｉ Ｄｕａｌ Ａｃｔｉｖｅ Ｌａｙｅｒ Ｓｔｒｕｃｔｕｒｅ Ｆｏｒ ＡＭ－ＬＣＤ」 ＩＤＷ’９６ Ｐｒｏｃｅｅｄｉｎｇｓ ｏｆ Ｔｈｅ Ｔｈｉｒｄ Ｉｎｔｅｒｎａｔｉｏｎａｌ Ｄｉｐｌａｙ Ｗｏｒｋｓｈｏｐｓ ＶＯＬＵＭＥ １、１９９６、ｐ．１１７～１２０

非特許文献2：Ｊｅ－ｈｕｎ Ｌｅｅ他「Ｗｏｒｌｄ’ｓ Ｌａｒｇｅｓｔ（１５-ｉｎｃｈ） ＸＧＡ ＡＭＬＣＤ Ｐａｎｅｌ Ｕｓｉｎｇ ＩＧＺＯ Ｏｘｉｄｅ ＴＦＴ」，ＳＩＤ ０８ ＤＩＧＥＳＴ，（米国），Ｓｏｃｉｅｔｙ ｆｏｒ Ｉｎｆｏｒｍａｔｉｏｎ Ｄｉｓｐｌａｙ，２００８年，第３９巻，第１版，ｐ．６２５～６２８

発明の概要

発明が解決しようとする課題

[0021] 微結晶シリコン膜などの移動度の高い半導体膜を用いて、図２５（ａ）および（ｂ）に示すようなショートリング構造を有するアクティブマトリクス基板を作製しようとすると、次のような問題がある。

[0022] 移動度の高い半導体膜を用いて、スイッチング素子として機能する薄膜トランジスタ１０１８の半導体層およびショートリング用のダイオード１０２

０の半導体層を形成する場合、アモルファスシリコン膜を用いた場合と同様にダイオード１０２０を設計すると、ダイオード１０２０の半導体層の移動度が従来よりも高くなるので、ダイオード１０２０に電流が流れやすくなる（すなわちショートリング抵抗が低くなる）。ダイオード１０２０に電流が流れすぎると、ソースバスライン１０１０あるいはゲートバスライン１０１４間で、正常動作時においてもリークが生じて正常な信号が送れないおそれがある。

[0023] 移動度の高い半導体層を用いつつ、ショートリング抵抗を大きくするためには、例えばダイオード１０２０のオン抵抗を高くすることが考えられる。ダイオード１０２０のオン抵抗は、ダイオード１０２０のチャネル領域１００６ｃの長さ（以下、「チャネル長」Ｌという。）に比例し、チャネル領域１００６ｃの幅（以下、「チャネルの幅」）Ｗに反比例するので、チャネル長Ｌを大きくするか、あるいはチャネル幅Ｗを小さくすればよい。しかしながら、プロセス上の制約（現行設備による最小パターンサイズの制限）があり、チャネル幅Ｗを十分に小さくできない可能性ある。一方、チャネル長Ｌを大きくすると、ダイオード１０２０のサイズが大きくなるので、アモルファスシリコンを用いたアクティブマトリクス基板の設計サイズよりも大きくなり、額縁領域（アクティブマトリクス基板のうち表示領域の外側に位置する領域）のサイズが拡大するというデメリットが発生する。

[0024] 一例を挙げると、現在のアモルファスシリコンを用いたショートリング用のダイオードでは、チャネル長Ｌが２０～３０μｍ、チャネル幅Ｗが１０～２０μｍ程度である。現行設備の仕様では、通常よく用いられるｇ、ｈ線を用いたステッパー露光機ではチャネル幅Ｗの下限が３～３．５μｍ程度であり、それ以下になると精度が低下してしまう。ここで、アモルファスシリコンの移動度の３倍以上の移動度を有する半導体膜を用いると、チャネル幅Ｗを小さくするだけでは、十分なショートリング抵抗を確保できず、チャネル長Ｌを大きくする必要が生じる。従って、上述したようにダイオードのサイズが増大し、その結果、表示装置の額縁領域が拡大してしまう。

[0025] 特に金属酸化物半導体を用いた薄膜トランジスタでは移動度が非常に高い。Ｚｎ－Ｏ系半導体（ＺｎＯ）膜を用いた特許文献３の例では、薄膜トランジスタの移動度は約１５０ｃｍ^2／Ｖｓもあるので、従来のダイオードを作製した場合に表示装置の額縁領域が顕著に拡大する。同様に、Ｉｎ－Ｇａ－Ｚｎ－Ｏ系半導体（ＩＧＺＯ）膜を用いた非特許文献２の例では、薄膜トランジスタの移動度は５．６～８．０ｃｍ^2／Ｖｓもあるので、従来のダイオードを作製した場合に表示装置の額縁領域が同様に大きく拡大する。また、高移動度が得られる金属酸化物半導体であるＩｎ－Ｚｎ－Ｏ系半導体（ＩＺＯ）膜、Ｚｎ－Ｔｉ－Ｏ系半導体（ＺＴＯ）膜を用いた場合も同様である。

[0026] ここでは、ショートリング用のダイオードを例に説明したが、他の用途、例えば駆動回路などの回路で使用されるＴＦＴ型ダイオードにも、上記と共通の問題がある。

[0027] 本発明は、上記の問題点に鑑みてなされたものであり、その目的は、薄膜トランジスタおよびダイオードを同一基板上に備えた基板において、ダイオードのサイズを増大させることなくダイオードの電流の大きさを制御することにある。

課題を解決するための手段

[0028] 本発明の半導体装置は、基板と、前記基板上に形成された薄膜トランジスタおよびダイオードとを含む半導体装置であって、前記ダイオードは、基板上に形成されたゲート電極と、前記ゲート電極上に形成されたゲート絶縁層と、前記ゲート絶縁層上に形成され、第１領域と、第２領域とを有する少なくとも１つの半導体層と、前記第１領域上に設けられ、前記第１領域および前記ゲート電極と電気的に接続された第１電極と、前記第２領域上に設けられ、前記第２領域に電気的に接続された第２電極とを備え、前記少なくとも１つの半導体層は、前記ゲート絶縁層を介して前記ゲート電極と重なっているチャネル領域と、前記ゲート絶縁層を介して前記ゲート電極と重なっていない抵抗領域とを有し、前記ダイオードのオン状態において、前記第１電極と前記第２電極との間に、前記チャネル領域と前記抵抗領域とを含む電流経

路が形成される。

[0029] ある好ましい実施形態において、前記ダイオードは、前記基板と前記ゲート絶縁層との間に形成され、前記ゲート電極と分離された導電層をさらに備え、前記抵抗領域は、前記ゲート絶縁層を介して前記導電層と重なるように配置されている。

[0030] ある好ましい実施形態において、前記少なくとも１つの半導体層は、前記第１領域を有する第１半導体層と、前記第２領域を有する第２半導体層とを含む複数の半導体層であって、前記ダイオードは、前記複数の半導体層を直列に接続する少なくとも１つの中間電極をさらに備え、前記複数の半導体層は、前記ゲート電極と重なっていない半導体層を含む。

[0031] ある好ましい実施形態において、前記少なくとも１つの半導体層は、前記第１および第２領域と、前記チャネル領域と、前記抵抗領域とを有する１つの半導体層を含む。

[0032] ある好ましい実施形態において、前記ダイオードは、前記ゲート電極よりも前記第２電極側に配置された他のゲート電極をさらに備え、前記１つの半導体層は、前記チャネル領域よりも前記第２電極側に配置された他のチャネル領域をさらに含み、前記他のチャネル領域は、前記ゲート絶縁層を介して前記他のゲート電極と重なっており、前記抵抗領域は、前記チャネル領域および前記他のチャネル領域の間に位置している。

[0033] ある好ましい実施形態において、前記１つの半導体層は、前記チャネル領域と前記抵抗領域との間に中間領域をさらに含み、前記ダイオードは、前記中間領域上に設けられ、前記中間領域と電気的に接続された中間電極をさらに備える。

[0034] 前記少なくとも１つの半導体層および前記薄膜トランジスタの半導体層は、同一の半導体膜から形成されていてもよい。

[0035] 前記少なくとも１つの半導体層および前記薄膜トランジスタの半導体層は、結晶相およびアモルファス相を有する微結晶シリコン膜から形成されていてもよい。

[0036] 前記微結晶シリコン膜に占める前記アモルファス相の体積率は５％以上９５％以下であってもよい。

[0037] 前記微結晶シリコン膜に占める前記アモルファス相の体積率は５％以上４０％以下であってもよい。

[0038] 前記少なくとも１つの半導体層は、金属酸化物半導体を含んでいてもよい。

[0039] ある好ましい実施形態において、前記基板上に格子状に配列されたゲートバスラインおよびソースバスラインを含む複数のバスラインをさらに備え、前記ダイオードの前記第１電極は、前記複数のバスラインのうち何れか１本と電気的に接続され、前記第２電極は、前記複数のバスラインのうちの他の一本と電気的に接続されている。

[0040] ある好ましい実施形態において、前記基板上に設けられ、複数の画素を有する表示領域と、前記基板のうち前記表示領域以外の領域に設けられた駆動回路とを備え、前記駆動回路は前記薄膜トランジスタおよび前記ダイオードを含む。

発明の効果

[0041] 本発明によれば、薄膜トランジスタおよびダイオードを同一基板上に備えた半導体装置において、ダイオードのサイズを増大させることなく、ダイオードの抵抗を高めることができ、ダイオードの端子間を流れる電流を抑制できる。

[0042] 本発明におけるダイオードは、ショートリングに特に好適に用いられる。本発明におけるダイオードを用いてショートリングを形成すると、薄膜トランジスタを静電気から保護するとともに、ダイオードの端子間で電流がリークすることを抑制できる。

[0043] 本発明を、微結晶シリコンや酸化亜鉛などの移動度の高い半導体膜を用いたアクティブマトリクス基板に適用すると特に効果的である。

図面の簡単な説明

[0044] [図1]（ａ）および（ｂ）は、本発明による実施形態１の半導体装置を模式的

に示す図であり、（ａ）は半導体装置の平面図、（ｂ）は（ａ）のＡ－Ａ’線およびＢ－Ｂ’線に沿った断面図である。

[図2]本発明による実施形態１の半導体装置の製造方法の一例を示す図である。

[図3]（ａ）および（ｂ）は、本発明による実施形態１の半導体装置の製造工程を説明するための図であり、（ａ）は平面図、（ｂ）は（ａ）のＡ－Ａ’線およびＢ－Ｂ’線に沿った断面図である。

[図4]（ａ）および（ｂ）は、本発明による実施形態１の半導体装置の製造工程を説明するための図であり、（ａ）は平面図、（ｂ）は（ａ）のＡ－Ａ’線およびＢ－Ｂ’線に沿った断面図である。

[図5]（ａ）および（ｂ）は、本発明による実施形態１の半導体装置の製造工程を説明するための図であり、（ａ）は平面図、（ｂ）は（ａ）のＡ－Ａ’線およびＢ－Ｂ’線に沿った断面図である。

[図6]（ａ）および（ｂ）は、本発明による実施形態１の半導体装置の製造工程を説明するための図であり、（ａ）は平面図、（ｂ）は（ａ）のＡ－Ａ’線およびＢ－Ｂ’線に沿った断面図である。

[図7]（ａ）は、本発明による実施形態１の他の半導体装置の平面図であり、（ｂ）は、（ａ）のＡ－Ａ’線およびＢ－Ｂ’線に沿った断面図である。

[図8]（ａ）は、実施形態１におけるダイオードの他の例を示す平面図であり、（ｂ）は、（ａ）のＡ－Ａ’線に沿った断面図である。

[図9]（ａ）および（ｂ）は、比較例のサンプル素子Ｃ１～Ｃ６の模式的な平面図および断面図である。

[図10]（ａ）は実施例のサンプル素子Ｅ１～Ｅ３のチャネル長Ｌ、抵抗領域長さL_R、チャネル幅Ｗを説明するための平面図であり、（ｂ）は、比較例のサンプル素子Ｃ１～Ｃ６のチャネル幅Ｗおよびチャネル長Ｌを説明するための平面図である。

[図11]（ａ）は実施例および比較例のサンプル素子のダイオード特性を示すグラフであり、（ｂ）および（ｃ）は、それぞれ、比較例および実施例のサ

ンプル素子の構成を示す図である。

[図12]（ａ）は、本発明による実施形態２におけるダイオードを模式的に示す平面図であり、（ｂ）は（ａ）のＥ－Ｅ’線に沿った断面図である。

[図13]（ａ）は、本発明による実施形態３におけるダイオードを模式的に示す平面図であり、（ｂ）は（ａ）のＦ－Ｆ’線に沿った断面図である。

[図14]本発明による実施形態４の半導体装置の模式的な断面図である。

[図15]本発明による実施形態４の他の半導体装置の模式的な断面図である。

[図16]（ａ）は、本発明による実施形態５のアクティブマトリクス基板を用いた液晶表示装置を模式的に示す断面図であり、（ｂ）は、（ａ）のアクティブマトリクス基板を模式的に示す上面図である。

[図17]本発明による実施形態５の他のアクティブマトリクス基板を模式的に示す上面図である。

[図18]（ａ）は、本発明による実施形態５のさらに他のアクティブマトリクス基板を模式的に示す平面図であり、（ｂ）は、（ａ）に示すモノリシックゲートドライバーにおけるシフトレジスタの回路図である。

[図19]本発明による実施形態６のゲートドライバー回路の構成を説明するための図である。

[図20]本発明による実施形態６の他のゲートドライバー回路の構成を説明するための図である。

[図21]本発明による実施形態６のさらに他のゲートドライバー回路の構成を説明するための図である。

[図22]本発明による実施形態６のさらに他のゲートドライバー回路の構成を説明するための図である。

[図23]本発明による実施形態６のソース分割駆動回路の構成を説明するための図である。

[図24]（ａ）～（ｃ）は、本発明における薄膜トランジスタの他の構成を示す図である。

[図25]（ａ）は、従来のアクティブマトリクス基板の平面図であり、（ｂ）

は、（ａ）に示すダイオードの断面図である。

[図26]（ａ）および（ｂ）は、ａ－Ｓｉダイオードの特性と、ａ－Ｓｉよりも移動度の高い高移動度半導体膜を用いたダイオードの特性とを比較するためのグラフの一例である。

[図27]（ａ）～（ｃ）は、それぞれ、アモルファスシリコン膜、多結晶シリコン膜および微結晶シリコン膜を例示する模式的な拡大断面図である。

発明を実施するための形態

[0045] 本発明は、ＴＦＴ型ダイオードにおいて、少なくとも１つの半導体層の電流経路内に、ゲート電極と重なっているチャネル領域と、ゲート電極と重なっていない部分とを有することを特徴としている。

[0046] 本発明によると、半導体層の電流経路内のゲート電極と重なっていない部分が抵抗体として働くので、ダイオードの端子間に電流が流れにくくなる。従って、このような抵抗体（以下、「抵抗領域」）のサイズを調整することにより、ダイオードのサイズを増大させることなく、ダイオードの端子間に流れる電流の大きさを所望の値に制御することが可能になる。

[0047] なお、本明細書では、ダイオードの「電流経路」とは、ダイオードがオン状態のときにオン電流が流れる領域を指し、半導体層のうち第１電極（ソース電極）に電気的に接続された第１領域と、チャネル領域と、第２電極（ドレイン電極）に電気的に接続された第２領域とを含むが、半導体層のうち中間電極などの電極と電気的に接続された領域は含まない。

[0048] 本発明は例えばアクティブマトリクス基板に好適に適用され得る。アクティブマトリクス基板に適用する場合、上記ダイオードを用いてショートリングを構成してもよい。これにより、静電気がアクティブマトリクス基板上の配線に入ったときに、ダイオードの端子間に適切な大きさの電流を流して基板上の素子を保護することができる。

[0049] また、上記ダイオードを用いて駆動回路を形成してもよく、その場合でも、ダイオードのサイズを著しく大きくすることなく、ダイオードの抵抗を最適化できる。

[0050] 本発明によるある好ましい実施形態では、アモルファスシリコンよりも移動度の高い半導体膜を用いて、ＴＦＴおよびダイオードの半導体層を形成する。そのような半導体膜として、例えば微結晶シリコン膜、金属酸化物半導体膜などが挙げられる。

[0051] 上述したように、従来は、移動度の高い半導体膜を用いると、ＴＦＴのオン特性を改善できる一方、ダイオードの抵抗が下がるので、ダイオードに電流が流れやすくなる。

[0052] 図２６（ａ）は、アモルファスシリコン膜を用いたダイオード（ａ－Ｓｉダイオード）と、アモルファスシリコンよりも移動度の高い半導体膜を用いたダイオード（高移動度ダイオード）の特性を比較するためのグラフの一例であり、横軸はダイオードの端子間にかかる電圧、縦軸は端子間を流れる電流を表しており、両軸ともに線形スケールを用いている。ここでは、高移動度ダイオードにおける飽和領域移動度および線形領域移動度を何れもアモルファスシリコンの４倍とし、移動度以外の特性（ダイオードを構成するＴＦＴの閾値など）がアモルファスシリコンと同等である例を示している。

[0053] 図２６（ａ）からわかるように、端子間にかかる電圧が同じ場合、高移動度ダイオードではａ－Ｓｉダイオードよりも極めて大きな電流が流れる。このため、ダイオードの用途によっては、ダイオードの電流能力を小さくするためにチャネル長Ｌを大きくする必要があった。

[0054] これに対し、本実施形態によると、半導体層の電流経路となる部分の一部がゲート電極と重なっていない。このため、第１電極に正の電位を与えた場合でも、半導体層のうちゲート電極と重なっていない部分には、ゲート電極を通じて正の電位を与えられないので、可動電荷である電子の蓄積がなされず、この部分の電気抵抗が下がらない。このため、ゲート電極と重なっていない部分は、チャネル領域と直列に接続された電気抵抗となる。

[0055] 従って、半導体層のうちゲート電極と重なっていない部分のサイズ（面積）を調整することにより、ダイオードに適切な大きさの直列の電気抵抗を与えることができる。よって、結晶シリコン膜のような高移動度半導体膜を用

いた場合でも、図２６（ｂ）に示すように、アモルファスシリコンを用いた従来のショートリング用ダイオードと同等の特性を実現することも可能である。

[0056] ダイオードの半導体層のうちゲート電極と重なっていない部分は、ダイオードの第１電極と接続されていない導電層の上に配置されていてもよい。ここでいう「導電層」は、例えばゲート電極と同一の導電膜から形成され、開放状態（フローティング状態）にある層であってもよい。特に本発明を表示装置に適用する場合、半導体層のうちゲート電極と重なっていない部分の下方に導電層が設けられていると、導電層によって、バックライトからの光による半導体層の特性変化（光劣化）を抑制できるので好ましい。

[0057] 本発明における半導体装置の薄膜トランジスタおよびダイオードの半導体層は、微結晶シリコン膜から形成されていることが好ましい。多結晶シリコン膜を用いる場合には、ダイオードの半導体層の一部にドーピングする不純物濃度を調整すれば、ダイオードの抵抗を大きくするなどの調節が容易である。これに対し、微結晶シリコン膜には、高温の熱処理を必要とするドーピングを行うことは、アモルファスシリコンＴＦＴと同程度の生産性、すなわち同程度の工程数とコストで作製され得るメリットが大幅に減るため、そのような手段を採用し難いからである。また、アモルファスシリコン膜を用いる場合には、ダイオードの抵抗が十分に高く、ダイオードの電流を大幅に低下させる必要がない場合が多いからである。

[0058] 微結晶シリコン膜は、微結晶粒からなる結晶相とアモルファス相との混合状態を有している。

[0059] 微結晶シリコン膜に占めるアモルファス相の体積率は例えば５％以上９５％以下の範囲で制御され得る。なお、アモルファス相の体積率は好ましくは５％以上４０％以下であり、この範囲では膜中欠陥の少ない良好な微結晶シリコン膜が得られるため、ＴＦＴのオンオフ比をより効果的に改善できる。また、微結晶シリコン膜に対して可視光を用いたラマン散乱スペクトル分析を行うと、そのスペクトルは、結晶シリコンのピークである５２０ｃｍ$^{-1}$の波

長で最も高いピークを有するとともに、アモルファスシリコンのピークである４８０ｃｍ$^{-1}$の波長でブロードなピークを有する。４８０ｃｍ$^{-1}$付近のアモルファスシリコンのピーク高さは、５２０ｃｍ$^{-1}$付近にみられる結晶シリコンのピーク高さの例えば１／３０以上１以下となる。

[0060] 比較のため、多結晶シリコン膜に対してラマン散乱スペクトル分析を行うと、アモルファス成分はほとんど確認されず、アモルファスシリコンのピークの高さはほぼゼロとなる。

[0061] なお、多結晶シリコン膜を形成する際に、結晶化条件により、局所的にアモルファス相が残ってしまう場合があるが、そのような場合でも、多結晶シリコン膜に占めるアモルファス相の体積率は概ね５％未満であり、ラマン散乱スペクトル分析によるアモルファスシリコンのピーク高さは多結晶シリコンのピーク高さの概ね１／３０未満となる。

[0062] このような微結晶シリコン膜は、ＣＣＰ（容量結合プラズマ）方式や、例えばＩＣＰ（誘導結合プラズマ）方式のような高密度プラズマＣＶＤによって形成できる。プラズマＣＶＤの装置方式や成膜条件によって、上述したピーク強度比を調整することが可能である。

[0063] 以下、図面を参照しながら、本発明の実施形態で好適に用いられる微結晶シリコン膜の構造を、多結晶シリコン膜およびアモルファスシリコン膜の構造と比較して説明する。

[0064] 図２７（ａ）～（ｃ）は、それぞれ、アモルファスシリコン膜、多結晶シリコン膜および微結晶シリコン膜を例示する模式的な拡大断面図である。

[0065] アモルファスシリコン膜は、図２７（ａ）に示すように、アモルファス相から構成されている。このようなアモルファスシリコン膜は、通常、プラズマＣＶＤ法等によって基板１０９１の上に形成される。

[0066] 多結晶シリコン膜は、図２７（ｂ）に示すように、結晶粒界１０９２によって分離される複数の結晶粒１０９３からなる。また、多結晶シリコン膜はほぼ結晶シリコンで構成されており、多結晶シリコン膜に占める結晶粒界１０９２の体積率は極めて小さい。多結晶シリコン膜は、例えば、基板１０９

１の上に形成されたアモルファスシリコン膜に対し、レーザーや熱による結晶化工程を行うことによって得られる。

[0067] 微結晶シリコン膜は、図２７（ｃ）に示すように、微結晶粒１０９４と、アモルファス相からなる結晶粒界１０９５とを含んでいる。また、微結晶シリコン膜の基板側には、薄いアモルファス層（以下、「インキュベーション層」という）１０９６が形成されている。この例では、結晶粒界１０９５およびインキュベーション層１０９６が、微結晶シリコン膜の「アモルファス相」１０９７となり、複数の微結晶粒１０９４が「結晶相」となる。

[0068] また、図２７（ｃ）に示す例では、各微結晶粒１０９４は、微結晶シリコン膜の厚さ方向に沿って、インキュベーション層１０９６上から微結晶シリコン膜の上面まで柱状に延びている。このような微結晶シリコン膜は、例えば、水素ガスで希釈したシランガスを原料ガスとして、アモルファスシリコン膜の作製方法と同様のプラズマＣＶＤ法を用いて形成できる。

[0069] 微結晶粒１０９４は、多結晶シリコン膜の結晶粒１０９３（図２７（ｂ））よりも小さい。透過型電子顕微鏡（ＴＥＭ）を用いて、微結晶シリコン膜の断面を観察すると、微結晶粒１０９４の平均粒径は２ｎｍ以上３００ｎｍ以下である。従って、微結晶粒１０９４の結晶断面が半導体素子の大きさに比べて十分に小さくなるので、半導体素子の特性を均一化することができる。

[0070] インキュベーション層１０９６は、微結晶シリコン膜の成膜初期に成長しやすい。インキュベーション層１０９６の厚さは、微結晶シリコン膜の成膜条件にもよるが、例えば数ｎｍである。ただし、特に高密度プラズマＣＶＤを用いる場合など、微結晶シリコン膜の成膜条件、成膜方法によってはインキュベーション層１０９６がほとんどみられない場合もある。

[0071] 図２７（ｃ）に示す微結晶シリコン膜では、各微結晶粒１０９４は基板１０９１の略法線方向に延びる柱状であるが、微結晶シリコン膜の構造は、微結晶シリコン膜の形成方法や条件によって異なり、図示する構造に限定されない。ただし、微結晶シリコン膜の構造にかかわらず、微結晶シリコン膜に

おけるアモルファス相の体積率およびピーク強度比（結晶シリコンのピーク高さに対するアモルファスシリコンのピーク高さの比）は、上述した範囲内であることが好ましく、これにより、高いオン特性を有するＴＦＴを実現できる。

[0072] 本実施形態の半導体装置は、ボトムゲート構造を有する微結晶シリコンＴＦＴを備えることが好ましい。これにより、ＴＦＴ構造を利用して上記のようなショートリング用のダイオードを容易に形成できる。また、従来のアモルファスシリコンＴＦＴの多くはボトムゲート構造であるので、従来のアモルファスシリコンＴＦＴの作製に使用している製造設備を利用することができ、量産性の高いプロセスを実現できる。

[0073] （実施形態１）

以下、図面を参照しながら、本発明による半導体装置の実施形態１を説明する。

[0074] 図１は、本実施形態による半導体装置を模式的に示す図であり、図１（ａ）は半導体装置の平面図、図１（ｂ）は図１（ａ）のＡ－Ａ’線およびＢ－Ｂ’線に沿った断面図である。

[0075] 本実施形態の半導体装置は、基板１と、基板１上に形成されたダイオード２０１および薄膜トランジスタ３０１とを備えている。ダイオード２０１および薄膜トランジスタ３０１は、同一の半導体膜を用いて形成されている。ここでは、半導体膜として、微結晶シリコン膜を用いて形成されている。薄膜トランジスタ３０１は、ボトムゲート構造を有する逆スタガーチャネルエッチング型ＴＦＴであり、ダイオード２０１は、ボトムゲート構造を有する逆スタガーチャネルエッチング型ＴＦＴを基本とし、そのゲート電極およびソース電極を接続した構造を有している。

[0076] 薄膜トランジスタ３０１は、基板１の上に形成されたゲート電極１０３と、ゲート電極１０３を覆うように形成されたゲート絶縁層５と、ゲート絶縁層５上に形成された微結晶シリコン層１０７と、微結晶シリコン層１０７上にコンタクト層１０９ａを介して形成されたソース電極１１０と、微結晶シ

リコン層１０７上にコンタクト層１０９ｂを介して形成されたドレイン電極１１２とを備える。

[0077] 微結晶シリコン層１０７は、チャネル領域１０７ｃと、チャネル領域１０７ｃの両側にそれぞれ位置する第１領域１０７ａおよび第２領域１０７ｂとを有している。第１領域１０７ａは、コンタクト層１０９ａによってソース電極１１０と電気的に接続されている。また、第２領域１０７ｂは、コンタクト層１０９ｂによってドレイン電極１１２と電気的に接続されている。チャネル領域１０７ｃ上にはギャップ部１１６が形成されている。

[0078] ダイオード２０１は、基板１の上に形成されたゲート電極２、導電層３および接続配線４と、ゲート電極２、導電層３および接続配線４を覆うように形成されたゲート絶縁層５と、ゲート絶縁層５上にゲート電極２と重なるように配置された微結晶シリコン層６と、ゲート絶縁層５上に導電層３と重なるように配置された微結晶シリコン層７と、微結晶シリコン層６上にコンタクト層８ａを介して形成された第１電極（ソース電極）１０と、微結晶シリコン層６、７上にコンタクト層８ｂ、９ａを介して形成された中間電極１１と、微結晶シリコン層７上にコンタクト層９ｂを介して形成された第２電極（ドレイン電極）１２とを備える。

[0079] 微結晶シリコン層６は、チャネル領域６ｃと、チャネル領域６ｃの両側にそれぞれ位置する第１領域６ａおよび中間領域６ｂとを有している。第１領域６ａは、コンタクト層８ａによってソース電極１０と電気的に接続されている。また、中間領域６ｂは、コンタクト層８ｂによって中間電極１１と電気的に接続されている。同様に、微結晶シリコン層７は、抵抗体として機能する領域（以下、「抵抗領域」と称する。）７ｄと、抵抗領域７ｄの両側にそれぞれ位置する中間領域７ａおよび第２領域７ｂとを有している。中間領域７ａは、コンタクト層９ａを介して中間電極１１と電気的に接続されている。また、第２領域７ｂは、コンタクト層９ｂを介してドレイン電極１２と電気的に接続されている。チャネル領域６ｃ、抵抗領域７ｄ上にはギャップ部１５、１６が形成されている。

[0080] 本実施形態では、ゲート電極２、導電層３および接続配線４は、同一の導電膜から形成されている。ゲート電極２は、微結晶シリコン層６のチャネル領域６ｃと重なるように配置されており、チャネル領域６ｃの導電性を制御する。ゲート電極２は接続配線４と接続されており、接続配線４は、ゲート絶縁層５に設けられた開口部であるコンタクトホール１４内で、ソース電極１０と電気的に接続されている。

[0081] 一方、導電層３は、微結晶シリコン層７と重なるように、すなわち抵抗領域７ｄの導電性を制御することが可能な位置に配置されている。ただし、導電層３は、ソース電極１０等の他の電極、配線に接続されておらず、フローティングしている。

[0082] 薄膜トランジスタ３０１およびダイオード２０１における微結晶シリコン層１０７、６、７は、図２７（ｃ）を参照しながら説明したように、複数の柱状の微結晶粒とアモルファス相からなる結晶粒界とを有している。微結晶シリコン層１０７、６、７に占めるアモルファス相の体積率は例えば５～４０％である。また、ラマン散乱スペクトル分析によるアモルファス相のピーク高さは、微結晶部分のピーク高さの１／３～１／１０倍である。なお、微結晶シリコン層１０７、６、７の代わりに、アモルファスシリコン層や多結晶シリコン層を活性層として用いてもよい。また、Ｚｎ－Ｏ系半導体（ＺｎＯ）膜、Ｉｎ－Ｇａ－Ｚｎ－Ｏ系半導体（ＩＧＺＯ）膜、Ｉｎ－Ｚｎ－Ｏ系半導体（ＩＺＯ）膜、Ｚｎ－Ｔｉ－Ｏ系半導体（ＺＴＯ）膜などの金属酸化物半導体からなる膜を活性層として用いてもよい。

[0083] 薄膜トランジスタ３０１およびダイオード２０１におけるコンタクト層１０９ａ、１０９ｂ、８ａ、８ｂ、９ａ、９ｂは、微結晶シリコン層１０７、６、７と対応する電極１１２、１１０、１０、１１、１２との間の電気的導通を良好にするために設けられている。本実施形態では、これらのコンタクト層は、同一のn^+型シリコン膜から形成されている。なお、これらのコンタクト層は、多結晶シリコン層、微結晶シリコン層またはアモルファスシリコン層などの単一の層であってもよいし、これらの層のうち少なくとも１つを

含む積層構造を有していてもよい。なお、微結晶シリコン層の代わりに金属酸化物半導体からなる膜を活性層として用いる場合には、コンタクト層を用いなくてもよい。

[0084] また、薄膜トランジスタ３０１、ダイオード２０１における各電極１１０、１１２、１０、１１、１２の上部には、ギャップ部１１６、１５、１６とその周辺を覆うようにパッシベーション１３が設けられている。パッシベーション１３は、窒化シリコン等の無機材料による膜、あるいはアクリル樹脂等の有機膜であってもよく、これらの積層物であってもよい。

[0085] 図示していないが、パッシベーション１３には、フォトリソグラフィ等の手法によって、ソース電極１１０、１０およびドレイン電極１１２、１２に所定の電圧等の電気信号を入力するための開口部が適宜設けられ得る。ソース電極１１０、１０およびレイン電極１１２、１２は、開口部や接続配線によって適切に接続され、外部から電気信号を入力できるような構成を有していてもよい。

[0086] ここで、薄膜トランジスタ３０１およびダイオード２０１の動作を説明する。

[0087] 薄膜トランジスタ３０１では、ゲート電極１０３に印加する電圧により、チャネル領域１０７ｃの抵抗が十分に小さくなると、主にソース電極１１０とドレイン電極１１２との間に電流が流れる。このとき、電流は、ソース電極１１０からコンタクト層１０９ａを経由して、微結晶シリコン層１０７の第１領域１０７ａ、チャネル領域１０７ｃおよび第２領域１０７ｂを流れる。この後、コンタクト層１０９ｂを経由してドレイン電極１１２に達する。

[0088] ダイオード２０１では、ゲート電極２に印加される電圧により、チャネル領域６ｃの抵抗が十分に小さくなると、主にソース電極１０とドレイン電極１２との間に電流が流れる。このとき、電流は、ソース電極１０からコンタクト層８ａを経由して、微結晶シリコン層６の第１領域６ａ、チャネル領域６ｃ、中間領域６ｂを流れる。この後、コンタクト層８ｂを経由して中間電極１１に達する。中間電極１１からも同様に、コンタクト層９ａを経由して

、微結晶シリコン層７の中間領域７ａ、抵抗領域７ｄおよび第２領域７ｂをこの順で流れ、その後、コンタクト層９ｂを経由してドレイン電極１２に達する。

[0089] 前述したように、微結晶シリコン層７の下の導電層３は他の電極、配線に接続されないので、導電層３に直接電圧が印加されることはない。従って、微結晶シリコン層７の第１領域７ａ、抵抗領域７ｄ、第２領域７ｂは常に高い抵抗値を有し、スイッチング素子ではなく抵抗体として機能する。ダイオード２０１では、このような抵抗体がソース電極１０とドレイン電極１２との間に位置しているので、これらの間の抵抗（オン抵抗）を大きくすることができる。従って、高移動度を有する微結晶シリコンを用いてダイオード２０１を形成した場合でも、ダイオード２０１に電流が流れすぎることを防止できる。このため、ダイオード２０１を、例えばショートリング用ダイオードなどの用途に好適に用いることができる。

[0090] なお、図１では、ドレイン電極１２側の微結晶シリコン層７がゲート電極２と重なっていないが、この微結晶シリコン層７がゲート電極２と重なっており、代わりにソース電極１０側の微結晶シリコン層６がゲート電極２と重なっていなくても、上記と同様の効果が得られる。すなわち、ゲート電極２および導電層３の配置を入れ替えた構成でも、上記と同様の効果が得られる。

[0091] 本実施形態および以下に述べる実施形態では、薄膜トランジスタおよびダイオードの半導体層（活性層）は、微結晶シリコン層などの単層であるが、例えば微結晶シリコン層とアモルファスシリコン層との積層構造を有していてもよい。同様に、ゲート電極、導電層、ソース電極、中間電極およびドレイン電極も単一の金属層などの導電物層から構成される必要はなく、同一または複数の導電物層からなる積層構造を有していてもよい。

[0092] また、薄膜トランジスタおよびダイオードを支持する基板としては、ガラス基板の他に、プラスチック基板などの絶縁基板を用いることもできる。あるいは、表面に絶縁膜を有するステンレス基板を用いてもよい。また、上記

基板は透明基板でなくてもよい。

[0093] さらに、本実施形態および以下に述べる実施形態の薄膜トランジスタおよびダイオードは、パッシベーション膜を有していなくてもよい。

[0094] ＜半導体装置の製造方法＞

次に、図面を参照しながら、本実施形態の半導体装置の製造方法の一例を説明する。

[0095] 図２は、本実施形態の製造方法の概略を説明するための図である。図２に示すように、半導体装置の製造方法は、ゲート電極を形成するゲート電極形成工程７１、ゲート絶縁層および活性層となる島状の半導体層を形成するゲート絶縁層・半導体層形成工程７２、ソースおよびドレイン電極を形成するソース・ドレイン電極形成工程７３、ソースおよびドレイン電極を電気的に分離するソース・ドレイン分離工程７４、および、パッシベーション形成工程７５を含む。

[0096] 以下、図３～図６を参照しながら工程毎に詳しく説明する。図３～図６は、半導体装置の製造方法の各工程を説明するための模式図である。図３（ａ）は平面図、図３（ｂ）は図３（ａ）に示すＡ－Ａ’線およびＢ－Ｂ’線に沿った断面図である。図４～図６も同様であり、各図の（ａ）は平面図、各図の（ｂ）は、対応する平面図のＡ－Ａ’線および　Ｂ－Ｂ’線に沿った断面図である。

[0097] （１）ゲート電極形成工程７１

図３（ａ）および（ｂ）に示すように、基板１の上にゲート金属膜を形成し、これをパターニングすることにより、薄膜トランジスタ３０１のゲート電極１０３、ダイオード２０１のゲート電極２、導電層３および接続配線４を形成する。接続配線４およびゲート電極２は１つのパターン内になるよう隣接して形成される。また、導電層３は、ゲート電極２および接続配線４と分離したパターン内に形成される。

[0098] 具体的には、まず、アルゴン（Ａｒ）ガスを用いたスパッタ法により、ガラス基板などの基板１の上にモリブデン（Ｍｏ）を０．２μｍの厚さで堆積

してゲート金属膜（図示せず）を形成する。ゲート金属膜を形成する際の基板１の温度は２００～３００℃とする。

[0099] 続いて、ゲート金属膜の上にフォトレジスト材料によるレジストパターン膜（図示せず）を形成し、このレジストパターン膜をマスクとしてゲート金属膜のパターニングを行う（フォトリソグラフィ工程）。これにより、薄膜トランジスタ３０１のゲート電極１０３、ダイオード２０１のゲート電極２、導電層３および接続配線４を得る。ゲート金属膜のエッチングには例えばウェットエッチング法を用いる。エッチャントとしては、１０～８０重量%の燐酸、１～１０重量%の硝酸、１～１０重量%の酢酸、及び残部水からなる溶液を用いることができる。エッチング終了後、レジストパターン膜を有機アルカリを含む剥離液を用いて除去する。

[0100] ゲート金属膜の材料は、モリブデン（Ｍｏ）の他に、インジウム錫酸化物（ＩＴＯ）や、タングステン（W）、銅（Ｃｕ）、クロム（Ｃｒ）、タンタル（Ｔａ）、アルミニウム（Ａｌ）、チタン（Ｔｉ）等の単体金属、またはそれらに窒素、酸素、あるいは他の金属を含有させた材料であってもよい。ゲート金属膜は、上記材料を用いた単一の層であってもよいし、積層構造を有していてもよい。例えば、ゲート電極２は、チタンおよびアルミニウムによるＴｉ／Ａｌ／Ｔｉ積層膜であってもよく、チタンおよび銅によるＴｉ／Ｃｕ／Ｔｉ積層膜、あるいは銅およびモリブデンによるＭｏ／Ｃｕ／Ｍｏ積層膜であってもよい。

[0101] ゲート金属膜の形成方法としては、スパッタ法の他、蒸着法等を用いることもできる。ゲート金属膜の厚さも特に限定されない。また、ゲート金属膜のエッチング方法も、上述したウェットエッチング法に限定されず、塩素（Cl_2）ガス及び三塩化ホウ素（BCl_3）ガス、CF_4（四フッ化炭素）ガス、O_2（酸素）等を組み合わせたドライエッチング法等を用いることもできる。

[0102] （２）ゲート絶縁層・半導体層形成工程７２

次いで、ゲート電極２、導電層３および接続配線４の上に、ゲート絶縁層５、微結晶シリコン膜およびn^+型シリコン膜をこの順に形成し、微結晶シリ

コン膜およびｎ$^+$型シリコン膜をパターニングする。これにより、図４（ａ）および（ｂ）に示すように、島状の微結晶シリコン加工膜１１８、１７、１８、ｎ$^+$型シリコン加工膜１２０、１９、２０を得る。この後、ゲート絶縁層５に、接続配線４の一部を露出するコンタクトホール１４を設ける。

[0103] 具体的には、まず、ゲート電極２等が形成された基板１に、プラズマ化学的気相成長（ＰＥＣＶＤ）法により、窒化シリコン（ＳｉＮ$_x$）からなるゲート絶縁層（厚さ：例えば０．４μｍ）５を形成する。本実施形態では、ゲート絶縁層５の形成を、平行平板型（容量結合型）の電極構造を有する成膜チャンバーを用いて、基板温度：２５０～３００℃、圧力：５０～３００Ｐａ、電力密度：１０～２０ｍＷ／ｃｍ^{2}の条件下で行う。また、成膜用のガスとして、シラン（ＳｉＨ$_4$）、アンモニア（ＮＨ$_3$）、及び窒素（Ｎ$_2$）の混合ガスを用いる。

[0104] 続いて、ゲート絶縁層５の形成で用いた成膜チャンバーと同一のチャンバーを用いて、微結晶シリコン膜（厚さ：例えば０．１２μｍ）を形成する。本実施形態では、微結晶シリコン膜の形成は、基板温度：２５０～３００℃、圧力：５０～３００Ｐａ、電力密度：１～３０ｍＷ／ｃｍ^{2}という条件で行い、成膜用のガスとして水素ガスで希釈したシランガスを用いる。シラン（ＳｉＨ$_4$）と水素（Ｈ$_2$）との流量比は１：２００～１：１０００とする。

[0105] さらに、上記と同一の成膜チャンバーを用いて、ｎ$^+$型シリコン膜（厚さ：例えば０．０５μｍ）を形成する。本実施形態では、ｎ$^+$型シリコン膜の形成は、微結晶シリコン膜の形成の場合とほぼ同様であるが、成膜用のガスとしてシラン（ＳｉＨ$_4$）と水素（Ｈ$_2$）とホスフィン（ＰＨ$_3$）との混合ガスを用いる。

[0106] この後、ゲート絶縁層５の上にフォトレジスト材料によるレジストパターン膜（図示せず）を形成し、このレジストパターン膜をマスクとして微結晶シリコン膜およびｎ$^+$型シリコン膜のパターニングを行う（フォトリソグラフィ工程）。これにより、島状の微結晶シリコン加工膜１１８、１７、１８、ｎ$^+$型シリコン加工膜１２０、１９、２０を得る。微結晶シリコン膜およびｎ$^+$

型シリコン膜のエッチングには例えば塩素（Cl_2）ガスを主として用いたドライエッチング法を用いる。エッチング終了後、レジストパターン膜を有機アルカリを含む剥離液を用いて除去する。

[0107] さらに、フォトレジスト材料によるレジストパターン膜（図示せず）を形成し、このレジストパターン膜をマスクとして、ゲート絶縁層５にコンタクトホール１４を形成する（フォトリソグラフィ工程）。コンタクトホール１４の形成には、例えばCF_4（四フッ化炭素）ガス、O_2（酸素）等を組み合わせたドライエッチング法等を用いることができる。エッチング終了後、レジストパターン膜を有機アルカリを含む剥離液を用いて除去する。

[0108] （３）ソース・ドレイン電極形成工程７３

n^+型シリコン加工膜１２０、１９、２０およびゲート絶縁層５の上にソース・ドレイン電極形成用の導電膜を形成する。本実施形態では、アルゴン（Ａｒ）ガスを用いたスパッタ法により、基板１の表面にモリブデンを０．２μｍの厚さで堆積することにより、導電膜（厚さ：例えば０．２μｍ）を形成する。導電膜を形成する際の基板温度は２００～３００℃とする。

[0109] この後、図５（ａ）および（ｂ）に示すように、導電膜上にレジストパターン膜２１を形成し、これをマスクとして導電膜のパターニングを行うことにより、薄膜トランジスタ３０１のソース電極１１０、ドレイン電極１１２、および、ダイオード２０１のソース電極１０、中間電極１１、ドレイン電極１２を得る。

[0110] 導電膜のパターニングは、例えばウェットエッチング法を用いて行うことができる。本実施形態では、エッチャントとして、１０～８０重量%の燐酸、１～１０重量%の硝酸、１～１０重量%の酢酸、および残部水からなる溶液を用いる。ソース電極１０、中間電極１１およびドレイン電極１２上のレジストパターン膜２１は、エッチング終了後も除去することなく次工程まで残す。

[0111] なお、導電膜の材料は、モリブデン（Ｍｏ）の他に、インジウム錫酸化物（ＩＴＯ）や、タングステン（W）、銅（Ｃｕ）、クロム（Ｃｒ）、タンタ

ル（Ｔａ）、アルミニウム（Ａｌ）、チタン（Ｔｉ）等の単体金属、またはそれらに窒素、酸素、あるいは他の金属を含有させた材料であってもよい。ソース電極１０等は、上記材料を用いた単一の層であってもよいし、積層構造を有していてもよい。例えば、導電膜は、チタンおよびアルミニウムによるＴｉ／Ａｌ／Ｔｉ積層膜であってよく、チタンおよび銅によるＴｉ／Ｃｕ／Ｔｉ積層膜、あるいは銅およびモリブデンによるＭｏ／Ｃｕ／Ｍｏ積層膜であってもよい。

[0112] 導電膜の形成方法としては、スパッタ法の他、蒸着法等を用いることもできる。また、導電膜の形成方法も上述したエッチャントを用いたウェットエッチングに限定されない。さらに、導電膜の厚さも上記の厚さに限定されない。

[0113] （４）ソース・ドレイン分離工程７４

続いて、図６（ａ）および（ｂ）に示すように、n^+型シリコン加工膜１２０のうちソース電極１１０およびドレイン電極１１２の何れにも覆われていない部分を除去し、ギャップ部１１６を形成する。同様に、n^+型シリコン加工膜１９、２０のうち、ソース電極１０、中間電極１１およびドレイン電極１２の何れにも覆われていない部分を除去し、それぞれギャップ部１５、１６を形成する。このとき、微結晶シリコン加工膜１１８、１７、１８のうちギャップ部１１６、１５、１６に位置する部分は、オーバーエッチングによって他の部分よりも薄くなる。これにより、微結晶シリコン加工膜１１８およびn^+型シリコン加工膜１２０から、微結晶シリコン層１０７およびコンタクト層１０９ａ、１０９ｂを得る。同様に、微結晶シリコン加工膜１７、１８およびn^+型シリコン加工膜１９、２０から、それぞれ、微結晶シリコン層６、７およびコンタクト層８ａ、８ｂ、９ａ、９ｂを得る。エッチング後、レジストパターン膜２１（図５（ａ）、（ｂ））を除去する。

[0114] 本実施形態では、n^+型シリコン加工膜１２０、１９、２０のエッチングには、塩素（Cl_2）ガスを用いたドライエッチング法を用いる。レジストパターン膜２１は、エッチング終了後に有機アルカリを含む剥離液を用いて除去

する。なお、エッチング方法は上記の方法に限定されない。

[0115] （５）パッシベーション形成工程７５

次いで、薄膜トランジスタ３０１のソース電極１１０、ドレイン電極１１２、ギャップ部１１６およびそれらの周囲と、ダイオード２０１のソース電極１０、中間電極１１、ドレイン電極１２、ギャップ部１５、１６およびそれらの周囲とを覆うように窒化シリコン（SiN_x）からなるパッシベーション１３を形成する。このようにして、図１（ａ）および（ｂ）に示す半導体装置が得られる。

[0116] 具体的には、プラズマ化学的気相成長（ＰＥＣＶＤ）法により、窒化シリコン（SiN_x）からなるパッシベーション１３（厚さ：例えば０．３μｍ）を形成する。本実施形態では、パッシベーション１３の形成を、平行平板型（容量結合型）の電極構造を有する成膜チャンバーを用いて、基板温度：２００℃、圧力：５０～３００Ｐａ、電力密度：１０～２０mW／cm^2の条件下で行う。また、成膜用のガスとして、シラン（SiH_4）、アンモニア（NH_3）、及び窒素（N_2）の混合ガスを用いる。

[0117] パッシベーション１３には、図示していないが、ソース電極１１０、１０およびドレイン電極１１２、１２等に所定の電圧等の電気信号を入力するための開口部が適宜設けられ得る。

[0118] なお、図１に示す例では、半導体層（微結晶シリコン層６、７）およびコンタクト層８ａ、８ｂ、９ａ、９ｂは島状であるが、必ずしも島状である必要はない。図７（ａ）および（ｂ）は、それぞれ、本実施形態における他の半導体装置を例示する平面図および断面図である。簡単のため、図１と同様の構成要素には同じ参照符号を付して説明を省略する。

[0119] ダイオード２０２では、ギャップ部１５、１６を除いて、ソース電極１０、中間電極１１、ドレイン電極１２およびソースバスライン（図示せず）と、コンタクト層２５ａ、２５ｂ、２５ｄ、２５ｅのパターンと、微結晶シリコン層２４ａ～２４ｆのパターンとは略同一である。また、ダイオード２０２と同一の基板１上には、ダイオード２０２と同様に、ギャップ部１１６を

除いてソース・ドレイン電極１１０、１１２、コンタクト層１０９ａ、１０９ｂおよび微結晶シリコン層１０７が略同一の平面形状を有する薄膜トランジスタ３０２が形成されている。

[0120] ダイオード２０２および薄膜トランジスタ３０２は、上述したダイオード２０１および薄膜トランジスタ３０１の製造方法と同様の方法で作製できる。ただし、ハーフトーン露光を用いると、レジストパターン膜の形成回数を減らすことができ、フォトレジスト材料などのレジストパターン膜形成のための生産材料を削減できるので有利である。

[0121] ハーフトーン露光を用いたプロセスは、例えばＣ．Ｗ．Ｋｉｍ等によるＳＩＤ ２０００ ＤＩＧＥＳＴ、ｐｐ１００６－１００９に記載されている。具体的には、ゲート電極２、導電層３、接続配線４、ゲート電極１０３およびゲート絶縁層５が形成された基板１上に、微結晶シリコン層を形成するための微結晶シリコン膜、コンタクト層を形成するためのn^+シリコン膜、ソース・ドレイン電極を形成するための導電膜をこの順で形成する。この後、ハーフトーン露光を用いて、導電膜のうちソース・ドレイン電極となる部分で厚く、ギャップ部となる部分で薄いレジストパターンを形成する。次いで、レジストパターンをマスクとして、導電膜、n^+シリコン膜、および微結晶シリコン膜のパターニングを行う（１回目の加工）。続いて、ドライエッチングなどによってレジストパターン全体を薄くすることにより、レジストパターンの薄い部分を除去して開口部を形成する。その後、開口部が形成されたレジストパターンをマスクとして、導電膜、n^+シリコン膜のパターニングを行う（２回目の加工）。このようにして、同一のレジストパターンを利用して、導電膜、n^+シリコン膜、および微結晶シリコン膜のパターニングを行い、これらの膜から、それぞれ、ダイオード２０２のソース電極１０、中間電極１１、ドレイン電極１２、コンタクト層２５ａ、２５ｂ、２５ｄ、２５ｅ、および微結晶シリコン層２４ａ～２４ｆを形成するとともに、薄膜トランジスタ３０２のソース電極１１０、ドレイン電極１１２、コンタクト層１０９ａ、１０９ｂおよび微結晶シリコン層１０７を形成することができる。

[0122] ダイオード２０２では、パッシベーション１３の開口と、ゲート絶縁層５の開口は同時工程で行われる。従って、接続配線４とソース電極１０とは、上部電極２３を介して電気的に接続される。なお、上部電極２３は、ＩＴＯ（インジウム錫酸化物）等によって形成され得るが、ＩＺＯ膜を用いて形成してもよい。本実施形態をアクティブマトリクス基板に適用する場合には、上部電極２３を画素電極（図示せず）と同時に形成してもよい。

[0123] なお、ダイオード２０１についても、パッシベーション１３の開口と、ゲート絶縁層５の開口を同時工程で行って、接続配線４とソース電極１０とは、上部電極２３を介して電気的に接続されるようコンタクトホール２２を設けてもよい。

[0124] 本実施形態におけるダイオード２０１、２０２は、導電層３を有していなくてもよい。図８（ａ）および（ｂ）は、それぞれ、本実施形態におけるダイオードの他の構成を示す平面図および断面図である。ダイオード２０４は、微結晶シリコン層７の下に導電層３を有していない点以外は、図１に示すダイオード２０１と同様の構成を有している。ダイオード２０４でも、微結晶シリコン層７の電流経路となる部分が抵抗体として機能するため、ダイオード２０１と同様の効果が得られる。

[0125] 本実施形態におけるダイオードでは、オン状態において、半導体層のチャネル領域および抵抗領域を含む電流経路が形成されればよく、その構成は図１、図７および図８に示す構成に限定されない。例えばダイオードは、３つ以上の島状の微結晶シリコン層を有していてもよい。この場合でも、少なくとも１つの微結晶シリコン層がゲート電極と重なっておらず、他の微結晶シリコン層がゲート電極と重なるチャネル領域を有していれば、上記と同様の効果が得られる。

[0126] また、薄膜トランジスタの構成も、図１および図７に示す構成に限定されない。図１および図７に示す薄膜トランジスタ３０１、３０２は何れも１つのゲート電極１０３を有するが、複数のゲート電極を有していてもよい。その場合、各ゲート電極上にそれぞれ島状の微結晶シリコン層が配置されてい

てもよいし、複数のゲート電極と重なるように１つの微結晶シリコン層が配置されていてもよい。あるいは、後で詳しく説明するように、１つのゲート電極上に配置された微結晶シリコン層に複数のチャネル領域が形成されていてもよい。

[0127] （実施例および比較例）

本実施形態におけるダイオードの実施例としてサンプル素子Ｅ１～Ｅ３、比較例としてサンプル素子Ｃ１～Ｃ６を作製し、それらのサンプル素子のダイオード特性を評価したので、その方法および結果を説明する。

[0128] （ｉ）実施例および比較例のサンプル素子の構成

実施例のサンプル素子Ｅ１～Ｅ３は、図１に示すダイオード２０１と同様の構成を有する。比較例のサンプル素子Ｃ１～Ｃ６は、ソース・ドレイン電極１０、１２の間に抵抗体として機能する半導体層が存在しない点で、図１に示すダイオード２０１の構成と異なっている。

[0129] 比較例のサンプル素子Ｃ１～Ｃ６の模式的な平面図および断面図を、それぞれ、図９（ａ）および（ｂ）に示す。簡単のため、図１に示すダイオード２０１と同様の構成要素には同じ参照番号を付している。比較例のサンプル素子Ｃ１～Ｃ６では、導電層３、微結晶シリコン層７および中間電極１１がない。また、微結晶シリコン層６は、ゲート電極２と重なるように配置されたチャネル領域６ｃ、およびその両側に位置する第１および第２領域６ａ、６ｂを有している。第１領域６ａはソース電極１０と接続され、第２領域６ｂはドレイン電極１２と接続されている。微結晶シリコン層６のうち電流経路となる部分の全体はゲート電極２と重なっている。

[0130] （ｉｉ）実施例および比較例のサンプル素子の作製方法

実施例のサンプル素子Ｅ１～Ｅ３は、図２～図６を参照しながら上述した方法と同様の方法で作製される。ただし、ゲート電極２、導電層３、微結晶シリコン層６、７および各電極１０、１１、１２のパターンのサイズを、以下のように調整する。

[0131] サンプル素子Ｅ１～Ｅ３の構成を図１０（ａ）に示す。この構成では、基

板１の表面と平行な面内（基板面内）におけるソース電極１０と中間電極１１との間の距離Ｌは、チャネル領域の長さ（「チャネル長」）となる。また、中間電極１１とドレイン電極１２との間の距離L_Rは、微結晶シリコン層７のうち抵抗体となる部分（「抵抗領域」ともいう。）の長さであり、上記チャネル長Ｌと区別するために、「抵抗領域長さ」と呼ぶ。また、チャネル長Ｌおよび抵抗領域長さL_Rと直交する方向に沿った微結晶シリコン層６、７の幅Ｗをチャネル幅とする。各電極１０、１１、１２の幅は全て同じであり、チャネル幅Ｗよりも小さい。

[0132] サンプル素子Ｅ１では、チャネル長Ｌを３μｍ、抵抗領域長さL_Rを３μｍ、チャネル幅Ｗを１０μｍとする。また、チャネル長Ｌと平行な方向において、各電極１０、１１、１２とゲート電極２または導電層３との重なり部分の長さＬ’をそれぞれ２μｍとし、各電極１０、１１、１２と微結晶シリコン層６、７との重なり部分の長さをそれぞれ２×Ｌ’とする。さらに、チャネル長Ｌと直交する方向において、各電極１０、１１、１２を微結晶シリコン層６、７の中央に配置し、微結晶シリコン層６、７の端部から各電極１０、１１、１２の端部までの長さＷ’を２μｍとする。従って、各電極１０、１１、１２の幅はＷ－２×Ｗ’となる。

[0133] サンプル素子Ｅ２では、チャネル長Ｌを１０μｍ、抵抗領域長さL_Rを１０μｍとする。チャネル幅Ｗ、長さＬ’、長さＷ’はサンプル素子Ｅ１と同じである。

[0134] サンプル素子Ｅ３では、チャネル長Ｌを２０μｍ、抵抗領域長さL_Rを２０μｍとする。チャネル幅Ｗ、長さＬ’、長さＷ’はサンプル素子Ｅ１と同じである。

[0135] 比較例のサンプル素子Ｃ１～Ｃ５も、図２～図６を参照しながら説明した方法で作製される。ただし、導電層３、微結晶シリコン層７および中間電極１１を形成しない。

[0136] サンプル素子Ｃ１～Ｃ５の構成を図１０（ｂ）に示す。サンプル素子Ｃ１では、チャネル長Ｌが３μｍとなるように、ゲート電極２、微結晶シリコン

層６、ソース電極１０およびドレイン電極１２のパターンのサイズを調整する。同様にして、サンプル素子Ｃ２のチャネル長Ｌを１０μｍ、チャネル素子Ｃ３のチャネル長Ｌを２０μｍ、サンプル素子Ｃ４のチャネル長Ｌを５０μｍ、チャネル素子Ｃ５のチャネル長Ｌを１００μｍとする。なお、これらのサンプル素子Ｃ１～Ｃ５のチャネル幅W、長さＬ’および長さW’は、実施例のサンプル素子Ｅ１～Ｅ３と同じとする。

[0137] 比較例のサンプル素子Ｃ６は、他のサンプル素子Ｃ１～Ｃ５と同様の構成を有し、同様の方法で形成される。ただし、サンプル素子Ｃ６の活性層となる半導体層は、微結晶シリコン膜の代わりにアモルファスシリコン膜を用いて形成される。また、サンプル素子Ｃ６では、チャネル長Ｌが３μｍとなるように、ゲート電極、アモルファスシリコン層、ソース電極およびドレイン電極のパターンのサイズを調整する。

[0138] なお、サンプル素子Ｅ１～Ｅ３、Ｃ１～Ｃ５で用いた微結晶シリコン膜を用いて図９に示すようなＴＦＴを作製する場合、その移動度は約０．６～０．８cm^2／Ｖｓであり、サンプル素子Ｃ６で用いたアモルファスシリコン膜では、同様の場合、移動度は約０．３～０．４cm^2／Ｖｓである。

[0139] （ｉｉｉ）実施例および比較例のサンプル素子のダイオード特性

上記方法で作製したサンプル素子Ｅ１～Ｅ３およびＣ１～Ｃ６のダイオード特性を測定した。ここでは、ソース電極１０およびドレイン電極１２の間に印加する電圧（端子間電圧）Ｖｇｄを変化させて、ソース電極１０とドレイン電極１２との間を流れる電流（ドレイン電流）Ｉｓｄを測定した。

[0140] 測定結果を図１１（ａ）に示す。図１１（ａ）に示すグラフの横軸は、端子間電圧Ｖｇｄ（Ｖ）であり、ドレイン電流Ｉｓｄがソース電極１０からドレイン電極１２の方向に電流が流れるときを正としている。縦軸はドレイン電流Ｉｓｄ（Ａ）である。また、図１１（ｂ）は比較例のサンプル素子Ｃ１～Ｃ６の構成、図１１（ｃ）は実施例のサンプル素子Ｅ１～Ｅ３の構成を示す図である。

[0141] アクティブマトリクス基板のショートリング用ダイオードとして用いる場

合、各ダイオードは、アモルファスシリコンを用いたサンプル素子Ｃ６（チャネル長Ｌ：２０μｍ）のダイオード特性と同等の特性を有することが好ましい。

[0142] 従来の構成によると、サンプル素子Ｃ６と同じチャネル長Ｌ（２０μｍ）を維持したままで、アモルファスシリコンを微結晶シリコンに変えると（サンプル素子Ｃ３）、図１１（ａ）に示すように、ドレイン電流が流れすぎてしまう。微結晶シリコンを用いてサンプル素子Ｃ６と同等の特性を得るためには、チャネル長Ｌを５０μｍまで大きくする必要がある（サンプル素子Ｃ４）。しかしながら、チャネル長Ｌを増大させることにより、ダイオードのサイズが大きくなってしまい、表示パネルの額縁領域が拡大する。なお、より移動度の高い微結晶シリコン膜を用いると、チャネル長Ｌをさらに大きくする必要が生じるので、この問題はより顕在化する。

[0143] これに対し、本実施形態の構成によると、例えばチャネル長Ｌを３μｍ、抵抗領域長さL_Rを３μｍに調整することにより（サンプル素子Ｅ１）、サンプル素子Ｃ６と同等のダイオード特性を実現できることがわかる。従って、微結晶シリコンを用いて、サンプル素子Ｃ６のサイズと同等のサイズを維持しつつ、ショートリング用ダイオードに適した特性を実現できる。また、チャネル長Ｌおよび抵抗領域長さL_Rを適宜調整することにより、ダイオードのサイズを小さく抑えつつ、所望の特性を実現できることがわかる。

[0144] 上記測定結果から明らかなように、本実施形態によると、アモルファスシリコンよりも移動度の高い微結晶シリコンなどの半導体膜を用いてＴＦＴおよびダイオードを形成する際に特に高い効果が得られる。ＴＦＴの特性を高めるとともに、ダイオードのサイズを増大させることなく、その特性を最適化できるからである。ここではＴＦＴの移動度が０．６～０．８cm^2／Ｖｓの場合を例に説明したが、ＴＦＴの移動度が１cm^2／Ｖｓより高い場合に特に効果的である。

[0145] なお、本実施形態における薄膜トランジスタ３０１、３０２、ダイオード２０１、２０２、２０４は、微結晶シリコン層の代わりに、アモルファスシ

リコン層や多結晶シリコン層を活性層として用いてもよい。また、Ｚｎ－Ｏ系半導体（ＺｎＯ）膜、Ｉｎ－Ｇａ－Ｚｎ－Ｏ系半導体（ＩＧＺＯ）膜、Ｉｎ－Ｚｎ－Ｏ系半導体（ＩＺＯ）膜、Ｚｎ－Ｔｉ－Ｏ系半導体（ＺＴＯ）膜などの金属酸化物半導体からなる膜を活性層として用いてもよい。この場合、コンタクト層２５ａ、２５ｂ、２５ｄ、２５ｅ、１０９ａ、１０９ｂは不要であって、活性層とソース・ドレイン電極は直接電気的接続をとることができる。特にＩＧＺＯのような金属酸化物半導体を用いた場合には、移動度が４ｃｍ^2／Ｖｓを超えるので、本発明を適用することによってさらに高い効果が得られる。

[0146] また、本実施形態の薄膜トランジスタ３０１、３０２、ダイオード２０１、２０２、２０４は、ボトムゲート構造を有する逆スタガーチャネルエッチング型ＴＦＴ、またはそれを基本とするダイオードであるが、逆スタガーエッチストップ型ＴＦＴ、およびそれを基本としたダイオードであってもよい。すなわち図１５のように、半導体層上にエッチストップ層を有していても良いが、半導体層とソース・ドレイン電極の間にはｎ$^+$型シリコン等からなるコンタクト層を有することが望ましい。

[0147] （実施形態２）

以下、図面を参照しながら、本発明による半導体装置の実施形態２を説明する。本実施形態の半導体装置は、１つの島状半導体層を用いてダイオードを形成している点で、図１に示す実施形態１と異なっている。

[0148] 図１２は、本実施形態におけるダイオードを模式的に示す図であり、図１２（ａ）は本実施形態におけるダイオードの平面図、図１２（ｂ）は図１２（ａ）のＥ－Ｅ’線に沿った断面図である。簡単のため、図１に示すダイオード２０１と同様の構成要素には同一の参照符号を付し、説明を省略する。

[0149] ダイオード２０５は、ボトムゲート構造を有する逆スタガーチャネルエッチング型ＴＦＴを基本とし、そのゲート電極およびソース電極を接続した構造を有している。図示しないが、本実施形態の半導体装置は、ダイオードＴＦＴをさらに備える。このＴＦＴは、ダイオード２０５の微結晶シリコン層

２７と同一の微結晶シリコン膜を用いて形成された活性層を有していればよく、例えば、図１（ａ）および（ｂ）に示す薄膜トランジスタ３０１と同様の構成を有していてもよい。

[0150] ダイオード２０５は、ガラス基板などの基板１と、基板１の上に形成されたゲート電極２６と、基板１の上にゲート電極２６を覆うように形成されたゲート絶縁層５と、ゲート絶縁層５の上に形成された微結晶シリコン層２７と、微結晶シリコン層２７上にコンタクト層８ａを介して形成されたソース電極１０と、微結晶シリコン層２７上にコンタクト層８ｂを介して形成されたドレイン電極１２とを備える。

[0151] 微結晶シリコン層２７は、チャネル領域２７ｃと、チャネル領域２７ｃの両側にそれぞれ位置する第１および第２領域２７ａ、２７ｂとを有している。第１領域２７ａは、コンタクト層８ａによってソース電極１０と電気的に接続されている。また、第２領域２７ｂは、コンタクト層８ｂによってドレイン電極１２と電気的に接続されている。

[0152] チャネル領域２７ｃは、ゲート電極２６と重なるように配置されており、ゲート電極２６に印加する電圧によってチャネル領域２７ｃの導電性が制御され得る。また、微結晶シリコン層２７は、第１および第２領域２７ａ、２７ｂとの間に位置し、ゲート電極２６と重なっていない部分（抵抗領域）２７ｄを有している。抵抗領域２７ｄは、ゲート電極２６に電圧を印加しても低抵抗化されないので、抵抗体として機能する。チャネル領域２７ｃおよび抵抗領域２７ｄのチャネル方向の長さＬ、L_Rは適宜調整されるが、例えばチャネル幅Ｗが１０μｍのとき、チャネル領域２７ｃの長さ（チャネル長）Ｌは３μｍ、抵抗領域２７ｄの長さL_Rは３μｍである。なお、本実施形態では、第２領域２７ｂもゲート電極２６と重なっていないので、第２領域２７ｂも抵抗体として機能する。

[0153] また、本実施形態では、コンタクト層８ａ、８ｂ、ソース電極１０およびドレイン電極１２は、チャネル領域２７ｃおよび抵抗領域２７ｄの上に位置しないようにパターニングされており、これによって、チャネル領域２７ｃ

および抵抗領域２７ｄの上にギャップ部１５が形成されている。

[0154] 本実施形態では、ゲート電極２６、接続配線４およびＴＦＴのゲート電極（図示せず）は、同一の導電膜から形成されている。ゲート電極２６は接続配線４と接続されており、接続配線４は、ゲート絶縁層５に設けられた開口部であるコンタクトホール１４内で、ソース電極１０と電気的に接続されている。

[0155] なお、ダイオード２０５における微結晶シリコン層２７、コンタクト層８ａ、８ｂ、パッシベーション１３の材料は、図１に示すダイオード２０１における対応する構成要素の材料と同様であってもよい。

[0156] ダイオード２０５では、主にソース電極１０とドレイン電極１２との間に電流が流れる。ダイオード２０５と同一基板上に、ボトムゲート構造を有するスタガーチャネルエッチング型ＴＦＴを基本とし、そのゲート電極およびソース電極を接続した構造を有している。このとき、電流はソース電極１０からコンタクト層８ａを経由して、微結晶シリコン層２７の第１領域２７ａ、チャネル領域２７ｃおよび抵抗領域２７ｄ、第２領域２７ｂを流れる。この後、コンタクト層８ｂを経由してドレイン電極１２に達する。

[0157] 本実施形態でも、前述した実施形態と同様に、微結晶シリコン層２７のうち抵抗領域２７ｄおよび第２領域２７ｂの下方にはゲート電極２６が配置されないので、ゲート電極２６へ電圧を印加した場合でも可動電荷である電子の蓄積がなされない。従って、抵抗領域２７ｄおよび第２領域２７ｂは、ゲート電極２６の電位の影響をほとんど受けずに常に高抵抗である。このような抵抗の高い領域２７ｄを微結晶シリコン層１５に設けて、ソース電極１０とドレイン電極１２との間に電流を流れにくくすることにより、ダイオード２０５の用途に応じた特性を実現できる。

[0158] なお、本実施形態のダイオードは、チャネル領域２７ｃおよび抵抗領域２７ｄの両方を有する半導体層を少なくとも１つ備えていればよく、そのような半導体層を含む２以上の半導体層を備えていてもよい。この場合、２以上の半導体層は、半導体層上に設けられた中間電極によって互いに接続されて

いてもよい。

[0159] 本実施形態の半導体装置は、図２～図６を参照しながら前述した方法と同様の方法で作製できる。

[0160] また、本実施形態のダイオード２０５は、ボトムゲート構造を有する逆スタガーチャネルエッチング型ＴＦＴを基本とするダイオードであるが、逆スタガーエッチストップ型ＴＦＴを基本としたダイオードであってもよい。すなわち図１５のように、半導体層上にエッチストップ層を有していても良いが、半導体層とソース・ドレイン電極の間にはn^+型シリコン等からなるコンタクト層を有することが望ましい。

[0161] （実施形態３）

以下、図面を参照しながら、本発明による半導体装置の実施形態３を説明する。本実施形態の半導体装置は、ダイオードの半導体層の下方に２つのゲート電極が設けられ、かつ、ダイオードのソース・ドレイン電極間に中間電極が設けられていない点で、図１に示す実施形態１と異なっている。

[0162] 図１３は、本実施形態におけるダイオードを模式的に示す図であり、図１３（ａ）は本実施形態におけるダイオードの平面図、図１３（ｂ）は図１３（ａ）のＦ－Ｆ’線に沿った断面図である。簡単のため、図１に示すダイオード２０１と同様の構成要素には同一の参照符号を付し、説明を省略する。

[0163] ダイオード２０６は、ボトムゲート構造を有する逆スタガーチャネルエッチング型ＴＦＴを基本とし、そのゲート電極およびソース電極を接続した構造を有している。図示しないが、本実施形態の半導体装置は、ダイオード２０６と同一基板上に、ボトムゲート構造を有するスタガーチャネルエッチング型ＴＦＴをさらに備える。このＴＦＴは、ダイオード２０６の微結晶シリコン層と同一の微結晶シリコン膜を用いて形成された活性層を有していればよく、例えば、図１（ａ）および（ｂ）に示す薄膜トランジスタ３０１と同様の構成を有していてもよい。

[0164] ダイオード２０６は、ガラス基板などの基板１と、基板１の上に間隔を空けて配置されたゲート電極２、２９と、基板１の上にゲート電極２、２９を

覆うように形成されたゲート絶縁層５と、ゲート絶縁層５の上に形成された微結晶シリコン層３０と、微結晶シリコン層３０上にコンタクト層８ａを介して形成されたソース電極１０と、微結晶シリコン層３０上にコンタクト層９ｂを介して形成されたドレイン電極１２とを備える。ゲート電極２およびゲート電極２９は、接続電極４およびコンタクトホール１４内でソース電極１０と電気的に接続されている。

[0165] 微結晶シリコン層３０は、チャネル領域３０ｃ、３０ｅと、チャネル領域３０ｃ、３０ｅの間に位置する抵抗領域３０ｄと、チャネル領域３０ｃ、３０ｅの両側にそれぞれ位置する第１および第２領域３０ａ、３０ｂとを有している。第１領域３０ａは、コンタクト層８ａによってソース電極１０と電気的に接続されている。また、第２領域３０ｂは、コンタクト層９ｂによってドレイン電極１２と電気的に接続されている。

[0166] チャネル領域３０ｃはゲート電極２と重なるように配置されており、ゲート電極２に印加する電圧によってチャネル領域３０ｃの導電性が制御され得る。同様に、チャネル領域３０ｅはゲート電極２９と重なるように配置されており、ゲート電極２９に印加する電圧によってチャネル領域３０ｅの導電性が制御され得る。一方、抵抗領域３０ｄは、ゲート電極２、２９と重なっておらず、これらのゲート電極２、２９に電圧を印加しても低抵抗化されないので、抵抗体として機能する。

[0167] チャネル領域３０ｃ、３０ｅおよび抵抗領域３０ｄのチャネル方向の長さL_1、L_2、L_Rは適宜調整されるが、例えばチャネル幅Wが１０μｍのとき、チャネル領域３０ｃ、３０ｅの合計長さ（チャネル長Ｌ：$L = L_1 + L_2$）は６μｍ、抵抗領域３０ｄの長さ（抵抗領域長さ）L_Rは３μｍである。

[0168] なお、ダイオード２０６における微結晶シリコン層３０、コンタクト層８ａ、９ｂ、パッシベーション１３の材料は、図１に示すダイオード２０１における対応する構成要素の材料と同様であってもよい。

[0169] ダイオード２０６では、主にソース電極１０とドレイン電極１２との間に電流が流れる。このとき、電流はソース電極１０からコンタクト層８ａを経

由して、微結晶シリコン層３０の第１領域３０ａ、チャネル領域３０ｃ、抵抗領域３０ｄ、チャネル領域３０ｅ、および第２領域３０ｂをこの順で流れる。この後、コンタクト層９ｂを経由してドレイン電極１２に達する。

[0170] 本実施形態でも、前述した実施形態と同様に、微結晶シリコン層３０のうち抵抗領域３０ｄの下方にはゲート電極２、２９が配置されないので、ゲート電極２、２９の電位の影響をほとんど受けずに常に高抵抗である。このような抵抗の高い領域３０ｄを微結晶シリコン層３０に設けて、ソース電極１０とドレイン電極１２との間に電流を流れにくくすることにより、ダイオード２０５の用途に応じた特性を実現できる。

[0171] 本実施形態の半導体装置も、図２～図６を参照しながら前述した方法と同様の方法で作製できる。

[0172] また、本実施形態のダイオード２０６は、ボトムゲート構造を有する逆スタガーチャネルエッチング型ＴＦＴを基本とするダイオードであるが、逆スタガーエッチストップ型ＴＦＴを基本としたダイオードであってもよい。すなわち図１５のように、半導体層上にエッチストップ層を有していても良いが、半導体層とソース・ドレイン電極の間にはn^+型シリコン等からなるコンタクト層を有することが望ましい。

[0173] （実施形態４）

以下、図面を参照しながら、本発明による半導体装置の実施形態４を説明する。本実施形態の半導体装置は、Ｉｎ－Ｇａ－Ｚｎ－Ｏ系半導体（ＩＧＺＯ）膜を用いてダイオードおよび薄膜トランジスタの活性層を形成している点、およびコンタクト層を有しない点で前述の実施形態と異なっている。

[0174] 図１４は、本実施形態の半導体装置の模式的な断面図である。半導体装置は、基板３１と、基板３１上に形成されたダイオード２０７および薄膜トランジスタ３０７とを備えている。ダイオード２０７および薄膜トランジスタ３０７は、同一のＩＧＺＯ膜を用いて形成されている。薄膜トランジスタ２０７は、ボトムゲート構造を有する逆スタガーチャネルエッチング型ＴＦＴであり、ダイオード３０７は、ボトムゲート構造を有する逆スタガーチャネ

ルエッチング型ＴＦＴを基本とし、そのゲート電極およびソース電極を接続した構造を有している。

[0175] 薄膜トランジスタ２０７は、基板３１の上に形成されたゲート電極３２と、ゲート電極３２を覆うように形成されたゲート絶縁層３５と、ゲート絶縁層３５上に形成されたＩＧＺＯ層５０と、ＩＧＺＯ層５０上に形成されたソース電極５４およびドレイン電極５２とを備える。

[0176] ＩＧＺＯ層５０は、チャネル領域５０ｃと、チャネル領域５０ｃの両側にそれぞれ位置するソース領域５０ａおよびドレイン領域５０ｂとを有している。ソース領域５０ａは、ソース電極５４と接している。また、ドレイン領域５０ｂはドレイン電極５２と接している。

[0177] ダイオード２０７は、基板３１の上に形成されたゲート電極３３および接続配線３４と、ゲート電極３３および接続配線３４を覆うように形成されたゲート絶縁層３５と、ゲート絶縁層３５上にゲート電極３３と重なるように配置されたＩＧＺＯ層４０と、ＩＧＺＯ層４０上に形成された第１電極（ソース電極）４４と、ＩＧＺＯ層４０上に形成された第２電極（ドレイン電極）４２とを備える。

[0178] ＩＧＺＯ層４０は、チャネル領域４０ｃと、チャネル領域４０ｃの両側にそれぞれ位置する第１および第２領域４０ａ、４０ｂとを有している。チャネル領域４０ｃは、ゲート電極３３と重なるように配置されており、ゲート電極３３に印加する電圧によりチャネル領域４０ｃの導電性を制御できる。第１領域４０ａはソース電極４４と電気的に接続されている。第２領域４０ｂはドレイン電極４２と接している。

[0179] また、ＩＧＺＯ層４０は、第１および第２領域４０ａ、４０ｂの間に位置し、ゲート電極３３と重なっていない部分（抵抗領域）４０ｄをさらに有している。抵抗領域４０ｄは、ゲート電極３３に印加する電圧にかかわらず、高い抵抗を有するので、抵抗体として機能する。なお、本実施形態では、第１領域４０ａもゲート電極３３と重なっていないので、第１領域４０ａも抵抗体として機能する。

[0180] 本実施形態では、ゲート電極３２、３３および接続配線３４は、同一の導電膜から形成されている。ゲート電極３３は接続配線３４と接続されており、接続配線３４は、ゲート絶縁層３５に設けられた開口部であるコンタクトホール内で、ソース電極４４と電気的に接続されている。

[0181] 薄膜トランジスタ３０７およびダイオード２０７におけるＩＧＺＯ層５０、４０は、同一のＩＧＺＯ膜から形成されている。ＩＧＺＯ膜は、例えばＩｎ：Ｇａ：Ｚｎを２：２：１の比率で含む膜である。なお、ＩＧＺＯ膜の代わりに、他の金属酸化物半導体膜を用いることもできる。

[0182] また、本実施形態では、薄膜トランジスタ３０７、ダイオード２０７における各電極５２、５４、４２、４４の上部にパッシベーション４６が設けられている。パッシベーション４６上には画素電極５８が設けられている。画素電極５８は、パッシベーション４６に形成されたコンタクトホール内でドレイン電極５２に電気的に接続されている。

[0183] 本実施形態の半導体装置は、例えば次のようにして製造される。

[0184] まず、基板３１上に、スパッタ法によりモリブデン（Ｍｏ）膜などの導電膜を形成する。この導電膜に対して、ウェットエッチングまたはドライエッチングでパターニングを行い、ゲート電極３２、３３および接続配線３４を形成する。

[0185] 続いて、ゲート絶縁層３５として、窒化シリコン（ＳｉＮｘ）膜をＰＥＣＶＤ法で形成する。ゲート絶縁層３５の厚さは例えば４５０ｎｍとする。ゲート絶縁層３５に、接続配線３４の表面の一部を露出する開口部を形成する。なお、ゲート絶縁層３５として、ＳｉＮｘ膜の代わりに酸化シリコン（ＳｉＯｘ）膜を用いてもよいし、ＳｉＯｘ膜およびＳｉＮｘ膜からなる積層膜を用いてもよい。

[0186] ゲート絶縁層３５の上およびゲート絶縁層３５の開口部内に、スパッタ法でＩＧＺＯ膜（厚さ：例えば７０ｎｍ）を形成し、これをパターニングすることにより、ＩＧＺＯ層４０、５０を形成する。

[0187] 続いて、ＩＧＺＯ層４０、５０を覆うように、Ｍｏ膜などの導電膜をスパ

ッタ法で形成し、パターニングを行う。これにより、ドレイン電極４２、５２およびソース電極４４、５４を得る。本工程のパターニングは、ウェットエッチングを用いてもよいし、ドライエッチングを用いてもよい。ウェットエッチングを用いる場合には、ＩＧＺＯ層４０、５０におけるチャネル領域４０ｃ、５０ｃの表面部分もエッチングされる。このため、チャネル領域４０ｃ、５０ｃの厚さは約５５ｎｍとなる。

[0188] 続いて、パッシベーション４６として、酸化シリコン（ＳｉＯｘ）膜をＰＥＣＶＤ法で形成する。パッシベーション４６の厚さは例えば２００ｎｍである。パッシベーション４６に、ソース電極５２の表面の一部を露出する開口部をそれぞれ形成する。

[0189] この後、パッシベーション４６の上およびパッシベーション４６の開口部内にＩＺＯ膜を形成し、これをパターニングすることにより、画素電極５８を形成する。このようにして、ダイオード２０７および薄膜トランジスタ３０７を得る。

[0190] 薄膜トランジスタ３０７のチャネル幅を３０μｍ、チャネル長Ｌを４μｍとすると、薄膜トランジスタ３０７の移動度は、例えば４．２ｃｍ^2／Ｖｓ、閾値は約－１．３Ｖ、Ｓ値は約０．９（Ｖ／ｄｅｃ）となる。また、ダイオード２０７のチャネル幅を３０μｍ、チャネル長Ｌを３μｍ、抵抗領域長さL_Rを３μｍとする。なお、ダイオード２０７の長さＬ、L_Rは、ダイオード２０７の用途に応じて適宜調整される。

[0191] 本実施形態の半導体装置の構成は、図１４に示す構成に限定されない。例えば、薄膜トランジスタおよびダイオードのＩＧＺＯ層上にエッチストップ層が設けられていてもよい。

[0192] 図１５は、半導体層上にエッチストップ層が設けられた場合の半導体装置の構成を例示する模式的な断面図である。簡単のため、図１４と同様の構成要素には同じ参照符号を付し、説明を省略する。

[0193] 図１５に示す半導体装置では、ＩＧＺＯ層（厚さ：５０ｎｍ）４０、５０を形成した後、ＩＧＺＯ層４０、５０を覆うようにエッチストップ膜を形成

する。次いで、これをパターニングして、ＩＧＺＯ層４０のチャネル領域および抵抗領域となる領域に接するエッチストップ層６３と、ＩＧＺＯ層５０のチャネル領域となる領域に接するエッチストップ層６５とを得る。この後、ソースおよびドレイン電極４４、４２、５４、５２を形成する。

[0194] この構成によると、ソースおよびドレイン電極４４、４２、５４、５２を形成する際のエッチング工程で、ＩＧＺＯ層４０、５０のチャネル領域の表面部分がエッチングされることを防止できる。従って、ＩＧＺＯ層４０、５０のチャネル領域の厚さを確保でき、かつ、チャネル領域の表面がエッチングによってダメージを受けることを防止できる。

[0195] エッチストップ層６３、６５の材料としては、例えばＳｉＯｘ、感光性アクリル樹脂などを用いることができる。なお、図示していないが、ソース・ドレイン電極４４、４２、５４、５２およびエッチストップ層６３、６５を覆うようにパッシベーションを設けてもよい。また、ガラス基板などの基板３１の表面に絶縁層（例えばＳｉＯｘ層）を形成し、この上にゲート電極３２、３３などを形成してもよい。また、ＩＧＺＯ層４０、５０の基板側とその反対側（上面側）の両方にゲート電極を設けてもよい。

[0196] 薄膜トランジスタ３０８のチャネル幅を２５μｍ、チャネル長Ｌを１０μｍとすると、薄膜トランジスタ３０８の移動度は、例えば約８ｃｍ^2／Ｖｓ、閾値は約１Ｖ、オンオフ電流比は２．０×１０^{7}以上となる。また、ダイオード２０８のチャネル長Ｌおよび抵抗領域の長さL_Rは、ダイオード２０８の用途に応じて適宜調整されるが、ダイオード２０８のチャネル幅を２５μｍとすると、チャネル長Ｌおよび抵抗領域長さL_Rは何れも３μｍであってもよい。

[0197] なお、図１４および図１５に示すダイオード２０７、２０８は、チャネル領域および抵抗領域を有する１つの半導体層（ＩＧＺＯ層）を備えているが、図１に示すダイオード２０１のように、複数のＩＧＺＯ層を備え、そのうちの少なくとも１つのＩＧＺＯ層がゲート電極と重ならないように配置されていてもよい。

[0198] （実施形態５）

以下、図面を参照しながら、本発明による半導体装置の実施形態５を説明する。本実施形態は、スイッチング素子として機能する複数の薄膜トランジスタと、ショートリングを構成する複数のダイオードとを備えたアクティブマトリクス基板である。本実施形態のアクティブマトリクス基板は、液晶表示装置および有機エレクトロルミネセンス（ＥＬ）表示装置などの表示装置に好適に用いられる。

[0199] 図１６（ａ）は、本実施形態のアクティブマトリクス基板を用いた液晶表示装置を模式的に示す断面図であり、図１６（ｂ）は、図１６（ａ）のアクティブマトリクス基板を模式的に示す上面図である。

[0200] 図１６（ａ）に示すように、液晶表示装置は、アクティブマトリクス基板８２と、アクティブマトリクス基板８２に対向して配置された対向基板８３と、これらの基板８２、８３の間に配置された液晶層８４とを備えている。液晶層８４は、アクティブマトリクス基板８２と対向基板８３との間に介在されたシール部材８９によって封止されている。図示しないが、対向基板８３の液晶層側の表面には、カラーフィルタおよび対向電極が形成されている。

[0201] アクティブマトリクス基板８２および対向基板８３の液晶層側の表面には、それぞれ、配向膜８７ａ、８７ｂが形成されている。また、アクティブマトリクス基板８２の背面側および対向基板８３の観察者側には、それぞれ、偏光板８８ａ、８８ｂが設けられている。

[0202] 図１６（ｂ）に示すように、アクティブマトリクス基板８２は、互いに離間して配置され、画像表示の一単位となる画素を規定する複数の画素電極８５と、画素毎に配置され、スイッチング素子として機能する薄膜トランジスタ８６と、薄膜トランジスタ８６を介して画素電極８５に接続されるソースバスライン８６ｓと、薄膜トランジスタ８６を選択的に駆動させるためのゲートバスライン８６ｇとを備えている。図示しないが、各ソースバスライン８６ｓおよび各ゲートバスライン８６ｇは、それぞれ、外部から所定の信号

を入力するためのソース端子およびゲート端子と接続されている。

[0203] 薄膜トランジスタ８６として、上述した実施形態１～４における薄膜トランジスタ３０１、３０２、３０７、３０８を用いることができる。画素電極８５は、光を透過させる導電性材料、例えばＩＴＯ（インジウム錫酸化物）、ＩＺＯ、あるいは光を反射させる導電性材料、たとえばアルミニウム、銀合金などを用いて形成されている。

[0204] また、アクティブマトリクス基板８２のうち画素電極８５が配列された領域（表示領域）の外側の領域（額縁領域）には、複数のダイオード９０Ａ、９０Ｂが配置されている。各ダイオード９０Ａ、９０Ｂは、薄膜トランジスタ８６と同一の半導体膜を用いて形成されており、半導体層（図示せず）と、半導体層の下方に位置するゲート電極９２と、半導体層の上に形成されたソース電極９４およびドレイン電極９６とを有している。ゲート電極９２とソース電極９４とは、コンタクトホール９８を介して電気的に接続されている。ダイオード９０Ａ、９０Ｂとして、上述した実施形態１～４におけるダイオード２０１、２０２、２０４～２０８を用いることができる。

[0205] ダイオード９０Ａ、９０Ｂのソース電極９４は、ソースバスライン８６ｓの何れか１つと電気的に接続されており、ドレイン電極９６は他のソースバスライン８６ｓと電気的に接続されている。また、ダイオード９０Ａ、９０Ｂは、互いに逆方向に電流が流れやすいように配置されている。これにより、ソースバスライン８６ｓ上に帯電した電荷を両方向に逃すことができるので、静電気によるダメージをより効果的に防止できる。なお、ダイオード９０Ａ、９０Ｂのうち何れか一方のみを配置してもよい。

[0206] 図示する例では、隣接するソースバスライン８６ｓの間にダイオード９０Ａ、９０Ｂが配置されているが、隣接するゲートバスライン８６ｇの間に配置されていてもよい。

[0207] 図１７は、本発明によるアクティブマトリクス基板の他の例の模式的な上面図である。

[0208] 図１７に示す例では、隣接するソースバスライン８６ｓ間のみでなく、隣

接するゲートバスライン８６ｇ間にもダイオード９０Ｃ、９０Ｄが配置されている点で、図１６（ｂ）に示すアクティブマトリクス基板８２の構成と異なっている。簡単のため、アクティブマトリクス基板８２と同様の構成要素には同一の参照符号を付し、説明を省略する。

[0209] アクティブマトリクス基板８２’は、外部から所定の電気信号を入力するためのゲート端子ＧＴおよびソース端子ＳＴと、ゲート端子ＧＴに接続された複数のゲートバスライン８６ｇ、ソース端子ＳＴに接続されたソースバスライン８６ｓ、ゲートバスライン８６ｇと同じ材質からなる補助容量線８１とを備えている。隣接するソースバスライン８６ｓの間にはダイオード９０Ａ、９０Ｂが配置されている。また、隣接するゲートバスライン８６ｇの間にはダイオード９０Ｃ、９０Ｄが配置されている。ダイオード９０Ａ、９０Ｂは、互いに逆方向に電流が流れやすいように配置されている。また、ダイオード９０Ｃ、９０Ｄは、互いに逆方向に電流が流れやすいように配置されている。各ダイオード９０Ａ～９０Ｄの構造は図１６（ｂ）を参照しながら前述したダイオード９０Ａ、９０Ｂの構造と同様である。

[0210] このように、ソースバスライン８６ｓの間およびゲートバスライン８６ｇの間の両方にダイオード９０Ａ～９０Ｄが配置されていると、より有効な静電気対策を行うことができる。

[0211] なお、アクティブマトリクス基板８２’では、全てのバスライン８６ｓ、８６ｇがダイオード９０Ａ～９０Ｄの何れかと接続されているが、本実施形態では、ソースバスライン８６ｓおよびゲートバスライン８６ｇを含む複数のバスラインのうち何れか１つのバスラインと、他の１つのバスラインとの間に少なくとも１つのダイオードが配置されていればよい。例えばソースバスライン８６ｓとゲートバスライン８６ｇとの間にダイオードが配置されていてもよい。このように、少なくとも２つのバスライン間にダイオードが設けられていれば、２つのバスラインのうち何れか一方に入力された電荷を他方へ逃がすことができるので静電気によるダメージを低減できる。

[0212] 本実施形態のアクティブマトリクス基板８２、８２’は、図２～図６を参

照しながら前述した方法と同様の方法で作製される。なお、画素電極８５の形成は、ＩＴＯ（インジウム錫酸化物）、ＩＺＯ（インジウム亜鉛酸化物）、ＺｎＯ（亜鉛酸化物）等の金属酸化物の透明導電膜を堆積した後、フォトリソグラフィでパターニングを行うことにより形成できる。

[0213] なお、図示しないが、アクティブマトリクス基板８２、８２’には、各薄膜トランジスタ８６を駆動制御するための駆動回路が実装されていてもよく、その場合、駆動回路に使用する薄膜トランジスタおよびダイオードを、薄膜トランジスタ８６およびダイオード９０Ａ～９０Ｄと同一の半導体膜を用いて形成してもよい。

[0214] また、本実施形態は、表示領域と同一基板上に駆動回路を形成したドライバーモノリシック型アクティブマトリクス基板にも適用できる。

[0215] 図１８（ａ）は、本実施形態のゲートドライバーモノリシック型アクティブマトリクス基板を模式的に示す平面図であり、図１８（ｂ）は、図１８（ａ）に示すゲートドライバー（モノリシックゲートドライバー）におけるシフトレジスタの回路図である。

[0216] 図示するように、アクティブマトリクス基板は、複数の画素電極（図示せず）が配列された表示領域９２と、モノリシックゲートドライバーと、ソースドライバーとを備えている。ここで、ソースドライバーはモノリシックドライバーではなく、シリコンウエハーによって外部で作られてから実装されたものである。表示領域９２の構成は、図１６および図１７を参照しながら前述した構成と同様である。ソースドライバーは、表示領域９２のソースバスライン（図示せず）と接続されている。

[0217] モノリシックゲートドライバーは、ゲート信号G_{out}を順次出力する複数のシフトレジスタを含んでいる。各シフトレジスタ９１は、対応するゲートバスライン（図示せず）にゲート信号G_{out}を出力するゲート信号出力線９３を有している。また、図示しないが、第ｎ段目のシフトレジスタのゲート信号出力線９３は、第ｎ＋１段目のシフトレジスタにセット信号Ｓを入力するための接続線と接続されている。

[0218] 本実施形態では、隣接する２つのステージのゲート信号出力線９３の間にダイオード９０Ｅが配置されている。ダイオード９０Ｅとして、実施形態１～４におけるダイオード２０１～２０８を用いることができる。これにより、静電気による素子破壊を防止できる。

[0219] なお、シフトレジスタ９１で使用されている薄膜トランジスタと、表示領域９２でスイッチング素子として用いる薄膜トランジスタと、ダイオード９０Ｅとは同一の半導体膜を用いて形成されていてもよい。また、シフトレジスタ９１で使用されている薄膜トランジスタの一部をダイオードに置き換えることもできる。置き換えたダイオードは、実施形態１～４におけるダイオード２０１～２０８と同様の構成を有していてもよい。

[0220] （実施形態６）

以下、図面を参照しながら、本発明による半導体装置の実施形態６を説明する。本実施形態は、薄膜トランジスタおよびダイオードを含むゲートドライバー回路である。本実施形態のゲートドライバー回路は、アクティブマトリクス基板にモノリシック化されたゲートドライバーモノリシック回路である。

[0221] 本実施形態のゲートドライバー回路は、ゲート信号を順次出力する複数のシフトレジスタを有している。図１９～図２１は、本実施形態における１つのシフトレジスタの構成を例示する図である。

[0222] 本実施形態におけるシフトレジスタのゲート信号G_{out}は、ゲート信号出力線９３によって、対応するゲートバスラインに出力される。また、図示しないが、第ｎ段目のゲート信号出力線９３は、第ｎ＋１段目のシフトレジスタのセット信号Ｓを入力するための接続線と接続されている。ＶＤＤ、ＶＳＳは外部と接続され、ほぼ時間的変動のない一定の電位となるよう制御される。ＶＤＤはＶＳＳよりも高い電位である。ＣＫ、ＣＫＢには矩形波等の時間的変動のあるクロック信号が外部から入力される。例えば、ＶＳＳを基準電位（０Ｖ）としたとき、ＶＤＤは３１Ｖ、ＣＫとＣＫＢは０～３１Ｖの範囲で、１０ｋＨｚ～２００ｋＨｚの周波数で変動させる。なお、ＣＫとＣＫＢは

互いに逆位相とする。

[0223] 各シフトレジスタは、図示するように、複数の薄膜トランジスタＭＡ、ＭＢ、ＭＣ、ＭＤ、ＭＥ、ＭＦと、ダイオード９０Ｆとを含んでいる。これらの薄膜トランジスタの少なくとも１つとダイオード９０Ｆとは同一の半導体膜から形成されている。ダイオード９０Ｆは、上述した実施形態１～４におけるダイオード２０１～２０８と同様の構成を有している。ダイオード９０Ｆは、ＶＤＤまたはＳと配線ｎｅｔＡとの間に、ソース電極がＶＤＤ側またはＳ側、ドレイン電極が配線ｎｅｔＡ側に接続されるように配置されている。すなわち、ダイオード９０Ｆのドレイン電極は、シフトレジスタの出力トランジスタである薄膜トランジスタＭＡのゲート電極と、直接、または薄膜トランジスタＭＥを介してつながる。ここで、薄膜トランジスタＭＡは、そのドレイン電極がアクティブマトリクス基板のゲートバスラインと直接つながるＧｏｕｔに接続されている。このように、本実施形態におけるダイオード９０Ｆは特定の方向に配置され、実施形態５のように、互いに逆方向に２つのダイオードが配置されない。

[0224] 本実施形態のシフトレジスタは、出力を大きくするためにブートストラップ機構を動作に用いている。すなわち、前段から出力された信号がＳにはいることで配線ｎｅｔＡ（すなわち薄膜トランジスタＭＡのゲート電極側の配線）の電位を引き上げ、その電位の引き上げ後のタイミングにおいて、さらにクロックＣＫの電位を引き上げることによって、配線ｎｅｔＡの電位を容量（薄膜トランジスタＭＡのソース電極とゲート電極間の容量）結合によって引き上げ、Ｇｏｕｔに直接つながる出力トランジスタであるＭＡの出力を大きくするという動作を行う。

[0225] ここで、配線ｎｅｔＡがブートストラップ機構によってＶＤＤ、Ｓよりも高電位になるタイミングがある。すなわち、クロックＣＫの電位が引き上げられたときであって、シフトレジスタがＧｏｕｔへ電流を出力しているときである。

[0226] 従来のブートストラップ機構を有するシフトレジスタでは、上記のタイミ

ングで、配線ｎｅｔＡから接続されているＶＤＤ側またはＳの方向に電流が逆流（リーク）する場合がある。配線ｎｅｔＡから電流が逆流すると、トランジスタＭＡのゲート電極電位が低下するので、Ｇｏｕｔへの出力が低下し、画素電極が正常に充電されず所望の画素電位に到らなくなるおそれがある。その結果、正常な表示が得られなかったり、シフトレジスタがある段から動作しなくなる（破綻する）という問題がある。

[0227] これに対し、本実施形態によると、ダイオード９０Ｆによって、電流がｎｅｔＡからＶＤＤ側またはＳ側に向かって逆流することを抑制できるので、ｎｅｔＡから電流が逆流することに起因する上記問題を防止できる。

[0228] シフトレジスタの回路構成およびダイオード９０Ｆの位置は、図示する例に限定されない。本実施形態におけるダイオード９０Ｆは、回路内の一方向に電流を流す配線に形成されていればよく、これにより、電流の逆流を防止できる。

[0229] 図２２は、本実施形態におけるシフトレジスタの他の構成を示す図である。図２２に示すシフトレジスタは、複数の薄膜トランジスタＭＡ、ＭＢ、ＭＣ、ＭＤ、ＭＥ、ＭＦと、複数のダイオード９０Ｇ、９０Ｈ、９０Ｉ、９０Ｊ、９０Ｋとを含んでいる。これらの薄膜トランジスタの少なくとも１つとダイオード９０Ｇ～９０Ｋとは同一の半導体膜から形成されている。ダイオード９０Ｇ～９０Ｋとして、上述した実施形態１～４におけるダイオード２０１～２０８を用いることができる。

[0230] ダイオード９０Ｇは、ＣＫＢとＶＳＳとの端子間に配置されている。ＣＫとＶＳＳとの端子間に配置されていてもよい。なお、ＣＫＢ、ＣＫは、ゲートドライバーの全段のシフトレジスタで共用されるので、一部のシフトレジスタがダイオード９０Ｇを含んでいればよい。

[0231] ダイオード９０Ｈは、ＳとＶＳＳとの端子間に配置される。ダイオード９０Ｉは、G_{out}とＶＳＳとの間に配置される。また、ダイオード９０Ｊ、９０Ｋは、それぞれ配線ｎｅｔＡまたはｎｅｔＢとＶＳＳ端子との間に配置される。これらのダイオード９０Ｈ～９０Ｋは、全段のシフトレジスタにそれぞれ

配置されることが好ましい。

[0232] 図示するダイオード９０Ｇ～９０Ｋは、特定の一方向に電流を流すように配置されているが、これらのダイオードは、逆方向に配置された他のダイオードとともにダイオードリングを構成してもよい。

[0233] このように、駆動回路の一部の配線と他の配線（異なる段のシフトレジスタの同じ機能を有する配線、電源配線など）とをダイオード９０Ｇ～９０Ｋによって接続することにより、静電気によるシフトレジスタ、クロック（ＣＫ）配線、Ｇｏｕｔ配線の損傷を防ぐことができる。特に、ダイオード９０Ｊ、９０Ｋ、９０Ｈは、薄膜トランジスタを介してのみつながるｎｅｔＡ，ｎｅｔＢ等に、その第１電極を接続しているが、この部位は特に動作時（電源が入れられていないとき）に静電気が蓄積されやすいため、シフトレジスタの損傷を防ぐのに効果的である。

[0234] なお、上記では、本発明をゲートドライバー回路に適用する例を説明したが、本発明は、薄膜トランジスタおよびダイオードを有する回路に広く適用できる。例えば例えば特開２００５－１１５３４２号公報に開示されているようなソース分割駆動回路に適用してもよい。

[0235] 図２３は、本実施形態によるソース分割駆動回路の一例を示す図である。図示する例では、隣接する２つのデータ信号線ＳＲ、ＳＧ、ＳＢの間にはダイオード９０Ｌがそれぞれ配置されている。また、配線ＳＥＬ１、２とグラウンドとの間にもダイオード９０Ｍが配置されている。ダイオード９０Ｌ、９０Ｍは、静電気によるソース分割駆動回路の損傷を防ぐことができる。

[0236] 本発明の半導体装置は、上述した実施形態に限定されない。例えば本発明におけるダイオードおよび薄膜トランジスタは、同一の半導体膜を用いて形成されていればよく、それらの構成は上記の実施形態１～４に例示する構成に限定されない。本発明における薄膜トランジスタは、複数のゲート電極を有するマルチゲート構造ＴＦＴであってもよい。あるいは、図２４（ａ）～（ｃ）に示すように、１つのゲート電極上に、複数のチャネル領域を含む１つの半導体層が形成された構造を有していてもよい。半導体膜は、微結晶シ

リコン膜の代わりに、アモルファスシリコン膜や多結晶シリコン膜を活性層として用いてもよい。また、Ｚｎ－Ｏ系半導体（ＺｎＯ）膜、Ｉｎ－Ｇａ－Ｚｎ－Ｏ系半導体（ＩＧＺＯ）膜、Ｉｎ－Ｚｎ－Ｏ系半導体（ＩＺＯ）膜、Ｚｎ－Ｔｉ－Ｏ系半導体（ＺＴＯ）膜などの金属酸化物半導体からなる膜を活性層として用いてもよい。

[0237] 図２４（ａ）～（ｃ）に示す薄膜トランジスタ３０３は、ソース電極１１０とドレイン電極１１２との間に中間電極１１１を有している点で、図１に示す薄膜トランジスタ３０１と異なっている。簡単のため、薄膜トランジスタ３０１と同様の構成要素には同一の参照符号を付し、説明を省略する。

[0238] 薄膜トランジスタ３０３では、半導体層１０７の一部の領域（中間領域）１０７ｆが、コンタクト層１０９ｆを介して中間電極１１１と電気的に接続されている。従って、半導体層１０７のうち中間領域１０７ｆとソースおよびドレイン領域１０９ａ、１０９ｂとの間に位置する部分$107c_1$、$107c_2$が、それぞれ、チャネル領域となる。このような構造によると、複数のゲート電極を有する構造と比べて、中間電極１１１とゲート電極１０３とが重なっているためにオフ電流を低減できる等のメリットがある。

産業上の利用可能性

[0239] 本発明の半導体装置は、アクティブマトリクス基板等の回路基板、液晶表示装置、有機エレクトロルミネセンス（ＥＬ）表示装置および無機エレクトロルミネセンス表示装置等の表示装置、フラットパネル型Ｘ線イメージセンサー装置等の撮像装置、画像入力装置や指紋読み取り装置等の電子装置などの薄膜トランジスタを備えた装置に広く適用できる。特に、倍速駆動等による表示品位の優れた液晶表示装置、低消費電力の液晶表示装置、またはより大型の液晶表示装置等に適用すると有利である。

符号の説明

[0240]

１	基板
２、１０３	ゲート電極
３	導電層

４　接続配線

５　ゲート絶縁層

６、７、１０７　半導体層（微結晶シリコン層）

６ｃ、１０７ｃ　チャネル領域

７ｄ　抵抗領域

６ａ、６ｂ、７ａ、７ｂ　半導体層の領域

１０７ａ　ソース領域

１０７ｂ　ドレイン領域

８ａ、８ｂ、９ａ、９ｂ、１０９ａ、１０９ｂ　コンタクト層

１０、１１０　ソース電極

１２、１１２　ドレイン電極

１３　パッシベーション

１４　コンタクトホール

１５、１６、１１６　ギャップ部

２０１、２０２、２０４、２０５、２０６、２０７、２０８　ダイオード

３０１、３０２　薄膜トランジスタ

請求の範囲

[請求項1] 基板と、前記基板上に形成された薄膜トランジスタおよびダイオードとを含む半導体装置であって、

前記ダイオードは、

基板上に形成されたゲート電極と、

前記ゲート電極上に形成されたゲート絶縁層と、

前記ゲート絶縁層上に形成され、第１領域と、第２領域とを有する少なくとも１つの半導体層と、

前記第１領域上に設けられ、前記第１領域および前記ゲート電極と電気的に接続された第１電極と、

前記第２領域上に設けられ、前記第２領域に電気的に接続された第２電極と

を備え、

前記少なくとも１つの半導体層は、前記ゲート絶縁層を介して前記ゲート電極と重なっているチャネル領域と、前記ゲート絶縁層を介して前記ゲート電極と重なっていない抵抗領域とを有し、

前記ダイオードのオン状態において、前記第１電極と前記第２電極との間に、前記チャネル領域と前記抵抗領域とを含む電流経路が形成される半導体装置。

[請求項2] 前記ダイオードは、前記基板と前記ゲート絶縁層との間に形成され、前記ゲート電極と分離された導電層をさらに備え、

前記抵抗領域は、前記ゲート絶縁層を介して前記導電層と重なるように配置されている請求項１に記載の半導体装置。

[請求項3] 前記少なくとも１つの半導体層は、前記第１領域を有する第１半導体層と、前記第２領域を有する第２半導体層とを含む複数の半導体層であって、

前記ダイオードは、前記複数の半導体層を直列に接続する少なくとも１つの中間電極をさらに備え、

前記複数の半導体層は、前記ゲート電極と重なっていない半導体層を含む請求項１または２に記載の半導体装置。

[請求項4] 前記少なくとも１つの半導体層は、前記第１および第２領域と、前記チャネル領域と、前記抵抗領域とを有する１つの半導体層を含む請求項１または２に記載の半導体装置。

[請求項5] 前記ダイオードは、前記ゲート電極よりも前記第２電極側に配置された他のゲート電極をさらに備え、

前記１つの半導体層は、前記チャネル領域よりも前記第２電極側に配置された他のチャネル領域をさらに含み、

前記他のチャネル領域は、前記ゲート絶縁層を介して前記他のゲート電極と重なっており、

前記抵抗領域は、前記チャネル領域および前記他のチャネル領域の間に位置する請求項４に記載の半導体装置。

[請求項6] 前記１つの半導体層は、前記チャネル領域と前記抵抗領域との間に中間領域をさらに含み、

前記ダイオードは、前記中間領域上に設けられ、前記中間領域と電気的に接続された中間電極をさらに備える請求項４に記載の半導体装置。

[請求項7] 前記少なくとも１つの半導体層および前記薄膜トランジスタの半導体層は、同一の半導体膜から形成されている請求項１から６のいずれかに記載の半導体装置。

[請求項8] 前記少なくとも１つの半導体層および前記薄膜トランジスタの半導体層は、結晶相およびアモルファス相を有する微結晶シリコン膜から形成されている請求項７に記載の半導体装置。

[請求項9] 前記微結晶シリコン膜に占める前記アモルファス相の体積率は５％以上９５％以下である請求項８に記載の半導体装置。

[請求項10] 前記微結晶シリコン膜に占める前記アモルファス相の体積率は５％以上４０％以下である請求項９に記載の半導体装置。

[請求項11] 前記少なくとも１つの半導体層は、金属酸化物半導体を含む請求項１に記載の半導体装置。

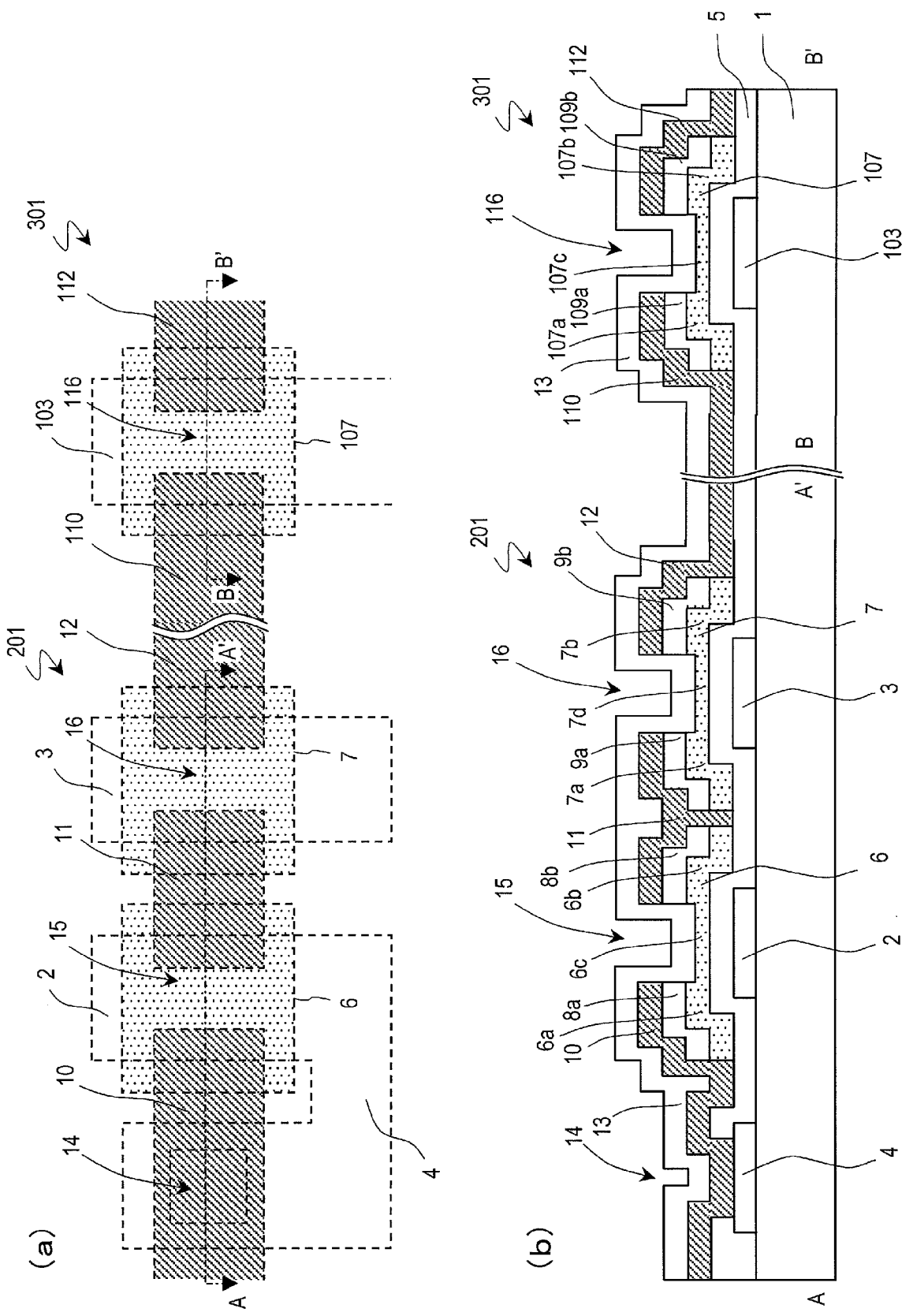
[請求項12] 前記基板上に格子状に配列されたゲートバスラインおよびソースバスラインを含む複数のバスラインをさらに備え、

前記ダイオードの前記第１電極は、前記複数のバスラインのうち何れか１本と電気的に接続され、前記第２電極は、前記複数のバスラインのうちの他の一本と電気的に接続されている請求項１から１１のいずれかに記載の半導体装置。

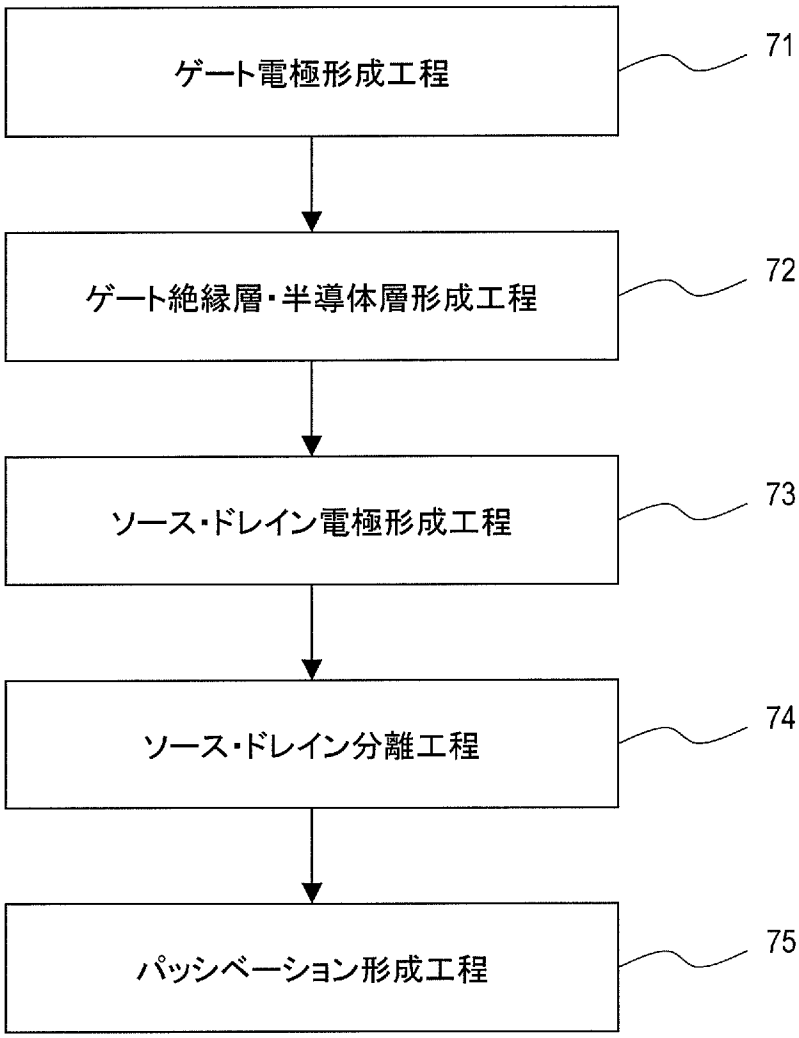
[請求項13] 前記基板上に設けられ、複数の画素を有する表示領域と、前記基板のうち前記表示領域以外の領域に設けられた駆動回路とを備え、

前記駆動回路は前記薄膜トランジスタおよび前記ダイオードを含む請求項１から１１のいずれかに記載の半導体装置。

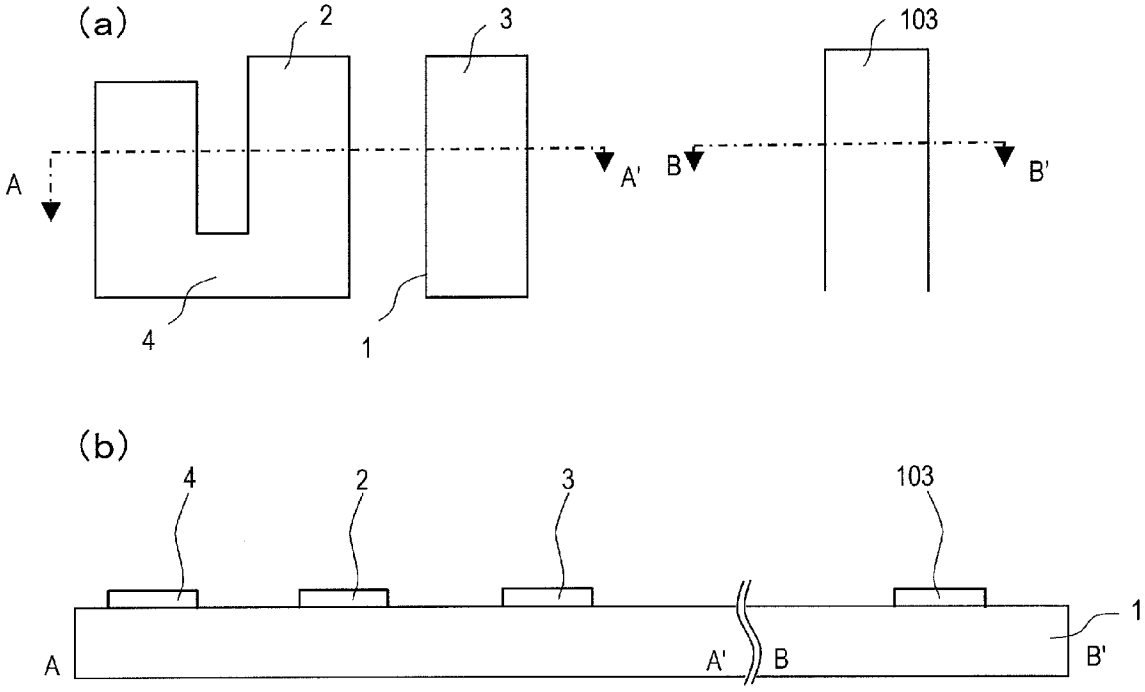
[図1]


(a)
(b)
301
201
112
103
116
107
110
12
16
3
11
15
2
6
10
14
4
5
1
B
B'
A
A'
109b
107b
107c
109a
107a
13
9b
7b
7d
9a
7a
8b
6b
6c
8a
6a

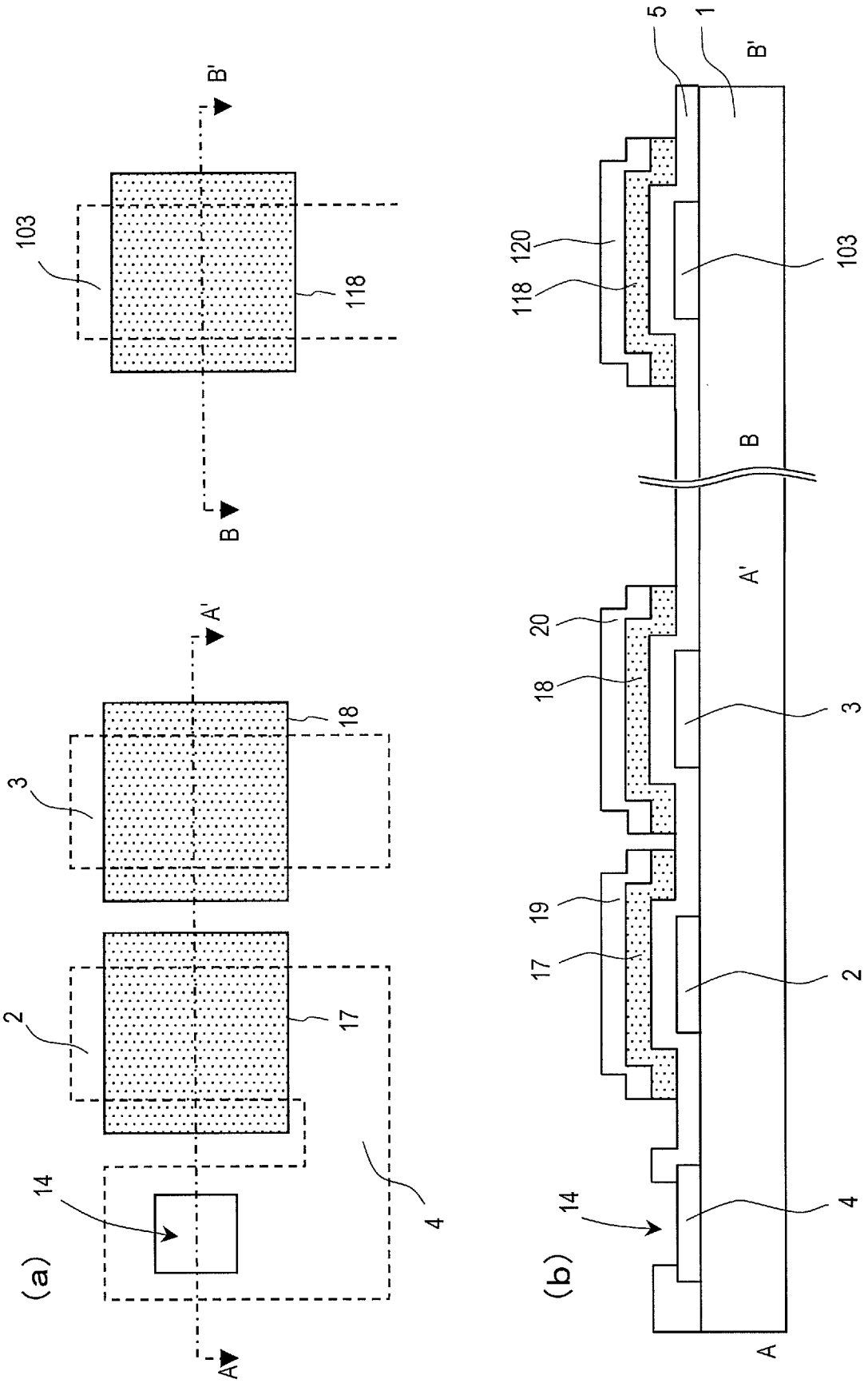
[図2]


ゲート電極形成工程
71
ゲート絶縁層・半導体層形成工程
72
ソース・ドレイン電極形成工程
73
ソース・ドレイン分離工程
74
パッシベーション形成工程
75

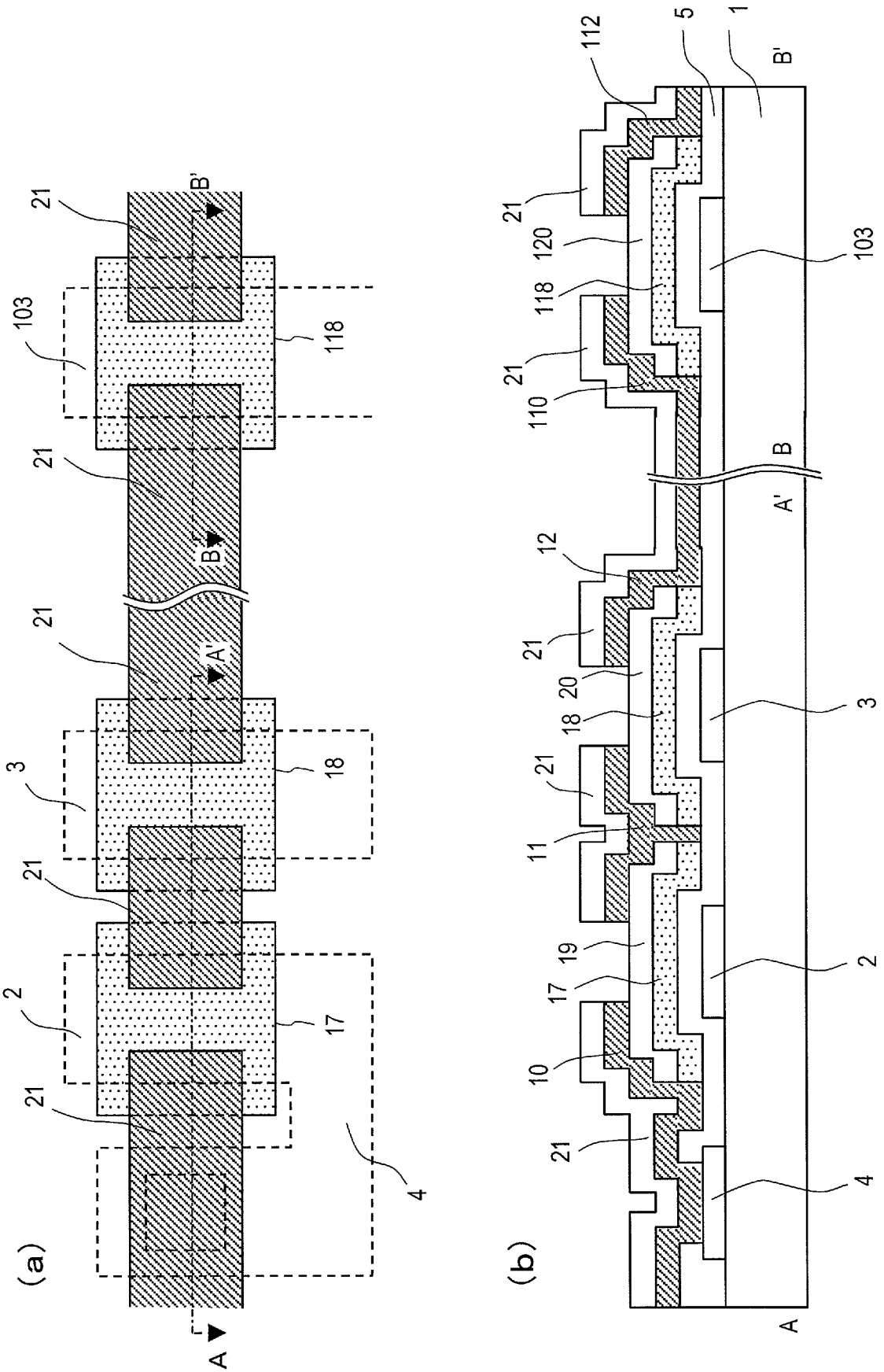
[図3]



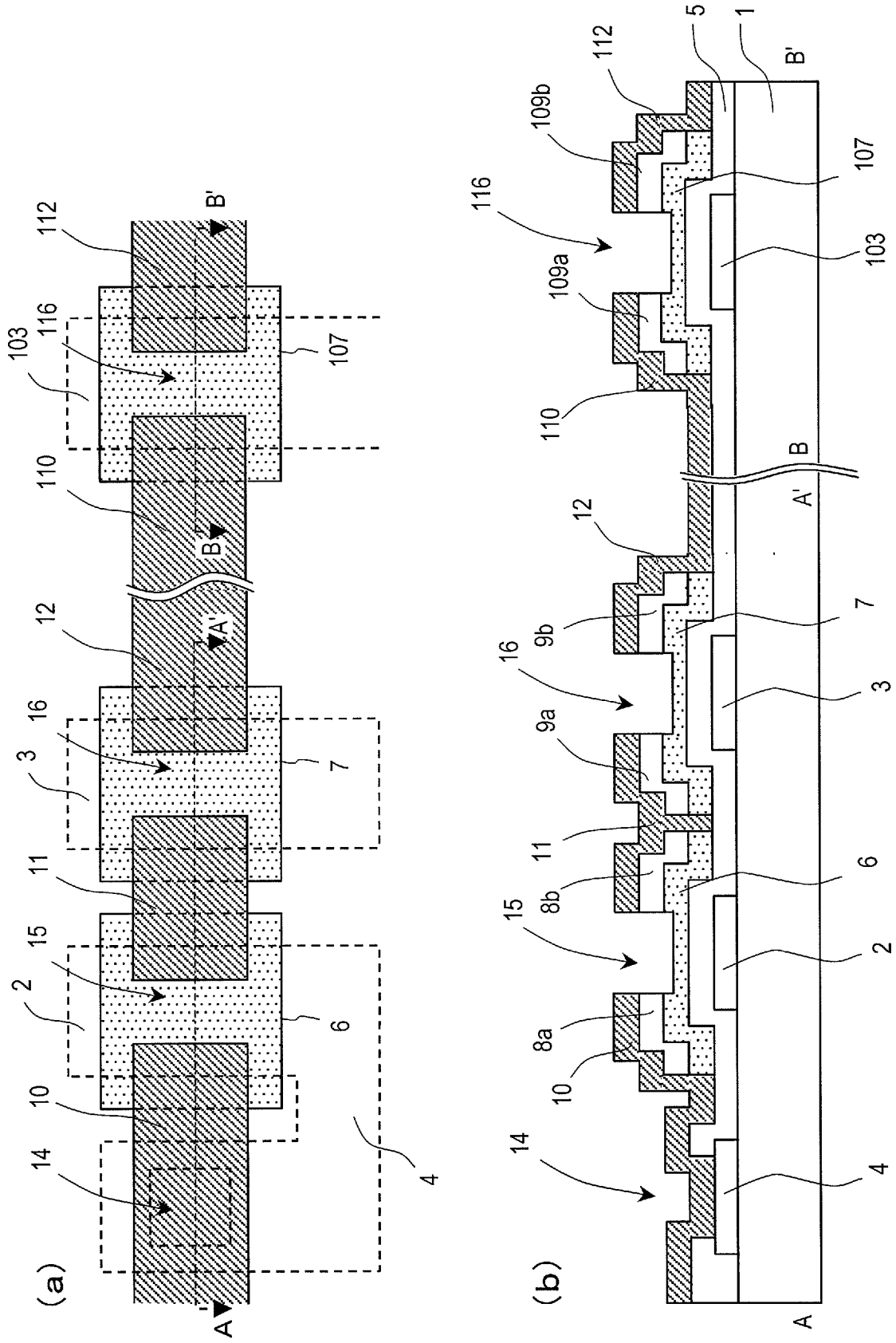
[図4]



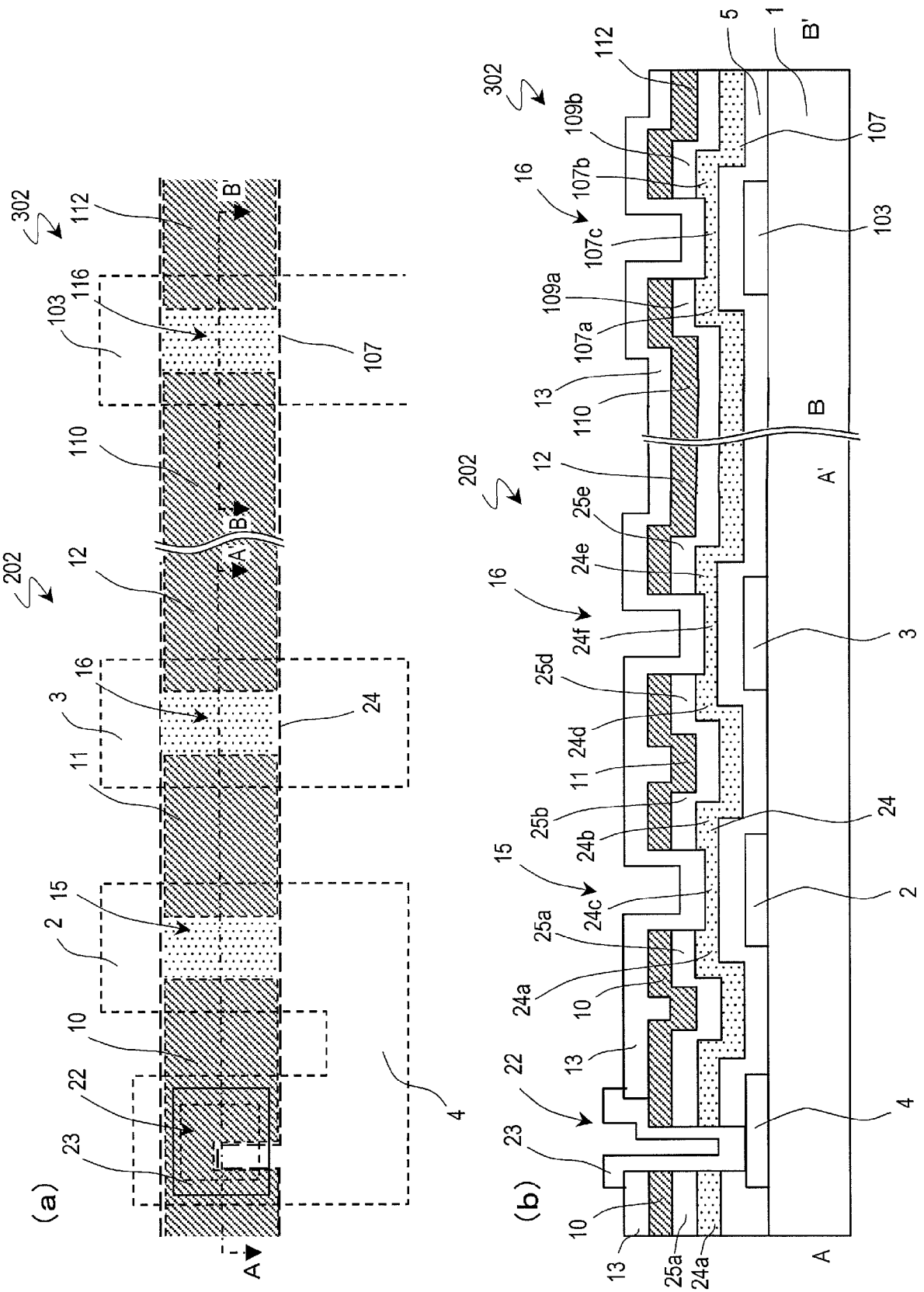
[図5]



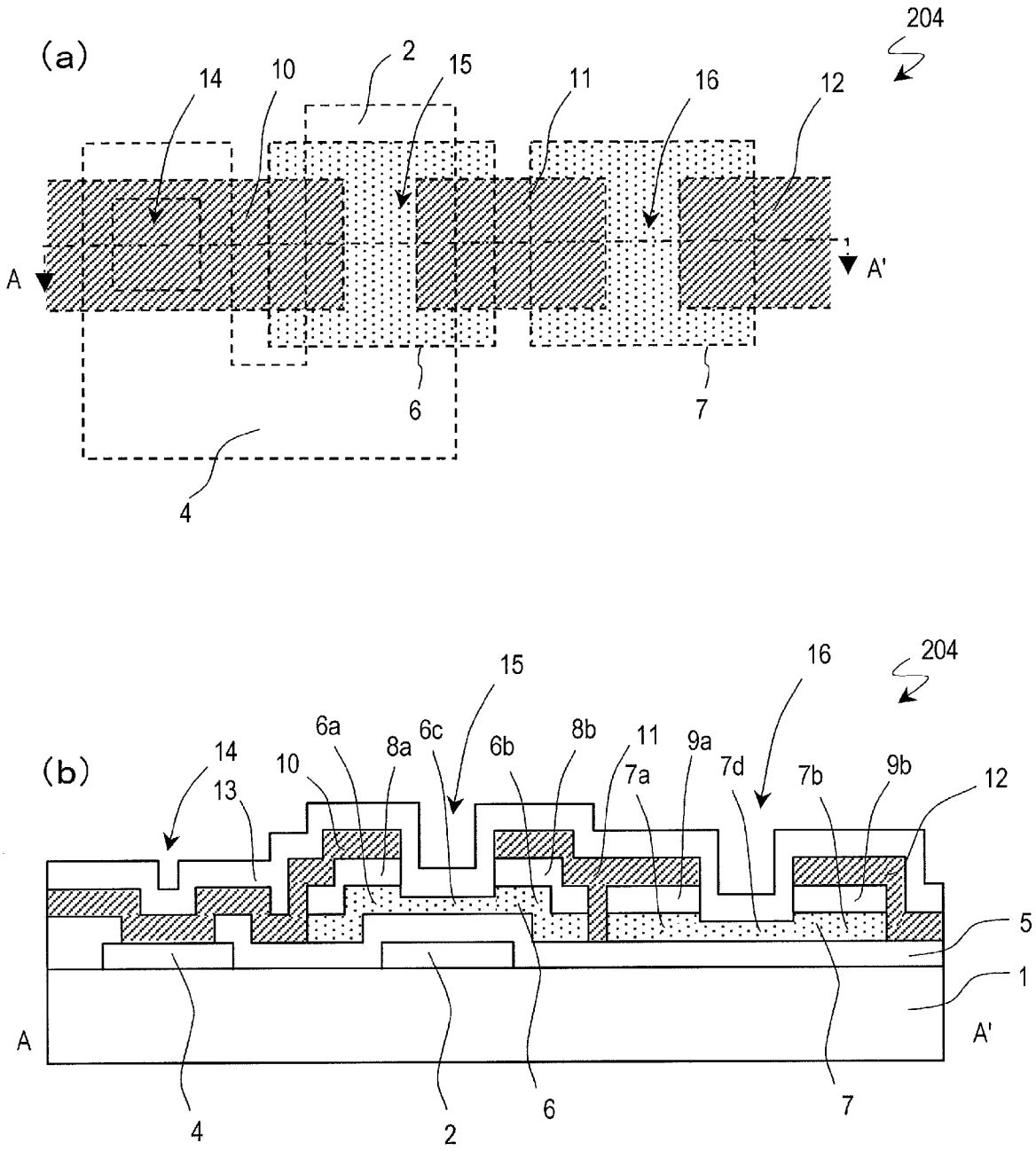
[図6]


(a)
(b)
A
A'
B
B'
1
2
3
4
5
6
7
8a
8b
9a
9b
10
11
12
14
15
16
103
107
109a
109b
110
112
116

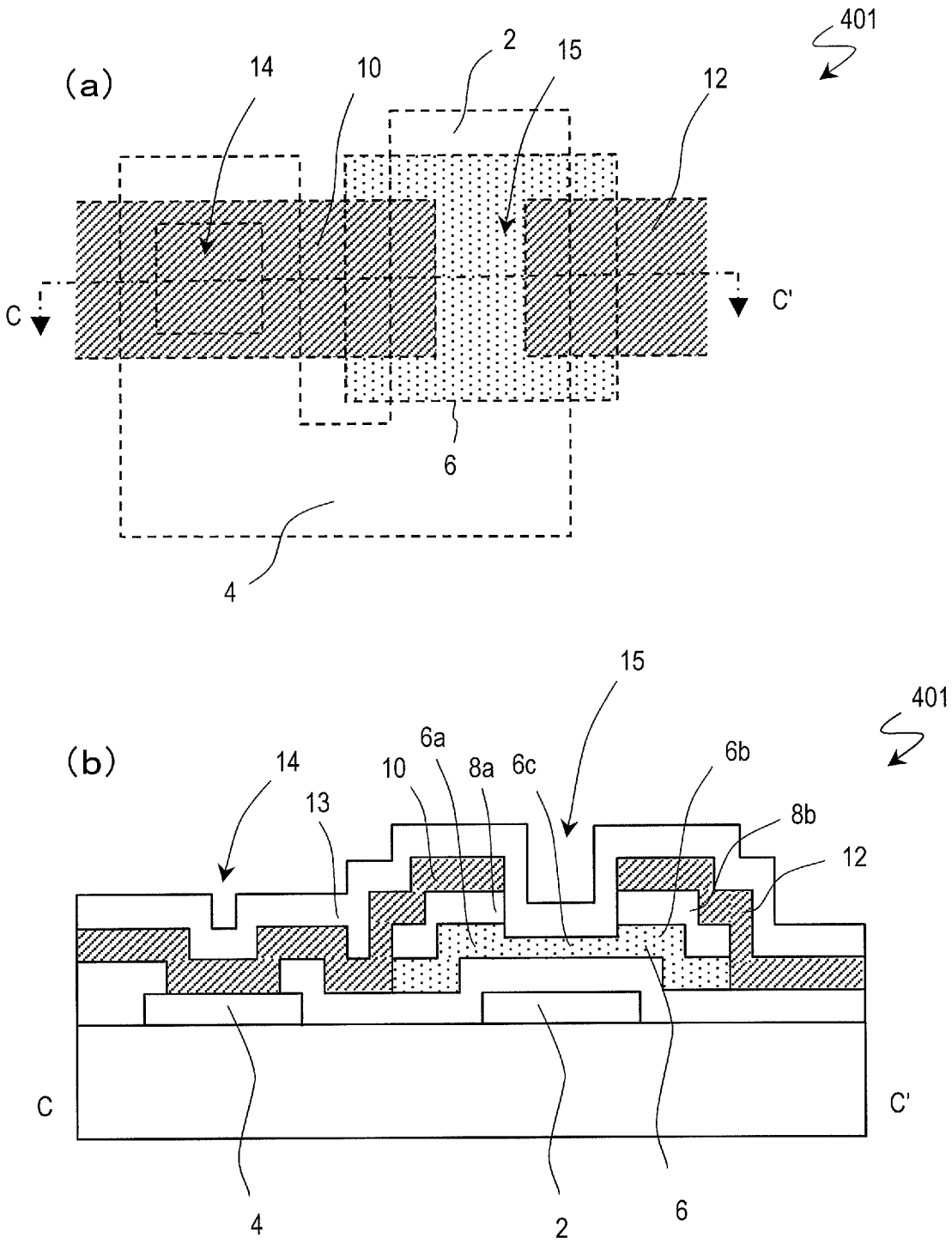
[図7]


(a)
(b)
A
A'
B
B'
1
2
3
4
5
10
11
12
13
15
16
22
23
24
25a
25b
25d
25e
103
107
110
112
202
302

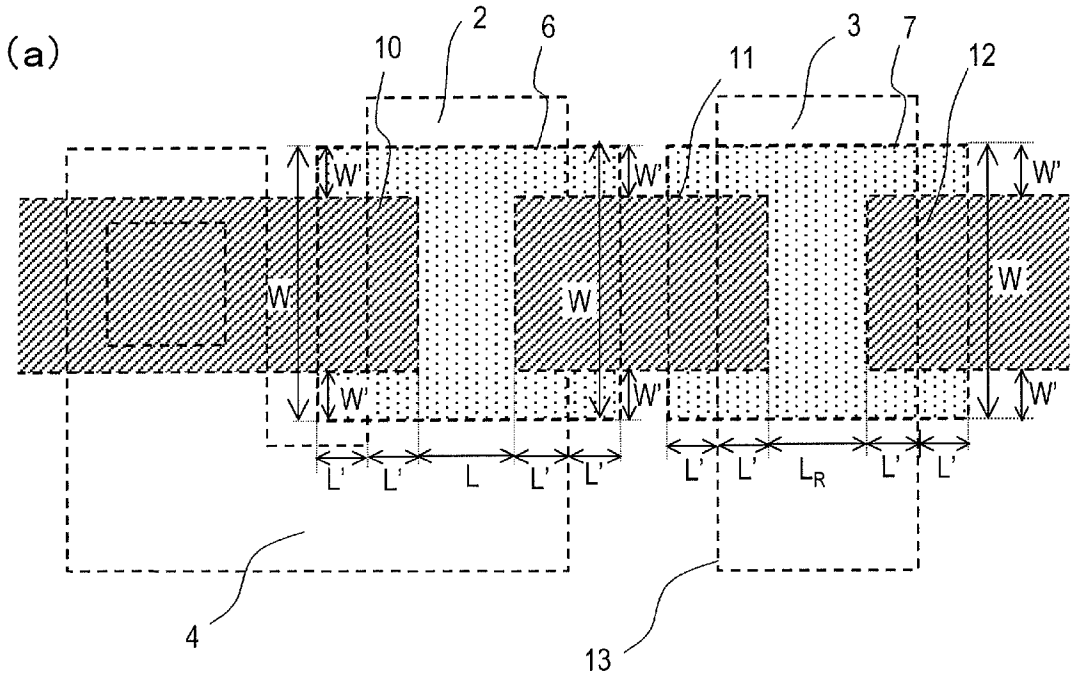
[図8]

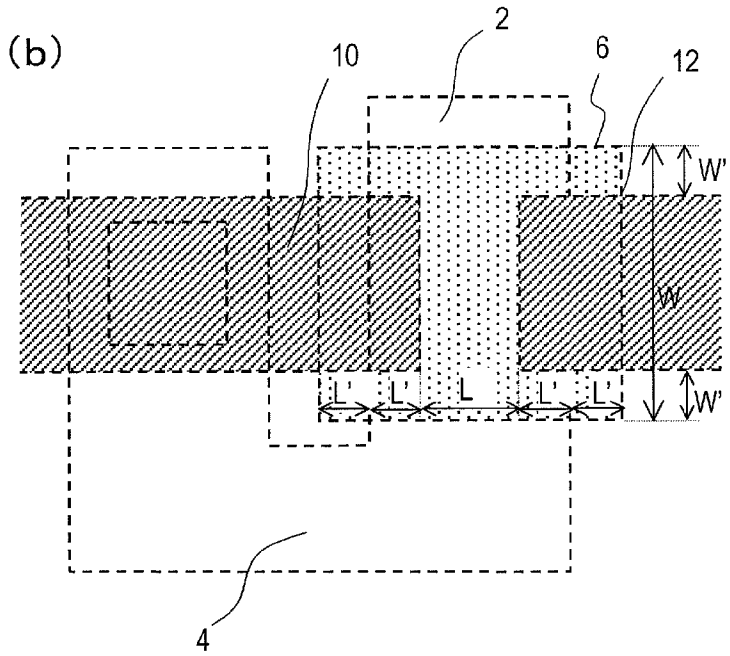

(a)
204
14
10
2
15
11
16
12
A
A'
6
7
4
(b)
204
16
15
14
6a
6c
6b
8b
11
9a
7d
7b
9b
12
10
8a
13
7a
5
1
A
A'
4
2
6
7

[図9]

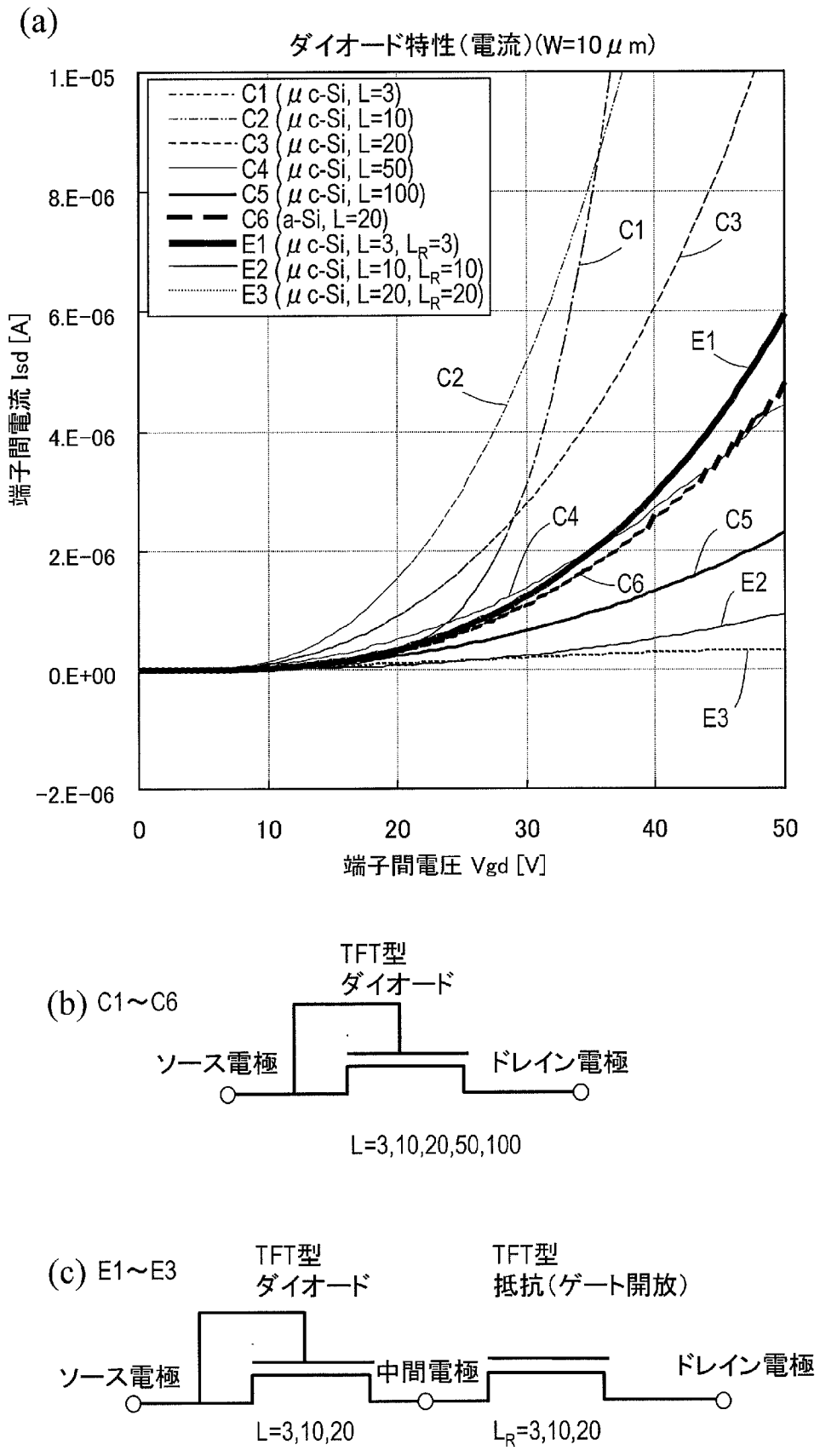


[図10]

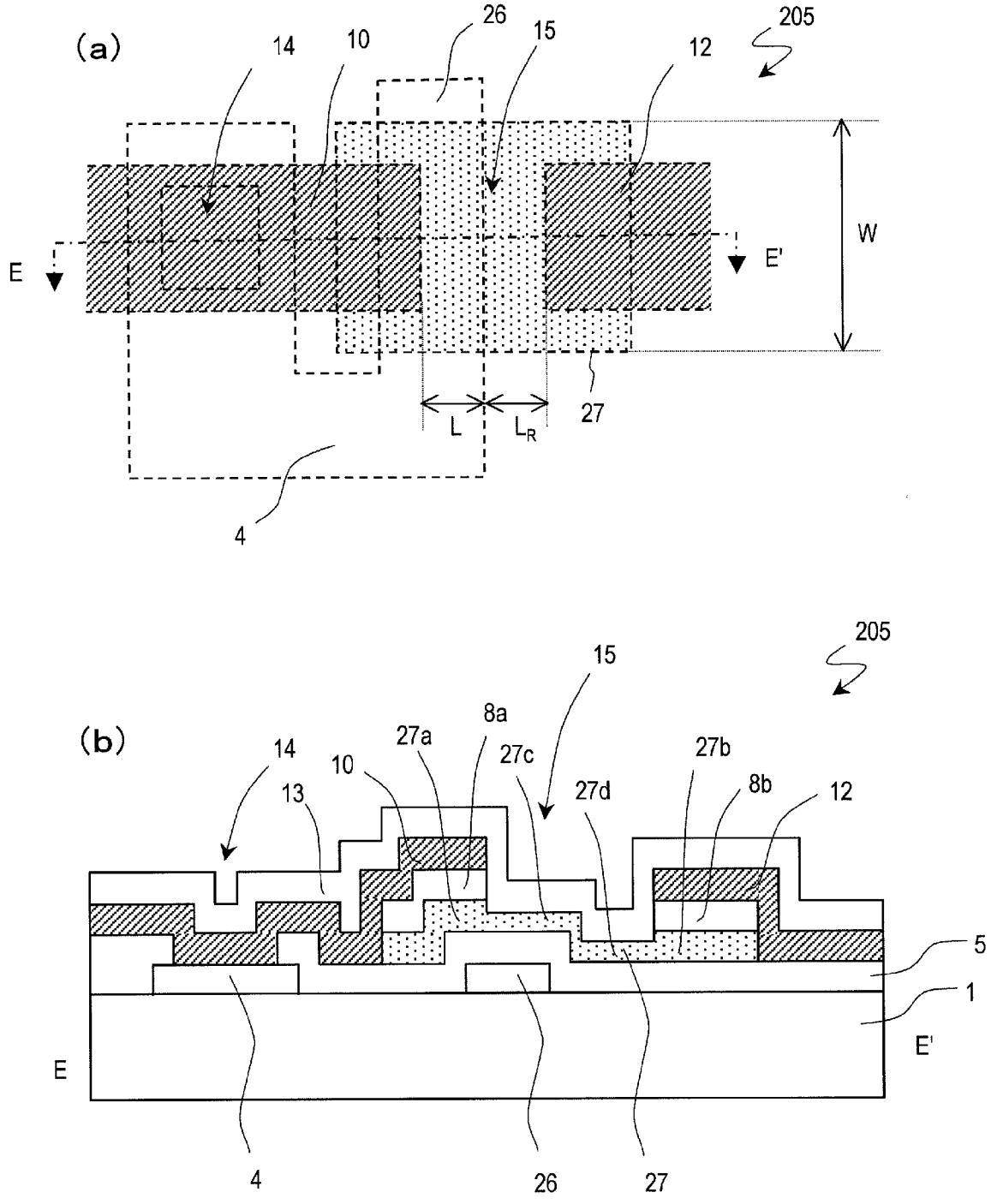




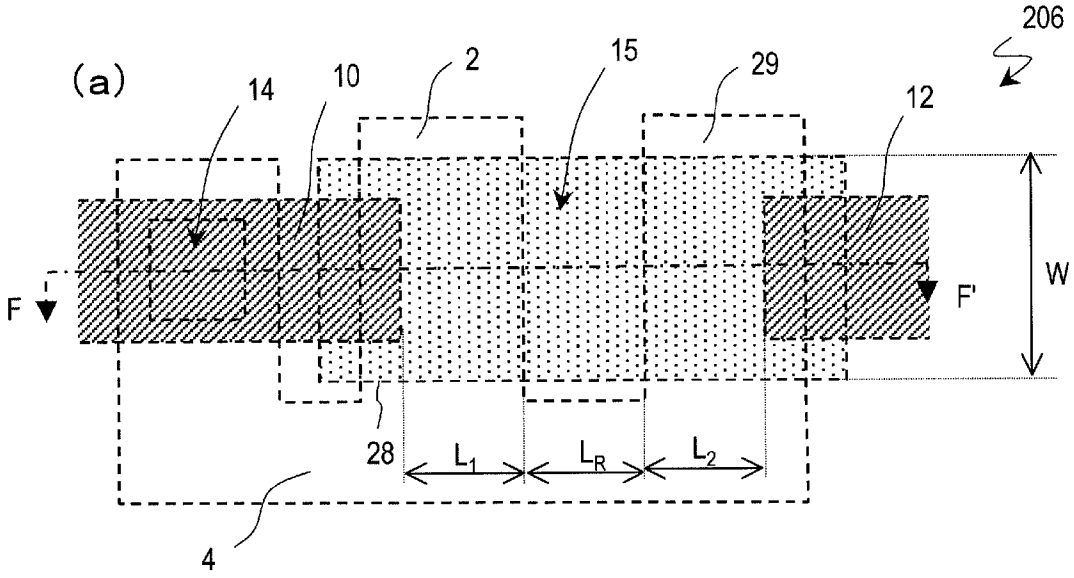
[図11]

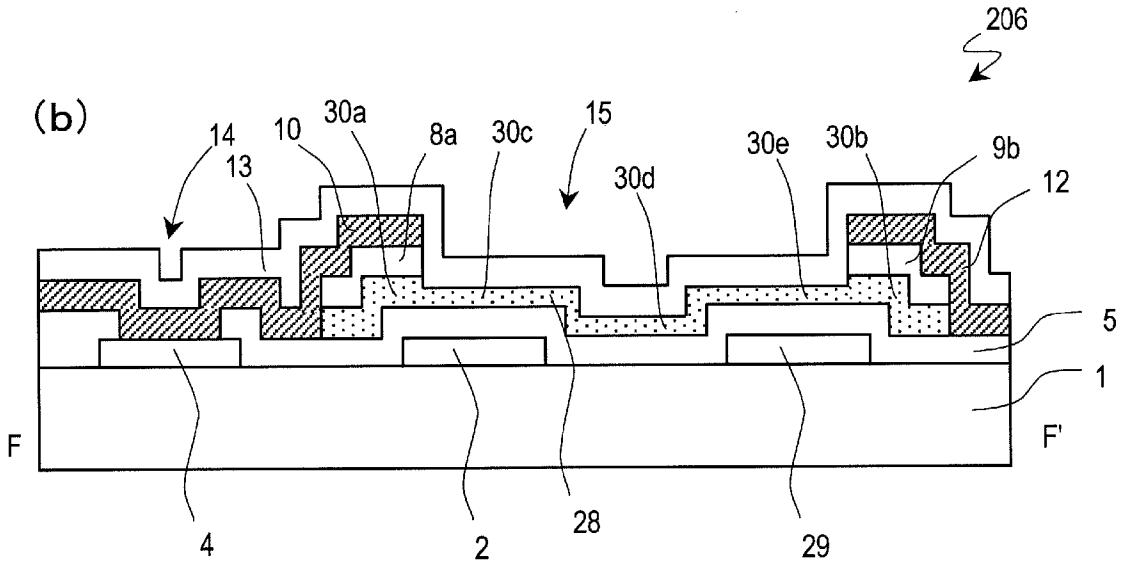

(a)
ダイオード特性(電流)(W=10μm)
C1 (μc-Si, L=3)
C2 (μc-Si, L=10)
C3 (μc-Si, L=20)
C4 (μc-Si, L=50)
C5 (μc-Si, L=100)
C6 (a-Si, L=20)
E1 (μc-Si, L=3, L_R=3)
E2 (μc-Si, L=10, L_R=10)
E3 (μc-Si, L=20, L_R=20)
端子間電流 Isd [A]
端子間電圧 Vgd [V]
1.E-05
8.E-06
6.E-06
4.E-06
2.E-06
0.E+00
-2.E-06
0
10
20
30
40
50
(b) C1～C6
TFT型
ダイオード
ソース電極
ドレイン電極
L=3,10,20,50,100
(c) E1～E3
TFT型
ダイオード
TFT型
抵抗(ゲート開放)
ソース電極
中間電極
ドレイン電極
L=3,10,20
L_R=3,10,20

[図12]

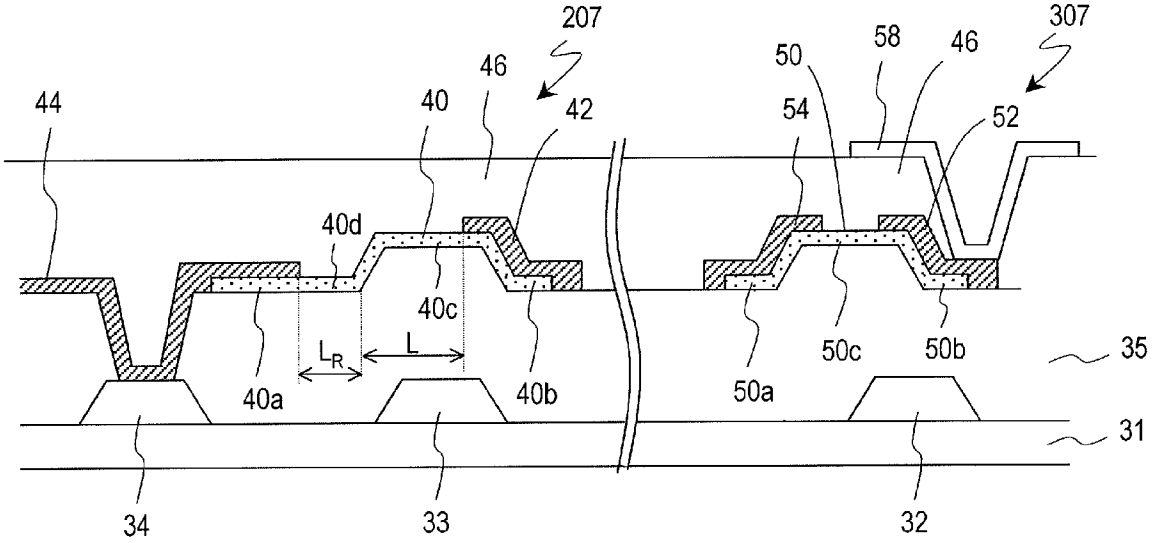

(a)
14
10
26
15
12
205
W
E
E'
L
L_R
27
4
(b)
205
15
8a
27a
27c
27b
14
10
13
27d
8b
12
5
1
E
E'
4
26
27

[図13]

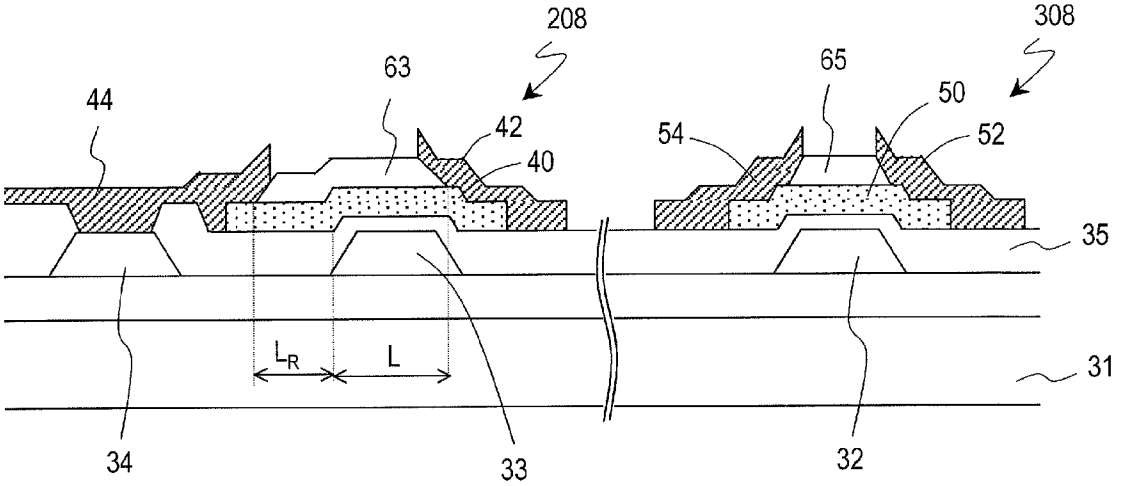

(a)
206
14
10
2
15
29
12
F
F'
W
28
L_1
L_R
L_2
4


(b)
206
14
13
10
30a
8a
30c
15
30d
30e
30b
9b
12
5
1
F
F'
4
2
28
29

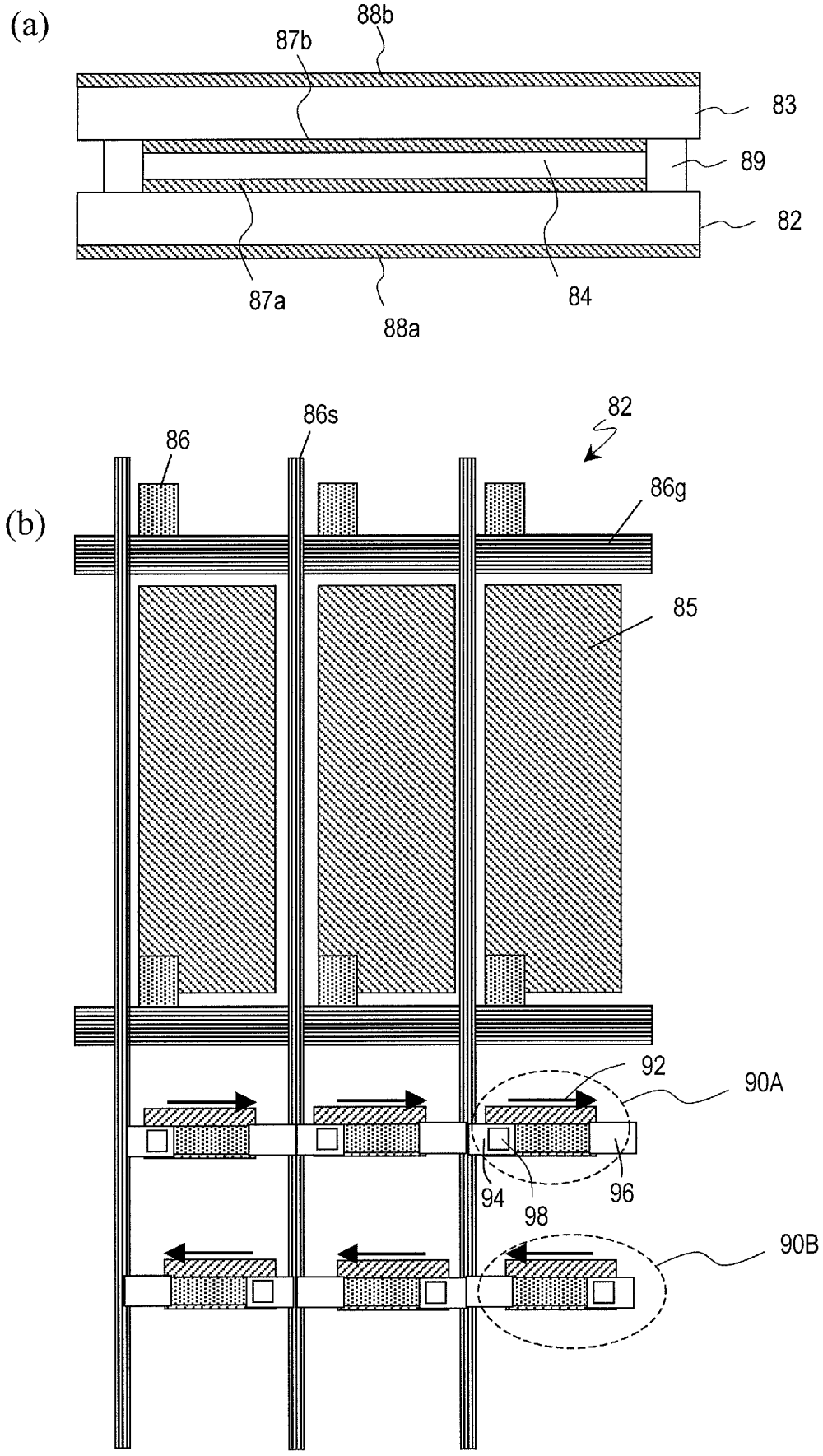
[図14]


207
307
46
58
46
50
44
40
42
54
52
40d
40c
L_R
L
50c
50b
35
40a
40b
50a
31
34
33
32

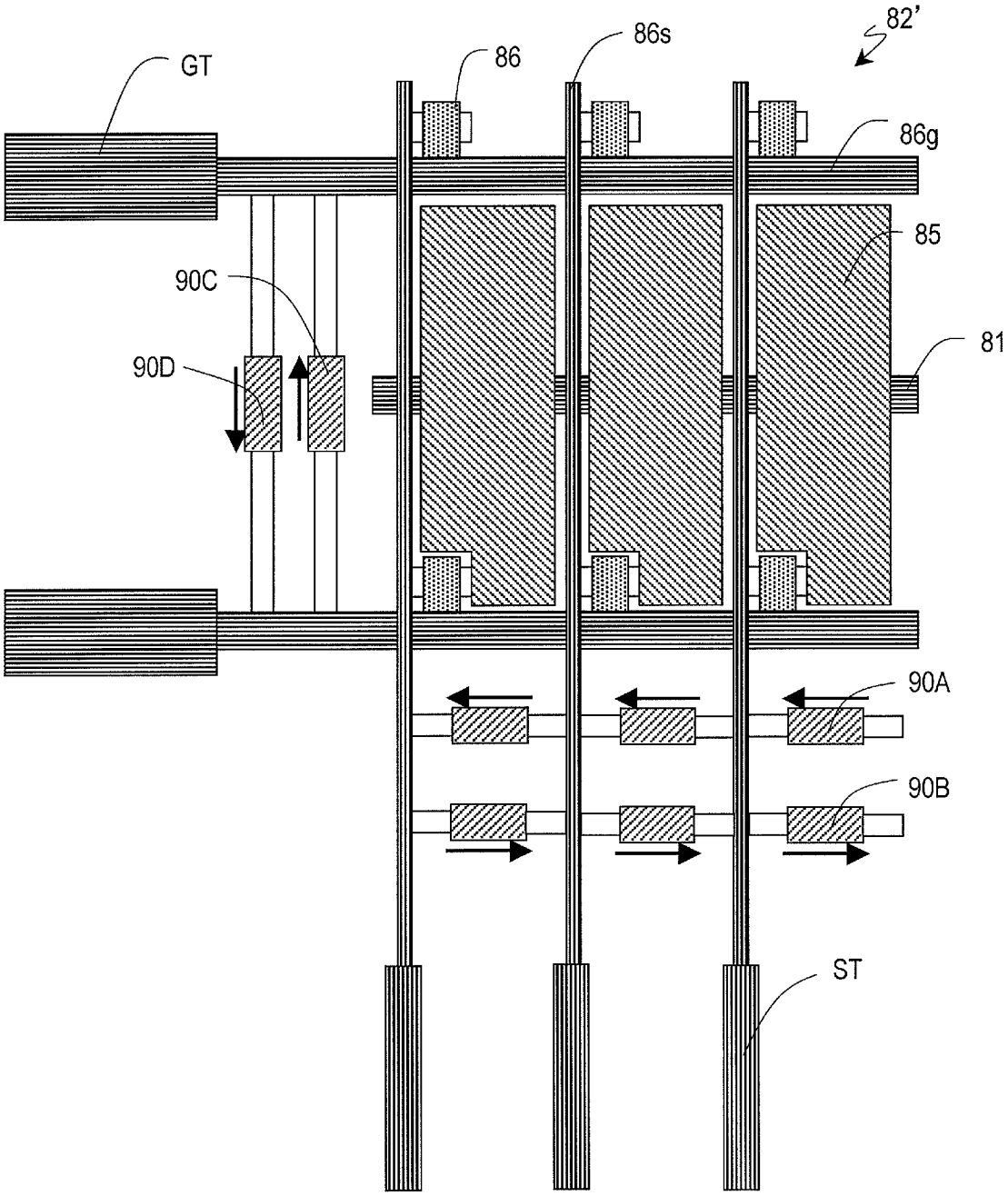
[図15]


208
308
63
65
50
44
42
54
52
40
35
L_R
L
31
34
33
32

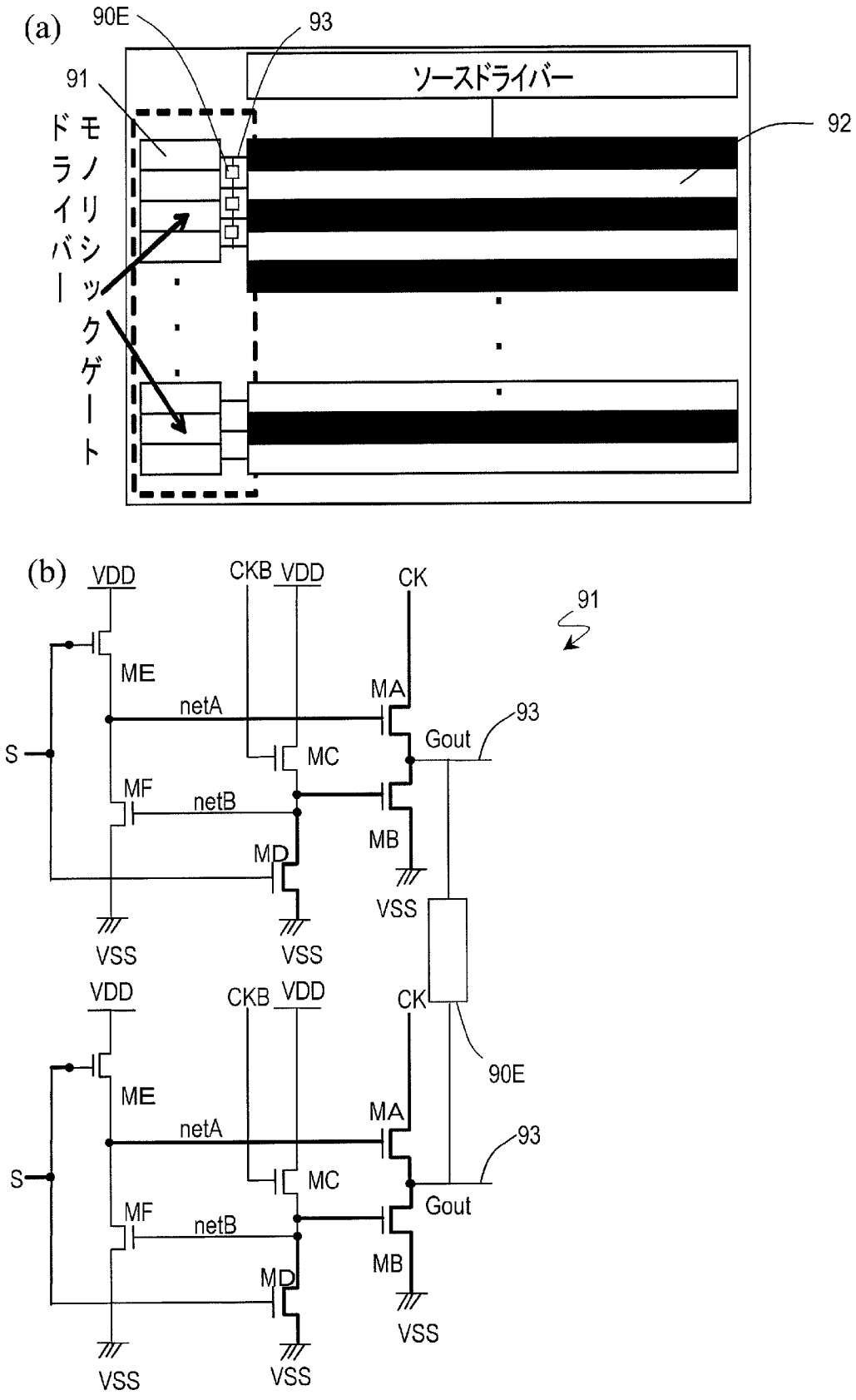
[図16]



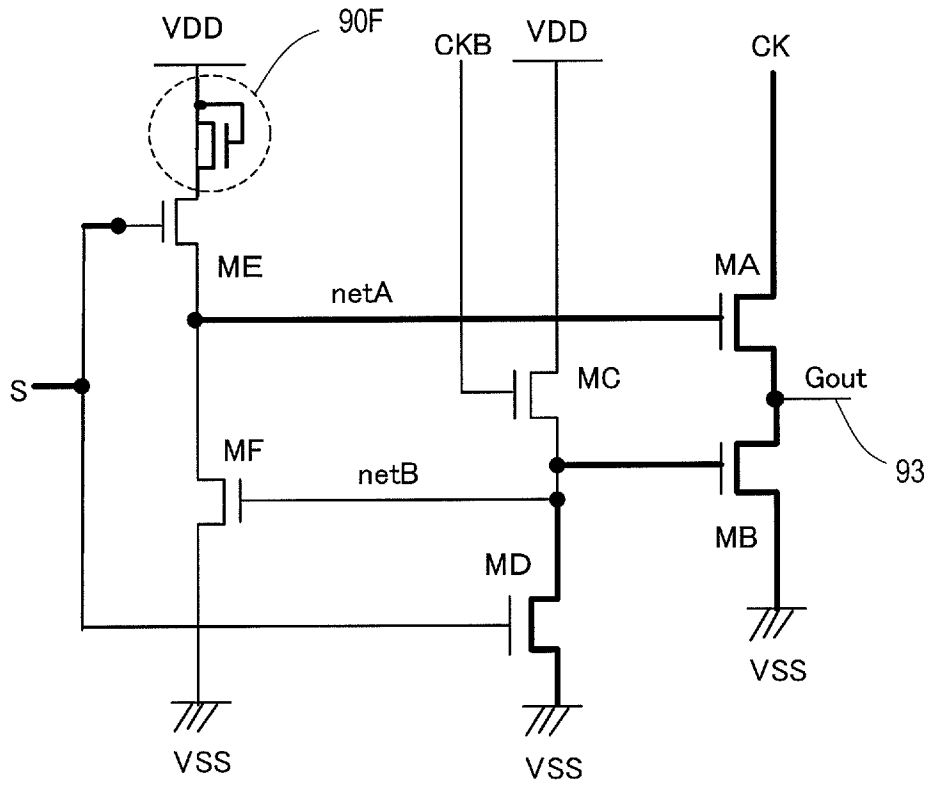
[図17]



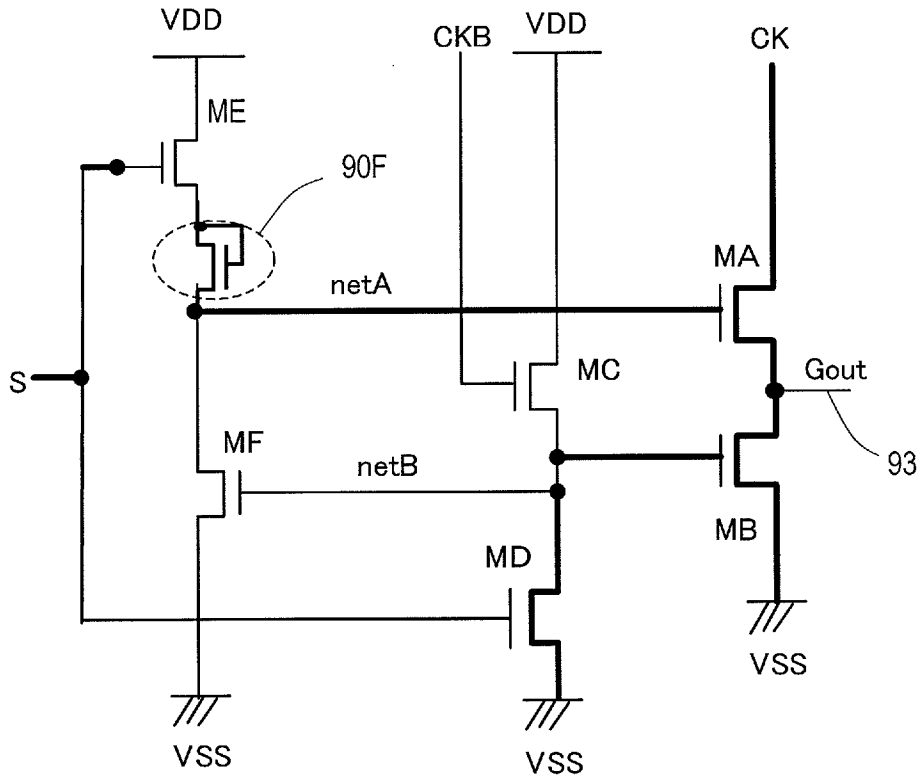
[図18]


(a)
90E
93
91
ソースドライバー
92
モノリシックゲートドライバー
(b)
VDD
CKB
VDD
CK
91
ME
MA
netA
93
Gout
S
MC
MF
netB
MB
MD
VSS
VSS
VSS
VDD
CKB
VDD
CK
90E
ME
MA
netA
93
S
MC
Gout
MF
netB
MB
MD
VSS
VSS
VSS

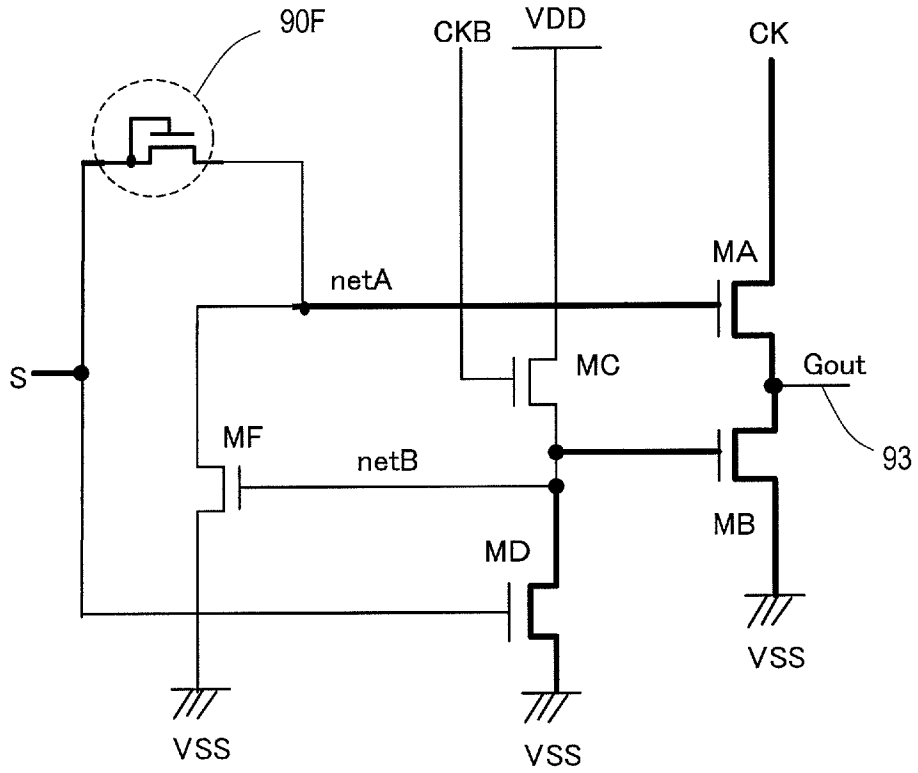
[図19]


VDD
90F
CKB
VDD
CK
ME
MA
netA
S
MC
Gout
MF
netB
93
MB
MD
VSS
VSS
VSS

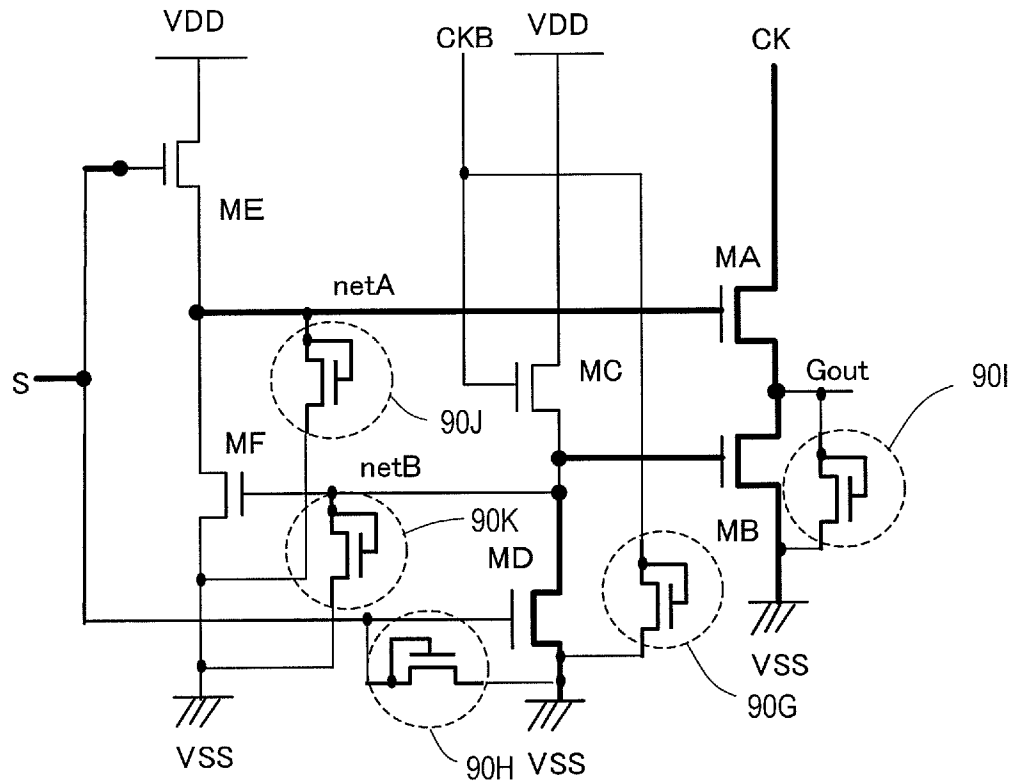
[図20]


VDD
CKB
VDD
CK
ME
90F
MA
netA
S
MC
Gout
MF
netB
93
MB
MD
VSS
VSS
VSS

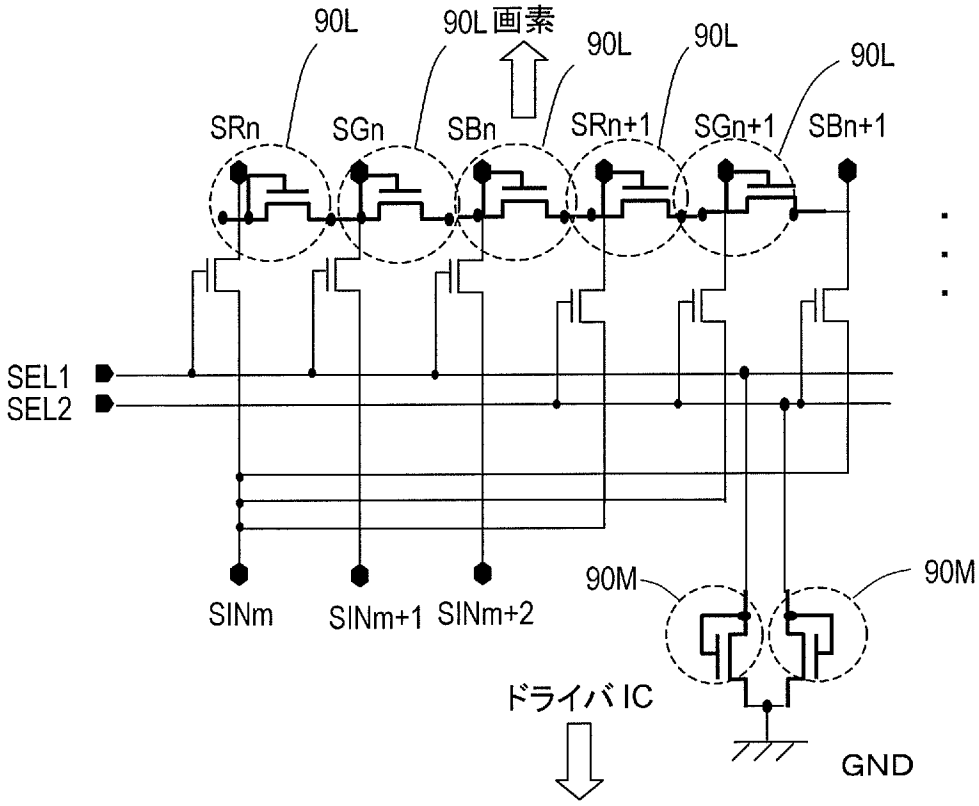
[図21]


90F
CKB
VDD
CK
MA
netA
S
MC
Gout
MF
netB
93
MB
MD
VSS
VSS
VSS

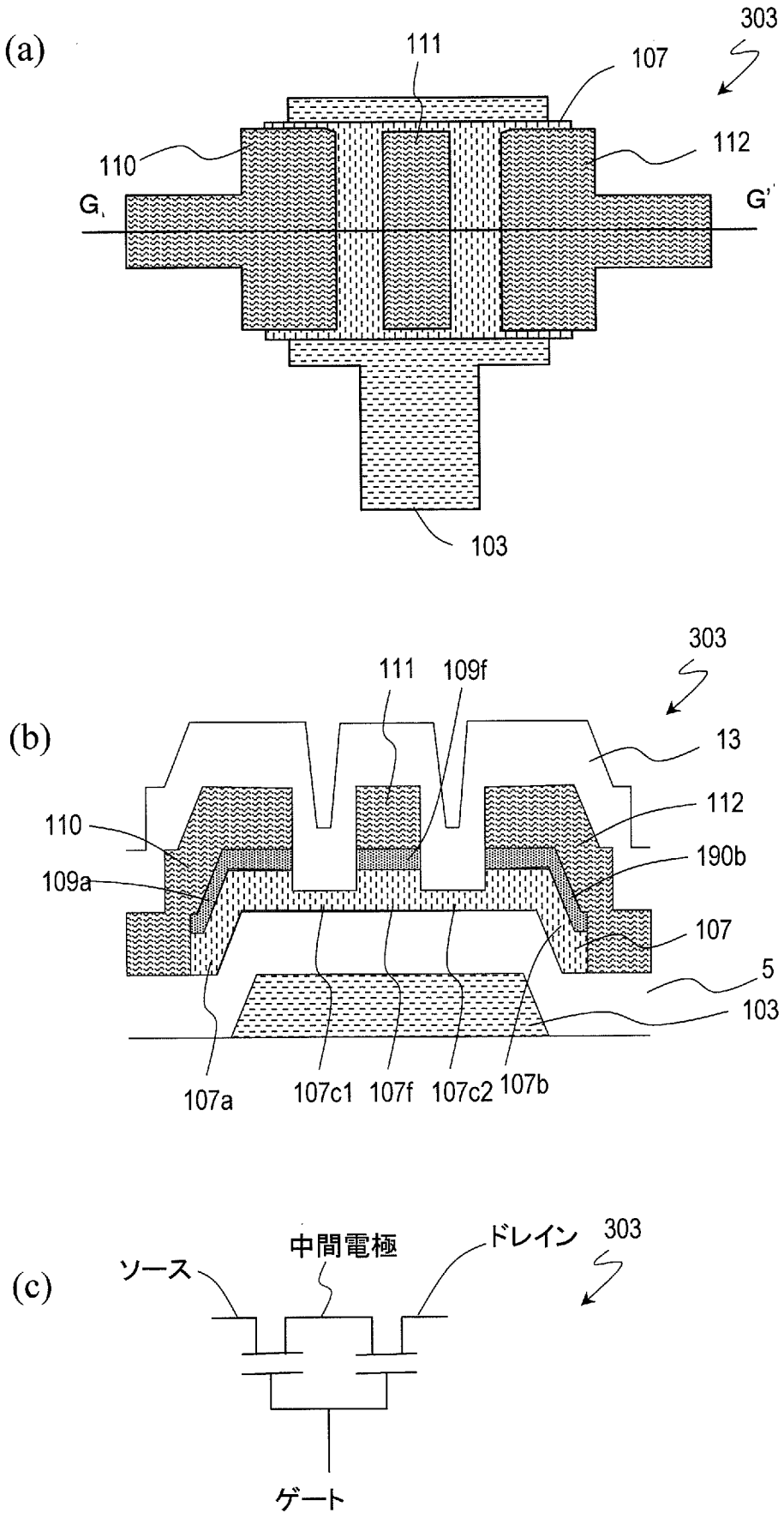
[図22]


VDD
CKB
VDD
CK
ME
MA
netA
S
MC
Gout
90I
90J
MF
netB
90K
MB
MD
VSS
90G
VSS
90H
VSS

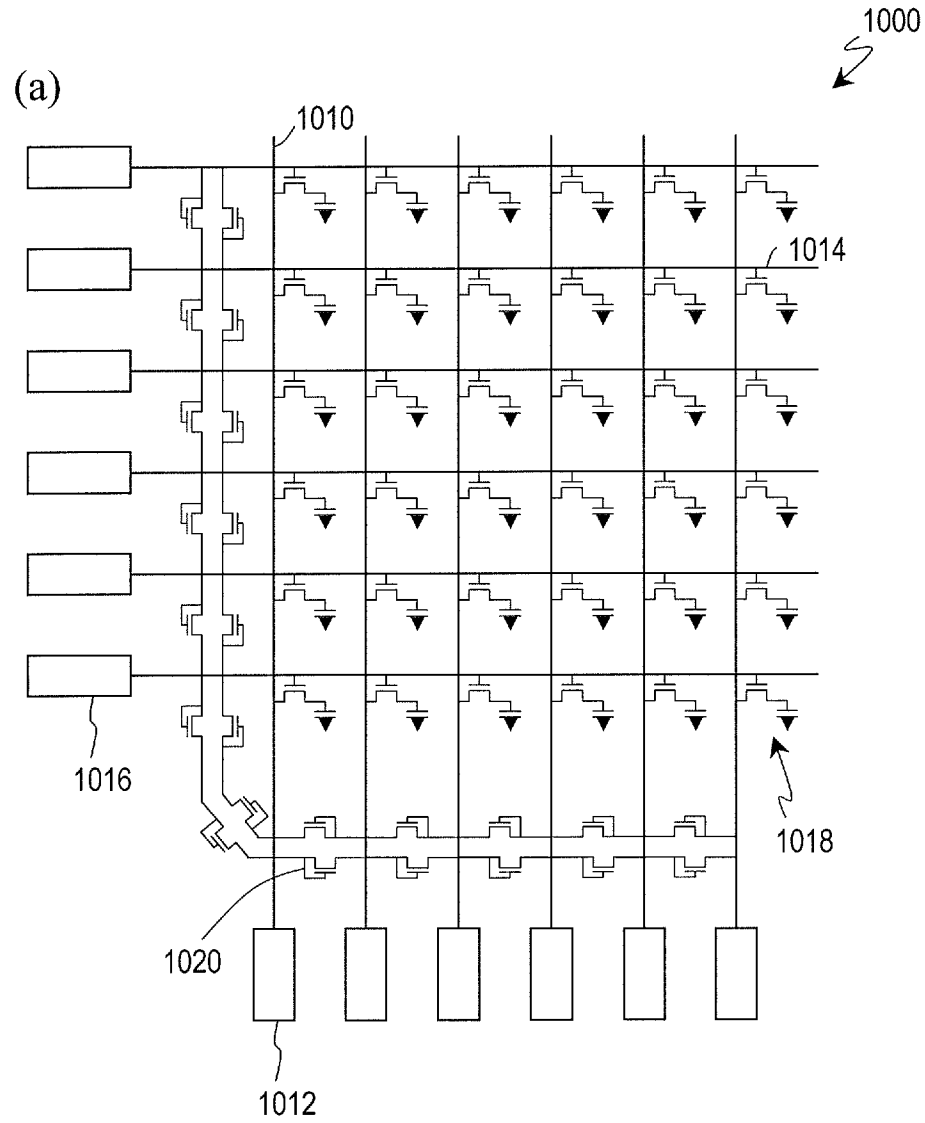
[図23]

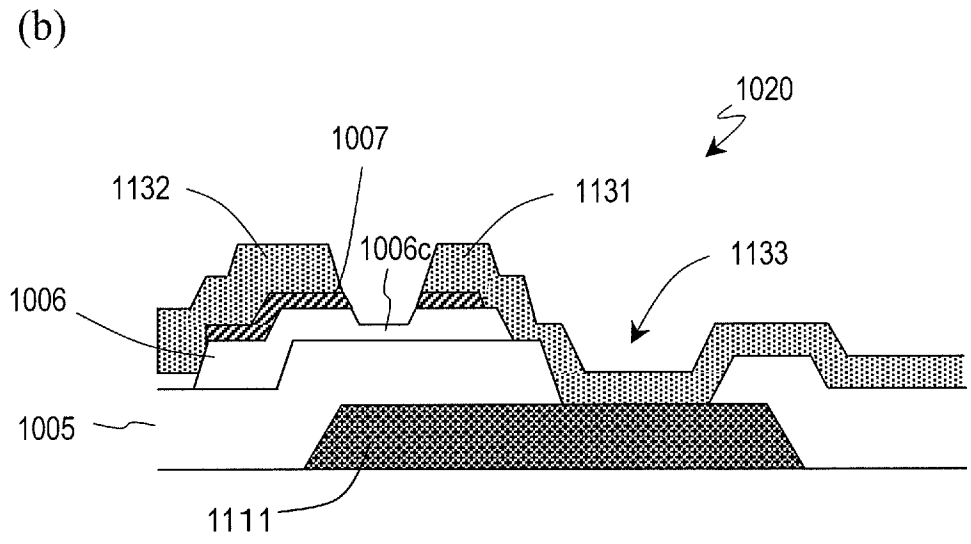

90L
90L画素
90L
90L
90L
SRn
SGn
SBn
SRn+1
SGn+1
SBn+1
SEL1
SEL2
SINm
SINm+1
SINm+2
90M
90M
ドライバIC
GND

[図24]

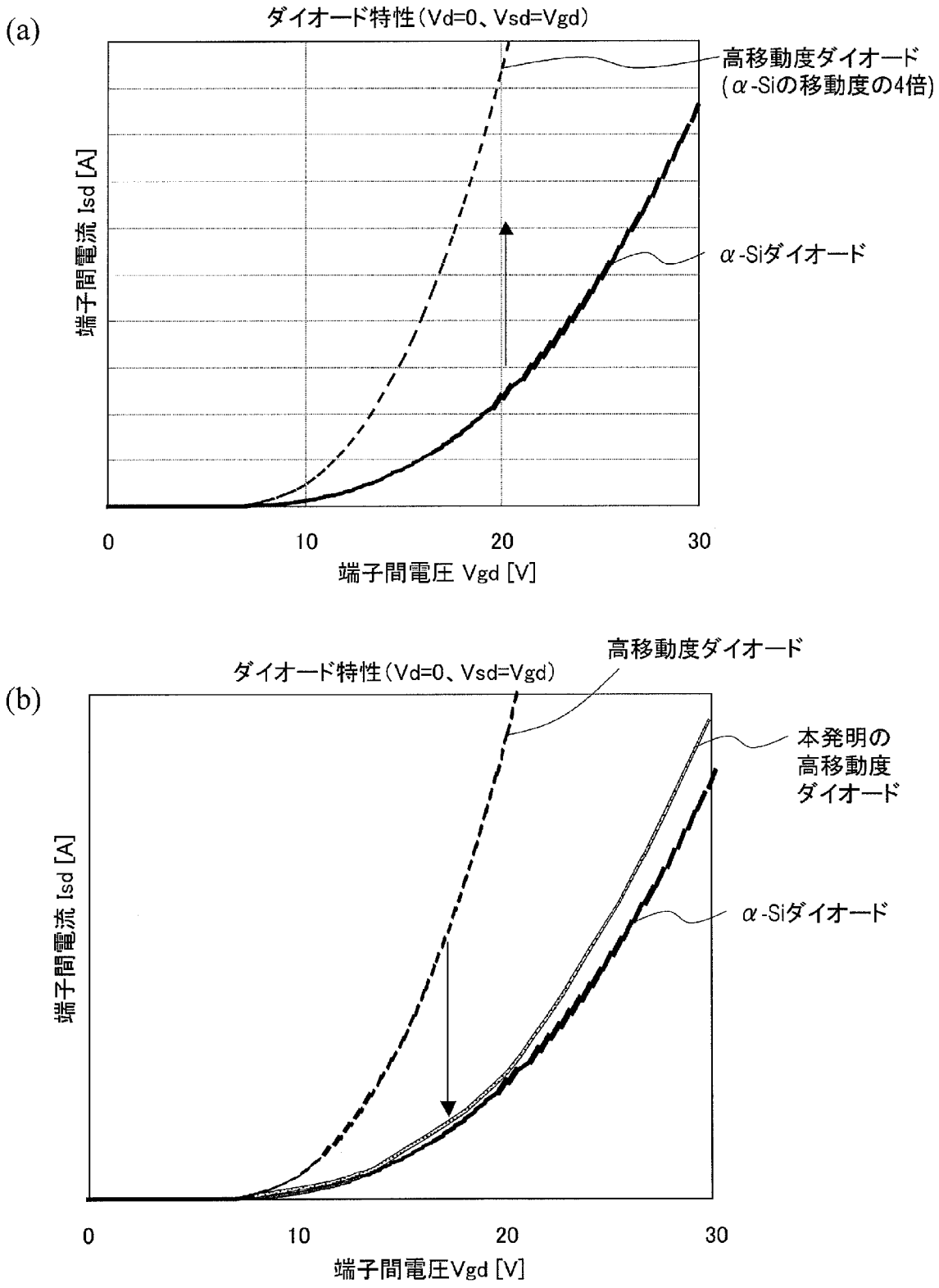

(a)
303
111
107
112
110
G
G'
103
(b)
303
111
109f
13
112
110
190b
109a
107
5
103
107a
107c1
107f
107c2
107b
(c)
303
中間電極
ドレイン
ソース
ゲート

[図25]

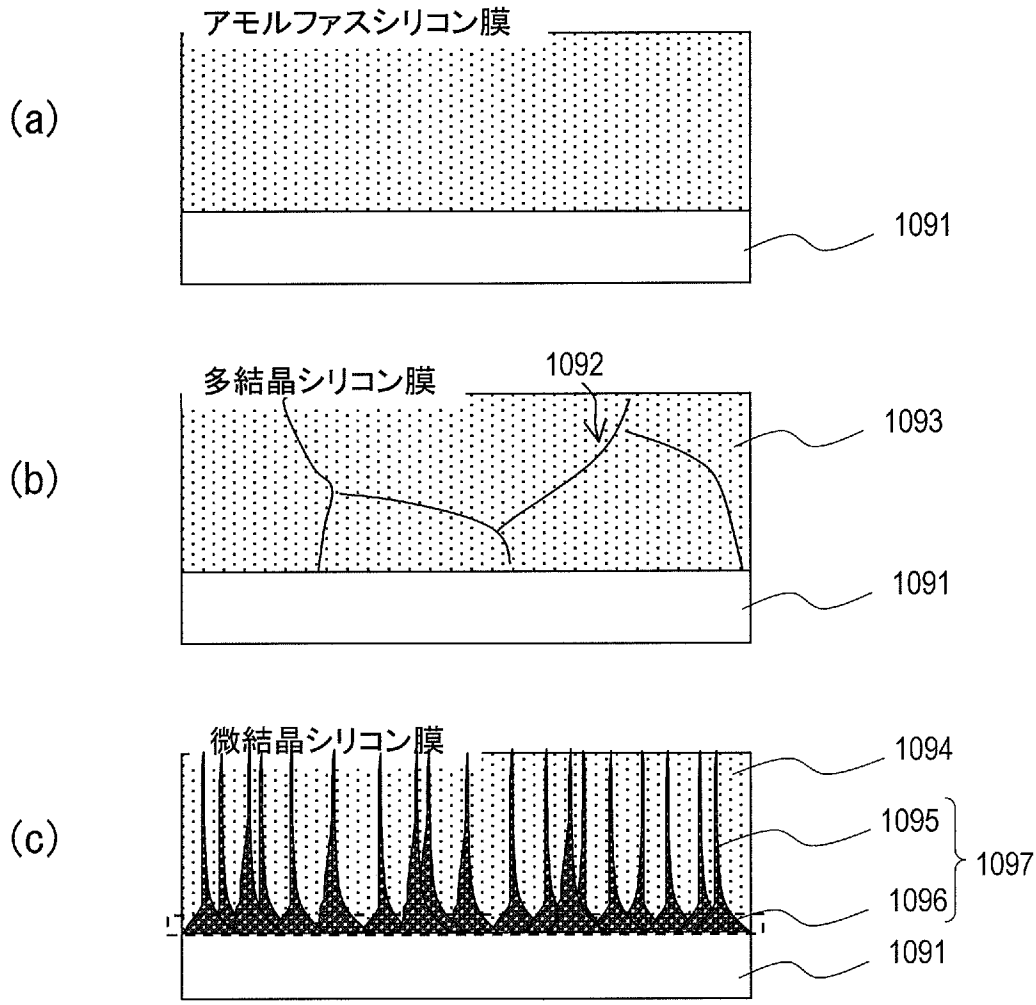

(a)
1000
1010
1014
1016
1018
1020
1012


(b)
1020
1007
1132
1131
1006c
1133
1006
1005
1111

[図26]


(a)
ダイオード特性(Vd=0、Vsd=Vgd)
高移動度ダイオード
(α-Siの移動度の4倍)
α-Siダイオード
端子間電流 Isd [A]
0
10
20
30
端子間電圧 Vgd [V]
(b)
ダイオード特性(Vd=0、Vsd=Vgd)
高移動度ダイオード
本発明の
高移動度
ダイオード
α-Siダイオード
端子間電流 Isd [A]
0
10
20
30
端子間電圧Vgd [V]

[図27]


(a)
アモルファスシリコン膜
1091
(b)
多結晶シリコン膜
1092
1093
1091
(c)
微結晶シリコン膜
1094
1095
1096
1097
1091

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2009/004288

A. CLASSIFICATION OF SUBJECT MATTER
H01L29/786(2006.01)i, C23C16/24(2006.01)i, G02F1/1345(2006.01)i, G02F1/1368(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L29/786, C23C16/24, G02F1/1345, G02F1/1368

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2008-177466 A (Epson Imaging Devices Corp.), 31 July 2008 (31.07.2008), paragraphs [0033] to [0053]; fig. 3 to 6 (Family: none)	1-13
Y	JP 59-016378 A (Matsushita Electric Industrial Co., Ltd.), 27 January 1984 (27.01.1984), page 2, upper right column, line 8 to lower right column, line 5; fig. 1 to 3 (Family: none)	1-13
Y	JP 61-079258 A (Seiko Instruments Inc.), 22 April 1986 (22.04.1986), page 2, lower left column, line 10 to page 3, upper right column, line 8; fig. 1 (Family: none)	1-13

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search 22 October, 2009 (22.10.09)	Date of mailing of the international search report 02 November, 2009 (02.11.09)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2009/004288

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 59-143358 A (Seiko Instruments Inc.), 16 August 1984 (16.08.1984), page 2, upper right column, line 7 to lower left column, line 6; fig. 2 (Family: none)	2-13
Y	JP 2008-193101 A (Advanced Micro Devices, Inc.), 21 August 2008 (21.08.2008), paragraphs [0017] to [0029]; fig. 1 & US 6627952 B1 & WO 99/31731 A2	4-13

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００９／００４２８８

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/786(2006.01)i, C23C16/24(2006.01)i, G02F1/1345(2006.01)i, G02F1/1368(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/786, C23C16/24, G02F1/1345, G02F1/1368

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００９年
日本国実用新案登録公報	１９９６－２００９年
日本国登録実用新案公報	１９９４－２００９年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2008-177466 A (エプソンイメージングデバイス株式会社) 2008.07.31, ００３３段落ないし００５３段落、図３ないし６ (ファミリーなし)	1-13
Y	JP 59-016378 A (松下電器産業株式会社) 1984.01.27, 第２頁右上欄第８行ないし同頁右下欄第５行、図１ないし３ (ファミリーなし)	1-13

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの

「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「Ｏ」口頭による開示、使用、展示等に言及する文献

「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「＆」同一パテントファミリー文献

国際調査を完了した日 ２２．１０．２００９	国際調査報告の発送日 ０２．１１．２００９
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　４Ｍ　９３６１ 棚田　一也 電話番号　０３－３５８１－１１０１　内線　３４６２

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 61-079258 A（セイコー電子工業株式会社）1986.04.22，第２頁左下欄第１０行ないし第３頁右上欄第８行、第１図 （ファミリーなし）	1-13
Y	JP 59-143358 A（セイコー電子工業株式会社）1984.08.16，第２頁右上欄第７行ないし同頁左下欄第６行、第２図（ファミリーなし）	2-13
Y	JP 2008-193101 A（アドバンスト・マイクロ・ディバイシズ・インコーポレイテッド）2008.08.21，００１７段落ないし００２９段落、図１ & US 6627952 B1 & WO 99/31731 A2	4-13