

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2023 年 12 月 21 日 (21.12.2023)



(10) 国际公布号
WO 2023/241069 A1

(51) 国际专利分类号:
H01L 23/522 (2006.01) **H01L 21/8238** (2006.01)
H01L 23/62 (2006.01)

(21) 国际申请号: PCT/CN2023/074934

(22) 国际申请日: 2023 年 2 月 8 日 (08.02.2023)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202210689556.0 2022 年 6 月 17 日 (17.06.2022) CN

(71) 申请人: 无锡华润上华科技有限公司
(**CSMC TECHNOLOGIES FAB2 CO., LTD.**) [CN/CN];
中国江苏省无锡市新区新洲路 8 号,
Jiangsu 214028 (CN)。

(72) 发明人: 张森 (**ZHANG, Sen**); 中国江苏省无锡市
市新区新洲路 8 号, Jiangsu 214028 (CN)。何
乃龙 (**HE, Nailong**); 中国江苏省无锡市新区新
洲路 8 号, Jiangsu 214028 (CN)。赵景川 (**ZHAO,**
Jingchuan); 中国江苏省无锡市新区新洲路
8 号, Jiangsu 214028 (CN)。

(74) 代理人: 华进联合专利商标代理有限公司
(**ADVANCE CHINA IP LAW OFFICE**); 中国广东省
广州市天河区珠江东路 6 号 4501 房 (部
位: 自编 01-03 和 08-12 单元) (仅限办公用
途), Guangdong 510623 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家
保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,
BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU,
CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ,

(54) **Title:** SEMICONDUCTOR DEVICE AND PREPARATION METHOD THEREFOR

(54) 发明名称: 半导体器件及其制备方法

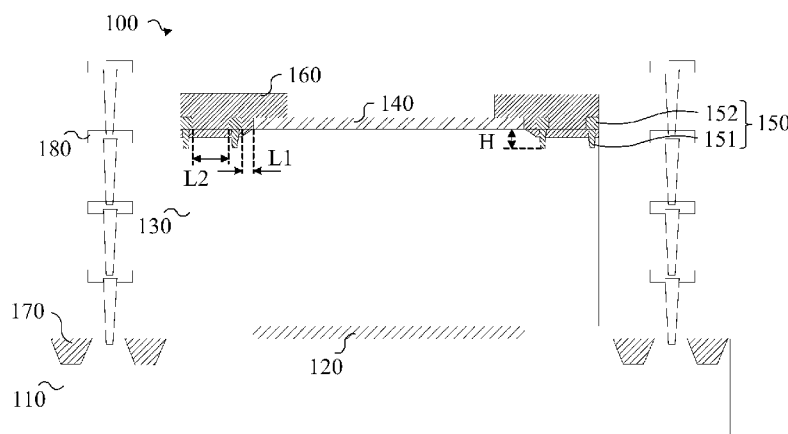


图 1

(57) **Abstract:** The present application relates to a semiconductor device and a preparation method therefor. The semiconductor device comprises: a first metal layer disposed on a substrate; a dielectric layer disposed on a side of the first metal layer distant from the substrate; a second metal layer disposed on a side of the dielectric layer distant from the first metal layer, the potential of the second metal layer being higher than the potential of the first metal layer; and a metal ring disposed on a side of the dielectric layer distant from the first metal layer, the metal ring being arranged around an outer side of the second metal layer. A portion of the metal ring is located in the dielectric layer.

(57) **摘要:** 本申请涉及一种半导体器件及其制备方法。半导体器件包括: 第一金属层, 设置于基底上; 介质层, 设置于第一金属层远离基底的一侧; 第二金属层, 设置于介质层远离第一金属层的一侧; 第二金属层的电位高于第一金属层的电位; 以及金属环, 设置于介质层远离第一金属层的一侧, 且金属环围绕第二金属层的外侧设置。金属环的部分位于介质层中。



WO 2023/241069 A1

IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

半导体器件及其制备方法

相关申请的交叉引用

本申请要求于 2022 年 06 月 17 日提交中国专利局、申请号为 2022106895560、发明名称为“半导体器件及其制备方法”的中国专利申请优先权，其全部内容通过引用结合在本申请中。

技术领域

本申请涉及集成电路技术领域，特别是涉及一种半导体器件及其制备方法。

技术背景

电气隔离（Galvanic isolation）是指在电路中避免电流直接从某一区域流到另外一区域的方式，也就是在两个区域间不建立电流直接流动的路径。最初，隔离器多采用光耦隔离器，而随着 CMOS 工艺的不断进步，数字隔离技术开始大步前进，并逐步被市场所认可，其高可靠性和高速性，远超传统光耦技术的极限。

目前，常用的 CMOS 高压隔离电容器采用表面介质叠层工艺制备，包括先在硅片表面淀积一层金属作为高压隔离电容器的下极板，然后在金属下极板上面生长一层厚二氧化硅或二氧化硅与氮化硅的复合层，作为高压隔离电容器的介质层，最后在介质层上再淀积一层金属作为高压隔离电容器的上极板。

然而，传统的高压隔离电容器中，上极板边缘处的介质层容易被提前击穿，降低了高压隔离电容器的使用寿命。

发明内容

根据本申请的各种示例性实施例，提供一种半导体器件及其制备方法。

第一方面，本申请提供了一种半导体器件，包括：

基底；

第一金属层，设置于所述基底上；

介质层，设置于所述第一金属层远离所述基底的一侧；

第二金属层，设置于所述介质层远离所述第一金属层的一侧；所述第二金属层的电位高于所述第一金属层的电位；以及

金属环，设置于所述介质层远离所述第一金属层的一侧，且所述金属环围绕所述第二金属层的外侧设置；

其中，所述金属环的部分设于所述介质层中。

上述半导体器件，通过在第二金属层的外围设置金属环，并且使部分金属环伸入介质层中。这样，一方面通过金属环的场板效应，优化了第二金属层边缘处的电场分布，从而降低了第二金属层边缘处的电场强度；另一方面部分金属环位于介质层中，有利于可移动电荷在金属环和第二金属层之间移动，最大程度避免介质层表面的缺陷对电荷移动造成阻碍，从而进一步优化第二金属层边缘处的电场分布，降低第二金属层边缘处的电场强度，提高了半导体器件的耐压，避免介质层被提前击穿，提高了半导体器件的使用寿命。

在其中一个实施例中，所述金属环包括相互连接的第一部分和第二部分，所述第一部分嵌入所述介质层中，所述第二部分位于所述介质层的远离所述第一金属层的一侧。

在其中一个实施例中，在所述介质层的厚度方向上，所述第一部分的厚度介于约 400nm 至约 500nm。

在其中一个实施例中，所述第二部分的厚度等于所述第二金属层的厚度，且所述第二部分的上表面与所述第二金属层的上表面平齐。

在其中一个实施例中，所述第二部分在所述介质层的上表面上的正投影，覆盖所述第一部分在所述介质层的上表面的正投影。

在其中一个实施例中，与所述第二金属层相邻的所述金属环与所述第二金属层之间具有第一间距，所述第一间距介于约 2 μ m 至约 5 μ m。

在其中一个实施例中，所述半导体器件包括多个金属环，所述多个金属环围绕所述第二金属层且彼此间隔地设置。

在其中一个实施例中，相邻的两个所述金属环之间具有第二间距，所述第二间距等于所述第一间距。

在其中一个实施例中，所述半导体器件还包括钝化层，设置于所述介质层靠近所述第二金属层的一侧；其中所述钝化层覆盖所述第二金属层的部分表面、所述金属环的表面以及所述介质层裸露的表面。

在其中一个实施例中，所述半导体器件还包括隔离结构，设置于所述基底上；其中所述第一金属层、所述介质层和所述第二金属层形成的电容器设置在相邻的所述隔离结构之间。

第二方面，本申请还提供了一种半导体器件的制备方法，包括：

在基底上形成第一金属层；

在所述第一金属层上形成介质层；

在所述介质层上形成金属环；其中，所述金属环的部分设于所述介质层中；及

在所述介质层上形成第二金属层；其中，所述第二金属层的电位高于所述第一金属层的电位；所述金属环围绕在所述第二金属层的外侧。

在其中一个实施例中，所述在所述介质层上形成金属环的步骤包括：

在所述介质层上开设沟槽；

在所述沟槽中形成所述金属环的第一部分；及

在所述介质层上形成与所述第一部分相连的第二部分，以形成所述金属环。

在其中一个实施例中，所述在所述介质层上形成第二金属层的步骤之后，还包括：

在所述第二金属层的部分表面形成钝化层；其中，所述钝化层还覆盖所述金属环的表面以及所述介质层裸露的表面。

上述半导体器件的制备方法，一方面通过金属环的场板效应，优化了第

二金属层边缘处的电场分布，从而降低了第二金属层边缘处的电场强度；另一方面部分金属环位于介质层中，有利于可移动电荷在金属环和第二金属层之间移动，最大程度避免介质层表面的缺陷对电荷移动造成阻碍，从而进一步优化第二金属层边缘处的电场分布，降低第二金属层边缘处的电场强度，提高了半导体器件的耐压，避免介质层被提前击穿，提高了半导体器件的使用寿命。

附图说明

为了更清楚地说明本申请实施例或传统技术中的技术方案，下面将对实施例或传统技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本申请的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1 为本申请一实施例中提供的一种半导体器件的结构示意图。

图 2 为图 1 中半导体器件的部分结构的立体图。

图 3 为图 2 的俯视图。

图 4 为本申请一实施例中提供的未设置金属环的半导体器件的电场分布模拟示意图。

图 5 为本申请一实施例中提供的介质层表面设置金属环的半导体器件的电场分布模拟示意图。

图 6 为本申请一实施例中提供的部分金属环位于介质层中的半导体器件的电场分布模拟示意图。

图 7 为本申请一实施例中提供的半导体器件的制备方法的流程图。

图 8 为本申请一实施例中提供的半导体器件的介质层形成后的结构示意图。

图 9 为本申请一实施例中提供的半导体器件的金属环的制备流程图。

图 10 为本申请一实施例中提供的半导体器件的沟槽形成后的结构示意图。

图 11 为本申请一实施例中提供的半导体器件的金属环的第一部分形成后的结构示意图。

图 12 为本申请一实施例中提供的半导体器件的金属环的第二部分形成后的结构示意图。

图 13 为本申请一实施例中提供的半导体器件的第二金属层形成后的结构示意图。

图 14 为本申请一实施例中提供的半导体器件的钝化层形成后的结构示意图。

附图标记说明：

100-半导体器件；110-基底；120-第一金属层；130-介质层；131-沟槽；140-第二金属层；150-金属环；151-第一部分；152-第二部分；160-钝化层；170-隔离结构；180-互连结构。

具体实施方式

为了便于理解本申请，下面将参照相关附图对本申请进行更全面的描述。附图中给出了本申请的实施例。但是，本申请可以以许多不同的形式来实现，并不限于本文所描述的实施例。相反地，提供这些实施例的目的是使本申请的公开内容更加透彻全面。

除非另有定义，本文所使用的所有的技术和科学术语与属于本申请的技术领域的技术人员通常理解的含义相同。本文中在本申请的说明书中所使用的术语只是为了描述具体的实施例的目的，不是旨在于限制本申请。

应当明白，当元件或层被称为“在...上”、“与...相邻”、“连接到”或“耦合到”其它元件或层时，其可以直接地在其它元件或层上、与之相邻、连接或耦合到其它元件或层，或者可以存在居间的元件或层。相反，当元件被称为“直接在...上”、“与...直接相邻”、“直接连接到”或“直接耦合到”其它元件或层时，则不存在居间的元件或层。应当明白，尽管可使用术语第一、第二、第三等描述各种元件、部件、区、层、掺杂类型和/或部分，这些元件、

部件、区、层、掺杂类型和/或部分不应当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层、掺杂类型或部分与另一个元件、部件、区、层、掺杂类型或部分。因此，在不脱离本申请教导之下，下面讨论的第一元件、部件、区、层、掺杂类型或部分可表示为第二元件、部件、区、层或部分。

空间关系术语例如“在...下”、“在...下面”、“下面的”、“在...之下”、“在...之上”、“上面的”等，在这里可以用于描述图中所示的一个元件或特征与其它元件或特征的关系。应当明白，除了图中所示的取向以外，空间关系术语还包括使用和操作中的器件的不同取向。例如，如果附图中的器件翻转，描述为“在其它元件下面”或“在其之下”或“在其下”元件或特征将取向为在其它元件或特征“上”。因此，示例性术语“在...下面”和“在...下”可包括上和下两个取向。此外，器件也可以包括另外地取向（譬如，旋转 90 度或其它取向），并且在此使用的空间描述语相应地被解释。

在此使用时，单数形式的“一”、“一个”和“所述/该”也可以包括复数形式，除非上下文清楚指出另外的方式。还应当理解的是，术语“包括/包含”或“具有”等指定所陈述的特征、整体、步骤、操作、组件、部分或它们的组合的存在，但是不排除存在或添加一个或更多个其他特征、整体、步骤、操作、组件、部分或它们的组合的可能性。同时，在本说明书中，术语“和/或”包括相关所列项目的任何及所有组合。

这里参考作为本申请的理想实施例（和中间结构）的示意图的横截面图来描述申请的实施例，这样可以预期由于例如制造技术和/或容差导致的所示形状的变化。因此，本申请的实施例不应当局限于在此所示的区的特定形状，而是包括由于例如制造技术导致的形状偏差。例如，显示为矩形的注入区在其边缘通常具有圆的或弯曲特征和/或注入浓度梯度，而不是从注入区到非注入区的二元改变。同样，通过注入形成的埋藏区可导致该埋藏区和注入进行时所经过的表面之间的区中的一些注入。因此，图中显示的区实质上是示意性的，它们的形状并不表示器件的区的实际形状，且并不限定本申请的范围。

需要说明的是，形成高压电容器的极板的边缘处的高电场区域限制了高压电容器的击穿电压。以高压电容器的上极板接高电位为例进行说明。一方面，上极板和下极板之间的电场强度比较均匀，而上极板的边缘处的电场强度一般比较高。另一方面，由于高压电容器的制备工艺的影响，例如等离子轰击或刻蚀等工艺，易使介质层的上表面存在缺陷，尤其是靠近上极板的边缘处。上述两方面因素叠加，导致上极板的边缘处的介质层易被提前击穿，降低了高压隔离电容器的使用寿命。

鉴于传统的高压隔离电容器中上极板边缘处的介质层易被提前击穿的问题，本申请实施例提供了一种半导体器件及其制备方法。

本申请实施例提供一种半导体器件，该半导体器件可以是高压隔离电容器。半导体器件 100 包括基底 110，基底 110 的材料可以是单晶硅、多晶硅、无定型硅、锗硅化合物、绝缘体上硅（Silicon-On-Insulator，简称 SOI）或低温多晶硅（Low Temperature Poly-Silicon，简称 LTPS）等，或者本领域技术人员已知的其他材料。该基底 110 可以为基底 110 上的结构提供支撑基础。

如图 1 所示，该半导体器件 100 还包括设置于基底 110 上的第一金属层 120，设置于第一金属层 120 远离基底 110 的一侧的介质层 130，设置于介质层 130 远离第一金属层 120 的一侧的第二金属层 140，设置于介质层 130 远离第一金属层 120 的一侧的金属环 150。金属环 150 围绕第二金属层 140 的外侧设置，且金属环 150 的部分位于介质层 130 中。

该介质层 130 包括绝缘介质。示例性的，介质层 130 的材料可以是二氧化硅、氮化硅或氮氧化硅等。第一金属层 120 和第二金属层 140 均用于与外部电路电性连接，第二金属层 140 的电位高于第一金属层 120 的电位。

上述的半导体器件 100 通过金属环 150 的场板效应，优化了第二金属层 140 边缘处的电场分布，从而降低了第二金属层 140 边缘处的电场强度。可以理解为：金属环 150 和第二金属层 140 之间形成一个电容，该电容会形成场板效应，该电容的电场将第二金属层 140 边缘处的电场均匀分散开来，从而抑制了第二金属层 140 边缘处的电场峰值，提高了半导体器件 100 的耐压，

避免介质层 130 被提前击穿，提高了半导体器件 100 的使用寿命。

也可以理解为：第二金属层 140 接高电位（与第一金属层 120 相比），一部分本来在第二金属层 140 和介质层 130 之间流动的电荷会在第二金属层 140 和金属环 150 之间横向流动，从而改变了第二金属层 140 边缘处的电场分布，降低第二金属层 140 边缘处的电场强度，从而提高半导体器件 100 的击穿电压。

此外，由于制备工艺的影响，例如等离子轰击易对介质层 130 表面造成损伤，导致介质层 130 表面存在缺陷。通过使部分金属环 150 位于介质层 130 中，这样，可移动电荷在介质层 130 中由金属环 150 向第二金属层 140 移动时，可以从缺陷的正下方移动至金属环 150，在减小移动路径的同时，最大程度避免介质层 130 表面的缺陷对电荷移动造成阻碍，从而进一步优化第二金属层 140 边缘处的电场分布，降低第二金属层 140 边缘处的电场强度，提高了半导体器件 100 的耐压，避免介质层 130 被提前击穿，提高了半导体器件 100 的使用寿命。

基底 110 上还可以设置有隔离结构 170，第一金属层 120、介质层 130 和第二金属层 140 形成的电容器可以设置在相邻的隔离结构 170 之间。此外，基底 110 上还可以设置有互连结构 180，用于给基底 110 上的电子元件通电。

在其中一个实施例中，参照图 1、图 2 和图 3 所示，金属环 150 包括相互连接的第一部分 151 和第二部分 152。第一部分 151 嵌入介质层 130 中，且第一部分 151 的上表面和介质层 130 的上表面平齐。第二部分 152 位于第一部分 151 的上表面，第二金属层 140 位于介质层 130 的上表面。

通过将金属环 150 设置为第一部分 151 和第二部分 152，这样，在制备金属环 150 时，可以分别制备第一部分 151 和第二部分 152，降低金属环 150 的制备难度。示例性的，首先，在介质层 130 中开设沟槽，然后在沟槽内填充金属以形成第一部分 151。其次，采用平坦化工艺使第一部分 151 的上表面和介质层 130 的上表面齐平。最后，在第一部分 151 的上表面形成第二部分 152。

在其中一个实施例中，如图 1 所示，在介质层 130 的厚度方向上，第一部分 151 的厚度 H 介于约 400nm 至约 500nm。也可以理解为：金属环 150 位于介质层 130 中的部分的厚度介于约 400nm 至约 500nm。第一部分 151 的厚度 H 可以是约 400nm、450nm、480nm 或 500nm。第一部分 151 的厚度 H 位于上述范围内，可以保证第一部分 151 的厚度 H 大于介质层 130 表面缺陷的厚度，最大程度避免缺陷阻碍可移动电荷在金属环 150 和第二金属层 140 之间移动，从而进一步优化第二金属层 140 边缘处的电场分布，降低第二金属层 140 边缘处的电场强度，提高了半导体器件 100 的耐压，避免介质层 130 被提前击穿，提高了半导体器件 100 的使用寿命。

在其中一个实施例中，第二部分 152 的厚度等于第二金属层 140 的厚度，且第二部分 152 的上表面与第二金属层 140 的上表面平齐。

第二部分 152 的厚度指第二部分 152 的上表面至第二部分 152 的下表面（或第一部分 151 的上表面）的距离。第二金属层 140 的厚度指第二金属层 140 的上表面至第二金属层 140 的下表面（或介质层 130 的上表面）的距离。这样，可以使金属环 150 和第二金属层 140 之间更好地形成电容，利用该电容形成的场板效应，金属环 150 下方高密度的电场被均匀分散开来，从而抑制了第二金属层 140 边缘处的电场峰值，提高了半导体器件 100 的耐压，避免介质层 130 被提前击穿，提高了半导体器件 100 的使用寿命。

在其中一个实施例中，如图 1、图 2 和图 3 所示，第二部分 152 在介质层 130 的上表面的正投影，覆盖第一部分 151 在介质层 130 的上表面的正投影。即：沿垂直于介质层 130 的厚度方向的方向看，第二部分 152 的截面积大于第一部分 151 的截面积。这样，一方面避免第一部分 151 与第二金属层 140 之间的距离过近，影响第一金属层 120 和第二金属层 140 之间的电场分布；另一方面可以避免介质层 130 中的金属环 150 过大，影响介质层 130 的性能。

在其中一个实施例中，如图 1 所示，金属环 150 与第二金属层 140 之间具有第一间距 $L1$ ，第一间距 $L1$ 介于约 $2\mu\text{m}$ 至约 $5\mu\text{m}$ 。示例性的，第一间

距 L1 可以是约 $2\ \mu\text{m}$ 、 $3\ \mu\text{m}$ 、 $3.5\ \mu\text{m}$ 、 $4.5\ \mu\text{m}$ 或 $5\ \mu\text{m}$ 。第一间距 L1 位于上述数值范围内，可以更好地优化第二金属层 140 边缘的电场分布，提高半导体器件 100 的耐压，避免介质层 130 被提前击穿，提高半导体器件 100 的使用寿命。当金属环 150 的数量有多个时，第一间距 L1 指：与第二金属层 140 相邻的金属环 150 与第二金属层 140 之间的间距。

在其中一个实施例中，如图 1 所示，半导体器件 100 包括多个金属环 150，多个金属环 150 围绕第二金属层 140 且彼此间隔地设置。

这种设置方式，相当于在第二金属层 140 的外侧“套”了多圈的金属环 150，从而使多个金属环 150 可以优化更大范围内的电场，降低第二金属层 140 以外的更大范围内的电场强度，提高半导体器件 100 的耐压，避免介质层 130 被提前击穿，提高半导体器件 100 的使用寿命。

在其中一个实施例中，相邻的两个金属环 150 之间具有第二间距 L2，第二间距 L2 可以等于第一间距 L1。

这样可以使第二金属层 140 边缘的电场分布更均匀，从而使第二金属层 140 边缘的电场强度更均匀，提高半导体器件 100 的耐压，避免介质层 130 被提前击穿，提高半导体器件 100 的使用寿命。

在其中一个实施例中，如图 1 所示，半导体器件 100 还包括钝化层 160，钝化层 160 位于介质层 130 靠近第二金属层 140 的一侧，钝化层 160 覆盖第二金属层 140 的部分表面、金属环 150 的表面以及介质层 130 裸露的表面。钝化层 160 可以起到保护和绝缘的作用，一方面避免金属环 150 与外部器件电连接，另一方面防止外力损坏金属环 150。钝化层 160 的材料可以是氧化硅或氮化硅等。

需要说明的是，第一金属层 120 和第二金属层 140 的形状相同，并且，第一金属层 120 和第二金属层 140 的形状可以是矩形、椭圆形或圆形等。此外，第一金属层 120 和第二金属层 140 的大小可以相同也可以不同。

请参照图 4 至图 6 所示，发明人分别对未设置金属环的半导体器件、介质层 130 表面设置金属环 150 的半导体器件以及部分金属环 150 位于介质层

130 中的半导体器件的电场分布分别进行了模拟，其中，图 4 为未设置金属环的半导体器件的电场分布模拟示意图，图 5 为介质层 130 表面设置金属环 150 的半导体器件的电场分布模拟示意图，图 6 为部分金属环 150 位于介质层 130 中的半导体器件的电场分布模拟示意图。通过对比可知，图 5 中的第二金属层 140 边缘处的电场强度小于图 4 中的第二金属层 140 边缘处的电场强度，图 6 中的第二金属层 140 边缘处的电场强度小于图 5 中的第二金属层 140 边缘处的电场强度。此外，模拟数据显示，图 4 中的半导体器件的击穿电压为 60V，图 5 中的半导体器件的击穿电压为 66V，图 6 中的半导体器件的击穿电压为 70V。可见，将部分金属环 150 设置在介质层 130 中可以显著优化第二金属层 140 边缘处的电场分布，提高半导体器件的耐压。

本申请实施例提供一种半导体器件的制备方法，如图 7 所示，该半导体器件的制备方法包括：

S100：在基底上形成第一金属层。例如，可以通过掩模板形成第一金属层 120 的图案，然后沉积形成第一金属层 120。

可以理解的是，基底 110 的材料可以是单晶硅、多晶硅、无定型硅、锗硅化合物、绝缘体上硅（Silicon-On-Insulator，简称 SOI）或低温多晶硅（Low Temperature Poly-Silicon，简称 LTPS）等，或者本领域技术人员已知的其他材料，该基底 110 可以为基底 110 上的结构提供支撑基础。第一金属层 120 的材料可以是铜、铝或适合于半导体加工的任何金属或金属合金。

S200：在第一金属层上形成介质层。例如，可以通过掩模板形成介质层 130 的图案，然后沉积形成介质层 130。介质层 130 的材料可以是二氧化硅、氮化硅或氮氧化硅等。金属环 150 的材料可以和第一金属层 120 的材料相同。介质层 130 形成后的结构如图 8 所示。

S300：在介质层上形成金属环；其中，金属环 150 的部分设于介质层 130 中。

S400：在介质层上形成第二金属层。第一金属层 120 和第二金属层 140 均用于与外部电路电性连接，第二金属层 140 的电位高于第一金属层 120 的

电位；金属环 150 绕设在第二金属层 140 的外侧。例如，可以通过掩模板形成第二金属层 140 的图案，然后沉积形成第二金属层 140。

上述半导体器件的制备方法，通过在介质层 130 上形成金属环 150，可以在金属环 150 和第二金属层 140 之间形成一个电容，该电容会形成场板效应，该电容的电场将第二金属层 140 边缘处高密度的电场均匀分散开来，从而抑制了第二金属层 140 边缘处的电场峰值，提高了半导体器件 100 的耐压，避免介质层 130 被提前击穿，提高了半导体器件 100 的使用寿命。同时，使部分金属环 150 位于介质层 130 中，有利于可移动电荷在金属环 150 和第二金属层 140 之间移动，最大程度避免介质层 130 表面的缺陷对电荷移动造成阻碍，从而进一步优化第二金属层 140 边缘处的电场分布，降低第二金属层 140 边缘处的电场强度，提高了半导体器件 100 的耐压，避免介质层 130 被提前击穿，提高了半导体器件 100 的使用寿命。

在其中一个实施例中，如图 9 所示，S300：在介质层上形成金属环的步骤包括：

S310：在介质层上开设沟槽。例如，可以通过刻蚀工艺在介质层 130 中形成沟槽 131，沟槽 131 形成后的结构如图 10 所示。

S320：在沟槽中形成金属环的第一部分。例如，可以在沟槽 131 中填充金属以填满沟槽 131。可以理解的是，在填充后，可以采用平坦化工艺将介质层 130 表面的金属去除，使介质层 130 的表面和第一部分 151 的表面齐平。第一部分 151 形成后的结构如图 11 所示。

S330：在介质层上形成与第一部分相连的第二部分，以形成金属环。第二部分 152 形成后的结构如图 12 所示。在该步骤之后，可以在介质层 130 上形成第二金属层 140，第二金属层 140 形成后的结构如图 13 所示。

在其中一个实施例中，S400：在介质层上形成第二金属层的步骤之后，还包括：

S500：在第二金属层的部分表面形成钝化层；其中，钝化层 160 还覆盖金属环 150 的表面以及介质层 130 裸露的表面。钝化层 160 的材料可以是氧

化硅或氮化硅等。钝化层 160 的制备工艺可以和介质层 130 的制备工艺相同，本申请实施例在此不再赘述。钝化层 160 形成后的结构如图 14 所示。

应该理解的是，虽然图 7 的流程图中的各个步骤按照箭头的指示依次显示，但是这些步骤并不是必然按照箭头指示的顺序依次执行。除非本文中有明确的说明，这些步骤的执行并没有严格的顺序限制，这些步骤可以以其它的顺序执行。而且，图 7 中的至少一部分步骤可以包括多个步骤或者多个阶段，这些步骤或者阶段并不必然是在同一时刻执行完成，而是可以在不同的时刻执行，这些步骤或者阶段的执行顺序也不必然是依次进行，而是可以与其它步骤或者其它步骤中的步骤或者阶段的至少一部分轮流或者交替地执行。

在本说明书的描述中，参考术语“有些实施例”、“其他实施例”、“理想实施例”等的描述意指结合该实施例或示例描述的具体特征、结构、材料或者特征包含于本申请的至少一个实施例或示例中。在本说明书中，对上述术语的示意性描述不一定指的是相同的实施例或示例。

上所述实施例的各技术特征可以进行任意的组合，为使描述简洁，未对上述实施例各个技术特征所有可能的组合都进行描述，然而，只要这些技术特征的组合不存在矛盾，都应当认为是本说明书记载的范围。

以上所述实施例仅表达了本申请的几种实施方式，其描述较为具体和详细，但并不能因此而理解为对申请专利范围的限制。应当指出的是，对于本领域的普通技术人员来说，在不脱离本申请构思的前提下，还可以做出若干变形和改进，这些都属于本申请的保护范围。因此，本申请专利的保护范围应以所附权利要求为准。

权利要求书

1、一种半导体器件，包括：

基底；

第一金属层，设置于所述基底上；

介质层，设置于所述第一金属层远离所述基底的一侧；

第二金属层，设置于所述介质层远离所述第一金属层的一侧；所述第二金属层的电位高于所述第一金属层的电位；以及

金属环，设置于所述介质层远离所述第一金属层的一侧，且所述金属环围绕所述第二金属层的外侧设置；

其中，所述金属环的部分设于所述介质层中。

2、根据权利要求1所述的半导体器件，其中，所述金属环包括相互连接的第一部分和第二部分，所述第一部分嵌入所述介质层中，所述第二部分位于所述介质层的远离所述第一金属层的一侧。

3、根据权利要求2所述的半导体器件，其中，在所述介质层的厚度方向上，所述第一部分的厚度介于约400nm至约500nm。

4、根据权利要求2所述的半导体器件，其中，所述第二部分的厚度等于所述第二金属层的厚度，且所述第二部分的上表面与所述第二金属层的上表面平齐。

5、根据权利要求2所述的半导体器件，其中，所述第二部分在所述介质层的上表面的正投影，覆盖所述第一部分在所述介质层的上表面的正投影。

6、根据权利要求1所述的半导体器件，其中，与所述第二金属层相邻的所述金属环与所述第二金属层之间具有第一间距，所述第一间距介于约2 μm 至约5 μm 。

7、根据权利要求6所述的半导体器件，其中，所述半导体器件包括多个金属环，所述多个金属环围绕所述第二金属层且彼此间隔地设置。

8、根据权利要求7所述的半导体器件，其中，相邻的两个所述金属环之间具有第二间距，所述第二间距等于所述第一间距。

9、根据权利要求 1 所述的半导体器件，还包括钝化层，设置于所述介质层靠近所述第二金属层的一侧；其中所述钝化层覆盖所述第二金属层的部分表面、所述金属环的表面以及所述介质层裸露的表面。

10、根据权利要求 1 所述的半导体器件，还包括隔离结构，设置于所述基底上；其中所述第一金属层、所述介质层和所述第二金属层形成的电容器设置在相邻的所述隔离结构之间。

11、一种半导体器件的制备方法，包括：

在基底上形成第一金属层；

在所述第一金属层上形成介质层；

在所述介质层上形成金属环；其中，所述金属环的部分设于所述介质层中；及

在所述介质层上形成第二金属层；其中，所述第二金属层的电位高于所述第一金属层的电位；所述金属环围绕在所述第二金属层的外侧。

12、根据权利要求 11 所述的半导体器件的制备方法，其中，所述在所述介质层上形成金属环的步骤包括：

在所述介质层上开设沟槽；

在所述沟槽中形成所述金属环的第一部分；及

在所述介质层上形成与所述第一部分相连的第二部分，以形成所述金属环。

13、根据权利要求 11 所述的半导体器件的制备方法，其中，所述在所述介质层上形成第二金属层的步骤之后，还包括：

在所述第二金属层的部分表面形成钝化层；其中，所述钝化层还覆盖所述金属环的表面以及所述介质层裸露的表面。

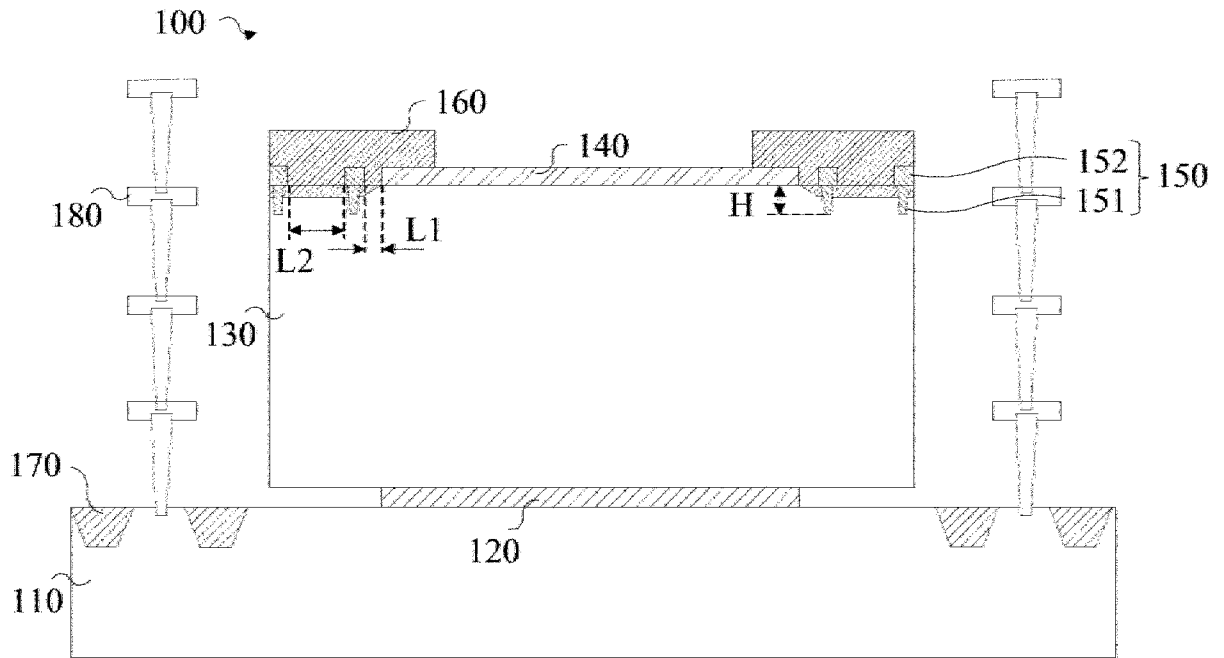


图 1

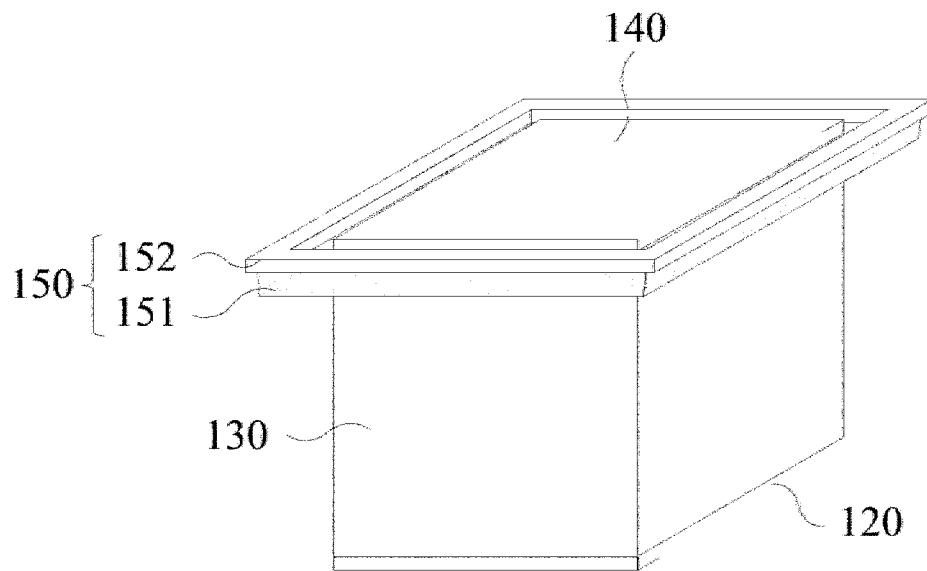


图 2

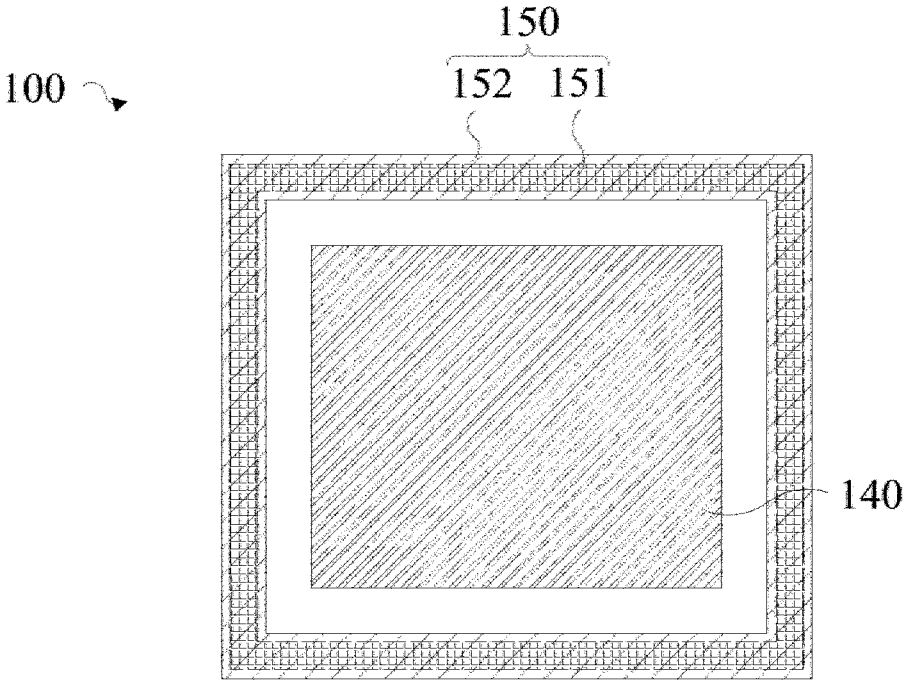


图 3

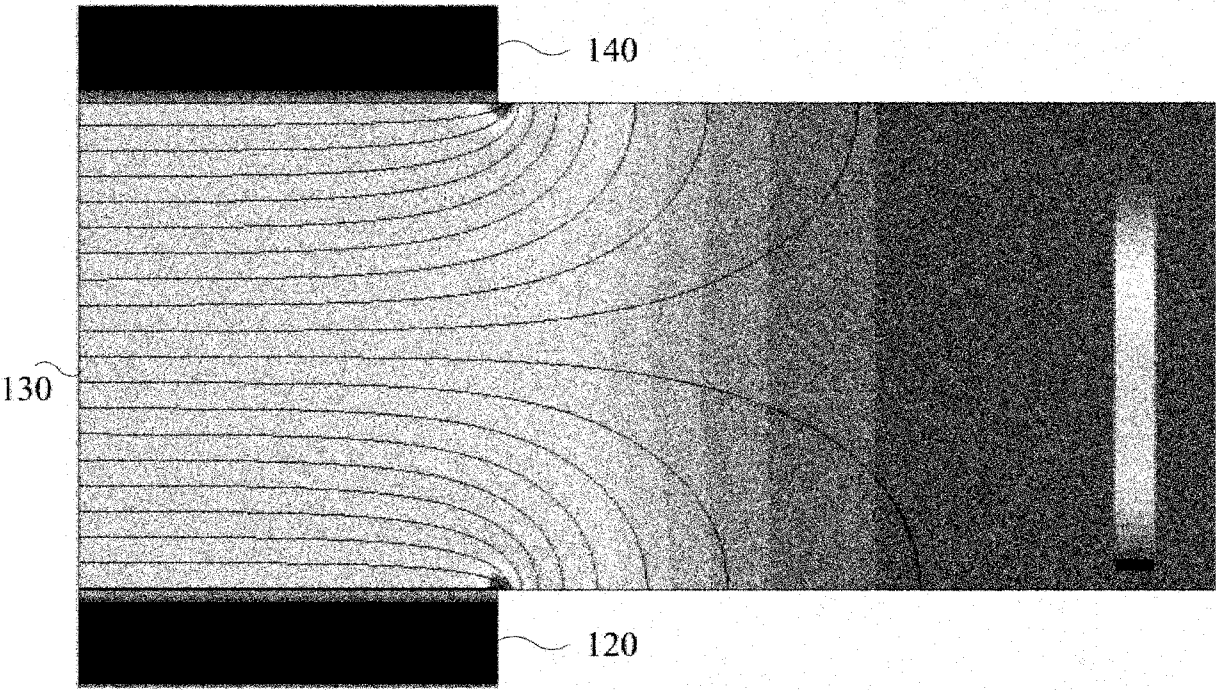


图 4

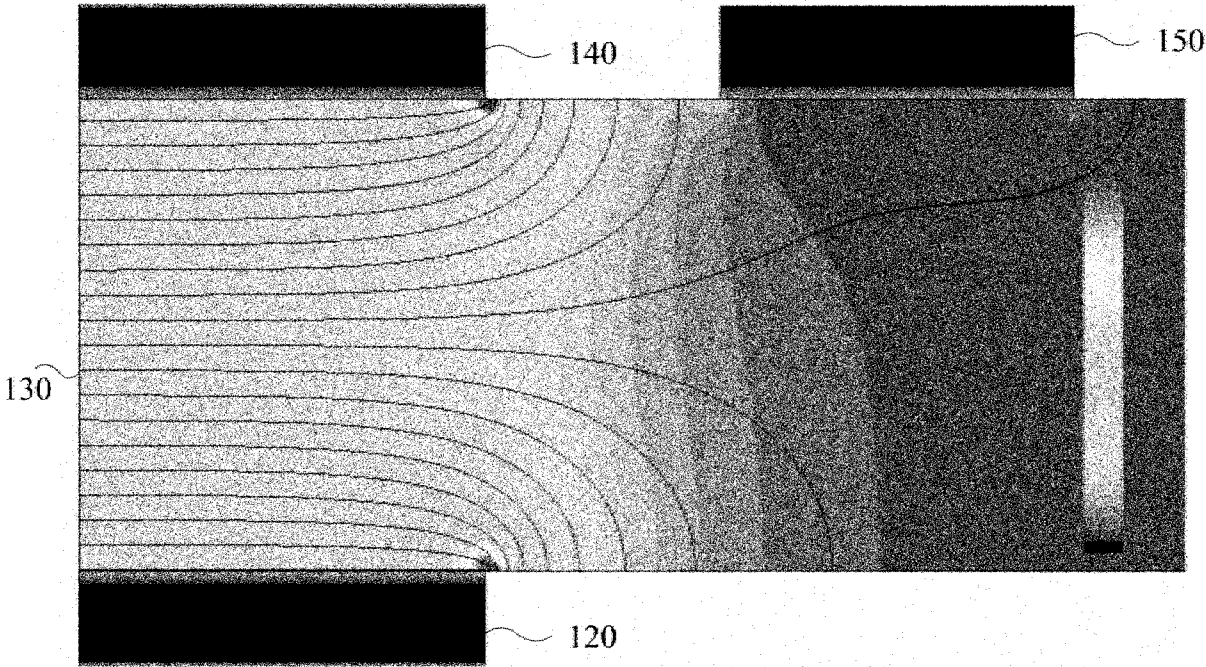


图 5

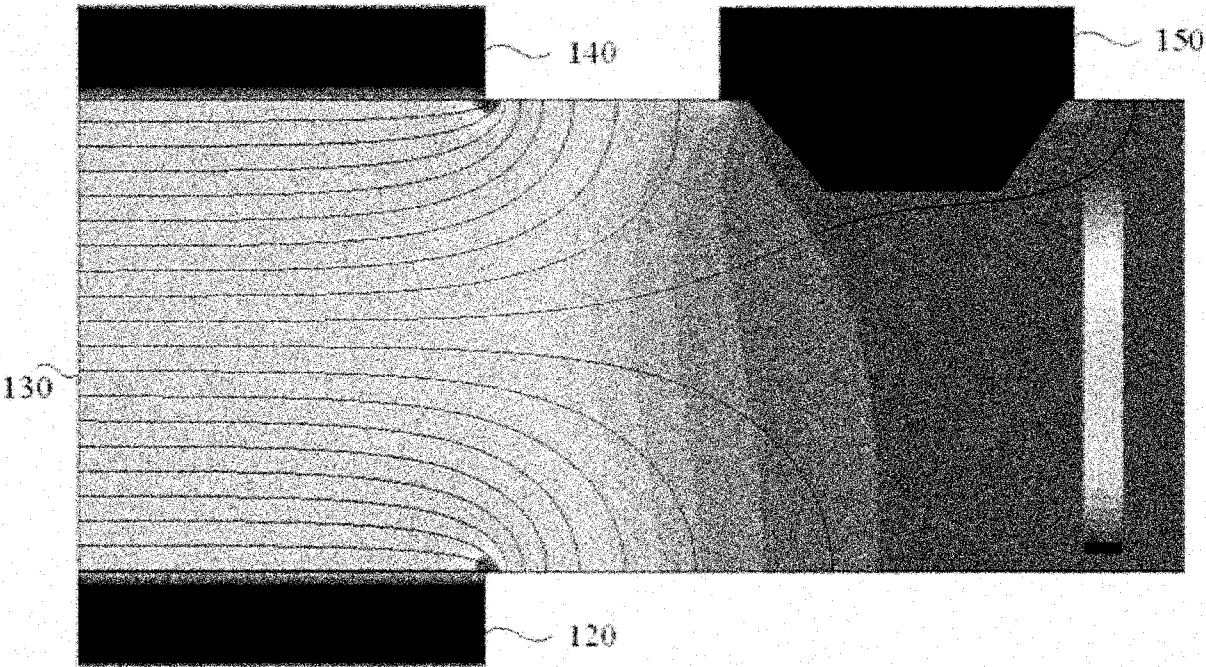


图 6

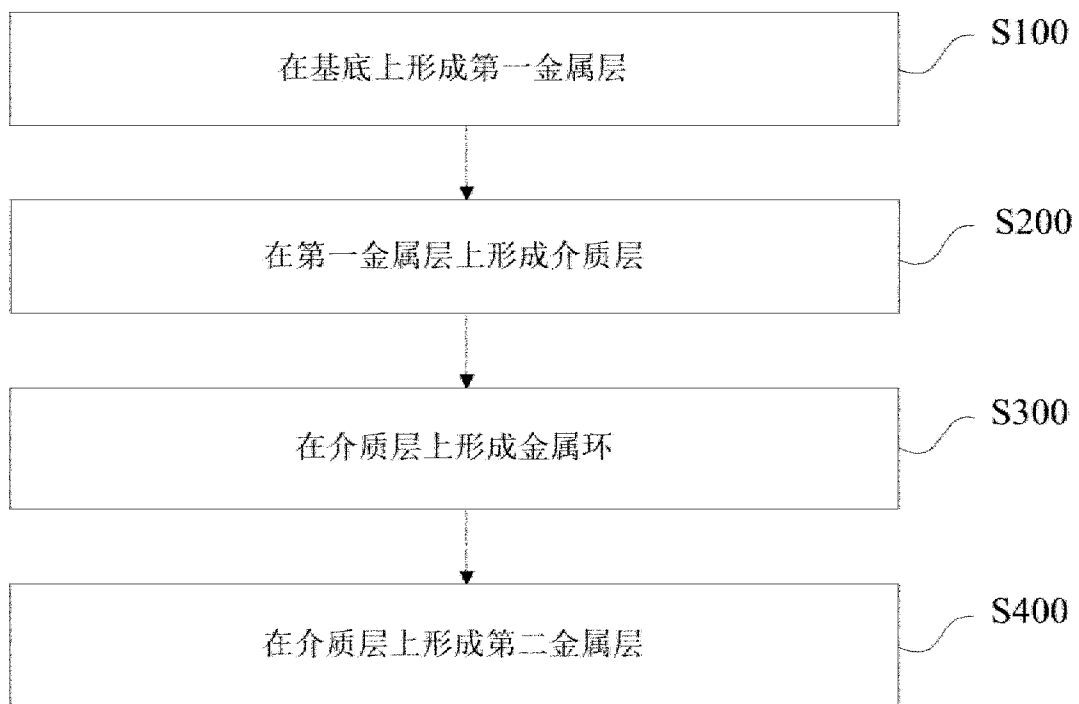


图 7

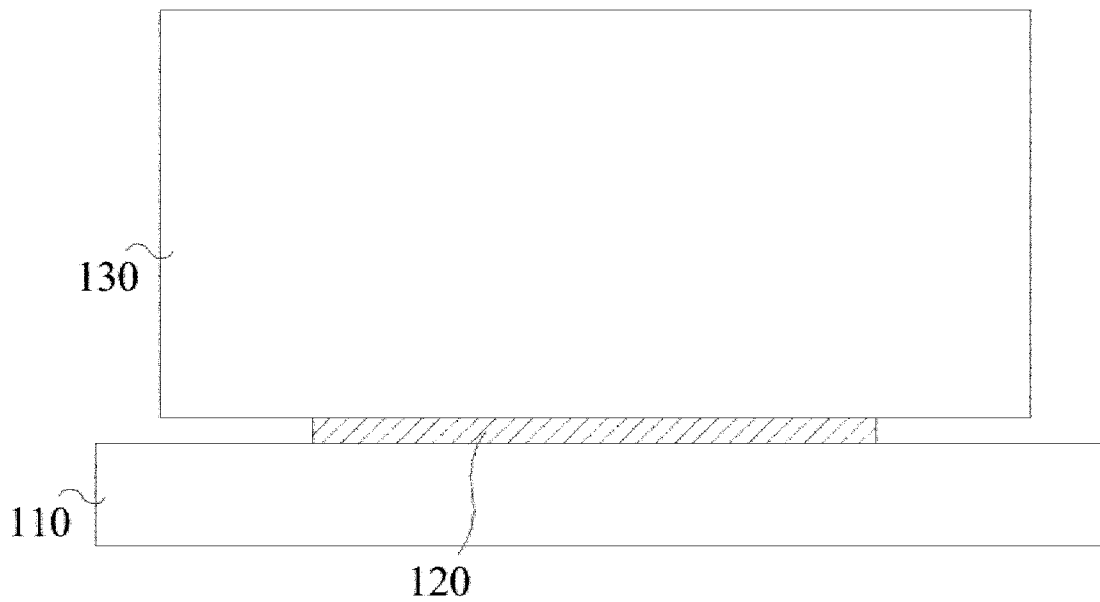


图 8

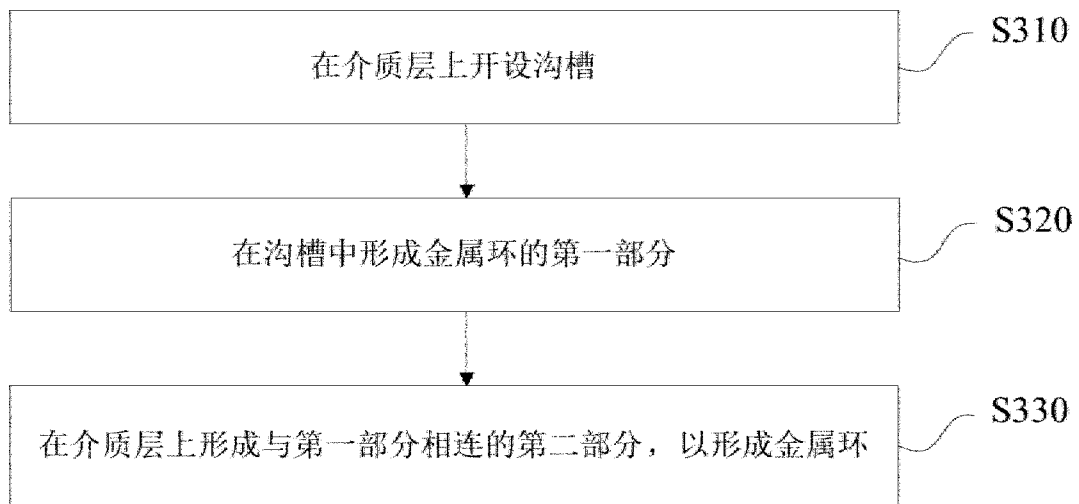


图 9

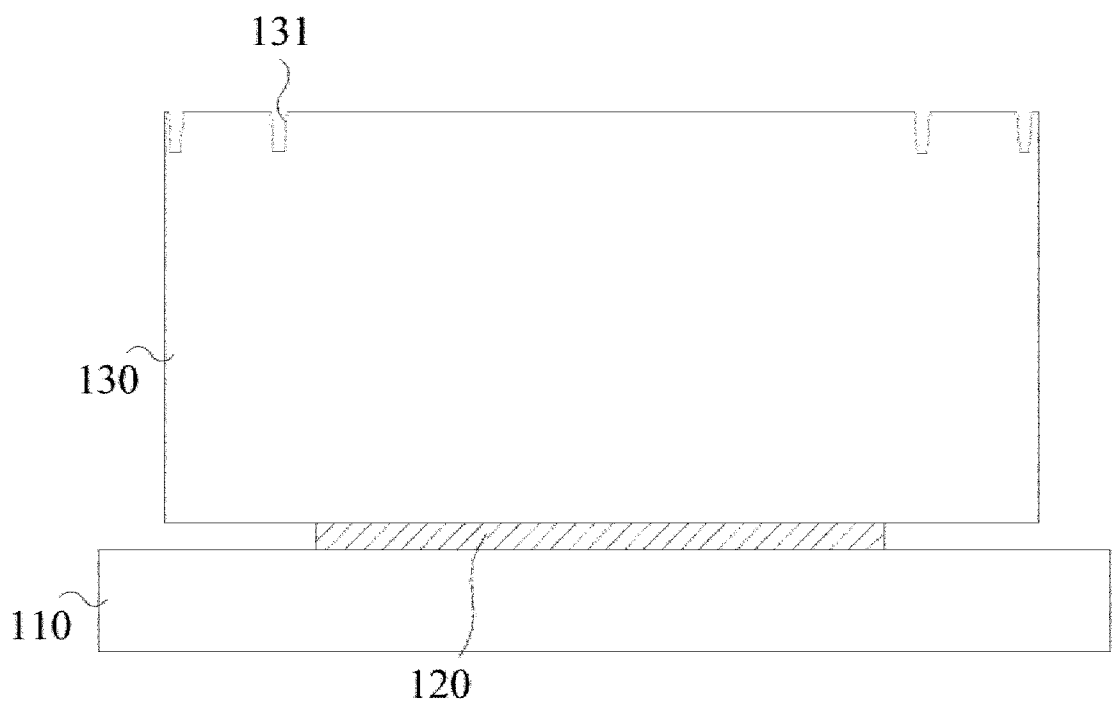


图 10

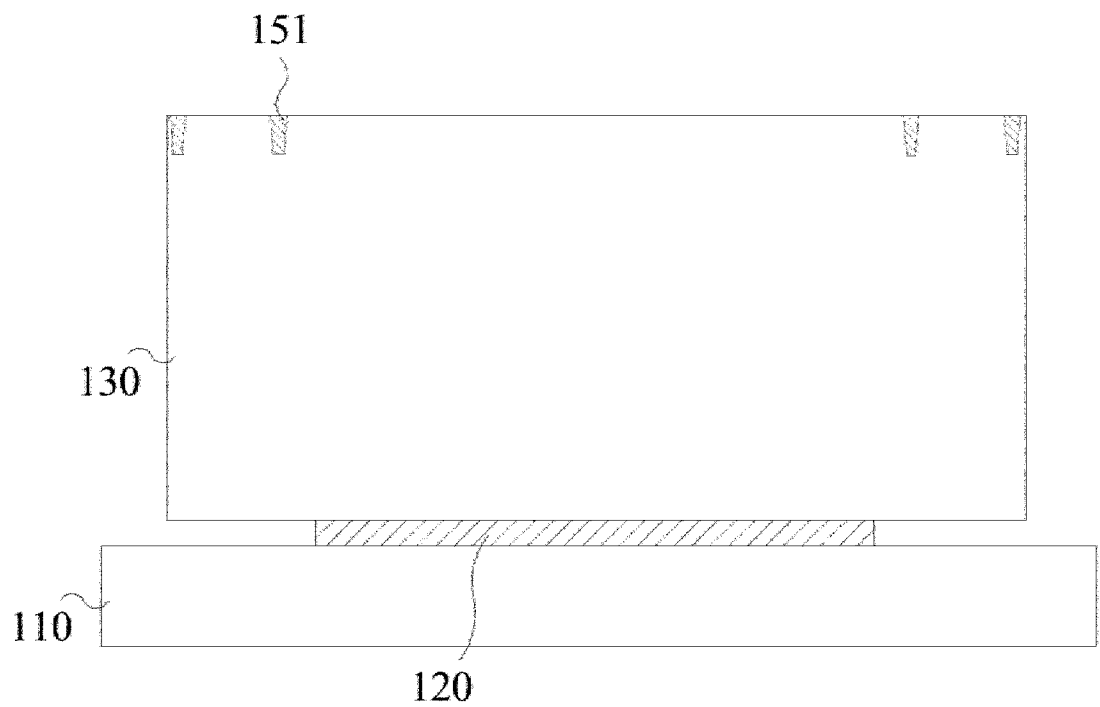


图 11

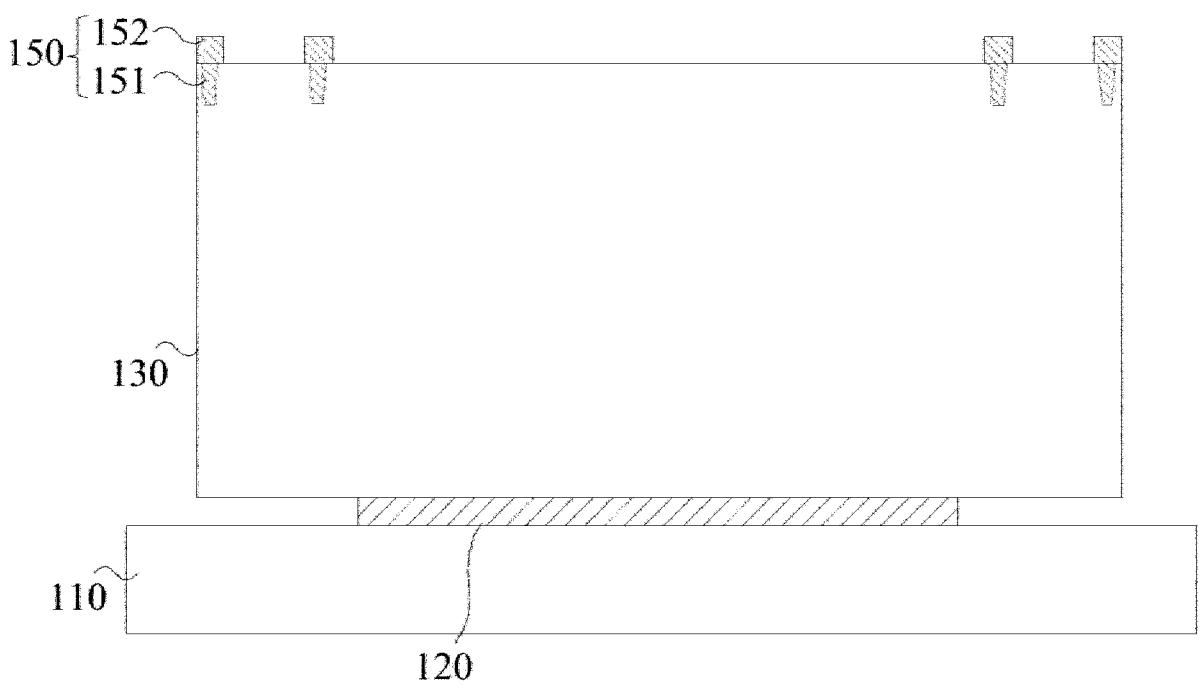


图 12

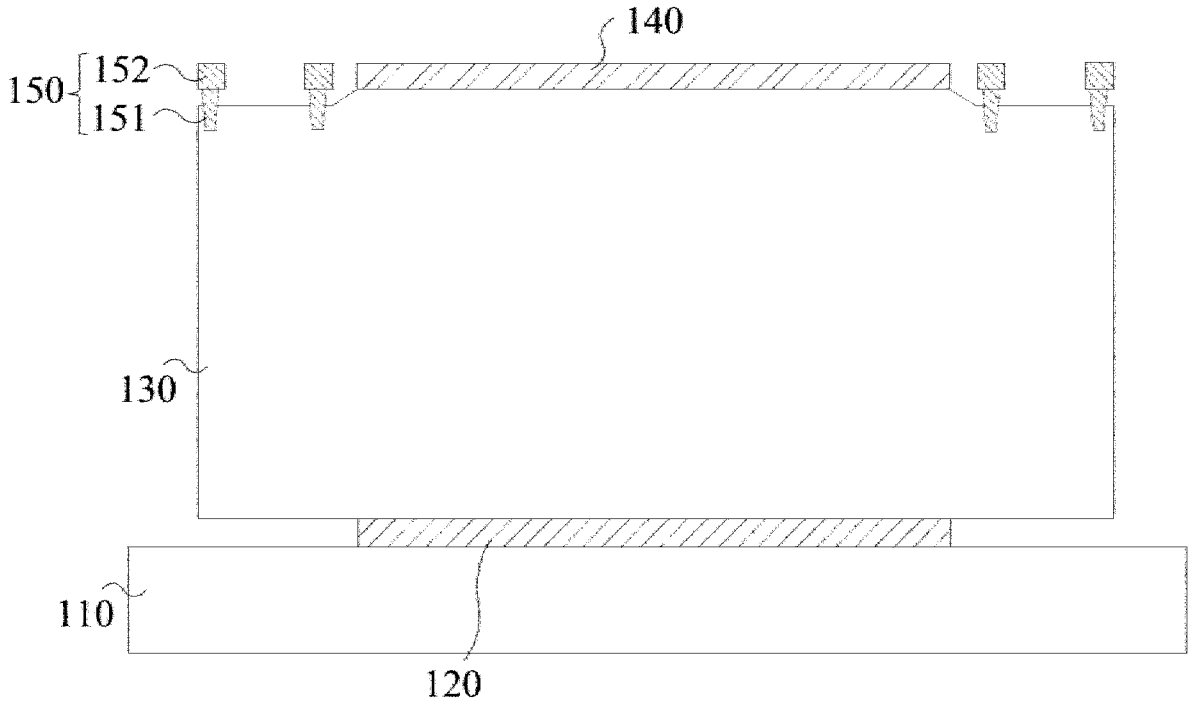


图 13

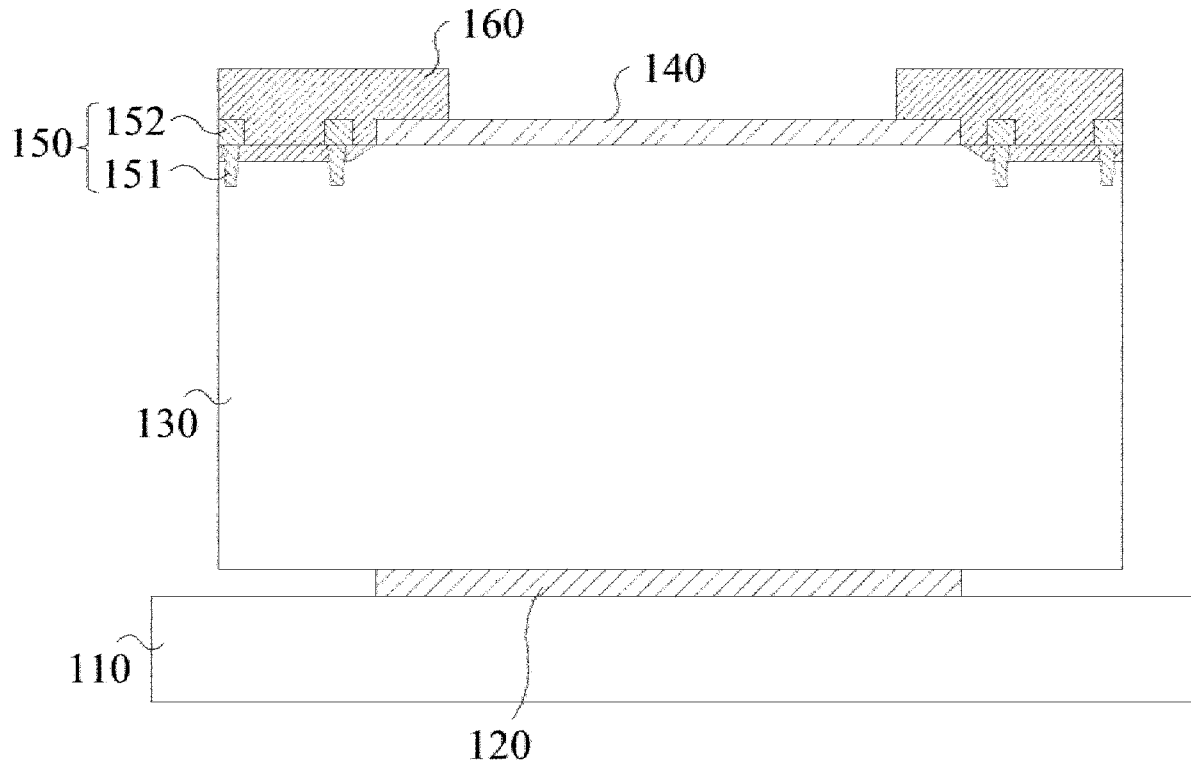


图 14

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/074934

A. CLASSIFICATION OF SUBJECT MATTER H01L23/522(2006.01);H01L23/62(2006.01);H01L21/8238(2006.01); According to International Patent Classification (IPC) or to both national classification and IPC																							
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC: H01L Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) CNKI, DWPI, CNTXT, ENTXT, ENTXTC, WPABS: 电容, 金属层, 电极, 环, 圈, 介质层, 绝缘层, 互补金属氧化物半导体, capacity, capacitor, metal layer, electrode, ring, hoop, circle, round, dielectric layer, insulated layer, CMOS																							
C. DOCUMENTS CONSIDERED TO BE RELEVANT <table border="1"> <thead> <tr> <th>Category*</th> <th>Citation of document, with indication, where appropriate, of the relevant passages</th> <th>Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>CN 112397479 A (3PEAK INCORPORATED) 23 February 2021 (2021-02-23) description, paragraphs 0041-0065, and figures 2-5e</td> <td>1-4, 9-13</td> </tr> <tr> <td>A</td> <td>CN 112397479 A (3PEAK INCORPORATED) 23 February 2021 (2021-02-23) description, paragraphs 0041-0065, and figures 2-5e</td> <td>5-8</td> </tr> <tr> <td>Y</td> <td>CN 208753312 U (CHINA ZHENHUA GROUP YUNKE ELECTRONICS CO., LTD. et al.) 16 April 2019 (2019-04-16) description, paragraphs 0031-0050, and figures 2-4</td> <td>1-4, 9-13</td> </tr> <tr> <td>A</td> <td>CN 208753312 U (CHINA ZHENHUA GROUP YUNKE ELECTRONICS CO., LTD. et al.) 16 April 2019 (2019-04-16) description, paragraphs 0031-0050, and figures 2-4</td> <td>5-8</td> </tr> <tr> <td>A</td> <td>CN 101924074 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CO., LTD.) 22 December 2010 (2010-12-22) entire document</td> <td>1-13</td> </tr> <tr> <td>A</td> <td>CN 103972044 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CO., LTD.) 06 August 2014 (2014-08-06) entire document</td> <td>1-13</td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	Y	CN 112397479 A (3PEAK INCORPORATED) 23 February 2021 (2021-02-23) description, paragraphs 0041-0065, and figures 2-5e	1-4, 9-13	A	CN 112397479 A (3PEAK INCORPORATED) 23 February 2021 (2021-02-23) description, paragraphs 0041-0065, and figures 2-5e	5-8	Y	CN 208753312 U (CHINA ZHENHUA GROUP YUNKE ELECTRONICS CO., LTD. et al.) 16 April 2019 (2019-04-16) description, paragraphs 0031-0050, and figures 2-4	1-4, 9-13	A	CN 208753312 U (CHINA ZHENHUA GROUP YUNKE ELECTRONICS CO., LTD. et al.) 16 April 2019 (2019-04-16) description, paragraphs 0031-0050, and figures 2-4	5-8	A	CN 101924074 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CO., LTD.) 22 December 2010 (2010-12-22) entire document	1-13	A	CN 103972044 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CO., LTD.) 06 August 2014 (2014-08-06) entire document	1-13
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.																					
Y	CN 112397479 A (3PEAK INCORPORATED) 23 February 2021 (2021-02-23) description, paragraphs 0041-0065, and figures 2-5e	1-4, 9-13																					
A	CN 112397479 A (3PEAK INCORPORATED) 23 February 2021 (2021-02-23) description, paragraphs 0041-0065, and figures 2-5e	5-8																					
Y	CN 208753312 U (CHINA ZHENHUA GROUP YUNKE ELECTRONICS CO., LTD. et al.) 16 April 2019 (2019-04-16) description, paragraphs 0031-0050, and figures 2-4	1-4, 9-13																					
A	CN 208753312 U (CHINA ZHENHUA GROUP YUNKE ELECTRONICS CO., LTD. et al.) 16 April 2019 (2019-04-16) description, paragraphs 0031-0050, and figures 2-4	5-8																					
A	CN 101924074 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CO., LTD.) 22 December 2010 (2010-12-22) entire document	1-13																					
A	CN 103972044 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CO., LTD.) 06 August 2014 (2014-08-06) entire document	1-13																					
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.																							
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family																							
Date of the actual completion of the international search 12 May 2023		Date of mailing of the international search report 19 May 2023																					
Name and mailing address of the ISA/CN China National Intellectual Property Administration (ISA/CN) China No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088		Authorized officer Telephone No.																					

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/074934

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2006030101 A1 (SHIN) 09 February 2006 (2006-02-09) entire document	1-13

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2023/074934

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	112397479	A	23 February 2021	CN	112397479	B	22 July 2022
CN	208753312	U	16 April 2019	None			
CN	101924074	A	22 December 2010	None			
CN	103972044	A	06 August 2014	None			
US	2006030101	A1	09 February 2006	KR	20060013153	A	09 February 2006
				KR	100684438	B1	16 February 2007

国际检索报告

国际申请号

PCT/CN2023/074934

A. 主题的分类

H01L23/522 (2006.01) i; H01L23/62 (2006.01) i; H01L21/8238 (2006.01) i

按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献 (标明分类系统和分类号)

IPC: H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用))

CNKI, DWPI, CNTXT, ENTXT, ENTXC, WPABS: 电容, 金属层, 电极, 环, 圈, 介质层, 绝缘层, 互补金属氧化物半导体, capacity, capacitor, metal layer, electrode, ring, hoop, circle, round, dielectric layer, insulated layer, CMOS

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	CN 112397479 A (思瑞浦微电子科技 (苏州) 股份有限公司) 2021年2月23日 (2021 - 02 - 23) 说明书第0041段至0065段, 图2-5e	1-4, 9-13
A	CN 112397479 A (思瑞浦微电子科技 (苏州) 股份有限公司) 2021年2月23日 (2021 - 02 - 23) 说明书第0041段至0065段, 图2-5e	5-8
Y	CN 208753312 U (中国振华集团云科电子有限公司 等) 2019年4月16日 (2019 - 04 - 16) 说明书第0031段至0050段, 图2-4	1-4, 9-13
A	CN 208753312 U (中国振华集团云科电子有限公司 等) 2019年4月16日 (2019 - 04 - 16) 说明书第0031段至0050段, 图2-4	5-8
A	CN 101924074 A (中芯国际集成电路制造 (上海) 有限公司) 2010年12月22日 (2010 - 12 - 22) 全文	1-13

☒ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“D” 申请人在国际申请中引证的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2023年5月12日

国际检索报告邮寄日期

2023年5月19日

ISA/CN的名称和邮寄地址

中国国家知识产权局

中国北京市海淀区蓟门桥西土城路6号 100088

授权官员

刘红

电话号码 (+86) 62089538

C. 相关文件		
类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	CN 103972044 A (中芯国际集成电路制造 (上海) 有限公司) 2014年8月6日 (2014 - 08 - 06) 全文	1-13
A	US 2006030101 A1 (SHIN) 2006年2月9日 (2006 - 02 - 09) 全文	1-13

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2023/074934

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	112397479	A	2021年2月23日	CN 112397479 B	2022年7月22日
CN	208753312	U	2019年4月16日	无	
CN	101924074	A	2010年12月22日	无	
CN	103972044	A	2014年8月6日	无	
US	2006030101	A1	2006年2月9日	KR 20060013153 A	2006年2月9日
				KR 100684438 B1	2007年2月16日