



(12) 发明专利

(10) 授权公告号 CN 101110422 B

(45) 授权公告日 2012. 03. 21

(21) 申请号 200710136692. 2

(22) 申请日 2007. 07. 20

(30) 优先权数据

2006-199292 2006. 07. 21 JP

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川

(72) 发明人 佐藤瑞季

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 王以平

(51) Int. Cl.

H01L 27/02(2006. 01)

H01L 27/12(2006. 01)

H01L 29/786(2006. 01)

G02F 1/1362(2006. 01)

(56) 对比文件

CN 1432984 A, 2003. 07. 30, 说明书第 3 页第 4 行至第 4 页第 16 行, 第 5 页第 10 行至第 7 页第 10 行, 第 8 页第 11 行至第 13 页第 24 行, 第

17 页第 6 行至第 10 行、附图 1-8, 10.

US 6380561 B1, 2002. 04. 30, 全文.

US 6531713 B1, 2003. 03. 11, 全文.

CN 1504817 A, 2004. 06. 16, 全文.

审查员 张剑铭

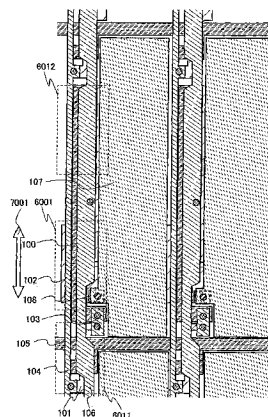
权利要求书 2 页 说明书 19 页 附图 17 页

(54) 发明名称

显示装置、半导体装置

(57) 摘要

本发明的目的在于提供一种开口率高的显示装置或元件面积大的半导体装置。本发明的技术要点如下:在形成在相邻的像素电极(或元件的电极)之间的布线下方形形成具有多栅结构的 TFT 的沟道形成区域。另外,将多个沟道形成区域的沟道宽度的方向设定为与在所述像素电极形状中的长边方向平行。另外,通过使沟道宽度的长度大于沟道长度的长度,来扩大沟道形成区域的面积。



1. 一种半导体装置,包括:
设在相邻的电极之间的布线、
驱动薄膜晶体管、以及
与所述驱动薄膜晶体管连接的开关薄膜晶体管,
其中,所述驱动薄膜晶体管的沟道形成区域设在所述布线的下方,
所述沟道形成区域设在与所述布线重叠的位置,
所述沟道形成区域的沟道宽度方向与电流流过所述布线的方向平行,并且
所述驱动薄膜晶体管和所述开关薄膜晶体管都设在所述布线的下方。
2. 一种半导体装置,包括:
设在相邻的电极之间的布线、
驱动薄膜晶体管、以及
与所述驱动薄膜晶体管连接的开关薄膜晶体管,
其中,所述驱动薄膜晶体管的沟道形成区域设在所述布线的下方,
所述沟道形成区域设在与所述布线重叠的位置,
所述沟道形成区域的沟道宽度方向与所述布线的长边方向平行,并且
所述驱动薄膜晶体管和所述开关薄膜晶体管都设在所述布线的下方。
3. 一种半导体装置,包括:
设在相邻的电极之间的布线、
驱动薄膜晶体管、以及
与所述驱动薄膜晶体管连接的开关薄膜晶体管,
其中,所述驱动薄膜晶体管的沟道形成区域设在所述布线的下方,
所述沟道形成区域设在与所述布线重叠的位置,
所述沟道形成区域的沟道宽度方向与所述电极的长边方向平行,并且
所述驱动薄膜晶体管和所述开关薄膜晶体管都设在所述布线的下方。
4. 一种半导体装置,包括:
设在相邻的元件之间的布线、
驱动薄膜晶体管、以及
与所述驱动薄膜晶体管连接的开关薄膜晶体管,
其中,所述驱动薄膜晶体管的沟道形成区域设在所述布线的下方,
所述沟道形成区域设在与所述布线重叠的位置,
所述沟道形成区域的沟道宽度方向与电流流过所述布线的方向平行,并且
所述驱动薄膜晶体管和所述开关薄膜晶体管都设在所述布线的下方。
5. 一种半导体装置,包括:
设在相邻的元件之间的布线、
驱动薄膜晶体管、以及
与所述驱动薄膜晶体管连接的开关薄膜晶体管,
其中,所述驱动薄膜晶体管的沟道形成区域设在所述布线的下方,
所述沟道形成区域设在与所述布线重叠的位置,
所述沟道形成区域的沟道宽度方向与所述布线的长边方向平行,并且

所述驱动薄膜晶体管和所述开关薄膜晶体管都设在所述布线的下方。

6. 一种半导体装置,包括:

设在相邻的元件之间的布线、

驱动薄膜晶体管、以及

与所述驱动薄膜晶体管连接的开关薄膜晶体管,

其中,所述驱动薄膜晶体管的沟道形成区域设在所述布线的下方,

所述沟道形成区域设在与所述布线重叠的位置,

所述沟道形成区域的沟道宽度方向与所述元件的长边方向平行,并且

所述驱动薄膜晶体管和所述开关薄膜晶体管都设在所述布线的下方。

7. 根据权利要求1~6的任一项所述的半导体装置,其中,所述沟道形成区域的沟道宽度长于所述沟道形成区域的沟道长度。

8. 根据权利要求1~6的任一项所述的半导体装置,其中,使所述沟道形成区域彼此连接的杂质区域的长边方向与所述沟道宽度方向平行。

9. 根据权利要求1~6的任一项所述的半导体装置,其中,所述沟道形成区域是非晶半导体及多晶半导体中的至少一种。

10. 根据权利要求1~3的任一项所述的半导体装置,其中,所述电极是像素电极。

11. 根据权利要求1~6的任一项所述的半导体装置,其中,所述驱动薄膜晶体管包括多个沟道形成区域。

12. 根据权利要求1~3的任一项所述的半导体装置,其中,所述驱动薄膜晶体管的源端子及漏端子之一方连接到所述相邻的电极之一方,并且所述驱动薄膜晶体管的源端子及漏端子之另一方连接到所述布线。

显示装置、半导体装置

技术领域

[0001] 本发明涉及有源矩阵型显示装置、以及元件配置为矩阵状的半导体装置。

背景技术

[0002] 从来,作为图像显示装置,已知的是液晶显示装置、电致发光 (Electro Luminescence ;下面称为 EL) 显示装置等。作为这种显示装置的类型,可以举出无源矩阵型和有源矩阵型。再者,有源矩阵型显示装置即使增加像素数,也可以高速地运作。

[0003] 有源矩阵型显示装置因为将 TFT、电容元件、布线、像素电极等形成在同一衬底上,所以容易降低开口率。因此,可以尝试通过设法改变它们的材料、形状、个数、或者布置等的设计来提高开口率。例如,在专利文件 1 中公开了如下方法:通过使用具有高相对介电常数的氧化钽作为电容元件的电介质,谋求电容元件的小面积化。

[0004] [专利文件 1] 日本专利申请公开特开平 11-312808 号公报

[0005] 另一方面,存在着如下问题:若采用将具有高相对介电常数的材料用于电容元件的方法,则工序数量会增多。

[0006] 在此,为了使工序数量不增加且提高开口率,扩大开口部的面积即可。但是,如果为了扩大开口部的面积,将开口部设在布线之间,则开口部的形状变得复杂。再者,在 EL 显示装置中,当使开口部的形状复杂时,因为开口部的边缘(端部)的长度变大,所以产生了助长 EL 发光部的收缩的问题。

[0007] 在此,EL 发光部的收缩指的不是 EL 层的物理收缩,而是 EL 元件的有效面积(EL 元件的发光部分的面积)从端部逐渐地收缩的状态。

[0008] 此外,在除了显示装置以外的半导体装置(例如 DRAM 等)中,扩大与晶体管连接的元件的面积为优选。

发明内容

[0009] 因而,本发明的目的在于提供开口率高的显示装置(或者元件的面积大的半导体装置)。

[0010] 在本说明书中,TFT 的沟道形成区域指的是在栅电极的下面隔着栅绝缘膜设置的半导体区域。此外,沟道长度指的是在沟道形成区域中载流子流动的方向的长度。再者,沟道宽度指的是垂直于沟道长度方向的沟道形成区域的长度。

[0011] 注意,当采用多栅结构的 TFT 时,沟道长度及沟道宽度指的是每一个沟道形成区域的尺寸。

[0012] 此外,多栅结构是在一个 TFT 中设置多个沟道形成区域的结构。与此相反,单栅结构是在一个 TFT 中设置一个沟道形成区域的结构。

[0013] 本发明的显示装置包括:设在相邻的像素电极之间的布线、以及薄膜晶体管,其中所述薄膜晶体管的沟道形成区域设在所述布线的下方,所述沟道形成区域设在与所述布线重叠的位置,并且所述沟道形成区域的沟道宽度的方向与在所述布线中流过电流的方向平

行。

[0014] 本发明的显示装置包括：设在相邻的像素电极之间的布线、以及具有多个沟道形成区域的薄膜晶体管，其中所述多个沟道形成区域设在所述布线的下方，所述多个沟道形成区域设在与所述布线重叠的位置，并且所述多个沟道形成区域的沟道宽度的方向与在所述布线中流过电流的方向平行。

[0015] 本发明的显示装置包括：设在相邻的像素电极之间的布线、以及薄膜晶体管，其中所述薄膜晶体管的沟道形成区域设在所述布线的下方，所述沟道形成区域设在与所述布线重叠的位置，并且所述沟道形成区域的沟道宽度的方向与所述布线的形状的长边方向平行。

[0016] 本发明的显示装置包括：设在相邻的像素电极之间的布线、以及具有多个沟道形成区域的薄膜晶体管，其中所述多个沟道形成区域设在所述布线的下方，所述多个沟道形成区域设在与所述布线重叠的位置，并且所述多个沟道形成区域的沟道宽度的方向与所述布线的形状的长边方向平行。

[0017] 本发明的显示装置包括：设在相邻的像素电极之间的布线、以及薄膜晶体管，其中所述薄膜晶体管的沟道形成区域设在所述布线的下方，所述沟道形成区域设在与所述布线重叠的位置，并且所述沟道形成区域的沟道宽度的方向与所述像素电极的形状的长边方向平行。

[0018] 本发明的显示装置包括：设在相邻的像素电极之间的布线、以及具有多个沟道形成区域的薄膜晶体管，其中所述多个沟道形成区域设在所述布线的下方，所述多个沟道形成区域设在与所述布线重叠的位置，并且所述多个沟道形成区域的沟道宽度的方向与所述像素电极的形状的长边方向平行。

[0019] 在本发明的显示装置中，所述薄膜晶体管在线性区工作。

[0020] 以晶体管的栅极与源极之间的电压为 V_{gs} ，以晶体管的源极与漏极之间的电压为 V_{ds} ，并以晶体管的阈值电压为 V_{th} 。在此情况下，线性区指的是 $|V_{gs} - V_{th}| > |V_{ds}|$ 的关系式成立的范围。

[0021] 即，所述薄膜晶体管以栅极与源极之间的电压 (V_{gs}) 比源极与漏极之间的电压 (V_{ds}) 大阈值电压 (V_{th}) 以上的范围工作。

[0022] 在本发明的显示装置中，所述沟道形成区域的沟道宽度的长度大于所述沟道形成区域的沟道长度的长度。

[0023] 在本发明的显示装置中，使所述沟道形成区域彼此连接的杂质区域的形状的长边方向与沟道宽度的方向平行。

[0024] 在本发明的显示装置中，所述沟道形成区域是非晶半导体或多晶半导体。

[0025] 在本发明的显示装置中，所述沟道形成区域是单晶。

[0026] 在本发明的显示装置中，所述薄膜晶体管具有岛状半导体层、栅绝缘膜、以及栅电极，其中所述岛状半导体层具有所述多个沟道形成区域、多个杂质区域，并且在所述多个沟道形成区域上隔着栅绝缘膜形成有栅电极。

[0027] 在本发明的显示装置中，所述布线隔着层间绝缘膜形成在所述栅电极上。

[0028] 在本发明的显示装置中，形成有第一电容和第二电容，该第一电容由所述岛状半导体层、在所述岛状半导体层上的所述栅绝缘膜、及在所述栅绝缘膜上的所述栅电极构成；

所述第二电容由所述栅电极、在所述栅电极上的层间绝缘膜、及在所述层间绝缘膜上的所述布线构成。

[0029] 在本发明的显示装置中,所述栅电极的形状的长边方向是所述沟道宽度的方向。

[0030] 在本发明的显示装置中,所述布线形成在覆盖所述像素电极的端部地形成的隔离壁(绝缘物)的下方。

[0031] 在本发明的显示装置中,所述薄膜晶体管的源端子(区域)及漏端子(区域)之一方连接到所述相邻的像素电极之一方。

[0032] 在本发明的显示装置中,所述薄膜晶体管的源端子(区域)及漏端子(区域)之另一方连接到所述布线。

[0033] 本发明的半导体装置包括:设在相邻的电极之间的布线、以及薄膜晶体管,其中所述薄膜晶体管的沟道形成区域设在所述布线的下方,所述沟道形成区域设在与所述布线重叠的位置,并且所述沟道形成区域的沟道宽度的方向与在所述布线中流过电流的方向(或者所述布线的形状的长边方向)平行。

[0034] 本发明的半导体装置包括:设在相邻的电极之间的布线、以及薄膜晶体管,其中所述薄膜晶体管的沟道形成区域设在所述布线的下方,所述沟道形成区域设在与所述布线重叠的位置,并且所述沟道形成区域的沟道宽度的方向与所述电极的形状的长边方向平行。

[0035] 本发明的半导体装置包括:设在相邻的元件之间的布线、以及薄膜晶体管,其中所述薄膜晶体管的沟道形成区域设在所述布线的下方,所述沟道形成区域设在与所述布线重叠的位置,并且所述沟道形成区域的沟道宽度的方向与在所述布线中流过电流的方向(或者所述布线的形状的长边方向)平行。

[0036] 本发明的半导体装置包括:设在相邻的元件之间的布线、以及薄膜晶体管,其中所述薄膜晶体管的沟道形成区域设在所述布线的下方,所述沟道形成区域设在与所述布线重叠的位置,并且所述沟道形成区域的沟道宽度的方向与所述元件的形状的长边方向平行。

[0037] 在本发明的半导体装置中,所述沟道形成区域的沟道宽度的长度大于所述沟道形成区域的沟道长度的长度。

[0038] 根据本发明,可以实现开口率高的显示装置(或者,元件的面积大的半导体装置)。

[0039] 此外,不需要为了提高开口率而使像素电极(或者元件的电极)的形状复杂。

[0040] 再者,通过提高开口率,对元件的电流密度降低,因此可以提高元件的使用寿命。

附图说明

[0041] 图 1 为双栅结构的布置图 1;

[0042] 图 2 为双栅结构的布置图 2;

[0043] 图 3 为像素的电路图;

[0044] 图 4A 至 4D 为 TFT 的制造过程图(俯视图);

[0045] 图 5 为像素电极以及布线的图(布线形状:直线);

[0046] 图 6 为像素电极以及布线的图(布线形状:锯齿形);

[0047] 图 7 为像素电极以及布线的图(布线形状:弯曲形);

[0048] 图 8 为单栅结构的布图 1;

- [0049] 图 9 为单栅结构的布图 2；
- [0050] 图 10 为三栅结构的布图 1；
- [0051] 图 11 为三栅结构的布图 2；
- [0052] 图 12A 至 12C 为无机 EL 元件的截面图 1；
- [0053] 图 13A 至 13C 为无机 EL 元件的截面图 2；
- [0054] 图 14A 和 14B 为显示装置的俯视图以及截面图；
- [0055] 图 15A 和 15B 为 DRAM 的电路图；
- [0056] 图 16 为 DRAM 的布图；
- [0057] 图 17A 至 17F 为电子设备的例子。

具体实施方式

[0058] 下面,基于附图说明本发明的实施方式。但是,本发明可能通过多种不同的方式来实施,所属领域的普通人员可以很容易地理解一个事实就是其方式和详细内容可以被变换为各种各样的形式,而不脱离本发明的宗旨及其范围。因此,本发明不应该被解释为仅限定在实施方式所记载的内容中。

[0059] 注意,下面的实施方式 1 至 11 可以适当地组合。

[0060] 实施方式 1

[0061] 在本实施方式中,对本发明的显示装置的像素结构和布图进行说明。注意,在此对由两个 TFT 构成的像素进行说明。

[0062] 首先,将参照图 3 对本发明的显示装置的像素结构进行说明。像素具有连接到像素电极的 TFT(驱动用 TFT 301)、电容元件 300、开关用 TFT 302、显示元件 303、扫描线 305、信号线 304、电源供给线 306。注意,驱动用 TFT 301 和开关用 TFT 302 为具有两个沟道形成区域的双栅结构。

[0063] 注意,驱动用 TFT 301 可以为单栅结构,也可以为具有三个以上的沟道形成区域的多栅结构。

[0064] 开关用 TFT 302 的源端子及漏端子之一方连接到信号线 304。

[0065] 开关用 TFT 302 的栅端子连接到扫描线 305。

[0066] 开关用 TFT 302 的源端子及漏端子之另一方电连接到驱动用 TFT 301 的栅端子以及电容元件的电极之一方。

[0067] 驱动用 TFT 301 的源端子及漏端子之一方连接到电源供给线 306。

[0068] 驱动用 TFT 301 的源端子及漏端子之另一方连接到显示元件 303。

[0069] 驱动用 TFT 301 的栅端子连接到电容元件的电极之一方以及开关用 TFT 302 的源端子及漏端子之另一方。

[0070] 电容元件 300 的另一方端子电连接到电源供给线 306。

[0071] 电容元件 300 的一方端子电连接到驱动用 TFT 的栅端子以及开关用 TFT 302 的源端子及漏端子之另一方。

[0072] 其次,将参照图 1 和图 2 对像素部的布图进行说明。图 2 为对应于图 1 的俯视图,并且为形成了第一半导体层 101、第二半导体层 102、栅布线 105、栅电极 100 的阶段的图。

[0073] 对图 1 及图 2 与图 3 的对应关系进行说明。

[0074] 由虚线部 6001 围绕的部分对应于驱动用 TFT 301。

[0075] 由虚线部 6011 围绕的部分对应于开关用 TFT 302。

[0076] 由虚线部 6012 围绕的部分对应于电容元件 300。

[0077] 像素电极 107 对应于显示元件 303 的像素电极。

[0078] 信号线 104 对应于信号线 304。

[0079] 电源供给线 106 对应于电源供给线 306。

[0080] 在图 1 中,第一半导体层 101 为开关用 TFT 的岛状半导体层。与栅布线 105 重叠的区域为沟道形成区域,连接到信号线 104 的区域为源端子(或者漏端子),而通过接触孔连接到连接电极 103 的区域为漏端子(或者源端子)。注意,开关用 TFT 为具有两个沟道形成区域的双栅结构。

[0081] 注意,开关用 TFT 可以为单栅结构,也可以为具有三个以上的沟道形成区域的多栅结构。

[0082] 此外,第二半导体层 102 为驱动显示元件的驱动用 TFT 301 的岛状半导体层。再者,与栅电极 100 重叠的区域为沟道形成区域。驱动用 TFT 301 的栅电极通过接触孔连接到连接电极 103。驱动用 TFT 301 的源端子(或者漏端子)通过接触孔连接到电源供给线 106。驱动用 TFT 301 的漏端子(或者源端子)通过接触孔连接到连接电极 108。此外,与该连接电极 108 接触地形成像素电极 107。

[0083] 此外,在第二半导体层 102 中,在隔着栅绝缘膜重叠于栅电极 100 的沟道形成区域的上方设置电源供给线 106。形成在所述栅电极 100 和电源供给线 106 之间的电容可以用作显示元件的存储电容。

[0084] 在栅电极 100 和电源供给线 106 之间夹有层间绝缘膜。

[0085] 此外,栅电极 100 为电容元件的电极之一方,并且在电源供给线中与栅电极重叠的部分为电容元件的电极之另一方。

[0086] 此外,为了防止显示元件的电极的短路,由隔离壁(绝缘物)覆盖发光区域以外的区域。设在相邻的左右像素之间的隔离壁的宽度为例如大约 $20\mu\text{m}$ 至 $25\mu\text{m}$ 。在本实施方式中,在宽度为 $20\mu\text{m}$ 的隔离壁的下面(即,在相邻的像素电极之间)设置信号线 104 和电源供给线 106。

[0087] 注意,在本实施方式中,使电源供给线 106 的长边方向与像素电极的形状的长边方向(像素电极的长边方向)平行。再者,在电源供给线 106 的下方重叠地设置驱动用 TFT。并且,使沟道宽度的方向与该长边方向平行。

[0088] 但是,本发明不一定需要与像素电极的形状的长边方向平行地设置电源供给线 106 且将驱动用 TFT 301 设在电源供给线 106 的下方。

[0089] 因此,当将信号线 104 设置为与像素电极的形状的长边方向平行时,可以在信号线 104 的下方重叠地设置驱动用 TFT 301。

[0090] 此外,当像素电极的形状为如正方形、大致正方形(例如,在正方形的角部缺角的形状;正方形的角部为圆形的形状等,该形状不需要所有的角部都为圆形,也可以仅仅一部分的角部为圆形。)、圆形等的没有长边方向的形状时,在电源供给线 106 及信号线 104 中的任何一个的下方设置驱动用 TFT 301 也没有问题。

[0091] 注意,作为像素电极的形状可以采用各种各样的形状如长方形、大致长方形(例

如,在长方形的角部缺角的形状;长方形的角部为圆形的形状等,该形状不需要所有的角部都为圆形,也可以仅仅一部分的角部为圆形。)、椭圆形、多角形、大致多角形(例如,在多角形的角部缺角的形状;多角形的角部为圆形的形状,该形状不需要所有的角部都为圆形,也可以仅仅一部分的角部为圆形。)等。注意,像素电极的形状不限于这些例示的形状。注意,当像素电极的形状为长方形或者大致长方形时,容易将布线设置为格子状,因而容易设计布置,因此是优选的。

[0092] 此外,像素电极的尺寸也可以根据每个像素而不同。再者,像素电极的形状也可以根据每个像素而不同。

[0093] 此外,当所需要的沟道宽度的长度短于像素电极的形状的短边方向的长度时,也可以在与该短边方向平行地设置的布线的下方重叠地设置驱动用 TFT 301。

[0094] 此外,电源供给线 106 的一部分可以设在像素电极的上方或者下方。当采用这种布置时,与电源供给线 106 的一部分重叠地设置驱动用 TFT 301 的栅电极。

[0095] 注意,使驱动用 TFT 301 的沟道宽度的方向与在布线的形状中的长边方向(布线的长边方向)平行。这是因为可以增加沟道宽度的长度的缘故。此外,因为布线设在相邻的像素电极之间,所以通过使布线的形状的长边方向(布线的长边方向)与像素电极的长边方向或者短边方向平行,可以提高开口率。

[0096] 注意,因为通常在布线的长边方向上流过电流,所以可以说沟道宽度的方向与在沟道形成区域的上方设置的布线中流过电流的方向平行。

[0097] 此外,在本实施方式中,有在线性区工作的情况。当沟道长度为 L ,沟道宽度为 W 时,驱动用 TFT 为 $L < W$ 的双栅结构。在此,驱动用 TFT 为 $L = 7 \mu\text{m}$ 、 $W = 20 \mu\text{m}$ 的双栅结构。当进行像素的布图时,通过在宽度为 $20 \mu\text{m}$ 的隔离壁的下面设置布线并在布线的下面设置驱动用 TFT,即使驱动用 TFT 的尺寸变大也可以提高开口率。

[0098] 在本实施方式中,相对于栅电极 100 折弯为日本片假名“コ”形地对半导体层进行构图(在图 1 及图 2 中的虚线部 6001)。因此,可以使沟道宽度的方向与像素电极的形状的长边方向平行(在图 1 及图 2 中的箭头形符号 7001)。

[0099] 注意,优选将使沟道形成区域彼此连接的杂质区域的形状的长边方向设定为与沟道宽度的方向平行的方向。这是因为如下缘故:在像素电极之间的狭小的空间(相邻的像素电极之间的空间)中可以设置尽可能大尺寸的 TFT,因此可以期待提高开口率。再者,在所述杂质区域中,因为在该杂质区域的形状中的长边方向流过电流,所以可以提高该杂质区域的电阻值。从而,可以降低截止电流。

[0100] 注意,在本发明中,当沟道宽度的方向与像素电极的长边方向垂直时,可以将沟道宽度增加到该长边方向的长度。因此,TFT 的岛状半导体层的形状不限于如本实施方式的日本片假名“コ”形。

[0101] 注意,电容元件 300 可以由第二半导体层 102、栅电极 100、形成在第二半导体层 102 与栅电极 100 之间的栅绝缘膜(第一存储电容)、以及栅电极 100、电源供给线 106、形成在栅电极 100 与电源供给线 106 之间的层间绝缘膜(第二存储电容)形成。

[0102] 在此情况下,在虚线部 6012 中,由栅电极 100、第二半导体层 102、及形成在栅电极 100 和第二半导体层 102 之间的栅绝缘膜形成存储电容。因此,通过增加虚线部 6012 中的栅电极的面积,也可以增大存储电容的尺寸。

[0103] 通过采用上述结构,可以在像素电极之间的狭小的空间(相邻的像素电极之间的空间)中设置尽可能大尺寸的 TFT(特别是沟道宽度大的 TFT)。因此可以提高开口率。

[0104] 注意,因为 TFT 的尺寸非常小,所以有如下问题;由于栅绝缘膜的膜厚或膜质的不均匀,或者当进行离子掺杂处理时的注入剂量的不均匀等,电特性也会容易不均匀。

[0105] 特别是当使用非晶硅、微晶硅、或者多晶硅作为 TFT 的半导体时,由半导体的结晶性导致 TFT 特性(例如导通电流、截止电流、阈值电压、迁移率等)的不均匀。特别是当连接到像素的 TFT 的特性不均匀时,有如下问题:提供给像素的电流(或者电压)不均匀,因此显示装置的可见度退化。

[0106] 为了解决上述问题,有采用多栅结构的方法。但是多栅结构的 TFT 与单栅结构的 TFT 相比,其面积变大。因此,当采用多栅结构的 TFT 以减少 TFT 的电特性的不均匀时,开口率降低。但是,通过采用本发明的结构,可以实现减少 TFT 特性的不均匀并提高开口率。

[0107] 在本实施方式中,说明了使驱动用 TFT 在线性区工作的所谓的恒压驱动方式的一个例子。下面,对恒压驱动方式进行说明。

[0108] 有使 TFT 在饱和区工作的情况和在线性区工作的情况。以晶体管的栅极与源极之间的电压为 V_{gs} ,以晶体管的源极与漏极之间的电压为 V_{ds} ,并以晶体管的阈值电压为 V_{th} 。在此情况下,饱和区指的是 $|V_{gs}-V_{th}| < |V_{ds}|$ 的关系式成立的范围,而线性区指的是 $|V_{gs}-V_{th}| > |V_{ds}|$ 的关系式成立的范围。

[0109] 恒流驱动方式是如下方式:通过使连接到 EL 元件的像素电极的 TFT(下面称为驱动用 TFT)在饱和区工作,在显示元件中流过固定的电流。

[0110] 恒流驱动方式可以在 EL 元件中连续流过固定的电流,所以可以减少显示元件的退化所引起的不均匀。但是,在恒流驱动方式中,如果驱动用 TFT 退化则流过该驱动用 TFT 的电流也减少。因此, TFT 的不均匀容易影响到显示元件的亮度不均匀。

[0111] 另一方面,恒压驱动方式是如下方式:通过使驱动用 TFT 在线性区工作,对 EL 元件施加固定的电压。

[0112] 恒压驱动方式因为在线性区工作,所以可以使源极与漏极之间的电压低于显示元件的两个电极之间的电压。因此,可以减少驱动用 TFT 的不均匀给流过 EL 元件的电流带来的影响。从而, TFT 的退化的不均匀不容易影响到显示元件的亮度不均匀。

[0113] 但是,在使用非晶硅、微晶硅、多晶硅等作为 TFT 的半导体层的情况下,即使使驱动用 TFT 在线性区工作,也不能无视在衬底面内的结晶性不均匀的影响。

[0114] 在此,为了抑制驱动用 TFT 的不均匀,优选扩大驱动用 TFT 的沟道形成区域的面积。即,优选使沟道长度和沟道宽度较大。

[0115] 此外,沟道宽度越大,可以使源极与漏极之间的电压越低。再者,沟道长度短小,可以使源极与漏极之间的电压越低。因此,沟道宽度优选大于沟道长度。

[0116] 因此,在使 TFT 在线性区工作的情况下,为了扩大驱动用 TFT 的沟道形成区域的面积,优选增加沟道宽度。

[0117] 在此,通常地,通过扩大沟道形成区域的面积,显示装置的开口率有下降的趋势。换言之,当谋求减少 TFT 的特性的不均匀时,开口率降低。即,一般同时实现减少 TFT 的特性的不均匀与提高开口率的双方是非常困难的。尤其明显的情况为如本实施方式,当扩大多栅结构的 TFT 的沟道形成区域的面积时。

[0118] 但是,通过适用本实施方式的结构,可以同时实现减少 TFT 的特性的不均匀与提高开口率的双方。

[0119] 通过提高开口率,可以减少耗电并提高显示元件的可靠性。这是因为当需要固定的亮度时若开口率高即可以以小的电流(或者电压)获得所需要的亮度的缘故。而且,还因为若提供给显示元件的电流(或者电压)小则显示元件的退化速度也减低的缘故。

[0120] 此外,显示元件的退化速度根据每个显示元件而不均匀。因此,当提高开口率且减低显示元件的退化速度时,可以减少显示元件的亮度退化的不均匀。因此,通过减少 TFT 特性的不均匀与减少由开口率提高导致的不均匀的复合效应,可以提高显示装置的可见度。

[0121] 注意,多栅结构的 TFT 可以减少 TFT 的截止电流。因此,无论 TFT 的半导体为非单晶还是单晶,都优选采用多栅结构的 TFT。

[0122] 此外,如本实施方式那样,通过将驱动晶体管和连接到该驱动晶体管的开关晶体管设在布线(信号线或者电源供给线)的下方,并使开关晶体管的沟道长度的方向与驱动晶体管的沟道长度的方向垂直,并且通过将驱动晶体管的沟道宽度的方向设定为在所述布线中流过电流的方向,可以提高开口率。

[0123] 实施方式 2

[0124] 在本实施方式中,将参照图 5 至 7 对“布线形状的长边方向(布线的长边方向)”的意义具体地进行说明。

[0125] “布线形状的长边方向”(沟道宽度的方向)是“与在(所上述的)沟道形成区域的上方设置的布线中流过电流的方向平行”的。注意,当采用后述的锯齿形或者弯曲形的布线时,不一定在布线中在直线方向上流过电流。在此情况下,“在布线形状中的长边方向”(沟道宽度的方向)是“与在沟道形成区域的上方设置的布线区域中流过电流的方向大致平行”的。

[0126] 在此,布线的形状不需要一定为如图 5 所示那样直线。例如,可以如图 6 那样,像第一布线 501、502 那样为锯齿形。此外,也可以如图 7 那样,像第一布线 501、502 那样为弯曲形。

[0127] 注意,图 5 至 7 为表示布线与像素电极的布图的示意图。因此,未图示 TFT。501 至 504 为第一布线,601 和 602 为第二布线,701 至 707 为像素电极。注意,第一布线以及第二布线之一方为源信号线,另一方为电源供给线。

[0128] 锯齿(zigzag)形指的是直线向左右折弯几次的形状。此外,弯曲(meander)意味着“弯曲地流动”。弯曲形指的是这样的形状。

[0129] 如图 5 所示,当第一布线 501 至 504 及第二布线 601 为直线的形状时,“布线形状的长边方向(在图 5 中的第一箭头形符号 8001)”与“在沟道形成区域的上方设置的第一布线中流过电流的方向(在图 5 中的第一箭头形符号 8001)”平行。

[0130] 如图 6 所示,当布线为锯齿形时,例如在图 6 中的第一布线区域 5001 的下面设置 TFT。在此情况下,“布线形状的长边方向(在图 6 中的第二箭头形符号 8002)”与“在沟道形成区域的上方设置的布线中流过电流的方向(在图 6 中的第二箭头形符号 8002)”平行。

[0131] 另一方面,例如当在图 6 的第二布线区域 5002 的下面设置 TFT 时,“布线形状的长边方向(在图 6 中的第三箭头形符号 8003)”与“在沟道形成区域的上方设置的布线中流过电流的方向(在图 6 中的第三箭头形符号 8003)”平行。

[0132] 此外,如图 7 所示,当布线为弯曲形时,电流也沿着布线的形状流过。因此,存在电流向不与在布线形状中的长边方向平行的方向流过的地方。但是,电子到底向与在布线形状中的长边方向平行的方向流过(在图 7 中的第四箭头形符号 8004)。因此,当采用这样的布线形状时,将沟道宽度的方向设定为“与在沟道形成区域的上方设置的布线区域中流过电流的方向大致平行”或者“与布线形状的长边方向平行”。

[0133] 通过采用上述结构,可以将布线设在像素电极之间的狭小的空间(相邻的像素电极之间的空间)。并且,可以在该布线的下方设置尽可能大尺寸的 TFT(尤其是沟道宽度为大尺寸的 TFT)。因此,可以提高开口率。

[0134] 实施方式 3

[0135] 在本实施方式中,示出本发明的驱动晶体管的布图的其他方式。注意,本发明不限于在本实施方式中示出的布图。

[0136] 图 8 为单栅结构的布图。第一半导体层 101 为开关用 TFT 的岛状半导体层。与栅布线 105 重叠的区域为沟道形成区域,通过接触孔连接到信号线 104 的区域为源端子(或者漏端子),并且连接到连接电极 103 的区域为漏端子(或者源端子)。

[0137] 此外,第二半导体层 102 为驱动显示元件的驱动用 TFT 301 的岛状半导体层。与栅电极 100 重叠的区域为沟道形成区域。驱动用 TFT301 的栅电极通过接触孔连接到连接电极 103。驱动用 TFT 301 的源端子(或者漏端子)与电源供给线 106 连接。驱动用 TFT 301 的漏端子(或者源端子)通过接触孔连接到连接电极 108。此外,与该连接电极 108 接触地形成像素电极 107。

[0138] 图 8 与图 3 的对应关系如下面。

[0139] 由虚线部 6002 围绕的部分对应于驱动用 TFT 301。

[0140] 由虚线部 6021 围绕的部分对应于开关用 TFT 302。

[0141] 由虚线部 6022 围绕的部分对应于电容元件 300。

[0142] 像素电极 107 对应于显示元件 303 的像素电极。

[0143] 信号线 104 对应于信号线 304。

[0144] 电源供给线 106 对应于电源供给线 306。

[0145] 图 9 为对应于图 8 的俯视图,是形成了第一半导体层 101、第二半导体层 102、栅布线 105、栅电极 100 的阶段的图。

[0146] 半导体层的杂质区域与像素电极的长边方向(或者,在布线中流过电流的方向或在布线形状中的长边方向)平行地进行构图(在图 8 和 9 中的虚线部 6002)。因此,可以与在像素电极形状中的长边方向平行地设定沟道宽度的方向(在图 8 和 9 中的箭头形符号 7002)。

[0147] 图 10 为三栅结构的布置图。第一半导体层 101 为开关用 TFT 的岛状半导体层。与栅布线 105 重叠的区域为沟道形成区域,连接到信号线 104 的区域为源端子(或者漏端子),并且通过接触孔连接到连接电极 103 的区域为漏端子(或者源端子)。

[0148] 此外,第二半导体层 102 为驱动显示元件的驱动用 TFT 301 的岛状半导体层。再者,与栅电极 100 重叠的区域为沟道形成区域。驱动用 TFT 301 的栅电极连接到连接电极 103。驱动用 TFT 301 的源端子(或者漏端子)通过接触孔连接到电源供给线 106。驱动用 TFT 301 的漏端子(或者源端子)通过接触孔连接到连接电极 108。此外,与该连接电极

108 接触地形成像素电极 107。

[0149] 图 10 与图 3 的对应关系如下面。

[0150] 由虚线部 6003 围绕的部分对应于驱动用 TFT 301。

[0151] 由虚线部 6031 围绕的部分对应于开关用 TFT 302。

[0152] 由虚线部 6032 围绕的部分对应于电容元件 300。

[0153] 像素电极 107 对应于显示元件 303 的像素电极。

[0154] 信号线 104 对应于信号线 304。

[0155] 电源供给线 106 对应于电源供给线 306。

[0156] 图 11 为对应于图 10 的俯视图,是形成了第一半导体层 101、第二半导体层 102、栅布线 105、栅电极 100 的阶段的图。

[0157] 半导体层的杂质区域与像素电极的长边方向(或者,在布线中流过电流的方向或在布线形状中的长边方向)平行地(例如为“S”型)进行构图(在图 10 和 11 中的虚线部 6003)。因此,可以与在像素电极形状中的长边方向平行地设定沟道宽度的方向(在图 10 和 11 中的箭头形符号 7003)。

[0158] 在本实施方式中,说明了具有一个或三个沟道形成区域的 TFT 的布图。此外,在实施方式 1 中,说明了具有两个沟道形成区域的 TFT 的布图。但是,本发明的结构不局限于这些实施方式的结构,也可以适用于具有四个以上的沟道形成区域的 TFT。

[0159] 实施方式 4

[0160] 本发明不局限于由两个 TFT 构成的像素。当采用具有 $L < W$ 的双栅结构的驱动用 TFT 的像素结构时,可以适当地使用本发明以提高开口率并实现简单的开口部形状,而且配置为使沟道宽度的长度为大。

[0161] 实施方式 5

[0162] 在本实施方式中,对显示装置的制造步骤进行说明。注意,仅对像素部进行说明。但是,在驱动电路部中,制造步骤不局限于此,在此省略其说明。

[0163] 如图 4A 所示,在由钽硼硅酸盐玻璃、或铝硼硅酸盐玻璃等的玻璃构成的衬底上,形成由氧化硅膜、氮化硅膜、或者氧氮化硅膜构成的基底膜。然后,将通过激光晶化法或已知的热晶化法使具有非晶结构的半导体膜结晶化了的结晶半导体膜构图为所希望的形状,以获得岛状半导体层 4101、4102。注意,基底膜以及半导体膜可以通过已知的成膜法(例如, CVD 法、PVD 法等)来形成。

[0164] 注意,在此,通过使半导体膜结晶化来使用多晶硅膜。但是,本发明可以使用非晶硅或微晶硅。此外,也可以使用单晶硅。

[0165] 当使用单晶硅时,使用在衬底上设置有薄单晶硅层的 SOI 衬底(绝缘体上硅衬底)等即可。

[0166] 在此,通过对在岛状半导体层 4101 中的成为第一电容部分的第一区域添加杂质,可以将第一区域用作第一电容的第一电极。在此,通过离子掺杂法注入赋予 p 型导电性的硼。也可以注入赋予 n 型导电性的杂质。作为赋予 n 型导电性的杂质,有磷、砷等。注意,对添加杂质可以利用已知的方法(例如,离子掺杂法、离子淋浴法等)。

[0167] 其次,形成覆盖岛状半导体层 4101、4102 的栅绝缘膜。然后,采用选自 Ta、W、Ti、Mo、Al、Cu 等的元素或以这些元素为主要成分的合金材料或者化合物材料来形成用于形成

栅电极的导电膜。然后,将它构图为所希望的形状,以获得栅电极 4103、4104(4104 兼用作扫描线)(参照图 4B)。

[0168] 其次,通过对在岛状半导体层 4101、4102 中的杂质区域添加杂质,形成源区域、漏区域、沟道形成区域。在此,通过离子掺杂法注入赋予 p 型导电性的硼,以形成 p 沟道型晶体管。在形成 n 沟道晶体管的情况下,也可以注入赋予 n 型导电性的杂质。作为赋予 n 型导电性的杂质,有磷、砷等。注意,对添加杂质可以利用已知的方法(例如,离子掺杂法、离子淋浴法等)。此外,可以在与沟道形成区域接触的部分形成 LDD 区域。

[0169] 其次,进行退火来使所添加的杂质活化。作为退火的方法,可以使用炉退火、激光退火等的已知的技术。注意,退火之前,为了保护栅绝缘膜,也可以通过已知的方法(例如 CVD 法、PVD 法等)形成钝化膜(例如氧化硅等)。

[0170] 其次,形成层间绝缘膜。层间绝缘膜可以为有机绝缘膜也可以为无机绝缘膜。作为有机绝缘膜,有丙烯酸、聚酰亚胺、硅氧烷等。作为有机绝缘膜的形成方法可以使用已知的方法(旋涂法、浸渍法等)。此外,作为无机绝缘膜,有氧化硅、氮化硅等。也可以使用已知的方法(例如 CVD 法、PVD 法等)而形成。注意,通过使用氮化硅等的相对介电常数高的材料,可以增加电容。而当使用有机绝缘膜时,可以实现平坦化。

[0171] 注意,层间绝缘膜可以通过已知的技术(例如 CMP 法)进行平坦化处理。

[0172] 其次,如图 4C 所示,形成达到岛状半导体层 4101、4102、栅电极 4103、4104 的接触孔 4105,并且形成布线 4106、4107、4108(4106 成为源信号线,4107 成为电源供给线)及电极 4110。

[0173] 其次,如图 4D 所示,形成像素电极 4109。作为像素电极的材料,典型为氧化铟锡(其通称为 ITO)等。关于像素电极 4109,在形成由所述材料构成的膜之后,进行构图来获得所希望的形状。在此,电极 4110 与像素电极 4109 通过接触孔 4105 接触。

[0174] 其次,在相邻的像素之间形成隔离壁,并进行构图来使成为发光区域的部分开口。然后,在开口部分形成 EL 层。

[0175] 在本实施方式中,说明了顶栅型 TFT 的制造方法。但是,本发明可以适用于底栅型 TFT。

[0176] 实施方式 6

[0177] 在本实施方式中,将参照图 14A 和 14B 对发光显示面板的外观的一个例子进行说明。图 14A 为由第一密封材料 1205 以及第二密封材料 1206 将第一衬底与第二衬底之间密封了的面板的俯视图,图 14B 相当于分别沿图 14A 中的线 A-A'、B-B' 的截面图。

[0178] 图 14A 示出由虚线所示的像素部 1202、监视器元件部 1230、扫描线驱动电路 1203(栅极线驱动电路)。在本实施方式中,像素部 1202、以及扫描线驱动电路 1203 位于被第一密封材料及第二密封材料密封的区域中。此外,1201 为信号线(源极线)驱动电路,并且在第一衬底 1200 上设置有信号线驱动电路。作为第一密封材料优选使用含填料的粘性高的环氧类树脂。另外,作为第二密封材料优选使用粘性低的环氧类树脂。另外,第一密封材料 1205 及第二密封材料 1206 优选为尽可能不透过水分或氧的材料。

[0179] 另外,也可以在像素部 1202 与第一密封材料 1205 之间设置干燥剂。另外,在像素部中,也可以在扫描线或信号线上设置干燥剂。作为干燥剂,优选使用通过化学吸附来吸水(H_2O)的物质如氧化钙(CaO)、氧化钡(BaO)等碱土类金属的氧化物。但不局限于此,也可

用通过物理吸附来吸水的物质如沸石、硅胶等。

[0180] 另外,可以使用含有干燥剂的粒状物质的高透湿性树脂作为层间绝缘膜,并使用密封材料固定层间绝缘膜和第二衬底 1204。或者,也可用 PSG(磷硅玻璃)、BPSG(硼磷硅玻璃)等的无机物代替高透湿性树脂。

[0181] 此外,也可以在与扫描线重叠的区域设置干燥剂。再者,也可以使用含有干燥剂的粒状物质的高透湿性树脂作为层间绝缘膜,并使用密封材料固定层间绝缘膜和第二衬底 1204。通过设置如上所述的干燥剂,可以抑制对显示元件的水分侵入及因此引起的退化而不降低开口率。因此,可以抑制像素部 1202 的周边部与中央部的显示元件的退化不均匀。

[0182] 注意,连接布线 1210 为用于传送输入到信号线驱动电路 1201 及扫描线驱动电路 1203 的信号的连接布线,并通过连接布线 1208 从成为外部输入端子的 FPC 1209(柔性印刷电路)接收视频信号和时钟信号。

[0183] 其次,将参照图 14B 说明截面结构。在第一衬底 1200 上形成有驱动电路及像素部,且具有多个以 TFT 为代表的半导体元件。图 14B 示出了作为驱动电路的信号线驱动电路 1201 和像素部 1202。此外,在信号线驱动电路 1201 中形成有组合 n 沟道型 TFT 1221 和 p 沟道型 TFT 1222 而成的 CMOS 电路。

[0184] 在本实施方式中,在同一衬底上形成有扫描线驱动电路及像素部的 TFT。因此,可以缩小发光显示装置的容积。

[0185] 另外,像素部 1202 由多个像素构成。该多个像素包括开关 TFT1211、驱动 TFT 1212、以及电连接到其源极及漏极之另一方并由具有反射性的导电膜构成的第一像素电极(阳极)1213。

[0186] 另外,在第一像素电极(阳极)1213 的两端形成有绝缘物 1214(称为堤岸、隔离壁、阻挡壁、堤坝等)。将具有曲率半径的曲面形成在绝缘物 1214 的上端部或下端部,以提高形成在绝缘物 1214 上的膜的覆盖度(coverage)。另外,也可用由氮化铝膜、氮氧化铝膜、以碳为主要成分的薄膜或氮化硅膜构成的保护膜覆盖绝缘物 1214 的表面。再者,通过使用黑色颜料、色素等的吸收可见光的材料被溶解或分散而成的有机材料作为绝缘物 1214,可以吸收来自后来形成的显示元件的杂散光。其结果,可以提高各像素的对比度。在本发明中,在该绝缘物的下方设置扫描线、信号线、以及 TFT。此外,在扫描线或信号线的下方设置 TFT。当在扫描线的下方设置 TFT 时,使扫描线形状的长边方向(或者流过电流的方向)与 TFT 的沟道宽度的方向平行。当在信号线的下方设置 TFT 时,使信号线形状的长边方向(或者流过电流的方向)与 TFT 的沟道宽度的方向平行。

[0187] 另外,在第一像素电极(阳极)1213 上,通过进行有机化合物材料的蒸镀,选择性地形成场致发光层 1215。再者,在场致发光层 1215 上形成第二像素电极(阴极)1216。

[0188] 这样,形成了包括第一像素电极(阳极)1213、场致发光层 1215、以及第二像素电极(阴极)1216 的显示元件 1217。显示元件 1217 向第二衬底 1204 侧发光。

[0189] 另外,形成保护叠层 1218,以便密封显示元件 1217。保护叠层 1218 由第一无机绝缘膜、应力缓和膜、以及第二无机绝缘膜的叠层构成。其次,用第一密封材料 1205 及第二密封材料 1206 粘接保护叠层 1218 和第二衬底 1204。此外,优选使用滴下密封材料的装置滴下第二密封材料。可以在从分配器滴下或喷射密封材料来将密封材料形成在有源矩阵衬底上之后,在真空中贴合第二衬底和有源矩阵衬底,并进行紫外线固化来密封。

[0190] 此外,在第二衬底 1204 表面上设置用于防止在衬底表面上反射外光的反射防止膜 1226。另外,也可在第二衬底和反射防止膜之间设置偏振片及相位差板中的任一或双方。通过设置相位差板或偏振片,可以防止外部光线在像素电极上反射。此外,若使用具有透光性的导电膜或具有半透光性的导电膜形成第一像素电极 1213 及第二像素电极 1216,并且使用吸收可见光的材料、或者吸收可见光的材料被溶解或分散而成的有机材料形成层间绝缘膜,则也可不用相位差板及偏振片,因为各像素电极不反射外光。

[0191] 连接布线 1208 和 FPC 1209 被各向异性导电膜或各向异性导电树脂 1227 电连接。再者,优选用密封树脂密封各布线层和连接端子的连接部。根据所述结构,可以防止来自截面的水分侵入显示元件而引起退化。

[0192] 此外,也可以使用惰性气体如氮气代替第二密封材料 1206 来填充第二衬底 1204 和保护膜 1218 之间的空间,以防止退化。

[0193] 另外,可以在第二衬底和偏振片之间设置着色层。这时,通过在像素部设置可发白光的显示元件,且分别设置呈现 RGB 的着色层,可进行全彩色显示。或者,通过在像素部设置可发蓝光的显示元件,且分别设置颜色转换层等,可进行全彩色显示。再者,还可在各像素部形成发红、绿、蓝色光的显示元件,且用着色层。在这样的显示模块中,各 RGB 的色纯度高,并可进行高精细显示。

[0194] 另外,也可对第一衬底 1200 和第二衬底 1204 的单方或双方使用膜或树脂等的衬底,以形成发光显示模块。这样,当使用膜或树脂等的衬底时,可以提高显示器件的轻量化、小型化、以及薄膜化。

[0195] 再者,也可在成为外部输入端子的 FPC 1209(柔性印刷电路)表面或端部设置控制器、存储器、像素驱动电路之类的 IC 芯片,来形成发光显示模块。

[0196] 实施方式 7

[0197] 发光元件指的是具有由阳极和阴极夹住当产生电场时发射光的有机化合物层的结构的元件(OLED 元件)。然而,不限于此。

[0198] 另外,发光元件指的是利用当单激子回到基态时发射的光(荧光)的元件,以及利用当三重激子回到基态时发射的光(磷光)的元件。

[0199] 作为有机化合物层,可以给出空穴注入层,空穴传输层,发光层,电子传输层,电子注入层等。发光元件的基本结构是阳极、发光层与阴极按此顺序叠在一起。除此之外,还可以将阳极、空穴注入层、发光层、电子注入层与阴极按此顺序叠在一起,或将阳极、空穴注入层、空穴传输层、发光层、电子传输层、电子注入层和阴极按此顺序叠在一起,等等。

[0200] 注意,有机化合物层并不限于很清楚地区分为空穴注入层、空穴传输层、发光层、电子传输层、电子注入层等的叠层结构。就是说,有机化合物层也可以是具有混合了形成空穴注入层、空穴传输层、发光层、电子传输层、电子注入层等的材料的层的结构。

[0201] 此外,还可以混合无机物。

[0202] 作为 OLED 元件的有机化合物层,可以使用低分子材料、高分子材料和中分子材料中的任一材料。

[0203] 注意,在本说明书中,中分子材料是如下材料:连锁的分子长度是 $10\mu\text{m}$ 以下,并不具有升华性。

[0204] 实施方式 8

[0205] 将参照图 12A 至 12C 以及图 13A 至 13C 对可适用于本发明的显示元件的其他结构进行说明。

[0206] 利用电致发光的发光元件（显示元件）根据其发光材料是有机化合物还是无机化合物而区别，前者一般称为有机 EL 元件，而后者一般称为无机 EL 元件。

[0207] 无机 EL 元件根据其元件结构被成分散型无机 EL 元件和薄膜型无机 EL 元件。它们的不同之处在于：前者具有将发光材料的颗粒分散在粘合剂中的场致发光层，而后者具有由发光材料的薄膜构成的场致发光层。然而，它们都需要以高电场加速了的电子。注意，作为能够获得的发光机制，有利用施主能级和受主能级的施主 - 受主复合型发光、和利用金属离子的内壳层电子跃迁的局部型发光。一般来说，在很多情况下，当使用分散型无机 EL 元件时为施主 - 受主复合型发光，而当使用薄膜型无机 EL 元件时为局部型发光。

[0208] 可以用于本发明的发光材料由母体材料和成为发光中心的杂质元素构成。通过改变所包含的杂质元素，可以获得各种颜色的发光。作为发光材料的制造方法，可以使用固相法、液相法（共沉淀法）等的各种方法。此外，还可以使用喷雾热分解法、复分解法、利用前体物质的热分解反应的方法、反胶团法、组合上述方法和高温焙烧的方法、或冷冻干燥法等等的液相等。

[0209] 固相法是如下方法：对母体材料和杂质元素或包含杂质元素的化合物进行称量，在乳钵中混合，在电炉中加热，并进行焙烧来引起反应，以使母体材料包含杂质元素。焙烧温度优选为 700 至 1500℃。这是因为在温度过低的情况下固相反应不能进行，而在温度过高的情况下母体材料会分解的缘故。注意，也可以在粉末状态下进行焙烧，然而优选在颗粒状态下进行焙烧。虽然需要在相对高的温度下进行焙烧，但是因为该方法很简单，所以生产率好，因而适合于大量生产。

[0210] 液相法（共沉淀法）是如下方法：在溶液中使母体材料或包含母体材料的化合物与杂质元素或包含杂质元素的化合物反应，并使它干燥，然后进行焙烧。发光材料的颗粒均匀地分布，并且粒径小，即使焙烧温度低也可以进行反应。

[0211] 作为用于发光材料的母体材料，可以使用硫化物、氧化物、氮化物。作为硫化物，例如可以使用硫化锌（ZnS）、硫化镉（CdS）、硫化钙（CaS）、硫化钇（Y₂S₃）、硫化镓（Ga₂S₃）、硫化锶（SrS）或硫化钡（BaS）等。作为氧化物，例如可以使用氧化锌（ZnO）或氧化钇（Y₂O₃）等。作为氮化物，例如可以使用氮化铝（AlN）、氮化镓（GaN）或氮化铟（InN）等。另外，还可以使用硒化锌（ZnSe）或碲化锌（ZnTe）等，也可以是硫化钙 - 镓（CaGa₂S₄）、硫化锶 - 镓（SrGa₂S₄）或硫化钡 - 镓（BaGa₂S₄）等的三元混晶。

[0212] 作为局部型发光的发光中心，可以使用锰（Mn）、铜（Cu）、钐（Sm）、铽（Tb）、铒（Er）、铥（Tm）、铕（Eu）、铈（Ce）、镨（Pr）等。注意，作为电荷补偿，还可以添加有氟（F）、氯（Cl）等的卤素元素。

[0213] 另一方面，作为施主 - 受主复合型发光的发光中心，可以使用包含形成施主能级的第一杂质元素及形成受主能级的第二杂质元素的发光材料。作为第一杂质元素，例如可以使用氟（F）、氯（Cl）、铝（Al）等。作为第二杂质元素，例如可以使用铜（Cu）、银（Ag）等。

[0214] 在使用固相法来合成施主 - 受主复合型发光的发光材料的情况下，对母体材料、第一杂质元素或包含第一杂质元素的化合物、以及第二杂质元素或包含第二杂质元素的化合物进行称量，并在乳钵中混合，然后在电炉中加热，并进行焙烧。作为母体材料，可以使用

上述的母体材料。作为第一杂质元素例如可以使用氟 (F)、氯 (Cl) 等,作为包含第一杂质元素的化合物,例如可以使用硫化铝 (Al_2S_3) 等。作为第二杂质元素例如可以使用铜 (Cu)、银 (Ag) 等,作为包含第二杂质元素的化合物,例如可以使用硫化铜 (Cu_2S)、硫化银 (Ag_2S) 等。焙烧温度优选为 700 至 1500°C。这是因为在温度过低的情况下固相反应不能进行,而在温度过高的情况下母体材料会分解的缘故。注意,也可以在粉末状态下进行焙烧,然而优选在颗粒状态下进行焙烧。

[0215] 此外,作为当利用固相反应时的杂质元素,可以组合由第一杂质元素和第二杂质元素构成的化合物来使用。在此情况下,容易扩散杂质元素并且容易进行固相反应,所以可以获得均匀的发光材料。再者,不需要的杂质元素不会进入,所以可以获得纯度高的发光材料。作为由第一杂质元素和第二杂质元素构成的化合物,例如可以使用氯化铜 (CuCl) 或氯化银 (AgCl) 等。

[0216] 注意,这些杂质元素的浓度对母体材料为 0.01 至 10atom% 即可,优选在 0.05 至 5atom% 的范围内。

[0217] 在使用薄膜型无机 EL 的情况下,场致发光层为包含上述发光材料的层,可以使用如下方法来形成:电阻加热蒸镀法、电子束蒸镀 (EB 蒸镀) 法等的真空蒸镀法、溅射法等物理气相淀积法 (PVD)、有机金属 CVD 法、氢化物输送减压 CVD 法等化学气相淀积法 (CVD)、原子层外延法 (ALE) 等。

[0218] 图 12A 至 12C 示出了可用作显示元件的薄膜型无机 EL 元件的一个例子。在图 12A 至 12C 中,显示元件包括第一电极层 50、场致发光层 52、以及第二电极层 53。

[0219] 图 12B 及 12C 所示的显示元件具有在图 12A 的显示元件中绝缘层形成在电极层和场致发光层之间的结构。图 12B 所示的显示元件在第一电极层 50 和场致发光层 52 之间具有绝缘层 54,而图 12C 所示的显示元件在第一电极层 50 和场致发光层 52 之间具有绝缘层 54a,并在第二电极层 53 和场致发光层 52 之间具有绝缘层 54b。像这样,绝缘层可以设在与夹持场致发光层的一对电极层中的一方电极层之间或与双方电极层之间。此外,绝缘层可以为单层或由多个层构成的叠层。

[0220] 在图 12B 中,与第一电极层 50 接触地设置绝缘层 54,然而也可以将绝缘层和场致发光层的顺序反过来,来与第二电极层 53 接触地设置绝缘层 54。

[0221] 在使用分散型无机 EL 元件的情况下,通过将颗粒状的发光材料分散在粘合剂中来形成膜状的场致发光层。在通过发光材料的制造方法不能充分获得所需尺寸的颗粒时,使用乳钵等将它粉碎等而加工成颗粒状即可。粘合剂是用来以分散状态固定颗粒状的发光材料并将它保持为作为场致发光层的形状的物质。发光材料被粘合剂均匀地分散在场致发光层中并固定。

[0222] 在使用分散型无机 EL 元件的情况下,作为场致发光层的形成方法,还可以使用能够选择性地形成场致发光层的液滴喷射法、印刷法 (丝网印刷或平版印刷等)、旋涂法等、浸渍法、分散器法等。对于其膜厚度没有特别限制,但优选在 10 至 1000nm 的范围内。此外,在含有发光材料及粘合剂的场致发光层中,优选将发光材料的比例设定为 50wt% 以上 80wt% 以下。

[0223] 图 13A 至 13C 示出了可用作显示元件的分散型无机 EL 元件的一个例子。图 13A 中的显示元件具有第一电极层 60、场致发光层 62 和第二电极层 63 的叠层结构,并且在场致

发光层 62 中包含由粘合剂保持的发光材料 61。

[0224] 对用于本实施方式的粘合剂,可以使用有机材料或无机材料,还可以使用有机材料及无机材料的混合材料。作为有机材料,可以使用氰乙基纤维素类树脂之类的具有相对高的介电常数的聚合物、聚乙烯、聚丙烯、聚苯乙烯类树脂、硅酮树脂、环氧树脂、氟化乙烯等的树脂。此外,还可以使用芳香族聚酰胺、聚苯并咪唑 (polybenzimidazole) 等的耐热高分子、或硅氧烷树脂。硅氧烷树脂相当于包含 Si-O-Si 键的树脂。硅氧烷具有由硅 (Si)-氧 (O) 键构成的骨架结构。作为取代基,使用至少包含氢的有机基 (例如烷基、芳香烃)。还可以使用氟基作为取代基。此外,还可以使用至少包含氢的有机基和氟基作为取代基。另外,还可以使用聚乙烯醇、聚乙烯醇缩丁醛等的乙烯树脂、酚醛树脂、酚醛清漆树脂、丙烯酸树脂、三聚氰胺树脂、氨基树脂、恶唑树脂 (聚苯并恶唑) 等的树脂材料。可以对这些树脂适度混合钛酸钡 (BaTiO_3)、钛酸锶 (SrTiO_3) 等的高介电常数的微粒,来调整介电常数。

[0225] 作为包含在粘合剂中的无机材料,可以使用选自含有无机材料的物质中的材料,例如氧化硅 (SiO_x)、氮化硅 (SiN_x)、包含氧及氮的硅、氮化铝 (AlN)、包含氧及氮的铝或氧化铝 (Al_2O_3)、氧化钛 (TiO_2)、 BaTiO_3 、 SrTiO_3 、钛酸铅 (PbTiO_3)、铌酸钾 (KNbO_3)、铌酸铅 (PbNbO_3)、氧化钽 (Ta_2O_5)、钽酸钡 (BaTa_2O_6)、钽酸锂 (LiTaO_3)、氧化钇 (Y_2O_3)、氧化锆 (ZrO_2)、 ZnS 。通过将介电常数高的无机材料 (通过添加等) 包含在有机材料中,可以进一步控制由发光材料及粘合剂构成的场致发光层的介电常数,且可以进一步增大介电常数。

[0226] 在制造工序中,发光材料分散在包含粘合剂的溶液中。作为可以用于本实施方式的含有粘合剂的溶液的溶剂,适当地选择如下溶剂即可:粘合剂材料被溶解,并可制造具有适合于形成场致发光层的方法 (各种湿法加工) 及所希望的膜厚度的粘度的溶液。可以使用有机溶剂等,例如在使用硅氧烷树脂作为粘合剂的情况下,可以使用丙二醇单甲醚、丙二醇单甲醚醋酸酯 (也称为 PGMEA)、3-甲氧基-3-甲基-1-丁醇 (也称为 MMB) 等。

[0227] 图 13B 及 13C 所示的显示元件具有在图 13A 的显示元件中绝缘层形成在电极层和场致发光层之间的结构。图 13B 所示的显示元件在第一电极层 60 和场致发光层 62 之间具有绝缘层 64,而图 13C 所示的显示元件在第一电极层 60 和场致发光层 62 之间具有绝缘层 64a,并在第二电极层 63 和场致发光层 62 之间具有绝缘层 64b。像这样,绝缘层可以设在与夹持场致发光层的一对电极层中的一方电极层之间或与双方电极层之间。此外,绝缘层可以为单层或由多个层构成的叠层。

[0228] 在图 13B 中,与第一电极层 60 接触地设置绝缘层 64,然而也可以将绝缘层和场致发光层的顺序反过来,与第二电极层 63 接触地设置绝缘层 64。

[0229] 对绝缘层如图 12A 至 12C 中的绝缘层 54 及在图 13A 至 13C 中的绝缘层 64 没有特别限制,然而它们优选具有高绝缘耐压和致密的膜性质,并优选具有高介电常数。例如,可以使用氧化硅 (SiO_2)、氧化钇 (Y_2O_3)、氧化钛 (TiO_2)、氧化铝 (Al_2O_3)、氧化钪 (HfO_2)、氧化钽 (Ta_2O_5)、钛酸钡 (BaTiO_3)、钛酸锶 (SrTiO_3)、钛酸铅 (PbTiO_3)、氮化硅 (Si_3N_4)、氧化锆 (ZrO_2) 等、它们的混合膜或两种以上的叠层膜。这些绝缘膜可以通过溅射、蒸镀、CVD 等来形成。此外,绝缘层可以通过将这些绝缘材料的颗粒分散在粘合剂中来形成。粘合剂材料通过使用与包含在场致发光层中的粘合剂相同的材料及方法来形成即可。膜厚度不特别限制,但优选在 10 至 1000nm 的范围内。

[0230] 本实施方式所示的显示元件可以通过在夹持场致发光层的一对电极层之间施加

电压而获得发光,并在直流驱动及交流驱动中的任一驱动下能够工作。

[0231] 实施方式 9

[0232] 在实施方式 1 至 8 中,主要以利用电致发光的显示装置为例子进行了说明。但是,本发明可以适用于各种各样的有源矩阵型显示装置。作为其他显示装置,可以举出如液晶显示装置、FED(Field Emission Display;场致发射显示器)等。

[0233] 实施方式 10

[0234] 此外,本发明可以适用于显示装置之外的各种各样的半导体装置(注意,半导体装置是包含显示装置的概念)。

[0235] 例如,有 DRAM(动态随机存取存储器)等的存储元件。在图 15A 中示出 DRAM 的电路图。以晶体管 401 的一方端子和单元板(cell plate)402(电容元件)连接的单位为一个单元。而且,由布线连接每个单元之间。此外,晶体管 401 的另一方端子与位线 403 连接。此外,晶体管 401 的栅极与字线 404 连接。

[0236] 下面,对 DRAM 的工作原理进行说明。当晶体管 401 为 N 型晶体管时,在数据写入期间中将正电压施加到位线 403 以及字线 404 来在单元板 402 中存储电荷。此外,在数据读出期间中将正电压施加到字线,来使存储在单元板 402 中的电荷流过位线 403。当晶体管 401 为 P 型晶体管时,只要在每个期间中施加极性相反的电压,即可。

[0237] 再者,单元板 402 的面积越大,电容越大。通过增加电容,可以抑制发生软错误(soft error)(因宇宙射线的冲击等而使存储在存储单元中的信息消失(改写)的错误)等。因此,需要增加电容元件的表面积,以增加电容元件的电容。

[0238] 这里,可以在相邻的电极之间设置布线,并在其下配置与电容元件连接的薄膜晶体管,并使薄膜晶体管的沟道形成区域的沟道宽度的方向与在所述布线中流过电流的方向平行或者与所述电极形状的长边方向平行,以谋求电容元件的电容增大。

[0239] 在本实施方式中,如图 16 所示那样使晶体管 401 的沟道宽度的方向与单元板 402(或电容元件的电极)形状的长边方向平行(在图 16 中的箭头形符号 7004)。晶体管 401 可以具有单栅结构或多栅结构。

[0240] DRAM 的结构可以是叠层型或沟槽型。叠层型通过如下方法形成:在形成绝缘膜之后,通过蚀刻该绝缘膜来在衬底上形成台阶,并将电容元件埋在该台阶中。相反,沟槽型通过如下方法形成:通过蚀刻衬底来形成台阶,并将电容元件埋在该台阶中。

[0241] 在叠层型 DRAM 的制造方法中,通过已知的方法在 SOI(绝缘体上硅)上形成晶体管,或者,根据实施方式 3 所述的方法制造 TFT。然后,形成绝缘膜(例如,可以使用丙烯酸、聚酰亚胺、硅氧烷、氧化硅、氮化硅等)。接着,在对所述绝缘膜进行构图之后,通过蚀刻形成台阶。

[0242] 其次,形成与晶体管的源极区域或漏极区域接触的下部电极(例如可以使用铝等的金属)。然后,形成介电膜(例如可以使用氧化钛、氧化钽、氮化硅、氧化硅等)。接着,形成上部电极(例如可以使用硅化钨、多晶硅等),以在台阶上形成电容元件。

[0243] 在沟槽型 DRAM 的制造方法中,首先对衬底进行构图,然后通过蚀刻在衬底上形成台阶。接着,通过已知的方法在 SOI(绝缘体上硅)上形成晶体管,或者,根据实施方式 3 所述的方法制造 TFT。

[0244] 其次,形成与晶体管的源极区域或漏极区域接触的下部电极(例如可以使用铝等

的金属)。然后,形成介电膜(例如可以使用氧化钛、氧化钽、氮化硅、氧化硅等)。接着,形成上部电极(例如可以使用硅化钨、多晶硅等),以在台阶上形成电容元件。

[0245] 本发明还可适用于除 DRAM 以外的元件,以谋求元件面积的扩大。图 15B 中示出可使用本发明的元件的电路图。以晶体管 411 的一方端子和元件 412 连接的单位为一个单元。另外,由布线连接每个单元之间。此外,晶体管 411 的另一方端子与第一布线 413 连接。此外,晶体管 411 的栅极与第二布线 414 连接。

[0246] 这里,可以在相邻的元件之间设置布线,并在其下配置与所述元件连接的薄膜晶体管,并使薄膜晶体管的沟道形成区域的沟道宽度的方向与在所述布线中流过电流的方向平行或者与所述元件形状的长边方向平行,以谋求元件面积的增大或元件数量的增加。

[0247] 作为元件 412,例如可以使用有机存储器、光电二极管、压电元件等。

[0248] 在使用有机存储器作为元件 412 的情况下,可以形成存储元件。作为有机存储器的方式,可以举出通过第一布线 413 和第二布线 414 的选择来实现电存储的方式;以及通过对使用了有机材料,即掺杂有光酸产生剂的共轭高分子材料的有机存储元件照射激光来实现光学存储的方式等。当形成有机存储元件时,需要一定程度的面积。另外,为了增加存储容量,增加存储元件个数是有效的。因此,采用本发明的结构是有效的,因为可以增加存储元件个数。

[0249] 另外,通过使用光电二极管作为元件 412,可以形成光传感器。作为光电二极管的种类,可以采用 PN 光电二极管、PIN 光电二极管、雪崩光电二极管、肖特基光电二极管等。光电二极管随着面积增大而提高光电转换效率,因此采用本发明的结构是有效的。

[0250] 另外,通过使用压电元件作为元件 412,可以形成压力传感器。再者,通过在同一衬底上形成压电元件和显示元件,可以形成触摸屏。作为压电元件,可以举出设有平行平板电容器的感压传感器、通过热扩散将 n 型杂质掺杂到 p 型硅结晶中并将被补偿的高电阻本征半导体区域用作应变计的应变计式压力传感器等。当形成压电元件时,需要一定程度的面积。另外,作为传感器的灵敏度随着面积增大而增高。因此,采用本发明的结构是有效的。

[0251] 如上所述,本发明可以适用于各种各样的半导体装置。

[0252] 实施方式 11

[0253] 本发明的显示装置可以适用于各种电子设备的显示部。尤其是,被要求薄型及轻量的移动设备优选采用本发明的显示装置。另外,本发明的半导体装置可以适用于各种电子设备。尤其是,被要求薄型及轻量的移动设备优选采用本发明的半导体装置。

[0254] 作为在框体中安装有本发明的显示装置或半导体装置的电子设备,可举出电视装置(也简称 TV、电视、或电视接收机)、影像拍摄装置(摄像机、数字照相机等)、头戴显示器、导航系统、音响再生装置(车用音响、组合音响等)、电脑、游戏机、携带信息终端(移动电脑、手机、携带型游戏机或电子书籍等)、具备记录媒体的图像再生装置(具体地说,再生诸如 DVD(数字多用途光盘),HDDVD(高清晰度 DVD)、蓝光盘(Blue-ray Disk)等之类的记录媒体并具备能够显示其图像的显示器的装置)、其它具有显示部的电子产品等。图 17A 至 17F 示出电子设备的具体例子。

[0255] 图 17A 表示携带信息终端,其包括主体 9201 和显示部 9202 等。

[0256] 图 17B 表示数字摄像机,其包括主体 9702 和显示部 9701 等。

[0257] 图 17C 表示携带终端,其包括主体 9101 和显示部 9102 等。

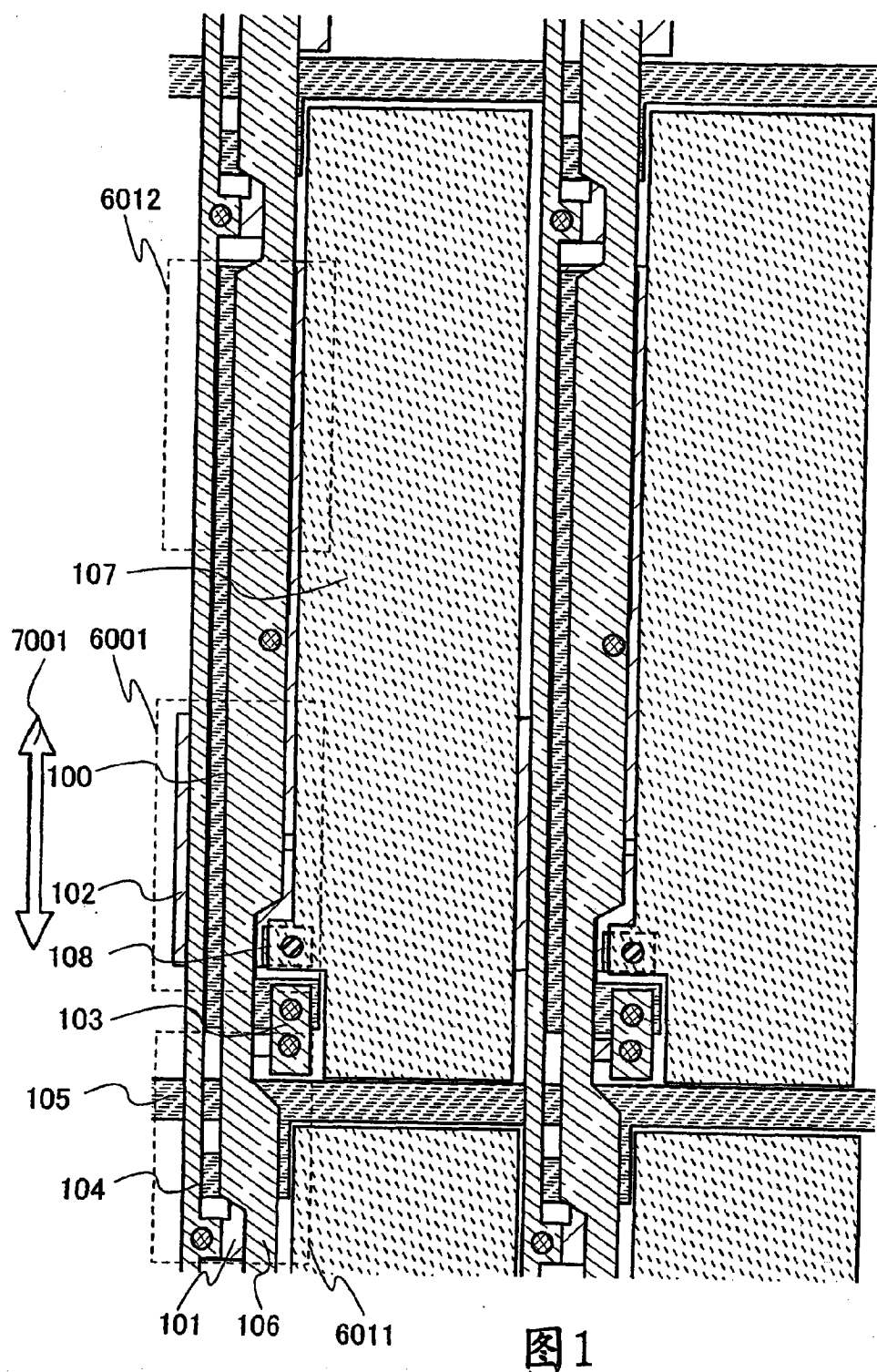
[0258] 图 17D 表示携带型电视装置,其包括主体 9301 和显示部 9302 等。这种电视装置可广泛地应用从搭载于手机等携带终端的小型直至可移动的中型、大型(如 40 英寸以上)电视装置。

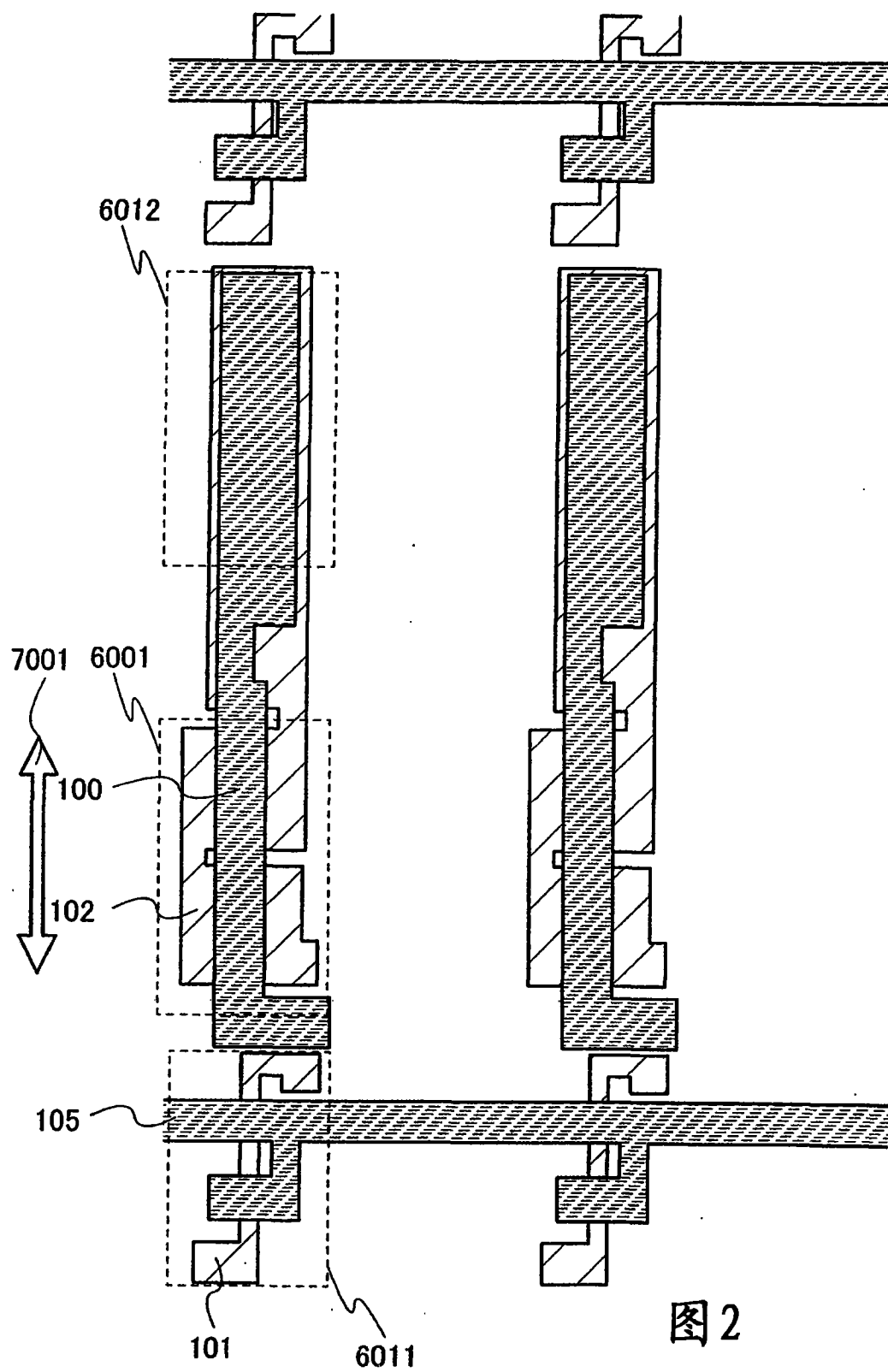
[0259] 图 17E 表示携带型电脑,其包括主体 9401 和显示部 9402 等。

[0260] 图 17F 表示电视装置,其包括主体 9501 和显示部 9502 等。

[0261] 如上所述,本发明的适用范围极为广泛,可应用于所有领域的电子设备的制造方法。

[0262] 本说明书根据 2006 年 7 月 21 日在日本专利局受理的日本专利申请编号 2006-199292 而制作,所述申请内容包括在本说明书中。





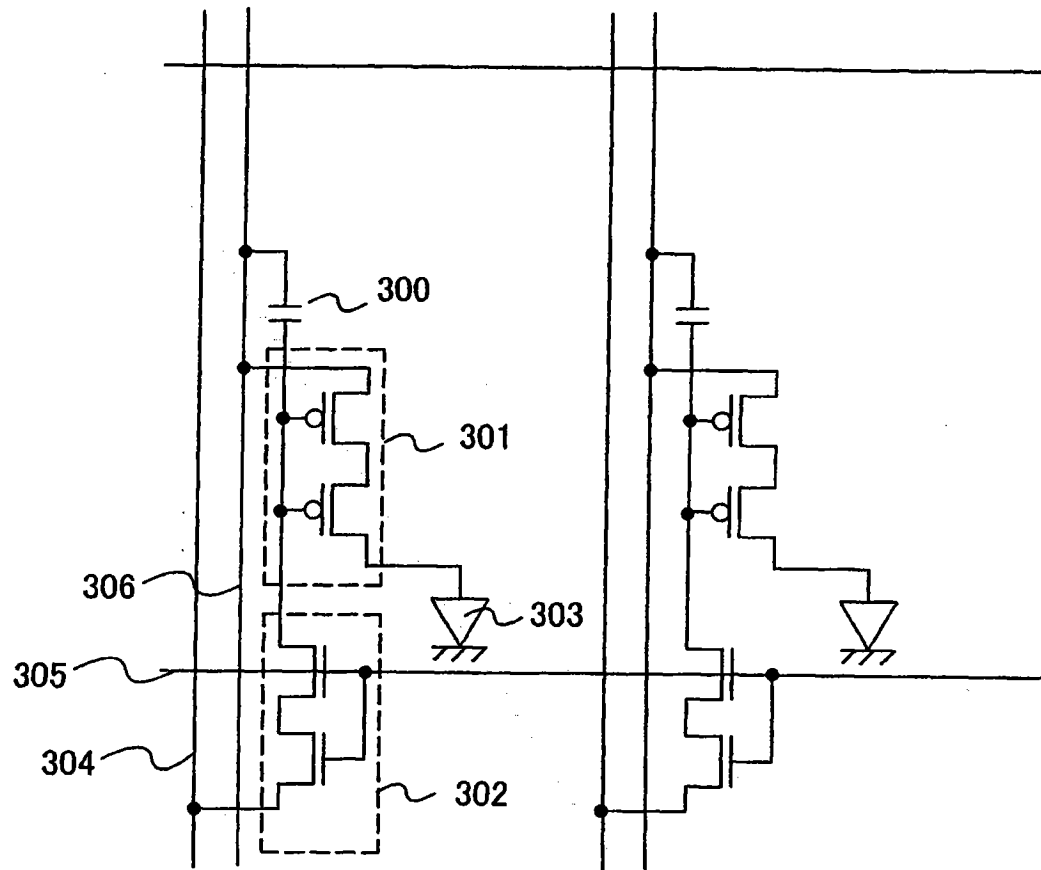


图 3

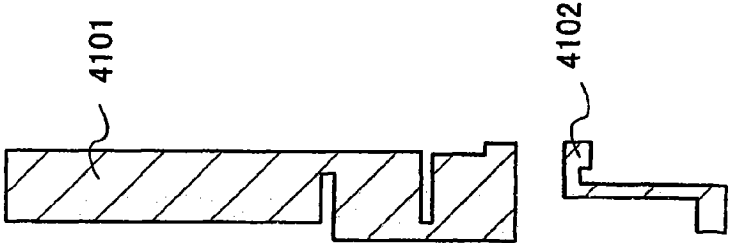


图 4A

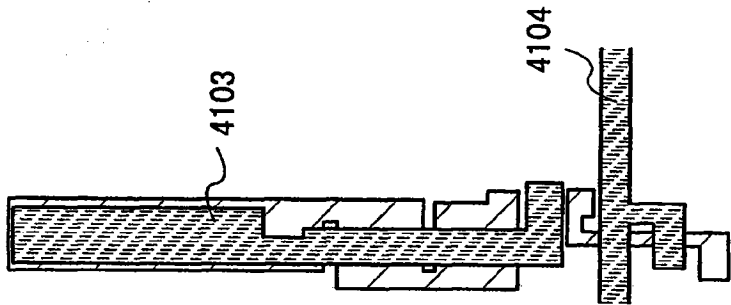


图 4B

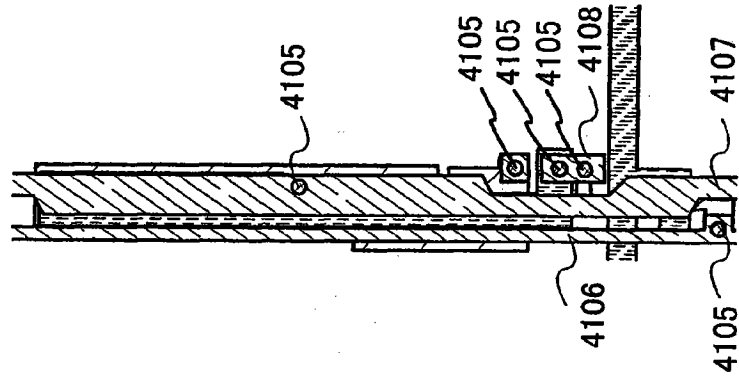


图 4C

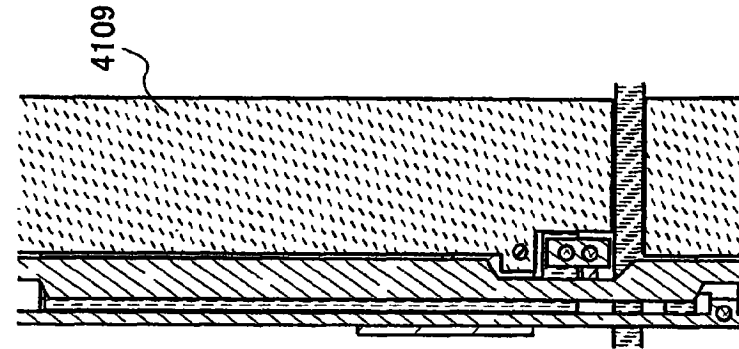


图 4D

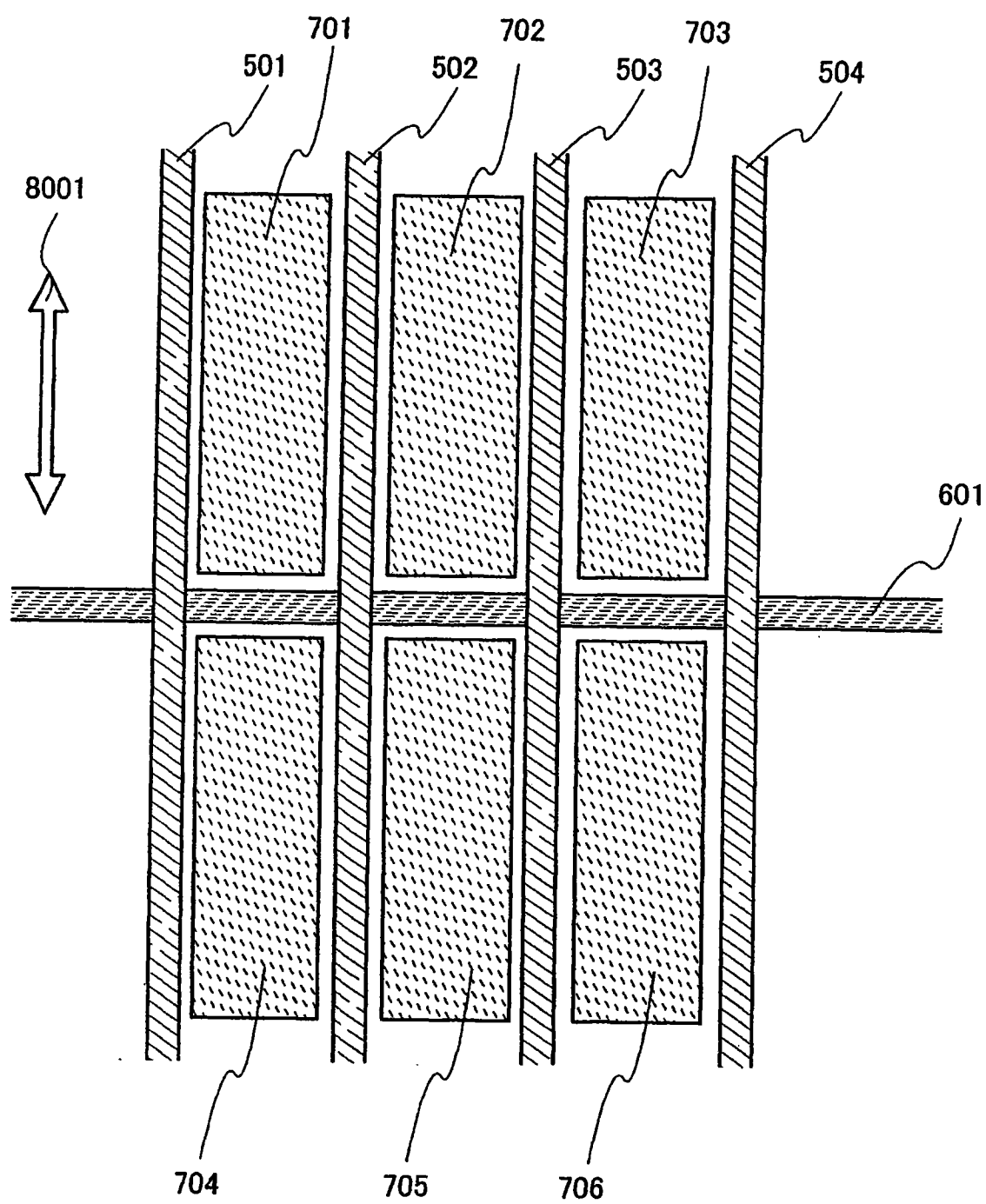


图 5

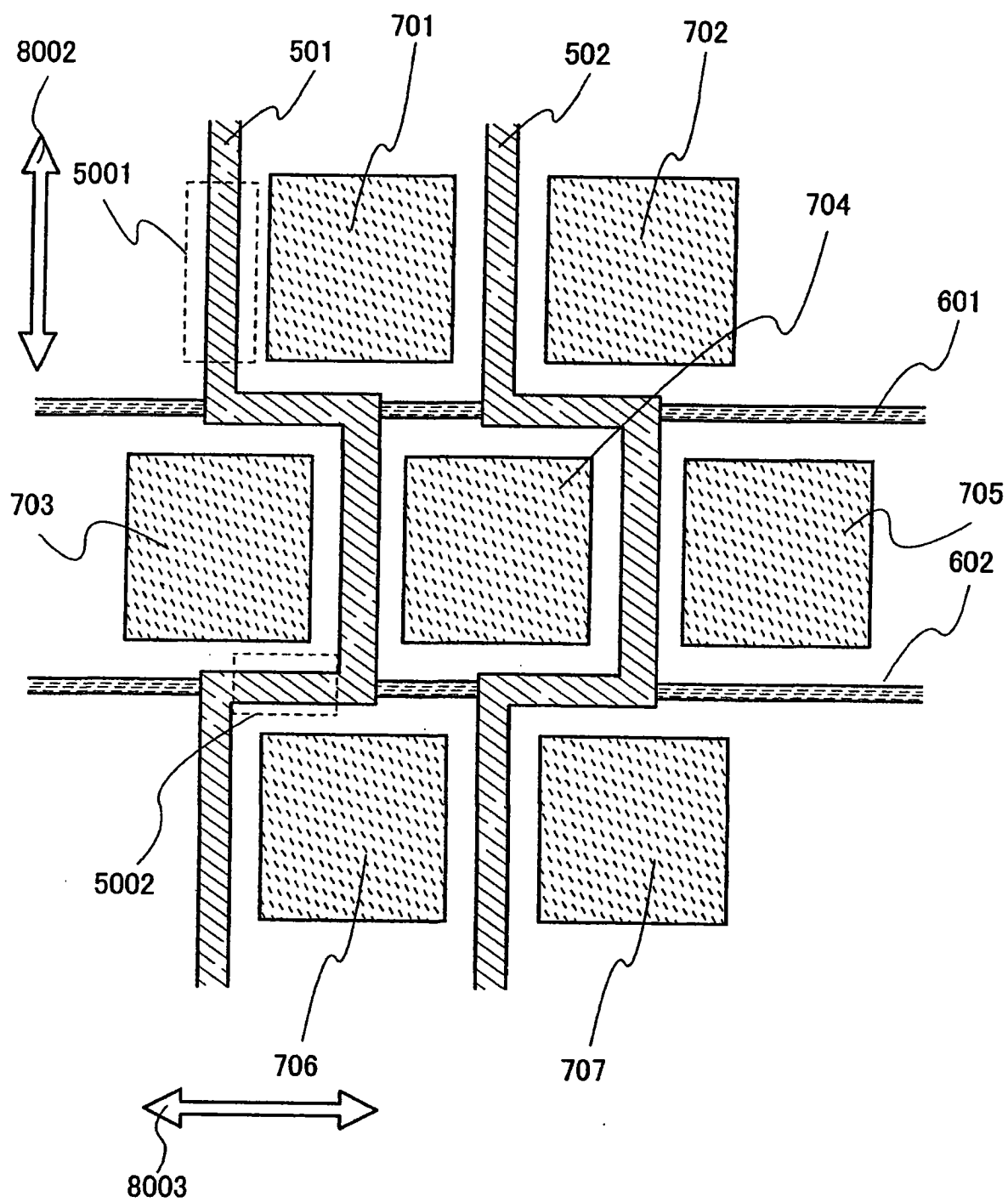


图 6

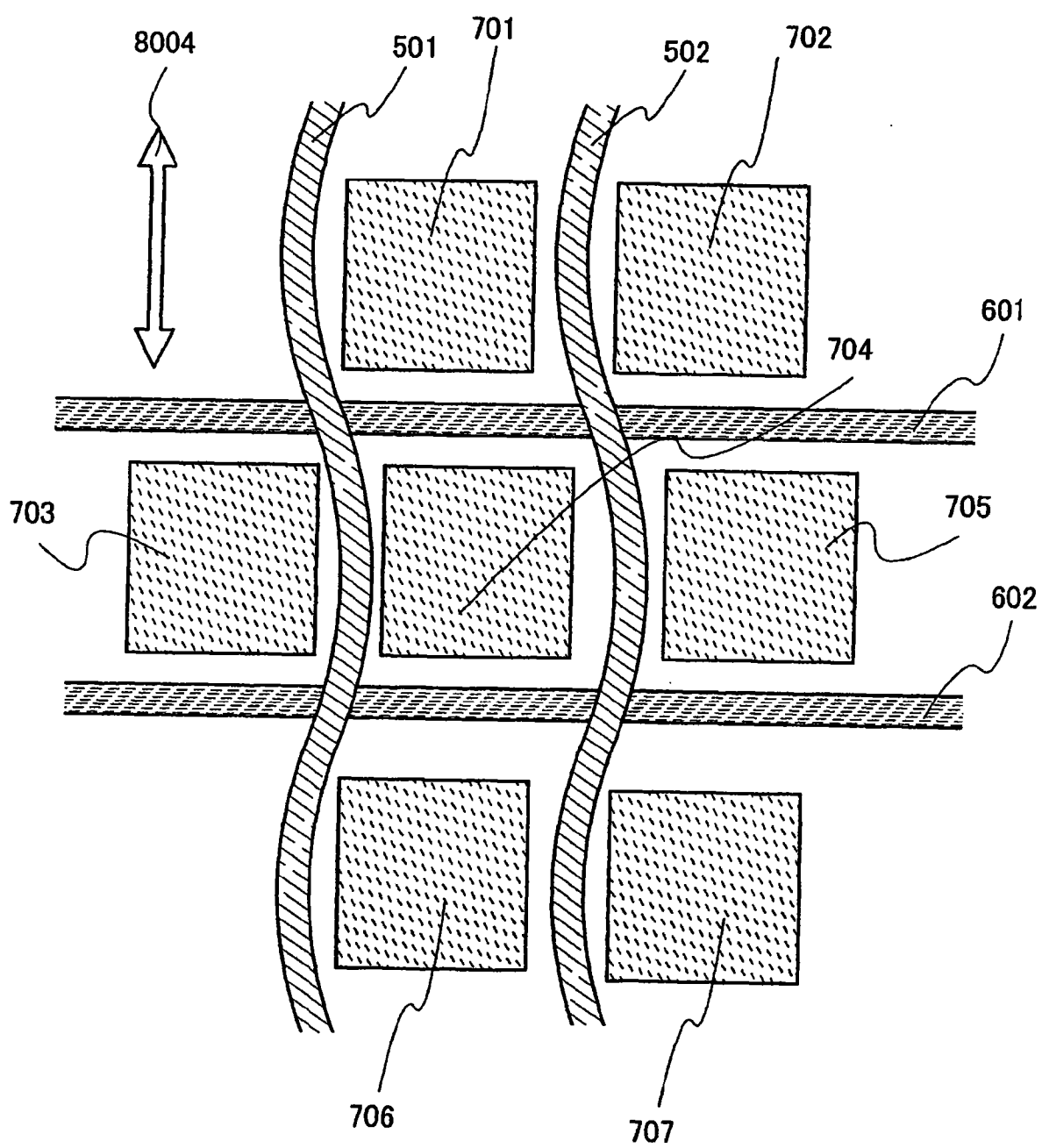


图 7

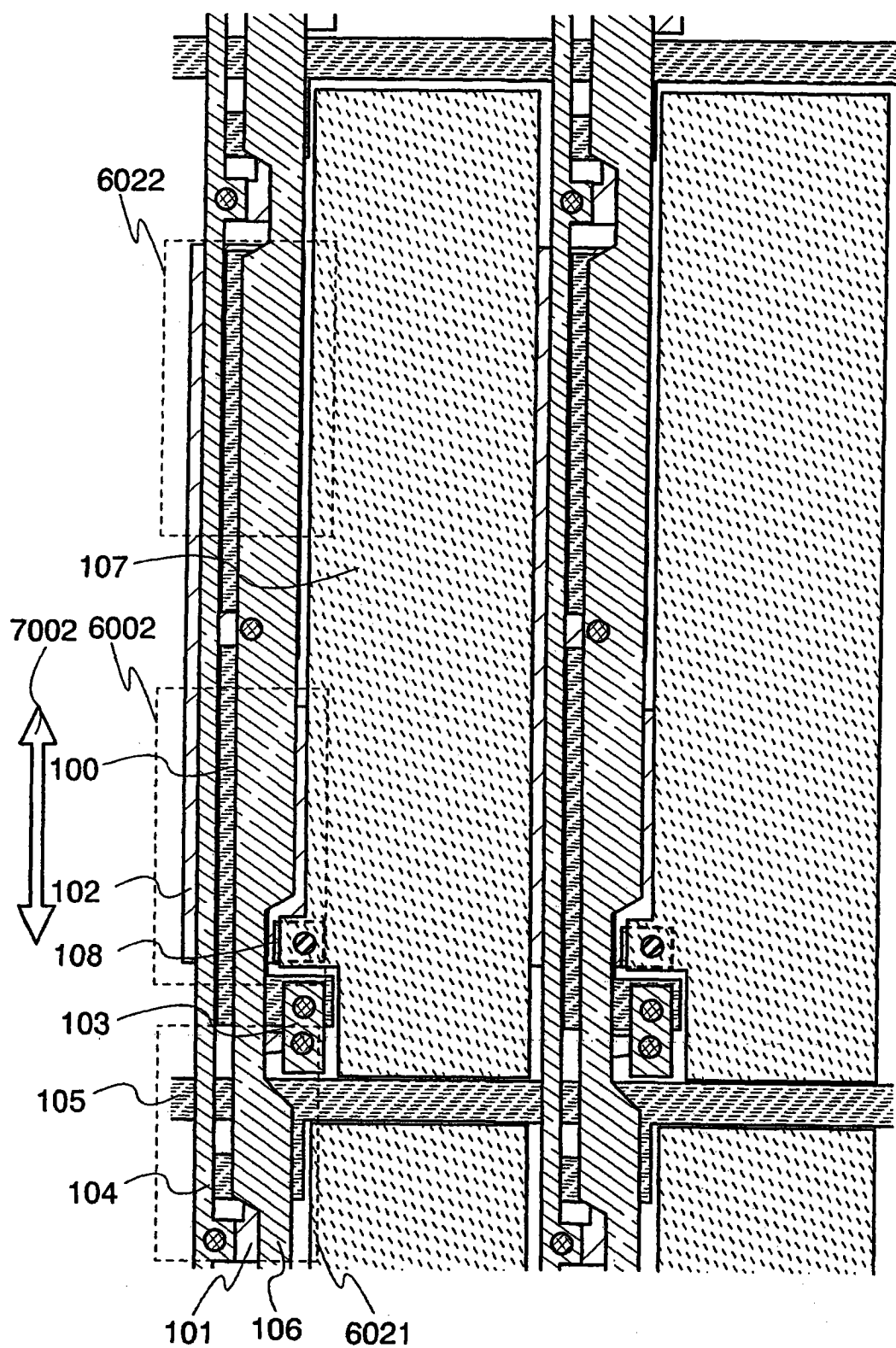
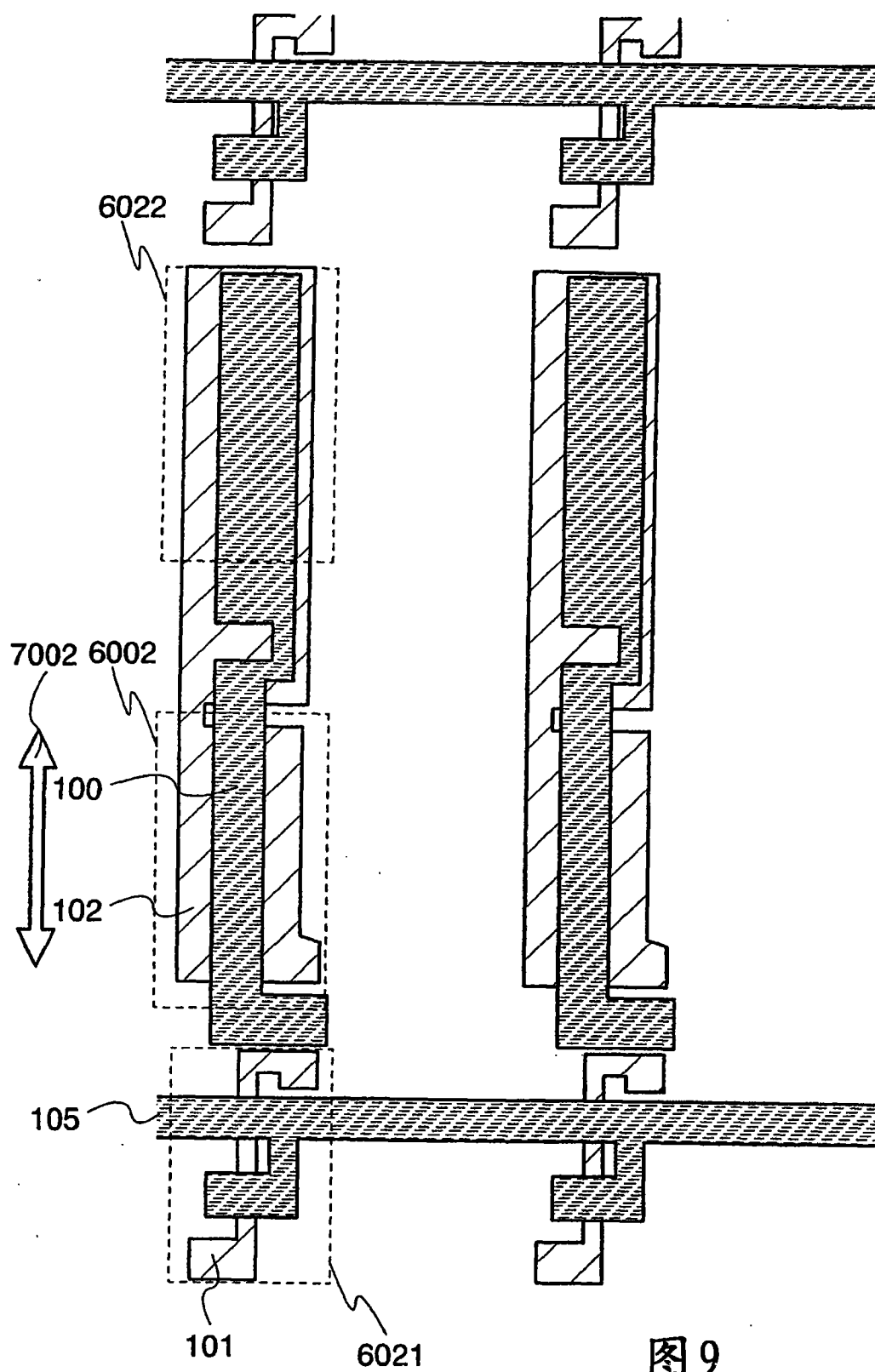


图 8



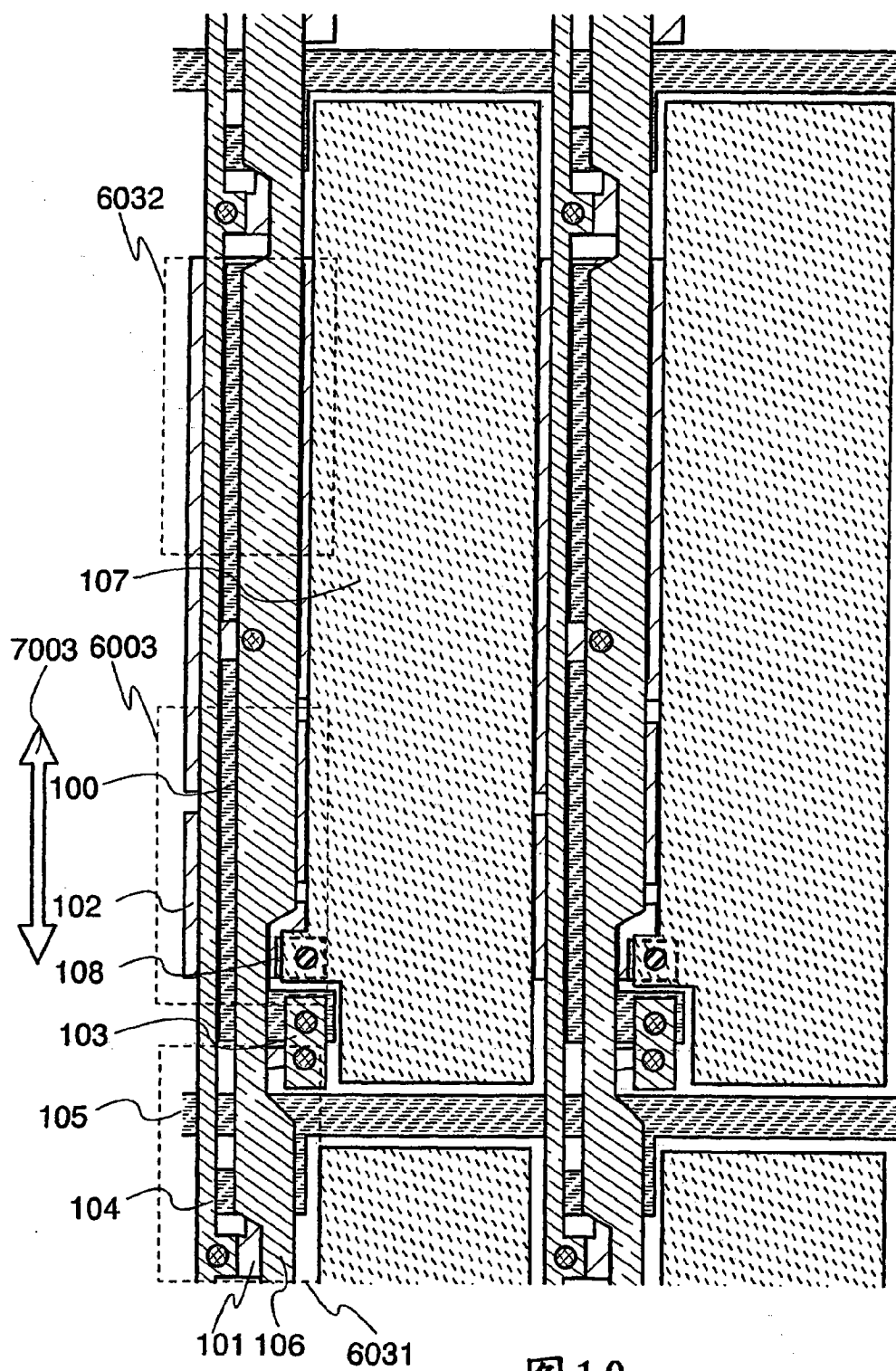


图10

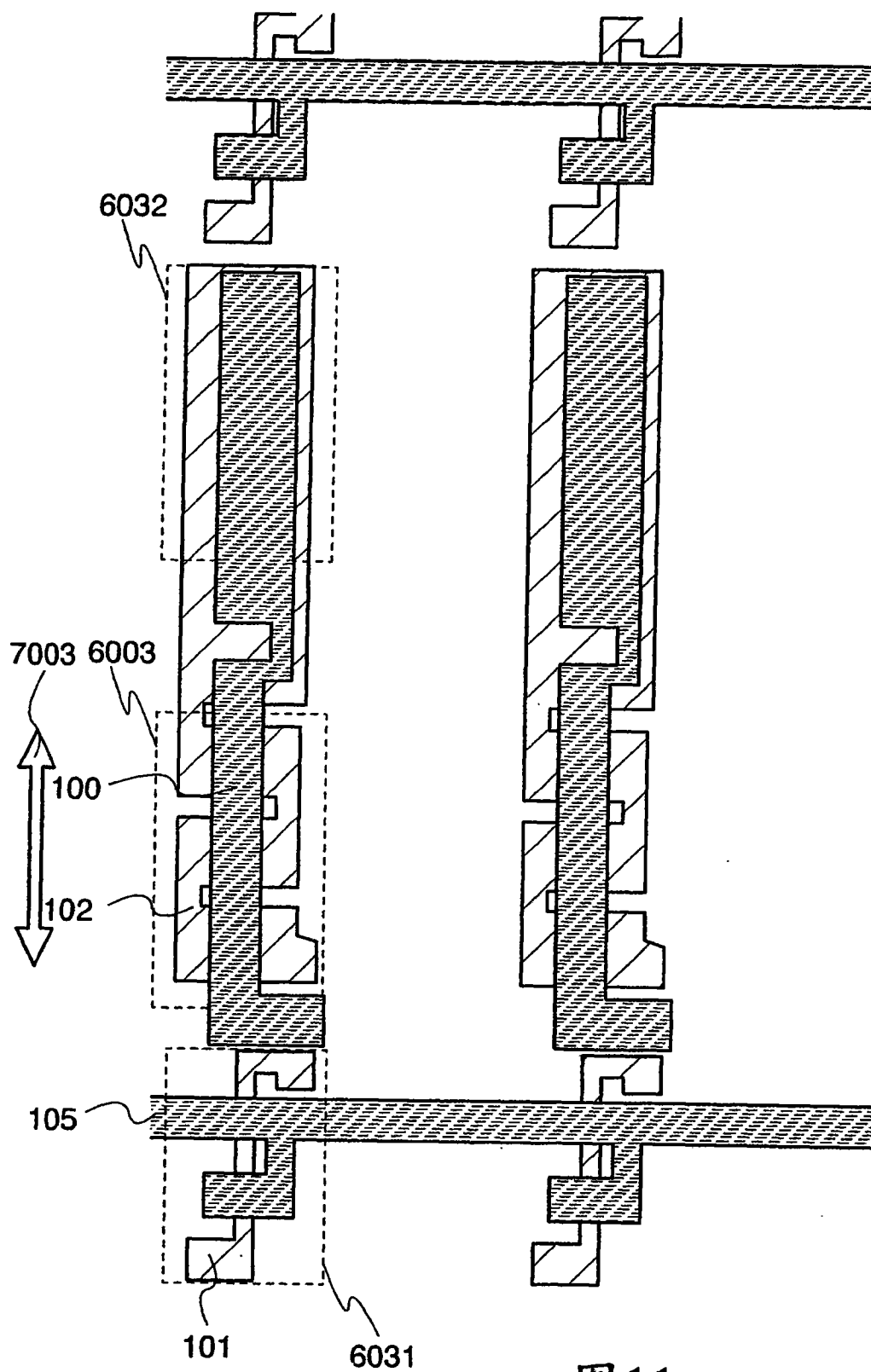


图11

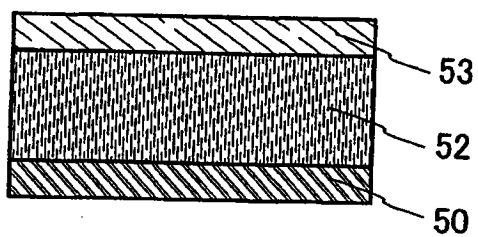


图 12A

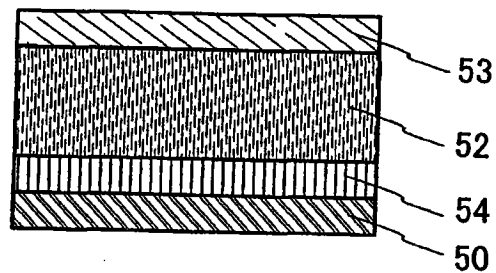


图 12B

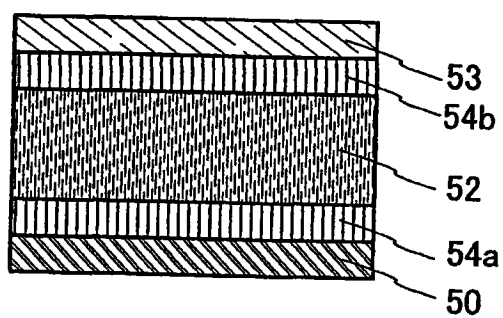


图 12C

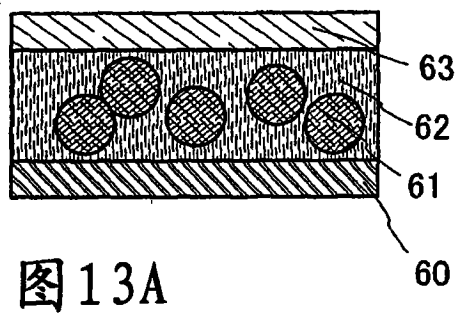


图 13A

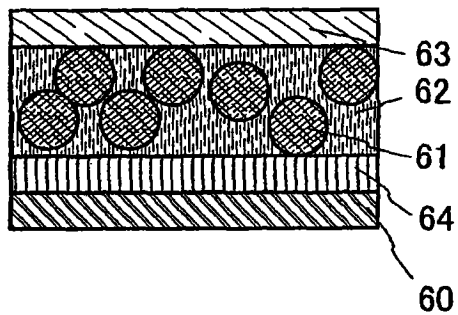


图 13B

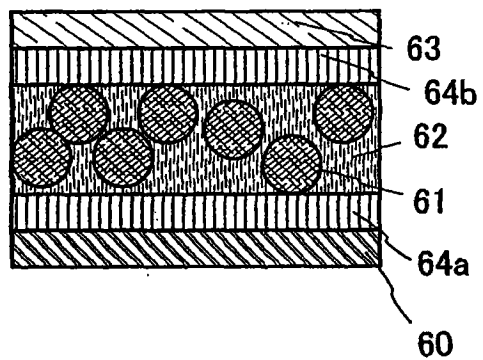


图 13C

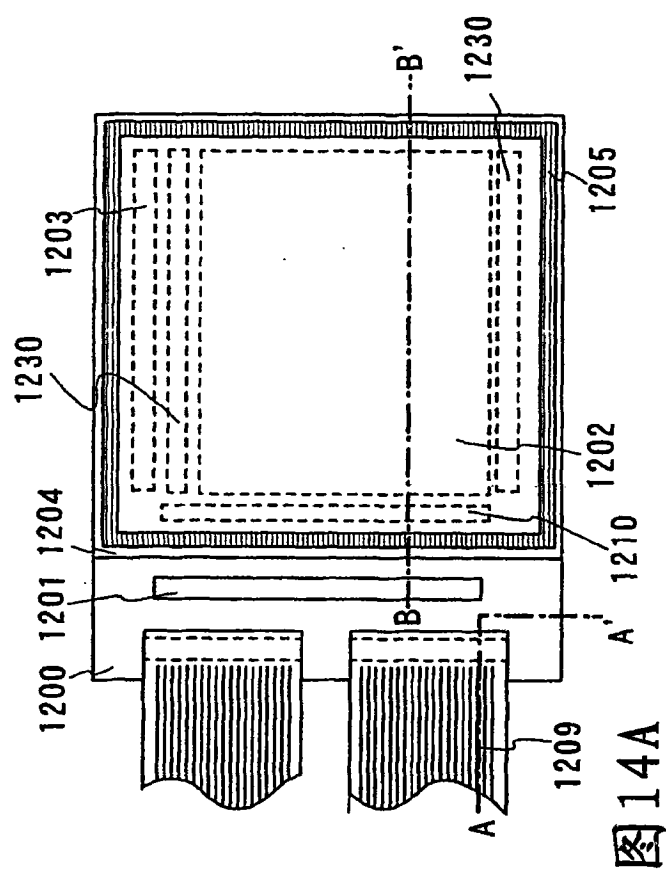


图 14A

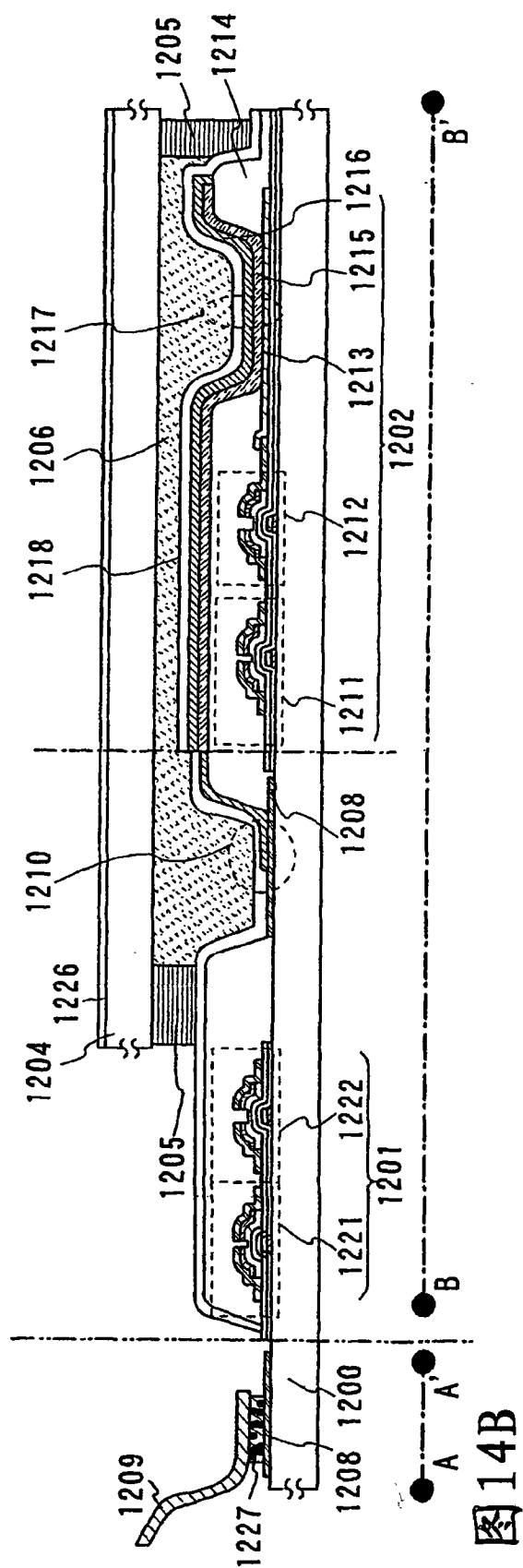


图 14B

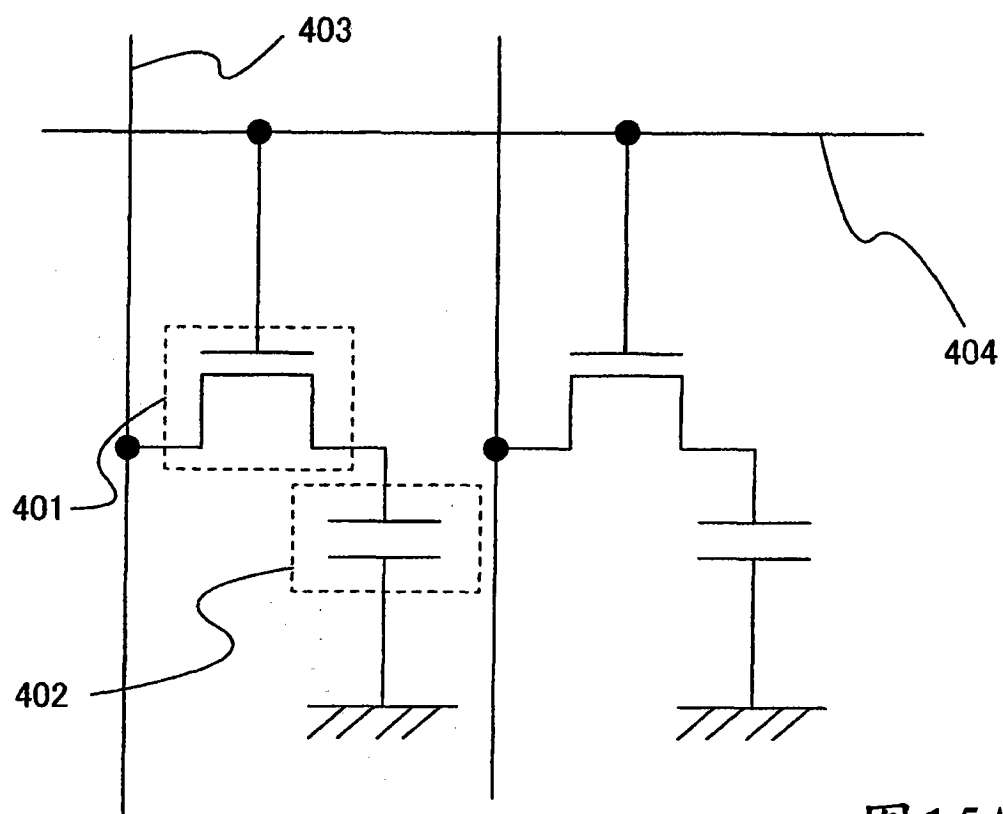


图15A

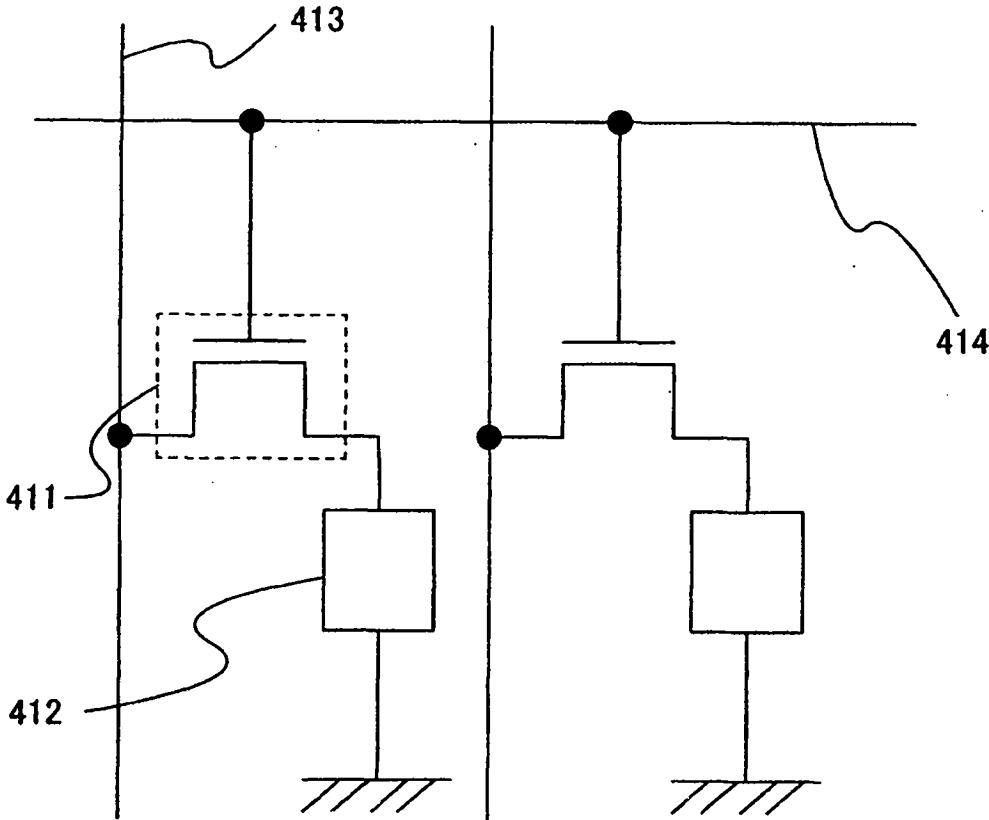


图 15B

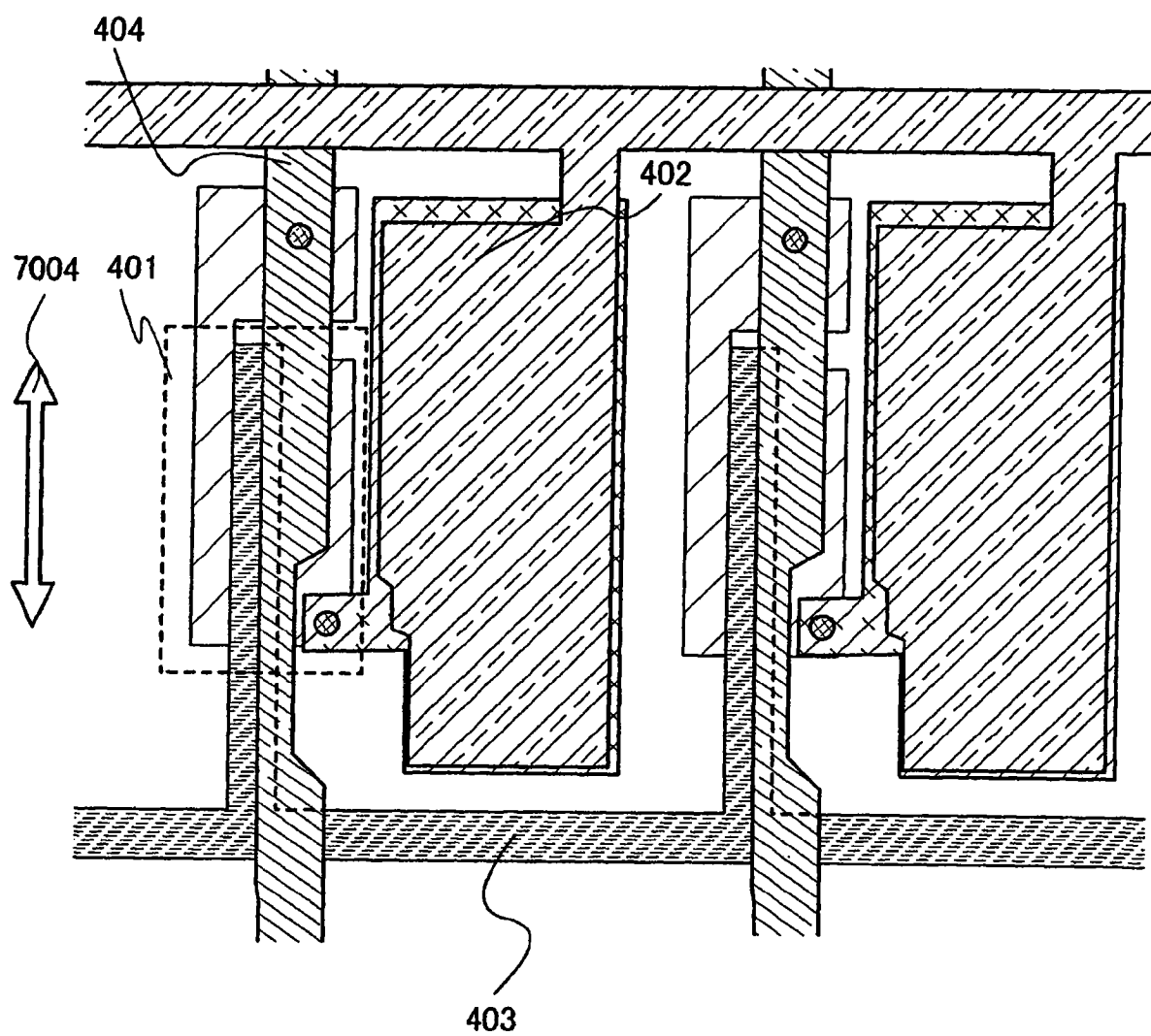


图 16

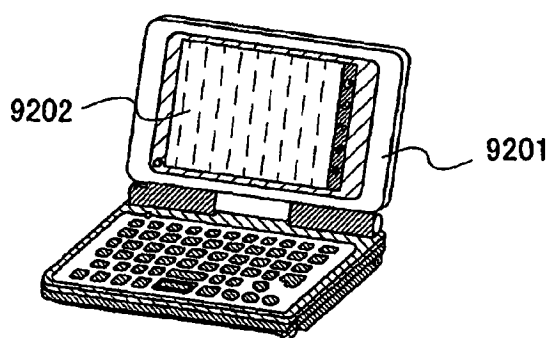


图 17A

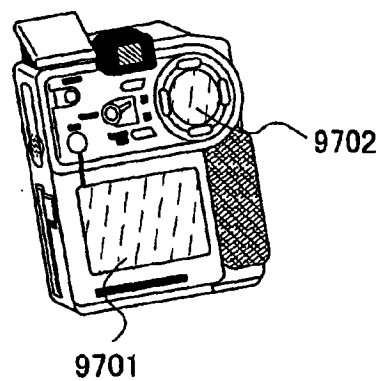


图 17B

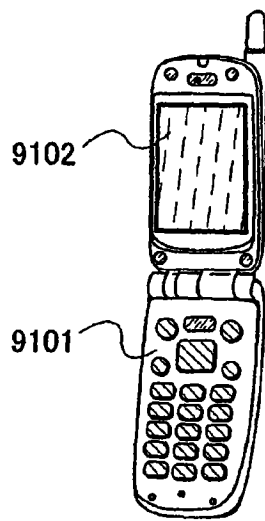


图 17C

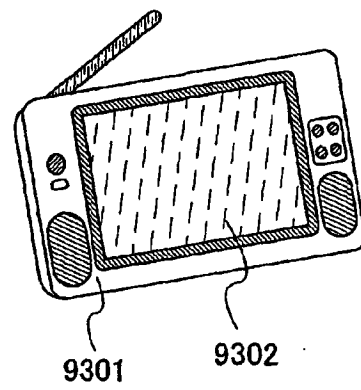


图 17D

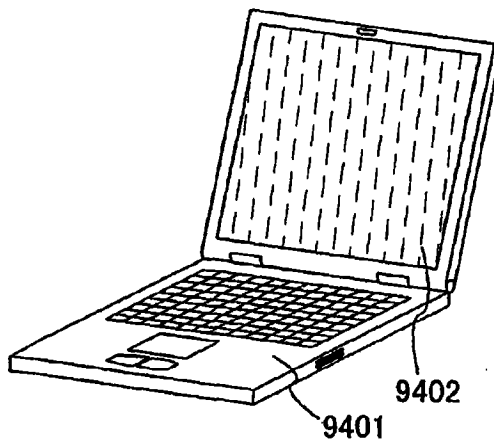


图 17E

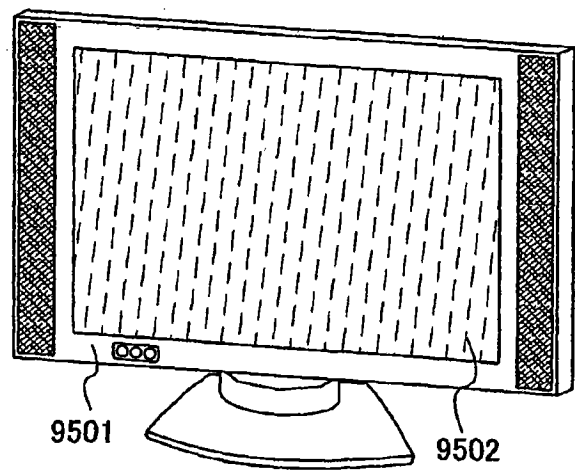


图 17F