

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7547558号
(P7547558)

(45)発行日 令和6年9月9日(2024.9.9)

(24)登録日 令和6年8月30日(2024.8.30)

(51)国際特許分類		F I			
G 0 9 G	3/20 (2006.01)	G 0 9 G	3/20	6 1 2 F	
G 0 9 G	3/36 (2006.01)	G 0 9 G	3/20	6 1 1 H	
		G 0 9 G	3/20	6 4 1 C	
		G 0 9 G	3/20	6 4 2 A	
		G 0 9 G	3/36		
請求項の数 3 (全25頁) 最終頁に続く					
(21)出願番号	特願2023-85319(P2023-85319)	(73)特許権者	308033711		
(22)出願日	令和5年5月24日(2023.5.24)		ラピスセミコンダクタ株式会社		
(62)分割の表示	特願2019-172858(P2019-172858)の分割		神奈川県横浜市港北区新横浜二丁目 4 番 地 8		
原出願日	令和1年9月24日(2019.9.24)	(74)代理人	110001025		
(65)公開番号	特開2023-99724(P2023-99724A)		弁理士法人レクスト国際特許事務所		
(43)公開日	令和5年7月13日(2023.7.13)	(72)発明者	土 弘		
審査請求日	令和5年5月24日(2023.5.24)		神奈川県横浜市港北区新横浜二丁目 4 番 8 ラピスセミコンダクタ株式会社内		
前置審査		(72)発明者	西水 学		
			大分県速見郡日出町大字大神 8 1 3 3 番 地 株式会社日出ハイテック内		
		審査官	塚本 丈二		
最終頁に続く					

(54)【発明の名称】 レベル電圧生成回路、データドライバ及び表示装置

(57)【特許請求の範囲】
【請求項 1】

異なるN個（Nは、N 2の整数）の入力電圧に基づいて、M個（Mは、M > Nの整数）のレベル電圧を生成するレベル電圧生成回路であって、
前記N個の入力電圧を各々が受け、前記N個の入力電圧を各々が増幅し、その増幅電圧を出力する出力端を有するN個の差動増幅器と、
前記N個の差動増幅器の出力端の各々に接続されたN個の電圧供給点と、前記N個の電圧供給点とは異なる位置に配置され、前記M個のレベル電圧を出力するM個の電圧出力点と、を有するラダー抵抗と、
前記M個の電圧出力点から出力される前記M個のレベル電圧を各々が受け、各々を介して前記M個のレベル電圧を出力するM本の配線からなる配線群と、
を備え、
前記N個の差動増幅器の一の差動増幅器は、前記N個の入力電圧のうちの一の入力電圧を入力対の一方に受け、
前記ラダー抵抗は、
前記M本の配線とは別個に設けられ、前記N個の電圧供給点のうちの一の電圧供給点を介して、前記N個の差動増幅器の一の差動増幅器の出力端に接続された第1の配線と、
前記M本の配線のうちの一の配線であって、前記一の電圧供給点に隣接する前記M個の電圧出力点の一つと、前記N個の差動増幅器の一の差動増幅器の入力対の他方との間に接続された第2の配線と、

10

を有し、

前記一の入力電圧に対応するレベル電圧が、前記M個の電圧出力点の一つから前記第2の配線を介して出力されることを特徴とするレベル電圧生成回路。

【請求項2】

複数本のデータ線を有する表示パネルに接続され、映像データ信号に対応する階調電圧信号を前記複数本のデータ線に供給するデータドライバであって、

前記データドライバへ供給される異なるN個(Nは、N²の整数)のガンマ基準電圧及びガンマ調整デジタル信号に基づいて、S個(Sは、S²の整数)のガンマ電圧を生成し、前記N個のガンマ基準電圧及び前記S個のガンマ電圧を増幅し、その増幅電圧を分圧して複数レベルの階調電圧を生成するガンマ電圧/階調電圧生成回路と、

10

前記ガンマ電圧/階調電圧生成回路から出力される前記複数レベルの階調電圧から前記映像データ信号に応じた階調電圧を選択するデコーダと、

前記デコーダで選択された前記階調電圧を増幅し、その増幅電圧をデータ信号として出力する出力アンプと、

を備え、

前記ガンマ電圧/階調電圧生成回路は、

前記N個のガンマ基準電圧を各々が受け、前記N個のガンマ基準電圧を各々が増幅して出力するN個のガンマアンプと、

前記N個のガンマアンプで夫々増幅されたN個の電圧が各々の電圧供給点へ供給され、前記N個の電圧を分圧した複数のレベル電圧を生成し各々の電圧出力点から出力する第1のラダー抵抗と、

20

前記第1のラダー抵抗から出力される複数のレベル電圧から、前記ガンマ調整デジタル信号に基づいて前記S個のガンマ電圧を夫々選択出力するガンマデコーダと、

前記S個のガンマ電圧を各々が受けて、その増幅電圧を各々が出力するS個のガンマアンプと、

前記N個のガンマアンプで夫々増幅されたN個の電圧及び前記S個のガンマアンプで夫々増幅されたS個の電圧が各々の電圧供給点へ供給され、前記N個及びS個の電圧を分圧した前記複数レベルの階調電圧を生成し各々の電圧出力点から出力する第2のラダー抵抗と、

を含み、

前記第1のラダー抵抗の前記N個の電圧が供給される電圧供給点と、前記N個の電圧を分圧した複数のレベル電圧を出力する電圧出力点は夫々前記第1のラダー抵抗の異なる位置に配置され、

30

前記N個のガンマアンプの一のガンマアンプは、前記N個のガンマ基準電圧の一つを入力対の一方に受け、前記一のガンマアンプの出力端が第1の配線を介して前記第1のラダー抵抗の電圧供給点の一つに接続され、前記一のガンマアンプの入力対の他方が前記第1の配線とは別個に設けられた第2の配線を介して前記第1のラダー抵抗の電圧出力点の一つに接続され、

前記N個のガンマ基準電圧の一つに対応したレベル電圧が、前記第1のラダー抵抗の前記電圧出力点の一つより、前記第2の配線を介して出力され、

前記第1の配線には前記一のガンマアンプの出力端から前記第1のラダー抵抗に供給される定常電流が流れる一方、前記第2の配線には定常電流が流れない、ことを特徴とするデータドライバ。

40

【請求項3】

複数のデータ線と、複数の走査線と、前記複数のデータ線と前記複数の走査線との交差部の各々に設けられた画素スイッチ及び画素部と、を有する表示パネルと、

パルス幅に応じた選択期間において前記画素スイッチをオンに制御する走査信号を前記複数の走査線に供給するゲートドライバと、

映像データ信号に対応する階調電圧信号を前記複数のデータ線に供給するデータドライバと、

を有する表示装置であって、

50

前記データドライバは、

前記データドライバへ供給される異なる N 個（ N は、 $N \geq 2$ の整数）のガンマ基準電圧及びガンマ調整デジタル信号に基づいて、 S 個（ S は、 $S \geq 2$ の整数）のガンマ電圧を生成し、前記 N 個のガンマ基準電圧及び前記 S 個のガンマ電圧を増幅し、その増幅電圧を分圧して複数レベルの階調電圧を生成するガンマ電圧／階調電圧生成回路と、

前記ガンマ電圧／階調電圧生成回路から出力される前記複数レベルの階調電圧から前記映像データ信号に応じた階調電圧を選択するデコーダと、

前記デコーダで選択された前記階調電圧を増幅し、その増幅電圧をデータ信号として出力する出力アンプと、

を有し、

前記ガンマ電圧／階調電圧生成回路は、

前記 N 個のガンマ基準電圧を各々が受け、前記 N 個のガンマ基準電圧を各々が増幅して出力する N 個のガンマアンプと、

前記 N 個のガンマアンプで夫々増幅された N 個の電圧が各々の電圧供給点へ供給され、前記 N 個の電圧を分圧した複数のレベル電圧を生成し各々の電圧出力点から出力する第1のラダー抵抗と、

前記第1のラダー抵抗から出力される複数のレベル電圧から、前記ガンマ調整デジタル信号に基づいて前記 S 個のガンマ電圧を夫々選択出力するガンマデコーダと、

前記 S 個のガンマ電圧を各々が受けて、その増幅電圧を各々が出力する S 個のガンマアンプと、

前記 N 個のガンマアンプで夫々増幅された N 個の電圧及び前記 S 個のガンマアンプで夫々増幅された S 個の電圧が各々の電圧供給点へ供給され、前記 N 個及び S 個の電圧を分圧した前記複数レベルの階調電圧を生成し各々の電圧出力点から出力する第2のラダー抵抗と、を含み、

前記第1のラダー抵抗の前記 N 個の電圧が供給される電圧供給点と、前記 N 個の電圧を分圧した複数のレベル電圧を出力する電圧出力点は夫々前記第1のラダー抵抗の異なる位置に配置され、

前記 N 個のガンマアンプの一のガンマアンプは、前記 N 個のガンマ基準電圧の一つを入力対の一方に受け、前記一のガンマアンプの出力端が第1の配線を介して前記第1のラダー抵抗の電圧供給点の一つに接続され、前記一のガンマアンプの入力対の他方が前記第1の配線とは別個に設けられた第2の配線を介して前記第1のラダー抵抗の電圧出力点の一つに接続され、

前記 N 個のガンマ基準電圧の一つに対応したレベル電圧が、前記第1のラダー抵抗の前記電圧出力点の一つより、前記第2の配線を介して出力され、

前記第1の配線には前記一のガンマアンプの出力端から前記第1のラダー抵抗に供給される定常電流が流れる一方、前記第2の配線には定常電流が流れない、ことを特徴とする表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、レベル電圧生成回路、データドライバ及び表示装置に関する。

【背景技術】

【0002】

近年、液晶や有機EL（Electro Luminescence）等の表示デバイスからなる表示装置の駆動方式として、アクティブマトリクス駆動方式が採用されている。アクティブマトリクス駆動方式の表示装置では、表示パネルは画素部及び画素スイッチをマトリクス状に配置した半導体基板（例えば、カラー4Kパネルの場合、 $3840 \times \text{RGB}$ 画素列 $\times 2160$ 画素行）で構成されている。ゲート信号により画素スイッチのオンオフを制御し、画素スイッチがオンになるときに映像データ信号に対応した階調電圧信号を画素部に供給して、各画素部の輝度を制御することにより、表示が行われる。画素スイッチへのゲート信号

10

20

30

40

50

の供給は、ゲートドライバにより走査線を介して行われる。また、画素部への階調電圧信号の供給は、データドライバによりデータ線を介して行われる。ゲートドライバが少なくとも2値のゲート信号を供給するのに対し、データドライバは、階調電圧に応じた多値レベルの階調電圧信号を供給する。

【0003】

アクティブマトリクス駆動方式の表示装置では、多階調化、高精細化及び高画質化のニーズから、データドライバから出力される階調電圧（以下、出力電圧とも称する）の高精度化が求められている。特に、データドライバとして複数のデータドライバIC（Integrated Circuit）を用いる表示パネルでは、データドライバIC間の出力電圧のばらつきが、表示むらを引き起こす原因となる。データドライバIC間の出力電圧のばらつきは、例えば5mV以下となることが要求される。データドライバIC間の出力電圧のばらつきは、主に各データドライバIC内のレベル電圧生成回路の電圧精度に起因する。

10

【0004】

レベル電圧生成回路は、データドライバICに内蔵され、ガンマ電圧／階調電圧生成回路に含まれる。ガンマ電圧／階調電圧生成回路は、ガンマ基準電圧から複数のガンマ電圧を生成するレベル電圧生成回路と、複数のガンマ電圧から階調電圧に対応する電圧を生成するレベル電圧生成回路を備える。ガンマ電圧／階調電圧生成回路で生成された階調電圧信号は、D/A（Digital/Analog）変換部に供給される。D/A変換部は、データドライバICの出力毎に設けられた複数のデコード及び出力アンプと、から構成される。ガンマ電圧／階調電圧生成回路で生成された複数のレベル電圧は、複数のデコードの各々に共通に供給される。各デコードは、データドライバICの外部から入力される映像デジタル信号に応じて、複数のレベル電圧の中から1又は所定数のレベル電圧を選択し、対応する出力アンプに供給する。各出力アンプは、デコードで選択されたレベル電圧を演算増幅した階調電圧信号を出力する。

20

【0005】

ガンマ電圧／階調電圧生成回路には、例えばガンマ基準電圧の供給をそれぞれ受ける一対のアンプが設けられており、当該一対のアンプの各々はガンマ基準電圧を電流増幅して第1のラダー抵抗の両端に供給する。第1のラダー抵抗からは、ガンマ基準電圧を分圧した複数レベルのガンマ電圧が出力される。複数のガンマデコードは、外部入力されたガンマ調整デジタル信号に基づいて第1のラダー抵抗の出力電圧から異なるガンマ電圧を選択し、複数のアンプに供給する。当該複数のアンプは、複数のガンマデコードにより選択された複数のガンマ電圧を電流増幅して第2のラダー抵抗に供給する。第2のラダー抵抗からは、複数のガンマ電圧を分圧した複数のレベル電圧が階調電圧に対応する電圧として出力される。

30

【0006】

図11Aは、ガンマ電圧／階調電圧生成回路における、ガンマ基準電圧の第1のラダー抵抗又は第2のラダー抵抗への供給部分の一例を模式的に示す平面図である。なお、ここではラダー抵抗の一端側のみを示している。また、図11Bは、図11AにおけるAA線に沿った断面図である。

【0007】

ラダー抵抗は、抵抗層52、複数のメタル配線及びコンタクト（図11Aでは、メタル配線m0、m1及びm2、コンタクトcn0、cn1及びcn2）から構成されている。抵抗層52は、例えば半導体基板や絶縁性基板等の基板上に薄膜を形成することにより構成されている。メタル配線m0は、コンタクトcn0を介して抵抗層52に接続されている。メタル配線m1は、コンタクトcn1を介して抵抗層52に接続されている。メタル配線m2は、コンタクトcn2を介して抵抗層52に接続されている。

40

【0008】

ラダー抵抗は、予め作成された抵抗設計値及び抵抗層52のシート抵抗に基づく寸法で電圧設計値に応じた電圧が取り出されるように、抵抗層52、メタル配線m0、m1及びm2、コンタクトcn0、cn1及びcn2がレイアウトされている。例えば、抵抗設計

50

値 R_0 、 R_1 により分圧した抵抗層 52 上の電圧設計値を V_{gs0} 、 V_{gs1} 及び V_{gs2} とした場合、抵抗層 52 上の分圧地点にコンタクト c_{n0} 、 c_{n1} 及び c_{n2} を設置することで、メタル配線 m_0 、 m_1 及び m_2 から電圧 V_{gs0} 、 V_{gs1} 及び V_{gs2} が取り出されることが期待される。

【0009】

アンプ 51 は、例えば、ガンマ基準電圧 V_{G0} の供給を非反転入力端に受け、これを電流増幅した出力電圧 V_{out} を出力する。アンプ 51 から出力された出力電圧 V_{out} は、アンプ 51 の反転入力端に印加されるとともに、メタル配線 m_0 及びコンタクト c_{n0} を介して抵抗層 52 の抵抗 R_0 の領域の境界（電圧供給点）に供給される。また、メタル配線 m_0 、 m_1 及び m_2 からは、ラダー抵抗の出力電圧（すなわち、分圧電圧）が取り出される。なお、アンプ 51 の非反転入力端と反転入力端とが互いに同一電圧のときを安定状態とすると、安定状態においてアンプ 51 の出力電圧 V_{out} はガンマ基準電圧 V_{G0} と等しい。

10

【0010】

抵抗層 52 のコンタクト c_{n0} が接続される抵抗 R_0 の領域の境界点は、抵抗層 52 上の電圧供給点且つ電圧出力点となる。メタル配線 m_0 にはアンプ 51 の出力電圧 V_{out} ($= V_{G0}$) が供給され、メタル配線 m_0 から電圧 V_{G0} が取り出される。

【0011】

アンプ 51 は、ラダー抵抗の一端付近に設けられており、ガンマ基準電圧 V_{G0} を電流増幅した電圧を出力電圧 V_{out} ($= V_{G0}$) としてメタル配線 m_0 に供給する。ラダー抵抗の他端付近には、例えばアンプ 51 と対をなす位置にガンマ電圧を出力するアンプ（図示せず）が設けられている。抵抗層 52 には、当該ガンマ電圧とアンプ 51 から供給されたガンマ基準電圧 V_{G0} との電圧差に応じた電流が流れる。また、当該電流は、メタル配線 m_0 及びコンタクト c_{n0} にも流れる。ここで、メタル配線 m_0 の抵抗値が十分小さく、無視できる値であるとする、メタル配線 m_0 に印加されるガンマ基準電圧 V_{G0} と抵抗層 52 上の電圧供給点且つ電圧出力点の電圧 V_{gs0} との間には、コンタクト c_{n0} の抵抗 R_c に応じた電圧差 V_c が生じる。すなわち、メタル配線 m_0 の電圧 V_{G0} と抵抗層 52 上の電圧 V_{gs0} との関係は、 $V_{G0} = V_{gs0} + V_c$ となる。

20

【0012】

一方、ラダー抵抗の電圧出力端であるメタル配線 m_1 及び m_2 は、階調電圧信号の出力部をなすアンプのゲート部分に接続されている。そのため、メタル配線 m_1 、 m_2 及びコンタクト c_{n1} 、 c_{n2} には定常電流が流れない。従って、メタル配線 m_1 及び m_2 からは、抵抗層 52 上の電圧 V_{gs1} 及び V_{gs2} がそのまま取り出される。

30

【0013】

メタル配線 m_0 とメタル配線 m_1 との間の抵抗値は、設計抵抗値である抵抗値 R_0 ではなく、抵抗値 R_0 にコンタクト c_{n0} の抵抗 R_c が加算された抵抗値となる。このため、ラダー抵抗から出力される分圧電圧には、電圧間での相対的な誤差が生じる。

【0014】

このような分圧電圧間における相対誤差を解消するため、アンプ 51 から出力電圧 V_{out} の供給を受ける電圧供給点と電圧 V_{gs0} を出力する電圧出力点とを抵抗層 52 上において分離した構成を有するマルチレベル電圧発生器が提案されている（例えば、特許文献 1）。

40

【0015】

かかるマルチレベル電圧発生器では、例えば抵抗層 52 の抵抗 R_0 の領域よりも外側（すなわち、ラダー抵抗の端部側）に抵抗 R_r の領域を設け、抵抗 R_r の領域の最外部にコンタクト c_{n0a} を介してメタル配線 m_{0a} を接続する。そして、アンプ 51 の出力電圧 V_{out} をメタル配線 m_0 を介して抵抗層 52 に供給する一方、ラダー抵抗の出力電圧をメタル配線 m_{0a} から取り出す。このとき抵抗層 52 には定常電流は流れないため、コンタクト c_{n0} が接続される抵抗層 52 の電圧供給点と、コンタクト c_{n0a} が接続される抵抗層 52 の電圧出力点の電圧は等しく、電圧 V_{gs0} となる。かかる構成によれば、抵

50

抗設計値 R_0 及び R_1 の分圧比に応じた電圧をラダー抵抗のメタル配線 m_0a から出力することができるため、分圧電圧の相対誤差を改善することができる。

【先行技術文献】

【特許文献】

【0016】

【文献】特開2008-146028号公報

【発明の概要】

【発明が解決しようとする課題】

【0017】

上記先行技術文献のようなマルチレベル電圧発生器によれば、ラダー抵抗から出力される分圧電圧の電圧間の相対誤差を改善することができるが、メタル配線 m_0a から出力される出力電圧 V_{gs0} と、出力期待値であるガンマ基準電圧 V_{G0} との間には依然としてコンタクト c_{n0} の抵抗 R_c に応じた電圧 V_c の差異が存在する。すなわち、ラダー抵抗からの出力電圧と出力電圧の期待値との間には、絶対的な誤差が生じることになる。またコンタクトの抵抗値は、抵抗層に比べて一般的に抵抗値のばらつきが大きい。

【0018】

そして、異なるデータドライバIC間で抵抗層とメタル配線とを接続するコンタクトの抵抗値にばらつきが生じると、データドライバ内部で生成されるレベル電圧に誤差が生じるため、データドライバから出力される階調電圧信号にも誤差が生じ、表示ムラの原因となるという問題があった。

【0019】

本発明は上記問題点に鑑みてなされたものであり、データドライバIC間の出力電圧にばらつきを抑制し、ムラのない表示を行うことが可能な表示装置を提供することを目的とする。

【課題を解決するための手段】

【0020】

本発明に係るレベル電圧生成回路は、異なる N 個 (N は、 $N \geq 2$ の整数) の入力電圧に基づいて、 M 個 (M は、 $M > N$ の整数) のレベル電圧を生成するレベル電圧生成回路であって、前記 N 個の入力電圧を各々が受け、前記 N 個の入力電圧を各々が増幅して出力する出力端を有する N 個の差動増幅器と、前記 N 個の差動増幅器の出力端の各々に接続された N 個の電圧供給点と、前記 N 個の電圧供給点とは異なる位置に配置され、前記 M 個のレベル電圧を出力する M 個の電圧出力点と、を有するラダー抵抗と、を備え、前記ラダー抵抗は、前記 N 個の電圧供給点のうちの一の電圧供給点を介して、前記 N 個の差動増幅器の一の差動増幅器の出力端に接続された第1の配線と、前記一の電圧供給点に隣接する前記 M 個の電圧出力点の一つと、前記 N 個の差動増幅器の一の差動増幅器の入力対の一方との間に接続された第2の配線と、を有することを特徴とする。

【0021】

また、本発明に係るデータドライバは、複数本のデータ線を有する表示パネルに接続され、映像データ信号に対応する階調電圧信号を前記複数本のデータ線に供給するデータドライバであって、前記データドライバへ供給される異なる N 個 (N は、 $N \geq 2$ の整数) の基準電圧に基づいて、前記 N 個の基準電圧を分圧した M 個 (M は、 $M > N$ の整数) のガンマ電圧を生成し、増幅器により増幅出力するガンマ電圧生成回路と、前記ガンマ電圧生成回路から出力される前記 M 個のガンマ電圧に基づいて、前記映像データ信号に応じた前記階調電圧信号を生成する階調電圧出力部と、を備え、前記ガンマ電圧生成回路は、前記 N 個の入力電圧を各々が受け、前記 N 個の入力電圧を各々が増幅して出力する出力端を有する N 個の差動増幅器と、前記 N 個の差動増幅器の出力端の各々に接続された N 個の電圧供給点と、前記 N 個の電圧供給点とは異なる位置に配置され、前記 M 個のレベル電圧を出力する M 個の電圧出力点と、を有するラダー抵抗と、を有し、前記ラダー抵抗は、前記 N 個の電圧供給点のうちの一の電圧供給点を介して、前記 N 個の差動増幅器の一の差動増幅器の出力端に接続された第1の配線と、前記一の電圧供給点に隣接する前記 M 個の電圧出力

10

20

30

40

50

点の一つと、前記 N 個の差動増幅器の一の差動増幅器の入力対の一方との間に接続された第2の配線と、を有することを特徴とする。

【0022】

また、本発明に係る表示装置は、複数のデータ線と、複数の走査線と、前記複数のデータ線と前記複数の走査線との交差部の各々に設けられた画素スイッチ及び画素部と、を有する表示パネルと、パルス幅に応じた選択期間において前記画素スイッチをオンに制御する走査信号を前記複数の走査線に供給するゲートドライバと、映像データ信号に対応する階調電圧信号を前記複数のデータ線に供給するデータドライバと、を有する表示装置であって、前記データドライバは、前記データドライバへ供給される異なる N 個（ N は、 N 2の整数）の基準電圧に基づいて、前記 N 個の基準電圧を分圧した M 個（ M は、 $M > N$ の整数）のガンマ電圧を生成し、増幅器により増幅出力するガンマ電圧生成回路と、前記ガンマ電圧生成回路から出力される前記 M 個のガンマ電圧に基づいて、前記映像データ信号に応じた前記階調電圧信号を生成する階調電圧出力部と、を有し、前記ガンマ電圧生成回路は、前記 N 個の入力電圧を各々が受け、前記 N 個の入力電圧を各々が増幅して出力する出力端を有する N 個の差動増幅器と、前記 N 個の差動増幅器の出力端の各々に接続された N 個の電圧供給点と、前記 N 個の電圧供給点とは異なる位置に配置され、前記 M 個のレベル電圧を出力する M 個の電圧出力点と、を有するラダー抵抗と、を有し、前記ラダー抵抗は、前記 N 個の電圧供給点のうちの一の電圧供給点を介して、前記 N 個の差動増幅器の一の差動増幅器の出力端に接続された第1の配線と、前記一の電圧供給点に隣接する前記 M 個の電圧出力点の一つと、前記 N 個の差動増幅器の一の差動増幅器の入力対の一方との間に接続された第2の配線と、を有することを特徴とする。

10

20

【発明の効果】

【0023】

本発明に係るレベル電圧生成回路によれば、データドライバIC間の出力電圧ばらつきを抑制し、ムラのない表示を行うことが可能となる。

【図面の簡単な説明】

【0024】

【図1】本発明に係る表示装置の構成を示すブロック図である。

【図2】本発明に係るデータドライバの内部構成を示すブロック図である。

【図3】本発明に係る階調電圧生成部の構成を示すブロック図である。

30

【図4A】実施例1のレベル電圧生成回路の構成を模式的に示す平面図である。

【図4B】図4Aのレベル電圧生成回路のAA線における断面図である。

【図5】レベル電圧生成回路の端部に形成されたフィードバック回路の等価回路である。

【図6A】比較例のレベル電圧生成回路の構成を模式的に示す平面図である。

【図6B】図6Aのレベル電圧生成回路のAA線における断面図である。

【図7A】実施例2のレベル電圧生成回路の構成を模式的に示す平面図である。

【図7B】図7Aのレベル電圧生成回路のAA線における断面図である。

【図8】実施例2のフィードバック回路の等価回路である。

【図9】実施例3のレベル電圧生成回路の構成を模式的に示す平面図である。

【図10】実施例4のレベル電圧生成回路の構成を模式的に示す平面図である。

40

【図11A】レベル電圧生成回路の構成を模式的に示す平面図である。

【図11B】図11Aのレベル電圧生成回路のAA線における断面図である。

【発明を実施するための形態】

【0025】

以下に本発明の好適な実施例を詳細に説明する。なお、以下の各実施例における説明及び添付図面においては、実質的に同一または等価な部分には同一の参照符号を付している。

【実施例1】

【0026】

図1は、本発明に係る表示装置100の構成を示すブロック図である。表示装置100は、アクティブマトリクス駆動方式の液晶表示装置である。表示装置100は、表示パネ

50

ル 1 1、表示コントローラ 1 2、ゲートドライバ 1 3 A 及び 1 3 B、データドライバ 1 4 - 1 ~ 1 4 - p、及び基準電圧生成部 1 5 を含む。なお各ブロックには、電源 IC から各ブロックに必要な複数の電源電圧が供給されるが、図面が煩雑になるため記載を省略している。

【 0 0 2 7 】

表示パネル 1 1 は、複数の画素部 P 1 1 ~ P n m 及び画素スイッチ M 1 1 ~ M n m (n , m : 2 以上の自然数) がマトリクス状に配置された半導体基板から構成されている。表示パネル 1 1 は、n 本のゲート線 G L 1 ~ G L n と、これに交差するように配された m 本のデータ線 D L 1 ~ D L m と、を有する。画素部 P 1 1 ~ P n m 及び画素スイッチ M 1 1 ~ M n m は、ゲート線 G L 1 ~ G L n 及びデータ線 D L 1 ~ D L m の交差部に設けられて

10

【 0 0 2 8 】

画素スイッチ M 1 1 ~ M n m は、ゲートドライバ 1 3 A 及び 1 3 B から供給されるゲート信号 V g 1 ~ V g n に応じてオン又はオフに制御される。画素部 P 1 1 ~ P n m は、データドライバ 1 4 - 1 ~ 1 4 - p から映像データに対応した階調電圧信号 V d 1 ~ V d m の供給を受ける。画素スイッチ M 1 1 ~ M n m がそれぞれオンのときに、階調電圧信号 V d 1 ~ V d m が画素部 P 1 1 ~ P n m の各画素電極に供給され、各画素電極が充電される。画素部 P 1 1 ~ P n m の各画素電極における階調電圧信号 V d 1 ~ V d m に応じて画素部 P 1 1 ~ P n m の輝度が制御され、表示が行われる。

【 0 0 2 9 】

表示装置 1 0 0 が液晶表示装置である場合、画素部 P 1 1 ~ P n m の各々は、画素スイッチを介してデータ線と接続される透明電極と、半導体基板と対向して設けられ且つ面全体に 1 つの透明な電極が形成された対向基板との間に封入された液晶と、を含む。表示装置内部のバックライトに対して、画素部 P 1 1 ~ P n m に供給された階調電圧信号 V d 1 ~ V d m と対向基板電圧との電圧差に応じて液晶の透過率が変化することにより、表示が行われる。

20

【 0 0 3 0 】

表示コントローラ 1 2 は、クロックパルスの周期 (以下、クロック周期と称する) が一定のクロック信号 C L K を生成する。そして、表示コントローラ 1 2 は、クロック信号 C L K のクロックタイミングに応じて、映像データ信号 V D S をデータドライバ 1 4 - 1 ~ 1 4 - p に供給する。映像データ信号 V D S は、所定数のデータ線毎に伝送路の数に応じてシリアル化された映像データ信号として構成されている。

30

【 0 0 3 1 】

また、表示コントローラ 1 2 は、各種の設定を含む制御信号 C S を映像データ信号 V D S に追加する。クロック信号 C L K は、例えば埋め込みクロック方式で形成され、映像データ信号 V D S、制御信号 C S、クロック信号 C L K を一体化したシリアル信号として各データドライバ 1 4 - 1 ~ 1 4 - p に供給し、各映像データ V D の表示制御を行う。

【 0 0 3 2 】

また、表示コントローラ 1 2 は、表示パネル 1 1 の両端に設けられたゲートドライバ 1 3 A 及び 1 3 B に対し、ゲートタイミング信号 G S を供給する。

40

【 0 0 3 3 】

ゲートドライバ 1 3 A 及び 1 3 B は、表示コントローラ 1 2 から供給されたゲートタイミング信号 G S に基づいて、ゲート信号 V g 1 ~ V g n をゲート線 G L 1 ~ G L n に供給する。

【 0 0 3 4 】

データドライバ 1 4 - 1 ~ 1 4 - p は、データ線 D L 1 ~ D L m を分割した所定数のデータ線毎に設けられている。データドライバ 1 4 - 1 ~ 1 4 - p の各々は、半導体 IC (Integrated Circuit) チップに形成されている。例えば、データドライバ 1 個あたり 9 6 0 出力を有し、表示パネルが 1 画素列あたりデータ線 1 本を備えている場合、4 K パネルは 1 2 個、8 K パネルは 2 4 個のデータドライバでデータ線が駆動される。データドライ

50

バ 1 4 - 1 ~ 1 4 - p は、表示コントローラ 1 2 から、それぞれ別々の伝送路で、制御信号 C S、クロック信号 C L K 及び映像データ信号 V D S が一体化されたシリアル信号の供給を受ける。表示コントローラ 1 2 と各データドライバ間の伝送路が 1 ペア (2 本) の場合、 1 データ期間に、データドライバの出力数分の映像データ V D 及び制御信号 C S がシリアル化された差動信号として供給される。

【 0 0 3 5 】

基準電圧生成部 1 5 は、ガンマ基準電圧 V G 0 及び V G 5 を生成し、データドライバ 1 4 - 1 ~ 1 4 - p の各々へ供給する。

【 0 0 3 6 】

図 2 は、データドライバ 1 4 - 1 の内部構成を示すブロック図である。なお、他のデータドライバ 1 4 - 2 ~ 1 4 - p も同様の構成を有している。

10

【 0 0 3 7 】

データドライバ 1 4 - 1 は、データラッチ部 1 4 1、制御部 1 4 2、ガンマ電圧 / 階調電圧生成部 2 0、デコーダ 3 0 - 1 ~ 3 0 - k、出力アンプ 4 0 - 1 ~ 4 0 - k を含む。

【 0 0 3 8 】

制御部 1 4 2 は、表示コントローラ 1 2 から送られるシリアル信号を受けて、それをデシリアル化して、制御信号 C S、クロック信号 C L K 及び映像データ信号 V D S を取り出す。そして、制御部 1 4 2 は、制御信号 C S に基づき、映像データ信号 V D S とラッチクロック信号 C L K A をデータラッチ部 1 4 1 へ出力する。また、制御部 1 4 2 は、表示パネル 1 1 の逆ガンマ特性に沿った電圧 (以下、ガンマ電圧と称する) を指定するガンマ調整デジタル信号 G D S をガンマ電圧 / 階調電圧生成部 2 0 へ供給する。

20

【 0 0 3 9 】

データラッチ部 1 4 1 は、制御部 1 4 2 から送出された映像データ信号 V D S に含まれる画素データ P D の系列を順次取り込む。この際、データラッチ部 1 4 1 は、 1 水平走査ライン分 (n 個) の画素データ P D のうち、データドライバ 1 4 - 1 が供給対象とする階調電圧信号に対応する k 個の画素データ P D が取り込まれる度に、ラッチクロック信号 C L K A に同期したタイミングで k 個の画素データ P D を画素データ P 1 ~ P k として、デコーダ 3 0 - 1 ~ 3 0 - k に夫々供給する。

【 0 0 4 0 】

ガンマ電圧 / 階調電圧生成部 2 0 は、入力されたガンマ基準電圧 V G 0 及び V G 5 と、制御部 1 4 2 から出力されたガンマ調整デジタル信号 G D S に基づき、表示パネル 1 1 の逆ガンマ特性に沿ったガンマ電圧を生成し、更に表示パネル 1 1 で表示可能な輝度レベルを q 階調 (例えば、 2 5 6 階調) で表す階調電圧 V g s 0 ~ V g s (q - 1) を生成し、デコーダ 3 0 - 1 ~ 3 0 - k の各々に供給する。

30

【 0 0 4 1 】

デコーダ 3 0 - 1 ~ 3 0 - k の各々は、階調電圧 V g s 0 ~ V g s (q - 1) のうちから、自身が受けた画素データ P D にて示される輝度レベルに対応した少なくとも 1 つの階調電圧を選択し、出力アンプ 4 0 - 1 ~ 4 0 - k に供給する。

【 0 0 4 2 】

出力アンプ 4 0 - 1 ~ 4 0 - k の各々は、例えば自身の出力端子が自身の反転入力端子 (-) と接続されている、いわゆるオペアンプからなるボルテージフォロワ回路である。

40

【 0 0 4 3 】

出力アンプ 4 0 - 1 ~ 4 0 - k は、デコーダ 3 0 - 1 ~ 3 0 - k から出力された各階調電圧を夫々の非反転入力端子 (+) で受け、夫々が受けた階調電圧に応じた電圧を出力端子に増幅出力することで、各階調電圧に対応したデータ信号 V d 1 ~ V d k を生成する。データ信号 V d 1 ~ V d k は、画素駆動信号として表示パネル 1 1 のデータ線 D L 1 ~ D L k に供給される。

【 0 0 4 4 】

図 3 は、ガンマ電圧 / 階調電圧生成部 2 0 の内部構成の一例を示す回路図である。ガンマ電圧 / 階調電圧生成部 2 0 は、ガンマアンプ 2 1 - 1 ~ 2 1 - 6、第 1 のラダー抵抗 2

50

2、ガンマデコーダ23A～23D、及び第2のラダー抵抗24を含む。

【0045】

ガンマアンプ21-1は、基準電圧生成部15から供給されたガンマ基準電圧VG0を電流増幅し、第1のラダー抵抗22の一端に供給する。ガンマアンプ21-2は、基準電圧生成部15から供給されたガンマ基準電圧VG5を電流増幅し、第1のラダー抵抗22の他端に供給する。

【0046】

第1のラダー抵抗22は、異なる複数の位置に設けられた電圧出力端を有し、ガンマ基準電圧VG0及びVG5の間の電圧を、例えば線形に分圧した互いに電圧値の異なる複数レベルの出力電圧を生成する。

10

【0047】

ガンマデコーダ23A、23B、23C及び23Dは、ガンマ調整デジタル信号GDSの入力を受け、当該ガンマ調整デジタル信号GDSに基づいて第1のラダー抵抗22の複数レベルの出力電圧からガンマ電圧VG1～VG4を選択し、ガンマアンプ21-3～21-6の入力端に供給する。

【0048】

ガンマアンプ21-3～21-6は、ガンマ電圧VG1～VG4を電流増幅して第2のラダー抵抗24に供給する。

【0049】

第2のラダー抵抗24は、ガンマ基準電圧VG0、ガンマ電圧VG1～VG4、及びガンマ基準電圧VG5の間の電圧を分圧した互いに電圧値の異なる複数レベルの出力電圧を生成し、階調電圧Vgs0～Vgs(q-1)として出力する。第2のラダー抵抗24は、異なる複数の位置に設けられた電圧出力端を有し、各々の電圧出力端間の抵抗値は、表示パネル11の逆ガンマ特性に応じて設計されている。ガンマ電圧/階調電圧生成部20から出力された階調電圧Vgs0～Vgs(q-1)は、データドライバの出力毎に設けられたデコーダ30-1～30-kに供給される。デコーダ30-1～30-kは、デジタル信号Q1～Qkに基づき、上記階調電圧から1又は複数の電圧を選択して、出力アンプ40-1～40-kの入力端へ供給する。

20

【0050】

すなわち、第1のラダー抵抗22の出力は、ガンマデコーダを介してガンマアンプ21-3～21-6の入力端に供給され、第2のラダー抵抗24の出力は、デコーダを介して出力アンプ40-1～40-kの入力端に供給される。ここで、アンプの入力端は容量性負荷となっているので、第1及び第2のラダー抵抗の出力から容量性負荷へは定常電流は流れない。

30

【0051】

ガンマアンプ21-1及び21-2の各々と第1のラダー抵抗22との接続部分には、複数レベルのガンマ電圧を生成するレベル電圧生成回路が形成されている。図3では、レベル電圧生成回路のうち、第1のラダー抵抗22の一方の端部とガンマアンプ21-1との接続部分に位置する回路ブロックを、レベル電圧生成回路A1として示している。なお、第1のラダー抵抗22の他方の端部とガンマアンプ21-2との接続部分にも同様の回路ブロックが形成されている。

40

【0052】

レベル電圧生成回路A1は、ガンマアンプ21-1及び第1のラダー抵抗22の一部を含み、ガンマ基準電圧VG0及びVG5を分圧した電圧(すなわち、第1のラダー抵抗22の出力電圧)をガンマデコーダ23Aに供給するガンマ電圧供給部としての機能を有する。

【0053】

図4Aは、レベル電圧生成回路A1の構成を示す模式図である。第1のラダー抵抗22は、例えば半導体基板や絶縁性基板等の基板(図示せず)上に薄膜を用いて形成されており、ここでは第1のラダー抵抗22を構成する抵抗層25の一部を上面視した平面図をガ

50

ンマアンプ 2 1 - 1 の回路図とともに示している。

【 0 0 5 4 】

レベル電圧生成回路 A 1 は、図示せぬ基板上に薄膜を用いて形成された抵抗層 2 5 と、金属層からなるメタル配線 m 0 a、m 0、m 1 及び m 2 と、コンタクト c n 0 a、c n 0、c n 1 及び c n 2 から構成されている。抵抗層 2 5 と金属層との間には絶縁層が形成されている。メタル配線 m 0 a は、絶縁層を貫くコンタクト c n 0 a を介して抵抗層 2 5 に接続されている。メタル配線 m 0 は、コンタクト c n 0 を介して抵抗層 2 5 に接続されている。メタル配線 m 1 は、コンタクト c n 1 を介して抵抗層 2 5 に接続されている。メタル配線 m 2 は、コンタクト c n 2 を介して抵抗層 2 5 に接続されている。

【 0 0 5 5 】

メタル配線 m 0 a は、他のメタル配線よりも抵抗層 2 5 の端部に近い位置（すなわち、最も端部側の位置）に設けられている。メタル配線 m 0 は、メタル配線 m 0 a の次に抵抗層 2 5 の端部に近い位置（すなわち、抵抗層 2 5 の端部から見て 2 番目の位置）に設けられたメタル配線である。メタル配線 m 1 は、メタル配線 m 0 の次に抵抗層 2 5 の端部に近い位置（すなわち、抵抗層 2 5 の端部から見て 3 番目の位置）に設けられたメタル配線である。メタル配線 m 2 は、メタル配線 m 1 の次に抵抗層 2 5 の端部に近い位置（すなわち、抵抗層 2 5 の端部から見て 4 番目の位置）に設けられたメタル配線である。

【 0 0 5 6 】

図 4 B は、図 4 A の A A 線に沿った断面図である。抵抗層 2 5 上のコンタクト c n 0 a、c n 0、c n 1、c n 2 は、抵抗層 2 5 を抵抗領域 R r、R 0、R 1 に分割するように設置されており、各抵抗領域の境界の電圧を V_{gsX} 、 V_{gs0} 、 V_{gs1} 、 V_{gs2} とする。なお、図 4 B ではガンマアンプ 2 1 - 1 の回路図は記載を省略している。

【 0 0 5 7 】

図 4 A において、メタル配線 m 0 a の一端は、ガンマアンプ 2 1 - 1 の電圧出力端に接続されている。メタル配線 m 0 の一端は、ガンマアンプ 2 1 - 1 の反転入力端に接続されている。また、ガンマアンプ 2 1 - 1 の非反転入力端には、ガンマ基準電圧 V_{G0} が入力される。

【 0 0 5 8 】

図 4 A 及び図 4 B の図中の破線矢印は、ガンマアンプ 2 1 - 1 から抵抗層 2 5 に流れる電流の向きを模式的に示している。なお、第 1 のラダー抵抗 2 2 の導電部以外の部分は絶縁層に覆われている。

【 0 0 5 9 】

抵抗層 2 5 上のコンタクト c n 0 a が接続される抵抗領域の境界点は抵抗層 2 5 の電圧供給点で、ガンマアンプ 2 1 - 1 の出力電圧 V_{out} がメタル配線 m 0 a 及びコンタクト c n 0 a を介して印加される。

【 0 0 6 0 】

抵抗層 2 5 上のコンタクト c n 0、c n 1 及び c n 2 が接続される抵抗領域の境界点の各々は、ガンマ基準電圧 V_{G0} 及び V_{G5} を第 1 のラダー抵抗 2 2 により分圧した電圧が出力される電圧出力点である。

【 0 0 6 1 】

第 1 のラダー抵抗 2 2 の出力電圧である電圧 V_{gs0} は、コンタクト c n 0 が接続される抵抗層 2 5 の電圧出力点から取り出され、コンタクト c n 0 及びメタル配線 m 0 を介して出力される。すなわち、本実施例のレベル電圧生成回路 A 1 では、電圧供給点と電圧出力点とが分離されている。

【 0 0 6 2 】

抵抗層 2 5 及びメタル配線 m 0 a、m 0、m 1 及び m 2 の位置関係は、第 1 のラダー抵抗 2 2 の抵抗設計値と抵抗層 2 5 のシート抵抗とに基づいてレイアウトされている。例えば、図 4 B では抵抗 R r、R 0、R 1 に一定電流が流れるので、抵抗層 2 5 上の電圧 V_{gsX} 、 V_{gs0} 、 V_{gs1} 及び V_{gs2} は、抵抗設計値 R r、R 0 及び R 1 により分圧された電圧となる。また、抵抗層 2 5 上の各電圧出力点に接続される各メタル配線は、抵抗

10

20

30

40

50

層 2 5 から定常電流の流れ込みはないので、コンタクト抵抗に関係なく、各電圧出力点の電圧をそのまま取り出すことができる。すなわち、メタル配線 m_0 から電圧 V_{gs0} 、メタル配線 m_1 から電圧 V_{gs1} 、メタル配線 m_2 から電圧 V_{gs2} がそれぞれ出力される。なお、メタル配線 m_0a 、 m_0 、 m_1 及び m_2 の各々の配線抵抗は、抵抗層 2 5 の抵抗値と比べると十分に小さい。

【0063】

本実施例の抵抗層 2 5 には、抵抗設計値 R_0 の領域（以下、抵抗 R_0 領域と称する）よりも外側に抵抗設計値 R_r の領域（以下、抵抗 R_r 領域と称する）が設けられている。そして、メタル配線 m_0a 及びコンタクト cn_0a は、抵抗 R_r 領域の最外部の境界に設けられている。一方、メタル配線 m_0 及びコンタクト cn_0 は、抵抗 R_0 領域と抵抗 R_r 領域との境界部分に設けられている。

10

【0064】

また、図 4 A に示すように、メタル配線 m_0 はガンマアンプ 2 1 - 1 の反転入力端に接続されており、メタル配線 m_0 から出力された電圧 V_{gs0} はガンマアンプ 2 1 - 1 にフィードバックされる。ガンマアンプ 2 1 - 1、コンタクト cn_0a 、メタル配線 m_0a 、メタル配線 m_0 、及び抵抗層 2 5 の電圧供給点と電圧出力点間の抵抗 R_r 領域は、フィードバック回路 2 6（図 4 A に示す破線で囲まれた回路ブロック）を構成している。なお、ここで、ガンマアンプ 2 1 - 1 の反転入力端も容量性負荷であるので、コンタクト cn_0 及びメタル配線 m_0 には定常電流が流れない。したがって、抵抗層 2 5 上の電圧 V_{gs0} をそのままメタル配線 m_0 から取り出すことができる。

20

【0065】

図 5 は、フィードバック回路 2 6 の構成をコンタクト抵抗を含む等価回路として示す回路図である。フィードバック回路 2 6 は、ガンマアンプ 2 1 - 1 と、抵抗層 2 5 の抵抗領域の抵抗 R_r 、 R_0 と、コンタクト cn_0 、 cn_0a の抵抗 R_c と、から構成される。ガンマアンプ 2 1 - 1 の電圧出力端（ V_{out} ）と抵抗層 2 5 の電圧出力点（ V_{gs0} ）との間には、コンタクト cn_0a の抵抗 R_c 及び抵抗 R_r が電圧供給点（ V_{gsX} ）を介して接続されている。また、ガンマアンプ 2 1 - 1 の反転入力端と抵抗層 2 5 の電圧出力点（ V_{gs0} ）との間には、コンタクト cn_0 の抵抗 R_c が接続されている。またガンマアンプ 2 1 - 1 の反転入力端は、レベル電圧生成回路 A 1 の出力端であるメタル配線 m_0 と接続されている。図 5 の図中の破線矢印は、ガンマアンプ 2 1 - 1 の出力端から抵抗層 2 5 に流れる定常電流の向きを模式的に示している。

30

【0066】

次に、本実施例のレベル電圧生成回路 A 1 の作用について説明する。

【0067】

図 4 A に示すように、ガンマアンプ 2 1 - 1 には、ガンマ基準電圧 V_{G0} 及びメタル配線 m_0 からの出力電圧である電圧 V_{gs0} が差動入力される。また、ガンマアンプ 2 1 - 1 の電圧出力端からは出力電圧 V_{out} が出力され、メタル配線 m_0a に供給される。

【0068】

抵抗層 2 5 のガンマアンプ 2 1 - 1 が接続されている端部とは反対側の端部（図示せず）には、ガンマアンプ 2 1 - 2（図 3 を参照）が接続されている。抵抗層 2 5 には、ガンマ基準電圧 V_{G0} 及び V_{G5} の電圧差と、抵抗層 2 5 の総抵抗値に応じた定常電流が流れる。

40

【0069】

抵抗層 2 5 に流れる電流は、メタル配線 m_0a 及びコンタクト cn_0a にも流れる。メタル配線 m_0a の抵抗値は十分小さいため無視できるとすると、メタル配線 m_0a に供給されるガンマアンプ 2 1 - 1 の出力電圧 V_{out} と抵抗層 2 5 上の電圧 V_{gsX} との間には、コンタクト cn_0a の抵抗 R_c による電圧差 V_c が生じる。また電圧 V_{gsX} と電圧 V_{out} との間には、抵抗層 2 5 の抵抗 R_r による電圧差 V_r が生じる。

【0070】

メタル配線 m_0 から取り出される電圧 V_{gs0} は、ガンマアンプ 2 1 - 1 の差動入力に

50

フィードバックされるため、イマジナリーショートの状態になり、ガンマ基準電圧 V_{G0} と等しくなる。これにより、レベル電圧生成回路 A 1 からは、コンタクト c_{n0} の抵抗 R_c の抵抗値に関わらず、ガンマ基準電圧 V_{G0} ($= V_{gs0}$) が出力されるとともに、抵抗層 25 の抵抗 R_0 と R_r の境界の電圧出力点の電圧 V_{gs0} もガンマ基準電圧 V_{G0} と等しくなる。一方、メタル配線 m_0 、 m_1 及び m_2 と、コンタクト c_{n0} 、 c_{n1} 及び c_{n2} には定常電流が流れないため、抵抗層上の電圧 V_{gs0} 、 V_{gs1} 及び V_{gs2} がメタル配線 m_0 、 m_1 及び m_2 から取り出される。

【0071】

したがって、レベル電圧生成回路 A 1 は、ガンマ基準電圧 V_{G0} に対して、コンタクト抵抗の影響を受けず、抵抗層 25 の設計抵抗値に応じた電圧を高精度に取り出すことができる。なお、ガンマアンプ 21 - 1 の出力電圧 V_{out} は、 $V_{out} = V_{gs0} + V_r + V_c = V_{G0} + V_r + V_c$ となる。

10

【0072】

なお、抵抗層 25 の反対側の端部（すなわち、図 3 に示すガンマアンプ 21 - 2 が接続されている端部）にも、同様の構成を有する回路ブロックが設けられており、ガンマ基準電圧 V_{G5} に対応した電圧 $V_{gs}(q-1)$ が出力される。

【0073】

図 6 A は、本実施例のレベル電圧生成回路 A 1 とは異なり、出力電圧 V_{out} を反転入力端子にフィードバックした構成のガンマアンプ 21 - 1 を含む回路ブロックを比較例のレベル電圧生成回路として示す図である。図 6 B は、図 6 A の A A 線における断面図である。図 4 B と同様に、図 6 B において、抵抗層 25 上のコンタクト c_{na} 、 c_{n0} 、 c_{n1} 、 c_{n2} は、抵抗層 25 を抵抗領域 R_r 、 R_0 、 R_1 に分割するように設置されており、各抵抗領域の境界の電圧を V_{gsX} 、 V_{gs0} 、 V_{gs1} 、 V_{gs2} とする。なお、図 6 B でもガンマアンプ 21 - 1 の回路図は記載を省略している。

20

【0074】

比較例のレベル電圧生成回路では、ガンマアンプ 21 - 1 の出力電圧 V_{out} はメタル配線 m_0 に供給される。メタル配線 m_0a 、 m_1 、 m_2 から、電圧 V_{gsX} 、 V_{gs1} 、 V_{gs2} が出力される。メタル配線 m_0a 、 m_1 、 m_2 は、抵抗層 25 の各電圧出力点から定常電流が流れ込まないため、抵抗層 25 上の各電圧出力点の電圧をそのまま取り出すことができる。また、抵抗 R_r にも定常電流は流れないため、 $V_{gs0} = V_{gsX}$ となり、メタル配線 m_0a から電圧 V_{gs0} を取り出すことができる。これは、電圧供給点 (V_{gs0}) と電圧出力点 (V_{gsX}) とが分離されている構成による。

30

【0075】

しかし、比較例のレベル電圧生成回路では、メタル配線 m_0 に出力電圧 V_{out} ($= V_{G0}$) が印加され、コンタクト c_{n0} を介して抵抗層 25 の R_0 、 R_1 へ定常電流が流れる。このため、電圧 V_{gs0} と出力電圧 V_{G0} との間には、コンタクト c_{n0} の抵抗 R_c の電圧差 V_c が生じる。すなわち $V_{out} = V_{G0} = V_{gs0} + V_c$ となる。したがって、ガンマ基準電圧 V_{G0} に対し、抵抗比で分圧する電圧設計値は、コンタクト抵抗 R_c の電圧差分の絶対誤差が生じる。この誤差はコンタクト c_{n0} の抵抗 R_c に起因しているため、異なるデータドライバ IC 間でコンタクト抵抗 R_c の値にばらつきが生じると、データドライバ IC 間の階調電圧信号にもばらつきが生じ、表示むらの原因となる。

40

【0076】

これに対し、本実施例のレベル電圧生成回路 A 1 によれば、第 1 のラダー抵抗 22 の出力電圧から、抵抗層 25 と各メタル配線とを接続するコンタクト部分の抵抗のばらつきの影響を取り除くことができる。従って、出力電圧間の相対誤差に加えて、設計値からの絶対誤差が十分に小さい高精度なラダー抵抗の出力電圧（レベル電圧）を生成することができる。

【0077】

また、本実施例のレベル電圧生成回路 A 1 の構成では、抵抗層 25 を流れる電流が、抵抗層 25 とメタル配線 $m_0 \sim m_2$ の各々との接続部分に設けられた電圧出力点群の外側の

50

電圧供給点 (V_{gsX}) から流れ込む。このため、抵抗層 25 上の各電圧出力点では、均一な電流密度で電流が流れる。従って、均一な電流密度領域から電圧が出力されるため、各電圧出力点から高精度な電圧を取り出すことができる。

【0078】

なお、本実施例のガンマアンプ 21 - 1 の出力電圧 V_{out} は、電圧 V_{gs0} ($= V_{G0}$) に、抵抗層 25 の抵抗値 R_r 領域の抵抗 R_r によって生じる電圧差 V_r とコンタクト $cn0a$ の抵抗 R_c によって生じる電圧差 V_c とを加算した電圧 (すなわち、 $V_{G0} + V_r + V_c$) となる。ガンマ基準電圧 V_{G0} の設定範囲は、電源電圧の範囲よりも電圧差 ($V_r + V_c$) だけ狭くなる。

【0079】

以上のように、本実施例のレベル電圧生成回路 A1 によれば、コンタクトの抵抗のばらつきの影響を受けることなく、出力電圧間の相対誤差及び設計値からの絶対誤差が十分に小さい高精度なレベル電圧を出力することができる。

【実施例 2】

【0080】

次に、本発明の実施例 2 について説明する。本実施例の表示装置は、レベル電圧生成回路 A1 の構成において実施例 1 と異なる。

【0081】

図 7A は、本実施例のレベル電圧生成回路 A1 の構成を示す模式図である。実施例 1 の図 4A と同様、ここでは第 1 のラダー抵抗 22 を構成する抵抗層 25 の一部を上面視した平面図をガンマアンプ 21 - 1 の回路図とともに示している。また、図 7B は、図 7A の AA 線に沿った断面図である。図 4A と同様、抵抗層 25 上のコンタクト $cn0a$ 、 $cn0$ 、 $cn1$ 、 $cn2$ は、抵抗層 25 を抵抗領域 R_r 、 $R0$ 、 $R1$ に分割するように設置されており、各抵抗領域の境界の電圧を V_{gsX} 、 V_{gs0} 、 V_{gs1} 、 V_{gs2} とする。なお、図 7B ではガンマアンプ 21 - 1 の回路図は記載を省略している。

【0082】

本実施例のレベル電圧生成回路 A1 は、メタル配線 $m0a$ 及びメタル配線 $m0$ とガンマアンプ 21 - 1 との接続関係において実施例 1 のレベル電圧生成回路 A1 と異なる。具体的には、本実施例のレベル電圧生成回路 A1 では、メタル配線 $m0a$ がガンマアンプ 21 - 1 の反転入力端に接続され、メタル配線 $m0$ がガンマアンプ 21 - 1 の電圧出力端に接続されている。すなわち、実施例 1 のレベル電圧生成回路 A1 と比べると、抵抗層 25 の電圧 V_{gs0} の位置が電圧供給点となり、電圧 V_{gsX} の位置が電圧出力点になっている。

【0083】

ガンマアンプ 21 - 1 の出力電圧 V_{out} は、メタル配線 $m0$ 及びコンタクト $cn0$ を介して、抵抗層 25 の抵抗 R_r 領域と抵抗 $R0$ 領域との境界に位置する電圧供給点 (V_{gs0}) に供給される。また、コンタクト $cn0a$ が接続される抵抗層 25 の抵抗 R_r 領域の最外部の境界に位置する電圧出力点 (V_{gsX}) から、電圧が取り出される。このとき、抵抗層 25 の抵抗 R_r 、コンタクト $cn0a$ 及びメタル配線 $m0a$ には定常電流が流れない。したがって、 $V_{gsX} = V_{gs0}$ であり、メタル配線 $m0a$ から電圧 V_{gs0} が出力される。同様に、定常電流が流れないメタル配線 $m1$ 、 $m2$ から、コンタクト $cn1$ 、 $cn2$ が接続される抵抗層 25 の各電圧出力点の電圧 V_{gs1} 、電圧 V_{gs2} がそれぞれ出力される。

【0084】

本実施例のレベル電圧生成回路 A1 では、抵抗層 25 上において、電圧出力点のうちの 1 つ (V_{gsX}) が電圧供給点 (V_{gs0}) よりも外側に配置されている。そして、メタル配線 $m0a$ から出力された電圧 V_{gsX} ($= V_{gs0}$) が、ガンマアンプ 21 - 1 にフィードバックされる。ガンマアンプ 21 - 1、コンタクト $cn0$ 、メタル配線 $m0$ 、メタル配線 $m0a$ 、及び抵抗層 25 の抵抗 R_r 領域は、フィードバック回路 27 (図 7A に示す破線で囲まれた回路ブロック) を構成している。

【0085】

10

20

30

40

50

図 8 は、フィードバック回路 27 の構成をコンタクト抵抗を含む等価回路として示す回路図である。フィードバック回路 27 は、ガンマアンプ 21 - 1 と、コンタクト $c n 0$ 、 $c n 0 a$ の抵抗 $R c$ と、抵抗層 25 の抵抗 $R r$ 、 $R 0$ から構成される。ガンマアンプ 21 - 1 の電圧出力端 ($V o u t$) と抵抗層 25 の電圧供給点 ($V g s 0$) との間には、コンタクト $c n 0$ の抵抗 $R c$ が接続されている。また、ガンマアンプ 21 - 1 の反転入力端と抵抗層 25 の電圧供給点 ($V g s 0$) との間には、コンタクト $c n 0 a$ の抵抗 $R c$ 及び抵抗 $R r$ が電圧出力点 ($V g s X$) を介して接続されている。またガンマアンプ 21 - 1 の反転入力端は、レベル電圧生成回路 A 1 の出力端であるメタル配線 $m 0 a$ と接続されている。図 8 の図中の破線矢印は、ガンマアンプ 21 - 1 の出力端から抵抗層 25 に流れる定常電流の向きを模式的に示している。

10

【 0 0 8 6 】

次に、本実施例のレベル電圧生成回路 A 1 の作用について説明する。

【 0 0 8 7 】

図 7 A に示すように、ガンマアンプ 21 - 1 には、ガンマ基準電圧 $V G 0$ 及びメタル配線 $m 0 a$ からの出力電圧である電圧 $V g s X$ が差動入力される。また、ガンマアンプ 21 - 1 の電圧出力端からは出力電圧 $V o u t$ が出力され、メタル配線 $m 0$ に供給される。

【 0 0 8 8 】

実施例 1 と同様、抵抗層 25 には、ガンマ基準電圧 $V G 0$ 及び $V G 5$ の電圧差と、抵抗層 25 の総抵抗値に応じた定常電流が流れる。また、抵抗層 25 に流れる定常電流は、メタル配線 $m 0$ 及びコンタクト $c n 0$ にも流れる。メタル配線 $m 0$ の抵抗値は十分小さいため無視できるとすると、メタル配線 $m 0$ に供給されるガンマアンプ 21 - 1 の出力電圧 $V o u t$ と抵抗層 25 上の電圧 $V g s 0$ との間には、コンタクト $c n 0$ による電圧差 $V c$ が生じる。一方、メタル配線 $m 0 a$ 及びコンタクト $c n 0 a$ 、メタル配線 $m 1$ 及びコンタクト $c n 1$ 、メタル配線 $m 2$ 及びコンタクト $c n 2$ には定常電流が流れないため、抵抗層上の電圧出力点の電圧 $V g s X$ 、 $V g s 1$ 及び $V g s 2$ がメタル配線 $m 0 a$ 、 $m 1$ 及び $m 2$ から取り出される。また抵抗層 25 の抵抗 $R r$ にも定常電流が流れないため、電圧出力点の電圧 $V g s X$ は電圧供給点の電圧 $V g s 0$ と等しい。

20

【 0 0 8 9 】

メタル配線 $m 0 a$ から取り出される電圧 $V g s X$ は、ガンマアンプ 21 - 1 の差動入力にフィードバックされるため、イマジナリーショートの状態になり、ガンマ基準電圧 $V G 0$ と等しくなる。電圧 $V g s X$ と電圧 $V g s 0$ とは等しいため、電圧 $V g s 0$ もガンマ基準電圧 $V G 0$ と等しい。これにより、レベル電圧生成回路 A 1 からは、コンタクト $c n 0$ の抵抗 $R c$ の抵抗値に関わらず、ガンマ基準電圧 $V G 0$ が抵抗層 25 の電圧供給点の電圧 $V g s 0$ として出力される。

30

【 0 0 9 0 】

なお、抵抗層 25 の反対側の端部（すなわち、図 3 に示すガンマアンプ 21 - 2 が接続されている端部）にも、同様の構成を有するレベル電圧生成回路の回路ブロックを設ければ、ガンマ基準電圧 $V G 5$ と等しい電圧 $V g s (q - 1)$ を抵抗層 25 に供給することができる。

【 0 0 9 1 】

40

本実施例のレベル電圧生成回路 A 1 によれば、第 1 のラダー抵抗 22 の出力電圧から、抵抗層 25 と各メタル配線とを接続するコンタクト部分の抵抗のばらつきの影響を取り除くことができる。従って、出力電圧間の相対誤差に加えて、設計値からの絶対誤差が十分に小さい高精度なラダー抵抗の出力電圧（レベル電圧）を生成することができる。

【 0 0 9 2 】

なお、本実施例のレベル電圧生成回路 A 1 の構成では、抵抗層 25 上の電圧 $V g s 0$ の電圧供給点付近では、コンタクト $c n 0$ から抵抗層 25 へ定常電流が流れ込むため、実施例 1 と比べて電流密度が不均一になり、若干電圧精度が低下する場合がある。しかし、ガンマアンプ 21 - 1 の出力電圧 $V o u t$ は、電圧 $V g s 0 (= V G 0)$ にコンタクト $c n 0 a$ の抵抗 $R c$ によって生じる電圧差 $V c$ を加算した電圧（すなわち、 $V G 0 + V c$ ）と

50

なるため、ガンマ基準電圧 V_{G0} の設定範囲は、電源電圧の範囲よりも電圧差 V_c だけ狭く、実施例 1 におけるガンマ基準電圧 V_{G0} の設定範囲よりも広い。

【0093】

以上のように、本実施例のレベル電圧生成回路 A 1 によれば、コンタクト抵抗のばらつきの影響を受けることなく、出力電圧間の相対誤差及び設計値からの絶対誤差が十分に小さい高精度なレベル電圧を出力することができる。

【実施例 3】

【0094】

次に、本発明の実施例 3 について説明する。なお、本実施例の説明では、第 2 のラダー抵抗 24 の出力電圧、（すなわちガンマ基準電圧 V_{G0} 、 V_{G5} 、及びガンマアンプ 21 - 3 ~ 21 - 6 の各々の出力電圧を第 2 のラダー抵抗 24 によって分圧した電圧）を総称して「レベル電圧」と称する。

【0095】

ガンマアンプ 21 - 3、21 - 4、21 - 5 及び 21 - 6 の各々と第 2 のラダー抵抗 24 との接続部分には、レベル電圧を生成するレベル電圧生成回路が形成されている。図 3 では、レベル電圧生成回路のうち、第 2 のラダー抵抗 24 とガンマアンプ 21 - 3 との接続部分に位置する回路ブロックを、レベル電圧生成回路 A 2 として示している。なお、第 2 のラダー抵抗 23 とガンマアンプ 21 - 4、21 - 5 及び 21 - 6 の各々との接続部分にも同様の回路ブロックが形成されている。

【0096】

レベル電圧生成回路 A 2 は、ガンマアンプ 21 - 3 及び第 2 のラダー抵抗 24 の一部を含み、ガンマ電圧 V_{G1} 及び V_{G2} を分圧した電圧（すなわち、第 2 のラダー抵抗 24 の出力電圧）をデコーダ 30 - 1 ~ 30 - k に供給する階調電圧供給部としての機能を有する。

【0097】

図 9 は、レベル電圧生成回路 A 2 の構成を示す模式図である。第 2 のラダー抵抗 24 は、例えば半導体基板や絶縁性基板等の基板（図示せず）上に薄膜を用いて形成されており、ここでは第 2 のラダー抵抗 24 を構成する抵抗層 25 の一部を上面視した平面図をガンマアンプ 21 - 3 の回路図とともに示している。

【0098】

レベル電圧生成回路 A 2 は、図示せぬ基板上に薄膜を用いて形成された抵抗層 25 と、金属層からなるメタル配線 $m0c$ 、 $m0$ 、 $m1$ 、 $m2$ 及び mz と、コンタクト $cn0c$ 、 $cn0$ 、 $cn1$ 、 $cn2$ 及び cnz から構成されている。抵抗層 25 は、抵抗設計値 Rz 、 $R0$ 及び $R1$ の領域（以下、抵抗 Rz 領域、抵抗 $R0$ 領域、抵抗 $R1$ 領域と称する）に分けられており、各々の領域の境界付近にコンタクトを介してメタル配線が接続されている。なお、メタル配線 mz 、 $m0$ 、 $m1$ 及び $m2$ の各々の抵抗は、抵抗層 25 の抵抗値と比べると十分に小さい。

【0099】

具体的には、メタル配線 $m0$ は、抵抗 Rz 領域と抵抗 $R0$ 領域との境界に設けられたコンタクト $cn0$ を介して、抵抗層 25 に接続されている。メタル配線 $m1$ は、抵抗 $R0$ 領域と抵抗 $R1$ 領域との境界に設けられたコンタクト $cn1$ を介して、抵抗層 25 に接続されている。メタル配線 $m2$ は、抵抗 $R1$ 領域とこれに隣接する抵抗領域（図示せず）との境界に設けられたコンタクト $cn2$ を介して、抵抗層 25 に接続されている。メタル配線 mz は、抵抗 Rz 領域とこれに隣接する抵抗領域（図示せず）との境界に設けられたコンタクト cnz を介して、抵抗層 25 に接続されている。

【0100】

また、抵抗層 25 の抵抗 Rz 領域と抵抗 $R0$ 領域との境界部分には、設計抵抗 Rr の領域（以下、抵抗 Rr 領域と称する）からなる突起部が形成されている。当該突起部にはコンタクト $cn0c$ が設けられており、メタル配線 $m0c$ が当該コンタクト $cn0c$ を介して抵抗層 25 に接続されている。メタル配線 $m0c$ 及びメタル配線 $m0$ は、同層間で分離

10

20

30

40

50

されている。

【0101】

抵抗層25上のコンタクト c_{nz} 、 c_{n0} 、 c_{n1} 及び c_{n2} は、抵抗層25を抵抗領域 R_z 、 R_0 、 R_1 に分割するように設置され、各抵抗領域の境界の電圧を V_{gsz} 、 V_{gs0} 、 V_{gs1} 及び V_{gs2} とする。

【0102】

抵抗層25上のコンタクト c_{n0c} が接続される抵抗 R_z 、 R_0 の境界上部の突起部が抵抗層25の電圧供給点で、ガンマアンプ21-3の出力電圧 V_{out} が、メタル配線 m_0c 及びコンタクト c_{n0c} を介して抵抗層25に供給される。抵抗層25上のコンタクト c_{nz} 、 c_{n0} 、 c_{n1} 、 c_{n2} が接続される抵抗領域の境界点の各々が第2のラダー抵抗24を分圧した電圧が出力される電圧出力点である。第2のラダー抵抗24の出力電圧である電圧 V_{gs0} は、コンタクト c_{n0} 及びメタル配線 m_0 を介して出力される。すなわち、本実施例のレベル電圧生成回路A2では、電圧供給点と電圧出力点とが分離されている。

10

【0103】

また、メタル配線 m_0 はガンマアンプ21-3の反転入力端に接続されており、メタル配線 m_0 から出力された電圧 V_{gs0} はガンマアンプ21-3にフィードバックされる。ガンマアンプ21-3、コンタクト c_{n0} 、メタル配線 m_0c 、抵抗層25の抵抗 R_r 領域、及びメタル配線 m_0c は、フィードバック回路を構成している。

【0104】

20

本実施例のレベル電圧生成回路A2では、抵抗層25におけるガンマ電圧 V_{G1} の電圧供給点と電圧 V_{gs0} の電圧出力点とが分離され、それぞれレベル電圧生成回路A2における抵抗層25の中間部（例えば、抵抗 R_z 領域及び抵抗 R_0 領域の境界点近傍）に設けられている。また、抵抗層25のガンマ電圧 V_{G1} の電圧供給点は、抵抗 R_z 領域、抵抗 R_0 領域及び抵抗 R_1 領域間を流れる定常電流の経路外（すなわち、上記の突起部）に設けられている。また、第2のラダー抵抗24の出力電圧である電圧 V_{gsz} 、 V_{gs0} 、 V_{gs1} 及び V_{gs2} の各々の電圧出力点は、抵抗 R_z 領域、抵抗 R_0 領域及び抵抗 R_1 領域間を流れる定常電流の経路上に設けられている。

【0105】

次に、本実施例のレベル電圧生成回路A2の作用について説明する。

30

【0106】

図9に示すように、ガンマアンプ21-3には、ガンマ電圧 V_{G1} 及びメタル配線 m_0 からの出力電圧が差動入力される。また、ガンマアンプ21-3の電圧出力端からは出力電圧 V_{out} が出力され、メタル配線 m_0c に供給される。

【0107】

このとき、抵抗層25には、第2のラダー抵抗24の両端に供給されるガンマ基準電圧 V_{G0} 、 V_{G5} 及びガンマ電圧 V_{G1} の電圧差と、抵抗層25の各電圧供給点間の抵抗値に応じた定常電流が流れる。また、抵抗 R_z 領域に流れる定常電流と抵抗 R_0 領域に流れる定常電流とが異なる場合、メタル配線 m_0c 、コンタクト c_{n0c} 及び突起部の抵抗 R_r 領域にも定常電流が流れる。ここで、メタル配線 m_0c の抵抗値は十分小さいため無視できるとすると、メタル配線 m_0c に供給されるガンマアンプ21-3の出力電圧 V_{out} と抵抗層25上の電圧 V_{gs0} との間には、コンタクト c_{n0c} の抵抗 R_c 及び突起部の抵抗 R_r による電圧差（ $V_c + V_r$ ）が生じる。一方、メタル配線 m_z 、 m_0 、 m_1 及び m_2 と、コンタクト c_{nz} 、 c_{n0} 、 c_{n1} 及び c_{n2} には、それぞれ抵抗層25から定常電流が流れ込まないため、抵抗層上の電圧 V_{gsz} 、 V_{gs0} 、 V_{gs1} 及び V_{gs2} がメタル配線 m_z 、 m_0 、 m_1 及び m_2 からそのまま取り出される。

40

【0108】

メタル配線 m_0 から取り出される電圧 V_{gs0} は、ガンマアンプ21-3の差動入力にフィードバックされるため、イマジナリーショートの状態になり、ガンマ電圧 V_{G1} と等しくなる。これにより、レベル電圧生成回路A2は、ガンマ電圧 V_{G1} に対して、抵抗層

50

２５の突起部の抵抗 R_r 及びコンタクト c_{n0c} の抵抗 R_c の抵抗値に関わらず、抵抗層２５の設計抵抗値に応じた電圧を高精度に取り出すことができる。

【０１０９】

本実施例のレベル電圧生成回路Ａ２によれば、第２のラダー抵抗２４の出力電圧から、抵抗層２５と各メタル配線とを接続するコンタクト部分の抵抗のばらつきの影響を取り除くことができる。従って、出力電圧間の相対誤差に加えて、設計値からの絶対誤差が十分に小さい高精度なラダー抵抗の出力電圧（レベル電圧）を生成することができる。

【０１１０】

なお、ガンマアンプ２１－３の出力電圧 V_{out} は、電圧 V_{gs0} （＝ V_{G1} ）に、突起部の抵抗 R_r 領域によって生じる電圧差 V_r 及びコンタクト c_{n0} の抵抗 R_c によって生じる電圧差 V_c を加算した電圧（すなわち、 $V_{G1} + V_r + V_c$ ）となる。

10

【０１１１】

以上のように、本実施例のレベル電圧生成回路Ａ２によれば、コンタクトの抵抗のばらつきの影響を受けることなく、出力電圧間の相対誤差及び設計値からの絶対誤差が十分に小さい高精度なレベル電圧を出力することができる。

【実施例４】

【０１１２】

次に、本発明の実施例４について説明する。本実施例の表示装置は、レベル電圧生成回路Ａ２の構成において実施例３と異なる。

【０１１３】

20

図１０は、本実施例のレベル電圧生成回路Ａ２の構成を示す模式図である。ここでは、第２のラダー抵抗２４を構成する抵抗層２５の一部を上面視した平面図をガンマアンプ２１－３の回路図とともに示している。

【０１１４】

本実施例のレベル電圧生成回路Ａ２は、メタル配線 m_{0c} 及びメタル配線 m_0 とガンマアンプ２１－３との接続関係において実施例３のレベル電圧生成回路Ａ２と異なる。具体的には、本実施例のレベル電圧生成回路Ａ２では、メタル配線 m_{0c} がガンマアンプ２１－１の反転入力端に接続され、メタル配線 m_0 がガンマアンプ２１－１の電圧出力端に接続されている。すなわち、実施例３のレベル電圧生成回路Ａ２と比べると、ガンマアンプ２１－３の出力電圧 V_{out} の抵抗層２５への電圧供給点の位置と、抵抗層２５からの電圧出力点の位置とが入れ替わっている。

30

【０１１５】

図９と同様に、抵抗層２５上のコンタクト c_{nz} 、 c_{n0} 、 c_{n1} 及び c_{n2} は、抵抗層２５を抵抗領域 R_z 、 R_0 、 R_1 に分割するように設置され、各抵抗領域の境界の電圧を V_{gsz} 、 V_{gs0} 、 V_{gs1} 及び V_{gs2} とする。ガンマアンプ２１－１の出力電圧 V_{out} は、メタル配線 m_0 及びコンタクト c_{n0} を介して、抵抗層２５の抵抗 R_z 領域と抵抗 R_0 領域との境界に位置する電圧供給点（ V_{gs0} ）に供給される。

【０１１６】

抵抗 R_0 領域と抵抗 R_1 領域との境界には電圧 V_{gs1} の電圧出力点が位置しており、コンタクト c_{n1} を介してメタル配線 m_1 が接続されている。抵抗 R_1 領域とこれに隣接する抵抗領域（図示せず）との境界には電圧 V_{gs2} の電圧出力点が位置しており、コンタクト c_{n2} を介してメタル配線 m_2 が接続されている。抵抗 R_z 領域とこれに隣接する抵抗領域（図示せず）との境界には電圧 V_{gsz} の電圧出力点が位置しており、コンタクト c_{nz} を介してメタル配線 m_z が接続されている。

40

【０１１７】

また、抵抗層２５の抵抗 R_z 領域と抵抗 R_0 領域との境界部分には、抵抗 R_r 領域からなる突起部が形成されている。当該突起部にはコンタクト c_{n0c} が設けられており、メタル配線 m_{0c} が当該コンタクト c_{nc} を介して抵抗層２５に接続されている。メタル配線 m_{0c} 及びメタル配線 m_0 は、同層間で分離されている。

【０１１８】

50

メタル配線 m_z から電圧 V_{gsz} 、メタル配線 m_1 から電圧 V_{gs1} 、メタル配線 m_2 から電圧 V_{gs2} がそれぞれ出力される。なお、メタル配線 m_z 、 m_0 、 m_1 及び m_2 の各々の抵抗は、抵抗層 25 の抵抗値と比べると十分に小さい。

【0119】

ガンマアンプ 21 - 3 の出力電圧 V_{out} は、メタル配線 m_0 及びコンタクト cn_0 を介して抵抗層 25 の電圧供給点 (V_{gs0}) に供給される。抵抗層 25 上のコンタクト cn_z 、 cn_0c 、 cn_1 、 cn_2 が接続される抵抗領域の境界点の各々が第 2 のラダー抵抗 24 を分圧した電圧が出力される電圧出力点である。第 2 のラダー抵抗 24 の出力電圧である抵抗層 25 の突起部の電圧は、コンタクト cn_0c 及びメタル配線 m_0c を介して出力される。すなわち、本実施例のレベル電圧生成回路 A2 では、電圧供給点と電圧出力点とが分離されている。

10

【0120】

また、メタル配線 m_0c はガンマアンプ 21 - 3 の反転入力端に接続されており、メタル配線 m_0c から出力された電圧はガンマアンプ 21 - 3 にフィードバックされる。ガンマアンプ 21 - 3、メタル配線 m_0 、コンタクト cn_0 、抵抗層 25 の抵抗 R_r 領域、及びメタル配線 m_0c は、フィードバック回路を構成している。

【0121】

次に、本実施例のレベル電圧生成回路 A2 の作用について説明する。

【0122】

図 10 に示すように、ガンマアンプ 21 - 3 には、ガンマ電圧 V_{G1} 及びメタル配線 m_0c からの出力電圧が差動入力される。また、ガンマアンプ 21 - 3 の電圧出力端からは出力電圧 V_{out} が出力され、メタル配線 m_0 に供給される。

20

【0123】

このとき、抵抗層 25 には、第 2 のラダー抵抗 24 の両端に供給されるガンマ基準電圧 V_{G0} 、 V_{G5} 及びガンマ電圧 V_{G1} の電圧差と、抵抗層 25 の各電圧供給点間の抵抗値に応じた定常電流が流れる。また、抵抗 R_z 領域に流れる電流と抵抗 R_0 領域に流れる電流とが異なる場合、メタル配線 m_0 及びコンタクト cn_0 にも電流が流れる。ここで、メタル配線 m_0 の抵抗値は十分小さいため無視できるとすると、メタル配線 m_0 に供給されるガンマアンプ 21 - 3 の出力電圧 V_{out} と抵抗層 25 上の電圧 V_{gs0} との間には、コンタクト cn_0 の抵抗 R_c による電圧差 V_c が生じる。一方、メタル配線 m_z 、 m_0c 、 m_1 及び m_2 と、コンタクト cn_z 、 cn_0c 、 cn_1 、 cn_2 及び突起部の抵抗領域 R_r には電流が流れないため、抵抗層 25 の突起部とコンタクト cn_0c との接続点の電圧は電圧 V_{gs0} と等しく、抵抗層上の電圧 V_{gsz} 、 V_{gs0} 、 V_{gs1} 及び V_{gs2} がメタル配線 m_z 、 m_0c 、 m_1 及び m_2 からそのまま取り出される。

30

【0124】

メタル配線 m_0c から取り出される電圧 V_{gs0} は、ガンマアンプ 21 - 3 の差動入力にフィードバックされるため、イマジナリーショートの状態になり、ガンマ電圧 V_{G1} と等しくなる。これにより、レベル電圧生成回路 A2 は、ガンマ電圧 V_{G1} に対して、抵抗層 25 の突起部の抵抗 R_r 及びコンタクト cn_0 、 cn_0c の抵抗 R_c の抵抗値に関わらず、抵抗層 25 の設計抵抗値に応じた電圧を高精度に取り出すことができる。

40

【0125】

なお、ガンマアンプ 21 - 3 の出力電圧 V_{out} は、電圧 V_{gs0} ($= V_{G1}$) に、コンタクト cn_0 の抵抗 R_c によって生じる電圧差 V_c を加算した電圧 (すなわち、 $V_{G1} + V_c$) となる。

【0126】

以上のように、本実施例のレベル電圧生成回路 A2 によれば、第 2 のラダー抵抗 24 の出力電圧から、抵抗層 25 と各メタル配線とを接続するコンタクト部分の抵抗のばらつきの影響を取り除くことにより、出力電圧間の相対誤差及び設計値からの絶対誤差が十分に小さい高精度なレベル電圧 (ラダー抵抗の出力電圧) を出力することができる。

【0127】

50

なお、本発明は上記実施形態に限定されない。例えば、上記実施例 1 及び実施例 2 では、ガンマアンプ 2 1 - 1 及び 2 1 - 2 の各々と第 1 のラダー抵抗 2 2 との接続部分に図 4 A 又は図 4 B に示すような回路ブロック（すなわち、レベル電圧生成回路 A 1）が形成されている例について説明した。しかし、これとは異なり、ガンマアンプ 2 1 - 1 及び 2 1 - 2 の各々と第 2 のラダー抵抗 2 4 との接続部分に、同様の構成を有する回路ブロックが形成されていてもよい。すなわち、実施例 1 及び実施例 2 のような構成の回路ブロックを有するレベル電圧生成回路が第 1 のラダー抵抗 2 2 とガンマアンプ 2 1 - 1 及び 2 1 - 2 の各々との間、又は第 2 のラダー抵抗 2 4 とガンマアンプ 2 1 - 1 及び 2 1 - 2 の各々との間のいずれかに上記のような回路ブロックが形成されていればよい。

【符号の説明】

【 0 1 2 8 】

1 0 0 表示装置

1 1 表示パネル

1 2 表示コントローラ

1 3 A , 1 3 B ゲートドライバ

1 4 - 1 ~ 1 4 - p データドライバ

1 4 1 データラッチ部

1 4 2 制御部

1 5 基準電圧生成部

2 0 階調電圧生成部

3 0 - 1 ~ 3 0 - k デコーダ

4 0 - 1 ~ 4 0 - k 出力アンプ

2 1 - 1 ~ 2 1 - 6 ガンマアンプ

2 2 第 1 のラダー抵抗

2 3 A ~ 2 3 D ガンマデコーダ

2 4 第 2 のラダー抵抗

2 5 抵抗層

10

20

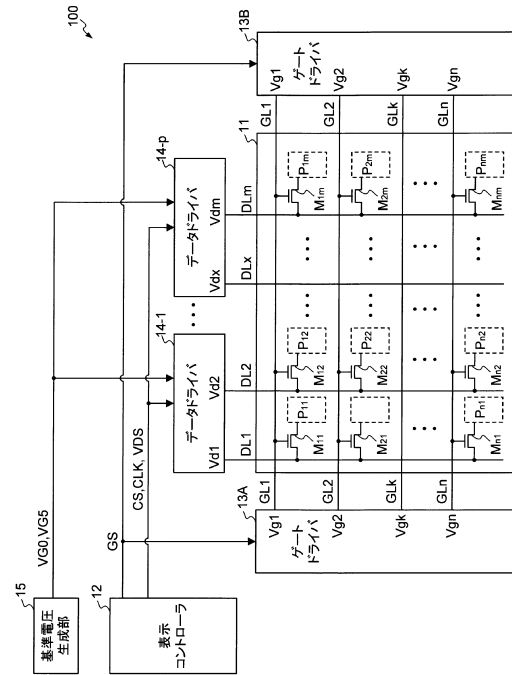
30

40

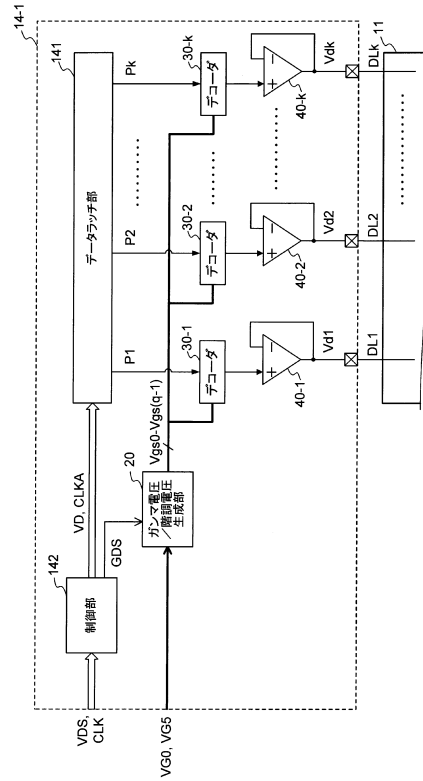
50

【図面】

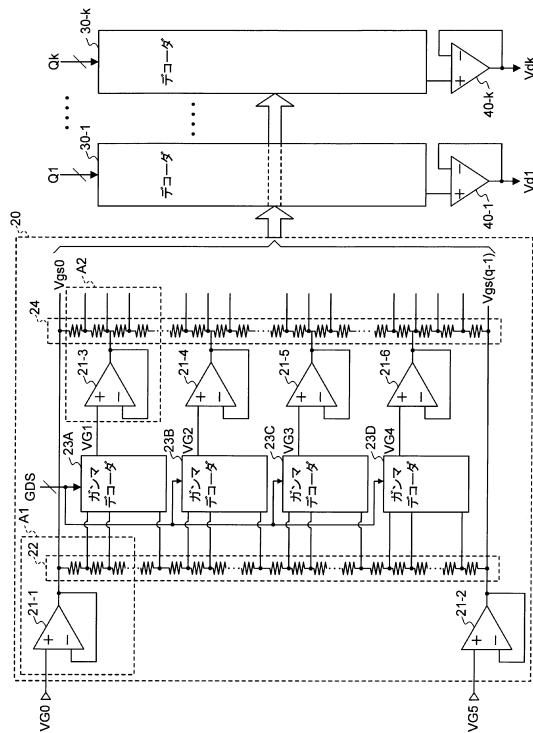
【 図 1 】



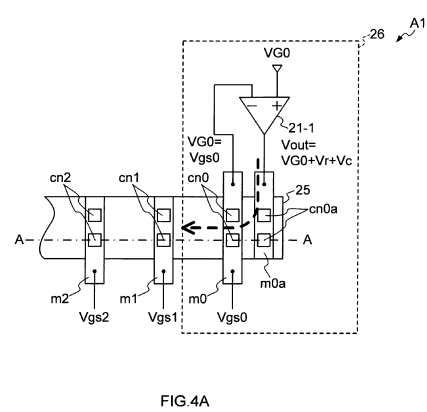
【圖 2】



【 図 3 】



【図 4 A】



【 図 4 B 】

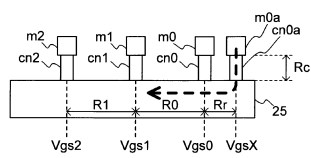


FIG. 4B

【 図 5 】

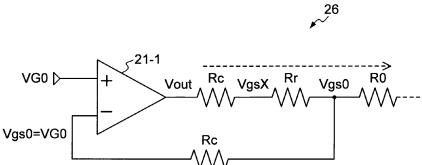


FIG. 5

10

【 図 6 A 】

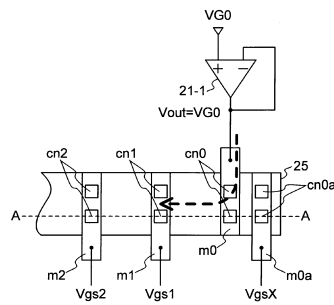


FIG. 6A

【 図 6 B 】

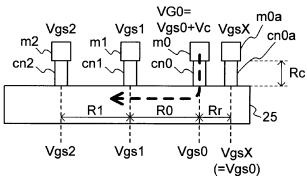


FIG. 6B

20

【 図 7 A 】

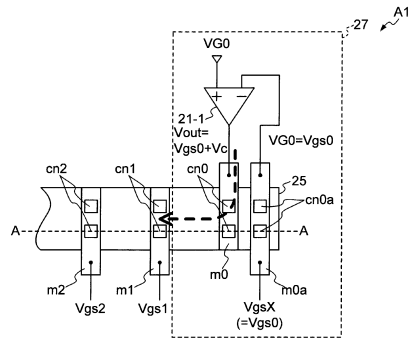


FIG. 7A

【 図 7 B 】

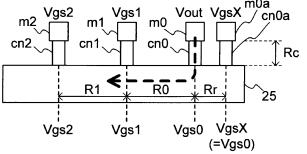


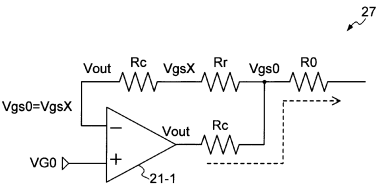
FIG. 7B

30

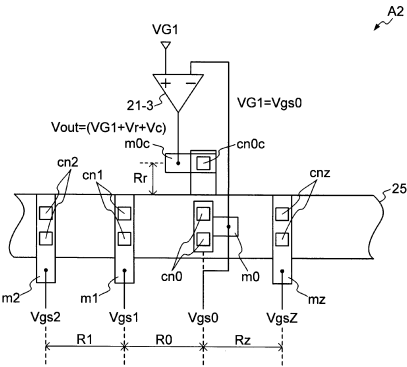
40

50

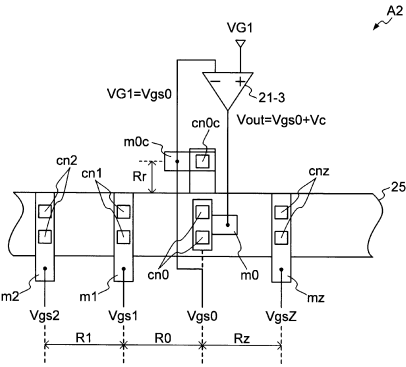
【 8 】



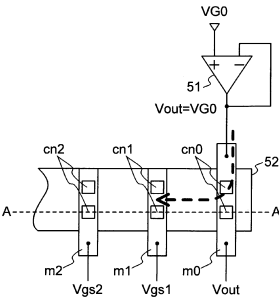
【 9 】



【 1 0 】



【 1 1 A 】



10

20

30

40

50

フロントページの続き

(51)国際特許分類	F I		
	G 0 9 G	3/20	6 2 3 B
	G 0 9 G	3/20	6 2 2 B
	G 0 9 G	3/20	6 4 1 Q
(56)参考文献	特開 2 0 1 0 - 1 3 9 7 9 5 (J P , A)		
	特開 2 0 1 0 - 1 6 4 8 2 7 (J P , A)		
	特開 2 0 0 8 - 1 4 6 0 2 8 (J P , A)		
	国際公開第 2 0 1 2 / 0 1 4 4 7 7 (W O , A 1)		
(58)調査した分野	米国特許出願公開第 2 0 1 7 / 0 0 1 7 2 5 2 (U S , A 1)		
	(Int.Cl. , D B 名)		
	G 0 9 G	3 / 2 0 - 3 / 3 8	
	G 0 2 F	1 / 1 3 3	
	H 0 1 L	2 1 / 8 2 2	
	H 0 1 L	2 7 / 0 4	