

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 28 年 3 月 31 日 (2016.3.31)

【公開番号】特開 2015-126043 (P2015-126043A)

【公開日】平成 27 年 7 月 6 日 (2015.7.6)

【年通号数】公開・登録公報 2015-043

【出願番号】特願 2013-268253 (P2013-268253)

【国際特許分類】

H 0 1 L 27/146 (2006.01)

H 0 1 L 25/065 (2006.01)

H 0 1 L 25/07 (2006.01)

H 0 1 L 25/18 (2006.01)

H 0 4 N 5/374 (2011.01)

【F I】

H 0 1 L 27/14 F

H 0 1 L 25/08 Y

H 0 4 N 5/335 7 4 0

【手続補正書】

【提出日】平成 28 年 2 月 12 日 (2016.2.12)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

複数のセンサが配置されて成るセンサ部を有する第 1 半導体チップ、及び、  
センサによって取得された信号を処理する信号処理部を有する第 2 半導体チップ、  
を備えており、  
第 1 半導体チップと第 2 半導体チップとは積層されており、  
信号処理部の少なくとも一部は、空乏型電界効果トランジスタから構成されている電子デバイス。

【請求項 2】

複数のセンサが配置されて成るセンサ部を有する第 1 半導体チップ、及び、  
センサによって取得された信号を処理する信号処理部を有する第 2 半導体チップ、  
を備えており、  
第 1 半導体チップと第 2 半導体チップとは積層されており、  
信号処理部は、高耐圧トランジスタ系回路及び低耐圧トランジスタ系回路から構成されており、  
低耐圧トランジスタ系回路の少なくとも一部は、空乏型電界効果トランジスタから構成されている電子デバイス。

【請求項 3】

高耐圧トランジスタ系回路とセンサ部とは、平面的に重なっており、  
第 2 半導体チップにおいて、第 1 半導体チップのセンサ部と対向する高耐圧トランジスタ系回路の上方には遮光領域が形成されている請求項 2 に記載の電子デバイス。

【請求項 4】

高耐圧トランジスタ系回路とセンサ部とは、平面的に重なっていない請求項 2 に記載の電子デバイス。

## 【請求項 5】

センサはイメージセンサから成り、  
固体撮像装置から成る請求項 1 乃至請求項 4 のいずれか 1 項に記載の電子デバイス。

## 【請求項 6】

イメージセンサは C M O S イメージセンサから成る請求項 5 に記載の電子デバイス。

## 【請求項 7】

空乏型電界効果トランジスタは、完全空乏型 S O I 構造を有する請求項 1 乃至請求項 6 のいずれか 1 項に記載の電子デバイス。

## 【請求項 8】

空乏型電界効果トランジスタは、部分空乏型 S O I 構造を有する請求項 1 乃至請求項 6 のいずれか 1 項に記載の電子デバイス。

## 【請求項 9】

空乏型電界効果トランジスタは、フィン構造を有する請求項 1 乃至請求項 6 のいずれか 1 項に記載の電子デバイス。

## 【請求項 10】

空乏型電界効果トランジスタは、深空乏化チャネル構造を有する請求項 1 乃至請求項 6 のいずれか 1 項に記載の電子デバイス。

## 【請求項 11】

信号処理部又は低耐圧トランジスタ系回路は、アナログ - デジタル変換器を含み、  
アナログ - デジタル変換器の一部は、空乏型電界効果トランジスタから構成されている  
請求項 1 乃至請求項 10 のいずれか 1 項に記載の電子デバイス。

## 【請求項 12】

アナログ - デジタル変換器は、シングルスロープ型アナログ - デジタル変換器、逐次比較型アナログ - デジタル変換器、又は、デルタ - シグマ変調型アナログ - デジタル変換器から成る請求項 11 に記載の電子デバイス。

## 【請求項 13】

アナログ - デジタル変換器は、グレイコードカウンタを備えている請求項 11 又は請求項 12に記載の電子デバイス。

## 【請求項 14】

アナログ - デジタル変換器は、複数のセンサに対して 1 つ設けられており、  
シングルスロープ型アナログ - デジタル変換器から成るアナログ - デジタル変換器は、ランブ電圧生成器、  
センサによって取得されたアナログ信号と、ランブ電圧生成器からのランブ電圧とが入力される比較器、及び、  
クロック供給部からクロックが供給され、比較器の出力信号に基づいて動作するカウンタ部、  
を有し、  
少なくともカウンタ部の一部は、空乏型電界効果トランジスタから構成されている請求項 11 に記載の電子デバイス。

## 【請求項 15】

クロック供給部は、空乏型電界効果トランジスタから構成されている請求項 14 に記載の電子デバイス。

## 【請求項 16】

信号処理部又は低耐圧トランジスタ系回路は、アナログ - デジタル変換器に接続されたクロック供給部を含み、  
クロック供給部は、空乏型電界効果トランジスタから構成されている請求項 11 乃至請求項 13 のいずれか 1 項に記載の電子デバイス。

## 【請求項 17】

クロック供給部は P L L 回路から構成されている請求項 16 に記載の電子デバイス。

## 【請求項 18】

第2半導体チップには、更に、メモリ部が設けられている請求項1乃至請求項17のいずれか1項に記載の電子デバイス。

【請求項19】

メモリ部が設けられた第3半導体チップを更に備えており、

第1半導体チップ、第2半導体チップ及び第3半導体チップの順に積層されている請求項1乃至請求項17のいずれか1項に記載の電子デバイス。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正の内容】

【0007】

上記の目的を達成するための本開示の第2の態様に係る電子デバイスは、

複数のセンサが配置されて成るセンサ部を有する第1半導体チップ、及び、

センサによって取得された信号を処理する信号処理部を有する第2半導体チップ、を備えており、

第1半導体チップと第2半導体チップとは積層されており、

信号処理部は、高耐圧トランジスタ系回路及び低耐圧トランジスタ系回路から構成されており、

低耐圧トランジスタ系回路の少なくとも一部は、空乏型電界効果トランジスタから構成されている。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正の内容】

【0016】

そして、上記の好ましい構成において、アナログ-デジタル変換器は、シングルスロープ型アナログ-デジタル変換器、逐次比較型アナログ-デジタル変換器、又は、デルタ-シグマ変調型（変調型）アナログ-デジタル変換器から成る形態とすることができ、これらの好ましい構成、形態において、アナログ-デジタル変換器は、グレイコードカウンタを備えている形態とすることができる。但し、アナログ-デジタル変換器は、これらに限定するものではなく、フラッシュ型、ハーフ・フラッシュ型、サブレンジング型、パイプライン型、ビット・パー・ステージ型、マグニチュード・アンプ型等を挙げることができる。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0046

【補正方法】変更

【補正の内容】

【0046】

あるいは又、シングルスロープ型アナログ-デジタル変換器におけるタイミングチャートの別の例を図3に示す。列毎に配置された比較器51において、センサ40からのアナログ信号（信号レベル $V_{sig}$ ）が、階段状に変化する参照信号 $V_{ref}$ と比較される。このとき、アナログ信号（信号レベル $V_{sig}$ ）と参照信号 $V_{ref}$ のレベルが交差し、そして、比較器51の出力が反転するまで、基準クロック $PLLCK$ を用いてカウンタ部52でカウントが行われる。これにより、アナログ信号がデジタル信号に変換される（即ち、AD変換される）。カウンタ部52はダウンカウンタから構成されている。AD変換は、アナログ信号の1度の読出しで2回行われる。即ち、第1回目は、センサ40のリセットレベル（P相）のAD変換が実行される。このリセットレベルP相にはセンサ毎のばらつきが含ま

れる。第2回目は、各センサ40で得られたアナログ信号が信号線26に読み出され(D相)、AD変換が実行される。このD相にもセンサ毎のばらつきが含まれるため、(D相レベル-P相レベル)を実行することで、相関二重サンプリング(CDS)処理を実現することができる。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0094

【補正方法】変更

【補正の内容】

【0094】

実施例3にあっても、センサ40が所定数を単位としてユニット化され、センサユニット毎に接続部24が設けられている。そして、第2半導体チップ30上には、図17に示すように、接続部24に接続された信号線26が設けられている。信号線26には電流源35が接続されている。更に、信号線26毎にAD変換器50が設けられている。AD変換器50は、比較器(COMP)51'、Nビット(Nは2以上の整数)のカウンタ部52'、及び、ラッチ部53'を有する。AD変換器50におけるラッチ部53'は、カウンタ部52'のNビット分の単位回路(ラッチ回路)から成り、比較器51'及びカウンタ部52'によってAD変換され、カウンタ部52'のアップ/ダウンのカウント動作によってCDS処理された1センサ分のデジタルデータ(画像データ)をラッチする。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0150

【補正方法】変更

【補正の内容】

【0150】

尚、本開示は、以下のような構成を取ることでもある。

[A01]《電子デバイス：第1の態様》

複数のセンサが配置されて成るセンサ部を有する第1半導体チップ、及び、センサによって取得された信号を処理する信号処理部を有する第2半導体チップ、を備えており、

第1半導体チップと第2半導体チップとは積層されており、

信号処理部の少なくとも一部は、空乏型電界効果トランジスタから構成されている電子デバイス。

[A02]《電子デバイス：第2の態様》

複数のセンサが配置されて成るセンサ部を有する第1半導体チップ、及び、センサによって取得された信号を処理する信号処理部を有する第2半導体チップ、を備えており、

第1半導体チップと第2半導体チップとは積層されており、

信号処理部は、高耐圧トランジスタ系回路及び低耐圧トランジスタ系回路から構成されており、

低耐圧トランジスタ系回路の少なくとも一部は、空乏型電界効果トランジスタから構成されている電子デバイス。

[A03]高耐圧トランジスタ系回路とセンサ部とは、平面的に重なっており、

第2半導体チップにおいて、第1半導体チップのセンサ部と対向する高耐圧トランジスタ系回路の上方には遮光領域が形成されている[A02]に記載の電子デバイス。

[A04]高耐圧トランジスタ系回路とセンサ部とは、平面的に重なっていない[A02]に記載の電子デバイス。

[A05]センサはイメージセンサから成り、

固体撮像装置から成る[A01]乃至[A04]のいずれか1項に記載の電子デバイス。

[ A 0 6 ] イメージセンサは C M O S イメージセンサから成る [ A 0 5 ] に記載の電子デバイス。

[ A 0 7 ] 空乏型電界効果トランジスタは、完全空乏型 S O I 構造を有する [ A 0 1 ] 乃至 [ A 0 6 ] のいずれか 1 項に記載の電子デバイス。

[ A 0 8 ] 空乏型電界効果トランジスタは、部分空乏型 S O I 構造を有する [ A 0 1 ] 乃至 [ A 0 6 ] のいずれか 1 項に記載の電子デバイス。

[ A 0 9 ] 空乏型電界効果トランジスタは、フィン構造を有する [ A 0 1 ] 乃至 [ A 0 6 ] のいずれか 1 項に記載の電子デバイス。

[ A 1 0 ] 空乏型電界効果トランジスタは、深空乏化チャネル構造を有する [ A 0 1 ] 乃至 [ A 0 6 ] のいずれか 1 項に記載の電子デバイス。

[ A 1 1 ] 信号処理部又は低耐圧トランジスタ系回路は、アナログ - デジタル変換器を含み、

アナログ - デジタル変換器の一部は、空乏型電界効果トランジスタから構成されている [ A 0 1 ] 乃至 [ A 1 0 ] のいずれか 1 項に記載の電子デバイス。

[ A 1 2 ] アナログ - デジタル変換器は、シングルスロープ型アナログ - デジタル変換器、逐次比較型アナログ - デジタル変換器、又は、デルタ - シグマ変調型アナログ - デジタル変換器から成る [ A 1 1 ] に記載の電子デバイス。

[ A 1 3 ] アナログ - デジタル変換器は、グレイコードカウンタを備えている [ A 1 1 ] 又は [ A 1 2 ] に記載の電子デバイス。

[ A 1 4 ] アナログ - デジタル変換器は、複数のセンサに対して 1 つ設けられており、  
シングルスロープ型アナログ - デジタル変換器から成るアナログ - デジタル変換器は、  
ランプ電圧生成器、

センサによって取得されたアナログ信号と、ランプ電圧生成器からのランプ電圧とが入力される比較器、及び、

クロック供給部からクロックが供給され、比較器の出力信号に基づいて動作するカウンタ部、  
を有し、

少なくともカウンタ部の一部は、空乏型電界効果トランジスタから構成されている [ A 1 1 ] に記載の電子デバイス。

[ A 1 5 ] クロック供給部は、空乏型電界効果トランジスタから構成されている [ A 1 4 ] に記載の電子デバイス。

[ A 1 6 ] 信号処理部又は低耐圧トランジスタ系回路は、アナログ - デジタル変換器に接続されたクロック供給部を含み、

クロック供給部は、空乏型電界効果トランジスタから構成されている [ A 1 1 ] 乃至 [ A 1 3 ] のいずれか 1 項に記載の電子デバイス。

[ A 1 7 ] クロック供給部は P L L 回路から構成されている [ A 1 6 ] に記載の電子デバイス。

[ A 1 8 ] 第 2 半導体チップには、更に、メモリ部が設けられている [ A 0 1 ] 乃至 [ A 1 7 ] のいずれか 1 項に記載の電子デバイス。

[ A 1 9 ] メモリ部が設けられた第 3 半導体チップを更に備えており、

第 1 半導体チップ、第 2 半導体チップ及び第 3 半導体チップの順に積層されている [ A 0 1 ] 乃至 [ A 1 7 ] のいずれか 1 項に記載の電子デバイス。

[ B 0 1 ] 信号処理部は、アナログ - デジタル変換器、メモリ部、データ処理部、電流源及び制御部を備えており、

アナログ - デジタル変換器によってデジタル化されたデジタルデータは、フレームレートよりも速い第 1 速度でメモリ部に転送され、

データ処理部は、メモリ部から第 1 速度よりも遅い第 2 速度でデジタルデータを読み出し、

制御部は、メモリ部からデジタルデータが読み出されるとき、電流源の動作及び少なくともアナログ - デジタル変換器の動作を停止する [ A 0 1 ] に記載の電子デバイス。

[ B 0 2 ] 制御部は、電流源の動作及びアナログ - デジタル変換器の動作を垂直同期信号の単位で停止する [ B 0 1 ] に記載の電子デバイス。

[ B 0 3 ] 信号処理部は、センサ部の各センサからセンサ行毎に読み出されるアナログ信号に対して、センサ列の単位で並列に信号処理を行う [ B 0 1 ] 又は [ B 0 2 ] に記載の電子デバイス。

[ B 0 4 ] 信号処理部は、

アナログ - デジタル変換器でデジタル化されたデジタルデータをラッチするデータラッチ部、及び、

データラッチ部から出力されるデジタルデータをパラレルデータからシリアルデータに変換するパラレル - シリアル変換部、

を有しており、

アナログ - デジタル変換器でデジタル化されたデジタルデータをメモリ部にパイプライン転送する [ B 0 3 ] に記載の電子デバイス。

[ B 0 5 ] 信号処理部は、1 水平期間内にアナログ - デジタル変換器によるデジタル化処理を行い、デジタル化されたデジタルデータを次の 1 水平期間内にデータラッチ部へ転送する [ B 0 4 ] に記載の電子デバイス。

[ B 0 6 ] 信号処理部は、1 水平期間内にアナログ - デジタル変換器によるデジタル化処理を行い、デジタル化されたデジタルデータを次の 1 水平期間内にデータラッチ部及び列デコーダを介してメモリ部へ転送する [ B 0 4 ] に記載の電子デバイス。

[ B 0 7 ] 信号処理部は、

アナログ - デジタル変換器でデジタル化されたデジタルデータをラッチするデータラッチ部、

データラッチ部から出力されるデジタルデータを圧縮するデータ圧縮部、及び、

データ圧縮部から出力されるデジタルデータをパラレルデータからシリアルデータに変換するパラレル - シリアル変換部、

を有しており、

アナログ - デジタル変換器でデジタル化されたデジタルデータをメモリ部にパイプライン転送する [ B 0 3 ] に記載の電子デバイス。

[ B 0 8 ] 信号処理部は、1 水平期間内にアナログ - デジタル変換器によるデジタル化処理を行い、デジタル化されたデジタルデータを次の 1 水平期間内にデータラッチ部へ転送する [ B 0 7 ] に記載の電子デバイス。

[ B 0 9 ] 信号処理部は、1 水平期間内にアナログ - デジタル変換器によるデジタル化処理を行い、デジタル化されたデジタルデータを次の 1 水平期間内にデータラッチ部及び列デコーダを介してメモリ部へ転送する [ B 0 7 ] に記載の電子デバイス。

[ B 1 0 ] 信号処理部は、アナログ - デジタル変換器を 2 つ以上有し、2 つ以上のアナログ - デジタル変換器において並列的にデジタル化処理を行う [ B 0 1 ] 乃至 [ B 0 9 ] のいずれか 1 項に記載の電子デバイス。

[ B 1 1 ] 2 つ以上のアナログ - デジタル変換器は、センサ部の信号線の延びる方向の両側に分けて配置されている [ B 1 0 ] に記載の電子デバイス。

[ B 1 2 ] 信号線に接続されている電流源、信号処理部、及び、メモリ部は、所定数のセンサを単位としたセンサユニット毎に設けられており、

信号処理部は、センサユニット毎にセンサから読み出されるアナログ信号に対して並列に信号処理を行う [ B 0 1 ] 乃至 [ B 1 1 ] のいずれか 1 項に記載の電子デバイス。

[ B 1 3 ] 信号処理部は、センサユニット毎に所定数のセンサから読み出されるアナログ信号に対して所定の順番で信号処理を行う [ B 1 2 ] に記載の電子デバイス。

[ B 1 4 ] データ処理部は、メモリ部に対して列アドレスを指定するデコーダと、指定した列アドレスのデジタルデータを読み出すセンスアンプとを有し、

センスアンプ及びデコーダを通してメモリ部からデジタルデータを読み出す [ B 0 1 ] 乃至 [ B 1 3 ] のいずれか 1 項に記載の電子デバイス。

[ B 1 5 ] データ処理部は、露光期間中にメモリ部からデジタルデータを読み出す [ B 0

１］乃至〔Ｂ１４〕のいずれか１項に記載の電子デバイス。

〔Ｂ１６〕制御部は、信号線に接続された電流源の動作を停止するとき、信号線と電流源との間の電流パスを遮断する〔Ｂ０１〕乃至〔Ｂ１５〕のいずれか１項に記載の電子デバイス。

〔Ｂ１７〕制御部は、信号線と電流源との間の電流パスを遮断するとき、信号線に固定電位を与える〔Ｂ１６〕に記載の電子デバイス。