

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3649123号
(P3649123)

(45) 発行日 平成17年5月18日(2005.5.18)

(24) 登録日 平成17年2月25日(2005.2.25)

(51) Int. Cl.⁷

F I

H05K 1/11
B41J 2/175
G03G 15/00
H05K 1/02H05K 1/11 C
G03G 15/00 550
H05K 1/02 N
B41J 3/04 102Z

請求項の数 15 (全 17 頁)

(21) 出願番号 特願2000-395925 (P2000-395925)
(22) 出願日 平成12年12月26日(2000.12.26)
(65) 公開番号 特開2002-198627 (P2002-198627A)
(43) 公開日 平成14年7月12日(2002.7.12)
審査請求日 平成16年1月8日(2004.1.8)

早期審査対象出願

(73) 特許権者 000002369
セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号
(74) 代理人 100096817
弁理士 五十嵐 孝雄
(74) 代理人 100097146
弁理士 下出 隆史
(74) 代理人 100102750
弁理士 市川 浩
(74) 代理人 100109759
弁理士 加藤 光宏
(72) 発明者 石澤 卓
長野県諏訪市大和三丁目3番5号 セイコ
ーエプソン株式会社内

最終頁に続く

(54) 【発明の名称】 回路基板の端子

(57) 【特許請求の範囲】

【請求項1】

印刷記録材収容体に搭載して用いられると共に、印刷用記録材に関する情報を格納する記憶装置を備える回路基板であって、

前記回路基板上において一方向の両端部に配置されている2以上の接地端子と、

前記回路基板上に配置されていると共に、前記印刷用記録材に関する情報の書き込みおよび読み出しに用いられる複数の端子であって、電源端子と制御信号端子とを含む複数の端子を備え、

前記複数の端子および前記接地端子は、同一列上に配列されており、

前記2以上の接地端子は、前記電源端子に対する最近接端子ではないと共に、前記列の最外端にそれぞれ配置され、前記回路基板上の端子に対する(印刷装置側端子の)接触を検出するために用いられることを特徴とする回路基板。

【請求項2】

印刷記録材収容体に搭載して用いられると共に、印刷用記録材に関する情報を格納する記憶装置を備える回路基板であって、

前記回路基板上において一方向の両端部に配置されている2以上の接地端子と、

前記回路基板上に配置されていると共に、前記印刷用記録材に関する情報の書き込みおよび読み出しに用いられる複数の端子であって、電源端子と制御信号端子とクロック信号端子とを含む複数の端子を備え、

前記複数の端子は複数の列を形成するように配列されており、

10

20

前記 2 以上の接地端子は、前記電源端子に対する最近接端子ではないと共に、前記 2 以上の接地端子の内、2 つの接地端子は前記複数の列の内の一の列の最外端にそれぞれ配置され、

前記クロック信号端子は、前記 2 以上の接地端子の内、2 つの接地端子によって挟まれていることを特徴とする回路基板。

【請求項 3】

請求項 1 に記載の回路基板において、

前記複数の端子は複数の列を形成するように配列されており、

前記 2 以上の接地端子の内、2 つの接地端子は前記複数の列の内の一の列の最外端にそれぞれ配置され、

10

前記複数の端子は、データ入出力端子、電源端子、選択信号端子、読み出し / 書き込み制御信号端子、およびクロック信号端子を含み、

前記複数の列は、

前記電源端子の両側に、前記データ入出力端子、および前記選択信号端子がそれぞれ配置されている第 1 の列と、

前記 2 つの接地端子の間に、前記読み出し / 書き込み制御信号端子および前記クロック信号端子がそれぞれ配置されている第 2 の列とを有し、

前記第 1 の列は、前記第 2 の列よりも前記回路基板の中心よりに配置され、

前記第 1 の列に配置されている前記各端子と前記第 2 の列に配置されている前記各端子とは交互に配置されていることを特徴とする回路基板。

20

【請求項 4】

請求項 1 ないし請求項 3 のいずれかに記載の回路基板において、

前記複数の端子は、1 mm 間隔にて前記列の形成方向に配置されていることを特徴とする回路基板。

【請求項 5】

印刷装置に装着されて用いられる印刷記録材収容体であって、

印刷記録材を収容する収容室と、

前記収容室に収容されている印刷記録材に関する情報を格納する記憶装置を有する回路基板であって、前記回路基板上において一の方向に配置されている複数の端子と、前記回路基板上において一の方向の両端部に配置されていると共に（前記印刷装置側の端子との導通により前記印刷装置に対する前記印刷記録材収容体の装着を検出するために用いられる）前記印刷装置に対する前記印刷記録材収容体の装着を検出するために用いられる 2 以上の接地端子とを有する回路基板とを備え、

30

前記 2 以上の接地端子は、前記電源端子に対する最近接端子ではなく、

前記複数の端子は複数の列を形成するように配列されていると共に電源端子、制御信号端子、およびクロック信号端子を含み、

前記 2 以上の接地端子の内、2 つの接地端子は前記電源端子を含む列とは異なる列であると共に前記クロック信号端子と同列の最外端にそれぞれ配置されていることを特徴とする印刷記録材収容体。

【請求項 6】

40

請求項 5 に記載の印刷記録材収容体において

印刷装置に装着されて用いられる印刷記録材収容体であって、

印刷記録材を収容する収容室と、

前記収容室に収容されている印刷記録材に関する情報を格納する記憶装置を有する回路基板であって、前記回路基板上において一の方向に配置されている複数の端子と、前記回路基板上において一の方向の両端部に配置されている 2 以上の接地端子とを有する回路基板とを備え、

前記複数の端子は更に、データ入出力端子、選択信号端子、読み出し / 書き込み制御信号端子、およびクロック信号端子を含み、

前記複数の列は、

50

前記電源端子の両側に、前記データ入出力端子、および前記選択信号端子がそれぞれ配置されている第1の列と、

前記2つの接地端子の間に、前記読み出し/書き込み制御信号端子および前記クロック信号端子がそれぞれ配置されている第2の列とを有し、

前記第1の列は、前記第2の列よりも前記回路基板の中心よりに配置され、

前記第1の列に配置されている前記各端子と前記第2の列に配置されている前記各端子とは交互に配置されていることを特徴とする印刷記録材収容体。

【請求項7】

請求項5または請求項6記載の印刷記録材収容体において、

前記複数の端子は、1mm間隔にて前記列の形成方向に配置されていることを特徴とする印刷記録材収容体。 10

【請求項8】

請求項5ないし請求項7のいずれかに記載の印刷記録材収容体において、

前記印刷記録材収容体はインクカートリッジであることを特徴とする印刷記録材収容体。

【請求項9】

請求項5ないし請求項8のいずれかに記載の印刷記録材収容体において、

前記印刷記録材収容体はトナーカートリッジであることを特徴とする印刷記録材収容体。

【請求項10】 20

請求項5ないし請求項6のいずれかに記載の印刷記録材収容体はさらに、

2つの縁部を備えると共に前記印刷装置に接続される接続端面であって、中心に印刷記録材供給口を有する接続端面を備え、

前記回路基板は前記接続端面のいずれかの縁部に配置されている印刷記録材容器。

【請求項11】

印刷記録材収容体に搭載されると共に、印刷用記録材に関する情報を格納する記憶装置を備える回路基板であって、

前記回路基板上において一方向の両端部に配置されている2以上の接地端子と、

前記回路基板上に配置されていると共に、前記印刷用記録材に関する情報の書き込みおよび読み出しに用いられる、電源端子、データ入出力端子、選択信号端子、読み出し/書き込み制御信号端子、およびクロック信号端子を含む複数の端子を備え、 30

前記2以上の接地端子と前記複数の端子は複数の列を形成するように配列されており、

前記電源端子は、前記接地端子が配置されている列とは異なる列の中心に配置されており、

前記2以上の接地端子の内、2つの接地端子は前記複数の列の最外端にそれぞれ配置されており、

前記複数の列は、

前記電源端子の両側に、前記データ入出力端子、および前記選択信号端子がそれぞれ配置されている第1の列と、

前記2つの接地端子の間に、前記読み出し/書き込み制御信号端子および前記電源端子がそれぞれ配置されている第2の列とを有する回路基板。 40

【請求項12】

請求項11に記載の回路基板において、前記第2の列は、前記第1の列よりも前記回路基板の中心から離れた位置に配置されている回路基板。

【請求項13】

印刷装置に装着されて用いられる印刷記録材収容体であって、

印刷記録材を収容する収容室と、

前記収容室に収容されている印刷記録材に関する情報を格納する記憶装置を有する回路基板であって、前記回路基板上において一方向に配置されている複数の端子と、前記回路基板上において一方向の両端部に配置されていると共に前記印刷装置に対する前記印 50

印刷記録材収容体の装着を検出するために用いられる 2 以上の接地端子とを有する回路基板とを備え、

前記複数の端子は、電源端子、データ入出力端子、選択信号端子、読み出し / 書き込み制御信号端子、およびクロック信号端子を含むと共に複数の列を形成するように配列されており、

前記電源端子は、前記複数の列の内、前記接地端子が含まれない列の中心に配置されており、

前記 2 以上の接地端子の内、2 つの接地端子は前記複数の列の内の一の列の最外端にそれぞれ配置されており、

前記複数の列は、

前記電源端子の両側に、前記データ入出力端子、および前記選択信号端子がそれぞれ配置されている第 1 の列と、

前記 2 つの接地端子の間に、前記読み出し / 書き込み制御信号端子および前記クロック信号端子がそれぞれ配置されている第 2 の列とを有する印刷記録材収容体。

【請求項 1 4】

請求項 1 3 に記載の印刷記録材収容体において、前記第 2 の列は、前記第 1 の列よりも前記回路基板の中心から離れた位置に配置されている印刷記録材収容体。

【請求項 1 5】

印刷装置に装着されて用いられる印刷記録材収容体であって、

印刷記録材を収容する収容室と、

前記収容室に収容されている印刷記録材に関する情報を格納する記憶装置を有する回路基板であって、前記回路基板上において一の方に配置されている複数の端子と、前記回路基板上において一の方の両端部に配置されていると共に前記印刷装置に対する前記印刷記録材収容体の装着を検出するために用いられる 2 以上の接地端子とを有する回路基板とを備え、

前記複数の端子および前記接地端子は、単一の列を形成するように配列されており、

前記 2 以上の接地端子の内、2 つの接地端子は前記列の最外端にそれぞれ配置されていることを特徴とする印刷記録材収容体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、印刷用記録材を収容する印刷記録材収容体に備えられる回路基板に関する。

【0002】

【従来の技術】

近年、インクカートリッジ内のインクに関する情報を格納する記憶装置を有する回路基板を備えたインクカートリッジが実用化されている。回路基板には、プリンタからの電源供給、格納情報等を受け取るため、あるいは、格納されている情報をプリンタに対して送出するための端子が備えられている。

【0003】

従来の端子の配置構造について図 1 2 を参照して説明する。回路基板 5 0 0 は、接地端子 5 1 0 を中心にして、その一側にデータ入出力用端子 5 2 0、他側にリード・ライト信号用端子 5 3 0 が配置されている第 1 端子列と、第 1 端子列の上段に位置すると共に、電源端子 5 4 0 を中心にして、その一側にクロック信号用端子 5 5 0、他側にチップセレクト信号用端子 5 6 0 が配置されている第 2 端子列とを備えている。

【0004】

プリンタ 5 8 0 には、これら各端子 5 1 0 ~ 5 6 0 に対応して接触ピン 5 7 0 がそれぞれ備えられており、インクカートリッジがプリンタの装着部に装着されると各端子 5 1 0 ~ 5 6 0 と各接触ピン 5 7 0 とが相互に接触し、回路基板 5 0 0 とプリンタ 5 8 0 との間で電力、データ等のやりとりが可能となる。接地端子 5 1 0 は、インクカートリッジが正しく装着されているか否かをプリンタ 5 8 0 にて判定するために用いられており、プリンタ

10

20

30

40

50

５８０の接地端子用ピンと接地端子５１０との接触（導通）を検出することによってインクカートリッジの装着が検出される。

【０００５】

【発明が解決しようとする課題】

しかしながら、従来、回路基板５００のズレ等により他の端子５２０～５６０と接触ピン５７０とが接触していない場合にも、導通が検出され、インクカートリッジが装着されているものと判定されることがあった。かかる場合には、インクカートリッジが装着されていると判定されているにもかかわらず、記憶装置に格納されているデータの読み書きができないという問題があった。

【０００６】

本発明は、上記問題を解決するためになされたものであり、回路基板上の端子に対する接触を正確に検出することができる回路基板の端子配置構造を提供することを目的とする。また、印刷記録材収容体が装着されたか否かの検出を正確に実行することのできる印刷記録材収容体を提供することを目的とする。

【０００７】

【課題を解決するための手段およびその作用・効果】

上記課題を解決するために本発明の第１の態様は、印刷用記録材に関する情報を格納する記憶装置を備える回路基板を提供する。本発明の第１の態様に係る回路基板は、前記回路基板上において一の方向の両端部に配置されている２以上の接地端子と、前記回路基板上に配置されていると共に、前記印刷用記録材に関する情報の書き込みおよび読み出しに用いられる複数の端子であって、電源端子と制御信号端子とを含む複数の端子を備え、前記２以上の接地端子は、前記電源端子に対する最近接端子ではないことを特徴とする。

【０００８】

本発明の第１の態様に係る回路基板によれば、回路基板上において一の方向の両端部に配置されている２以上の接地端子を備えるので、回路基板上の端子に対する接触を正確に検出することができると共に、電源端子と接地端子との短絡を防止することができる。

【０００９】

本発明の第１の態様に係る回路基板において、前記複数の端子および前記接地端子は、同一列上に配列されており、前記２以上の接地端子の内、２つの接地端子は前記列の最外端にそれぞれ配置されていても良い。かかる構成を備える場合にも回路基板上の端子に対する接触を正確に検出することができる。

【００１０】

本発明の第１の態様に係る回路基板において、前記複数の端子は複数の列を形成するように配列されており、前記２以上の接地端子の内、２つの接地端子は前記複数の列の内の一の列の最外端にそれぞれ配置されていても良い。また、前記複数の端子は、クロック信号端子を含み、前記クロック信号端子は、前記２以上の接地端子の内、２つの接地端子によって挟まれていても良い。かかる構成を備える場合には、クロック信号を安定させることができる。さらに、前記複数の端子は、電源端子を含み、前記２以上の接地端子の内、２つの接地端子は前記電源端子を含む列とは異なる列の最外端にそれぞれ配置されていても良い。かかる構成を備える場合には、電源端子と接地端子との短絡を防止することができる。

【００１２】

本発明の第１の態様に係る回路基板において、前記複数の端子は、データ入出力端子、電源端子、選択信号端子列、読み出し／書き込み制御信号端子、およびクロック信号端子を含み、

前記複数の列は、

前記電源端子の両側に、前記データ入出力端子、および前記選択信号端子がそれぞれ配置されている第１の列と、

前記２つの接地端子の間に、前記読み出し／書き込み制御信号端子および前記クロック信号端子がそれぞれ配置されている第２の列とを有し、

10

20

30

40

50

前記第 1 の列は、前記第 2 の列よりも前記回路基板の中心よりに配置され、

前記第 1 の列に配置されている前記各端子と前記第 2 の列に配置されている前記各端子とは交互に配置されていても良い。かかる構成を備える場合には、各端子間の短絡を防止できると共に、各端子に対する不必要な接触を防止することができる。

【 0 0 1 3 】

本発明の第 1 の態様に係る回路基板において、前記複数の端子は、約 1 mm 間隔にて前記列の形成方向に配置されていても良い。

【 0 0 1 7 】

本発明の第 3 の態様は、印刷装置に装着されて用いられる印刷記録材収容体を提供する。本発明の第 3 の態様に係る印刷記録材収容体は、印刷記録材を収容する収容室と、前記収容室に収容されている印刷記録材に関する情報を格納する記憶装置を有する回路基板であって、前記回路基板上において一の方向に配置されている複数の端子と、前記回路基板上において一の方向の両端部に配置されている 2 以上の接地端子とを有する回路基板とを備え、前記 2 以上の接地端子は、前記電源端子に対する最近接端子ではないことを特徴とする。

【 0 0 1 8 】

本発明の第 3 の態様に係る印刷記録材収容体は、一の方向の両端部に配置されている 2 以上の接地端子を有すると共に、電源端子に対する最近接端子ではない 2 以上の接地端子を有する回路基板を備えるので、印刷記録材収容体が装着されたか否かを正確に検出することができると共に、電源端子と接地端子との短絡を防止することができる。

【 0 0 2 0 】

本発明の第 3 の態様に係る印刷記録材収容体において、前記複数の端子は、電源端子、制御信号端子、およびクロック信号端子を含み、前記 2 以上の接地端子の内、2 つの接地端子は、前記電源端子を含む列とは異なる列であると共に前記クロック信号端子と同列の最外端にそれぞれ配置されていても良い。かかる構成を備える場合には、クロック信号を安定させることができると共に接地端子と電源端子との短絡を防止することができる。

【 0 0 2 1 】

本発明の第 3 の態様に係る印刷記録材収容体において、前記複数の端子は、データ入出力端子、電源端子、選択信号端子列、読み出し / 書き込み制御信号端子、およびクロック信号端子を含み、

前記複数の列は、

前記電源端子の両側に、前記データ入出力端子、および前記選択信号端子がそれぞれ配置されている第 1 の列と、

前記 2 つの接地端子の間に、前記読み出し / 書き込み制御信号端子および前記クロック信号端子がそれぞれ配置されている第 2 の列とを有し、

前記第 1 の列は、前記第 2 の列よりも前記回路基板の中心よりに配置され、

前記第 1 の列に配置されている前記各端子と前記第 2 の列に配置されている前記各端子とは交互に配置されていても良い。かかる構成を備える場合には、各端子間の短絡を防止できると共に、各端子に対する不必要な接触を防止することができる。

【 0 0 2 2 】

本発明の第 3 の態様に係る印刷記録材収容体において、前記複数の端子は、約 1 mm 間隔にて前記列の形成方向に配置されていても良い。かかる構成を備える場合には、印刷記録材収容体の不正確な装着が回路基板上の各端子の接触不良を招きやすいが、回路基板上の両端部または最外端に配置されている接地端子によって、回路基板上の各端子の接触不良を適切に検出することができる。

【 0 0 2 3 】

本発明の第 3 の態様に係る印刷記録材収容体において、前記印刷記録材収容体は、インクカートリッジであっても良く、あるいは、トナーカートリッジであっても良い。いずれの場合にも、カートリッジの装着を正確に検出することが要求されるからである。

【 0 0 2 4 】

【発明の実施の形態】

以下、本発明に係る回路基板の端子について以下の順序にて図面を参照しながら実施例に基づいて説明する。

【0025】

- A．第1の実施例に係る回路基板の端子の構成例
- B．第1の実施例に係る回路基板の回路構成例
- C．第1の実施例に係る回路基板を備えるインクカートリッジの構成例
- D．その他の実施例

【0026】

- A．第1の実施例に係る回路基板の端子の構成例

10

図1～図3を参照して第1の実施例に係る回路基板の端子の構成について説明する。図1は第1の実施例に係る回路基板の端子の構成例を示す説明図である。図2は図1に示す回路基板の側面図である。図3は第1の実施例に係る回路基板の端子とプリンタ側の接触ピンとの接触状態を模式的に示す説明図である。

【0027】

回路基板10は、略矩形形状の外形を有しており、インクカートリッジに装着する際の位置決め用の貫通孔11、外周の一部に形成されたインクカートリッジ装着時における位置決め用の切り欠き12を備えている。回路基板10は、プリンタとの対向面13に複数の端子20～27を備え、インクカートリッジとの接合面14に各端子20～27と接続されている記憶装置30を備えている（図2参照）。

20

【0028】

回路基板10の対向面13の上半分には、工場出荷時に記憶装置30を試験する際に用いられる略円状の試験用端子20が備えられ、下半分には、上下に2列に配列されている略矩形形状の複数の端子21～27を備えている。上側列に配列されている端子は、図1中左側からデータ入出力用のI/O端子21、電源供給用の電源端子22、記憶装置30を選択的にアクティブにするためのチップセレクト信号（選択信号）CSを入力するためのチップセレクト端子23である。下側列に配列されている端子は、図1中左側から接地端子24、記憶装置30に対してリード・ライト制御信号W/Rを入力するためのリード・ライト端子25、記憶装置30に対してクロック信号CLK（同期信号）を入力するためのクロック端子26、および接地端子27である。

30

【0029】

図1から明らかなように、本実施例に係る回路基板10は、2列ある端子列のうち下側列の両端部に接地端子24、27を備え、接地端子24、27よりも内側に他の端子21～23、25、26を備えている。また、クロック端子26は接地端子24、27との間に配置されている。さらに、接地端子24、27は、電源端子22とは異なる列に配置されていると共に、電源端子22の端子辺とその端子辺との間隔が最も近い距離を取らない位置関係にある。すなわち、接地端子24、27は、電源端子22に対する最近接端子ではない。なお、本実施例における接地とは、信号用の基準電圧を意味し、電圧の正負を問わないものとする。

【0030】

40

本実施例において、回路基板10は、高さ11.9mm、幅7.5mm、厚さ0.71mmの寸法を有する。各端子21～27は、高さ1.8mm、幅1.0mmの寸法を有する。ただし、各寸法値は、例示に過ぎず、例えば、±0.5mm程度の相違があっても良い。また、隣接する各端子の間隔、例えば、I/O端子21と電源端子22との間隔は、例えば、約1mmである。各端子の間隔値についても、例えば、±0.5mm程度の相違があっても良い。

【0031】

図3を参照して本実施例に係る回路基板10とプリンタ側の接触ピンとの接触状態について説明する。プリンタ側には、これら各端子21～27に対応して接触ピンP1～P7がそれぞれ備えられており、インクカートリッジがプリンタの装着部に装着されると各端子

50

と各接触ピン P 1 ~ P 7 とが相互に接触し、プリンタから回路基板 1 0 の記憶装置 3 0 に対して電力が供給され、プリンタと記憶装置 3 0 との間でデータのやりとりが可能となる。

【 0 0 3 2 】

接地端子 2 4、2 7 は、インクカートリッジが正しく装着されているか否かをプリンタにて判定するために用いられており、プリンタは、プリンタ側の 2 本の接地端子用接触ピン P 4、P 7 が接地端子 2 4、2 7 とそれぞれ接触し、導通を検出することによってインクカートリッジの装着を検出する。

【 0 0 3 3 】

本実施例に係る回路基板 1 0 は、端子の配列方向に対する垂直並びに水平の傾斜、およびブレの影響を最も受けやすく、端子と接触ピンとの不接触が発生しやすい両端部に接地端子 2 4、2 7 を備えている。したがって、プリンタが接地端子 2 4、2 7 と接地端子用接触ピン P 4、P 7 との接触を検出した際には、他の端子 2 1 ~ 2 3、2 5、2 6 と他の接触ピン P 1 ~ P 3、P 5、P 6 とがそれぞれ接触していない可能性は極めて低く、インクカートリッジの装着を検出したにもかかわらず記憶装置 3 0 に対するアクセスができないといった事態を回避することができる。

【 0 0 3 4 】

また、接地端子 2 4、2 7 は電源端子 2 2 に対する最近接端子ではないので、電源端子 2 2 と接地端子 2 4、2 7 との短絡を防止することができる。

【 0 0 3 5 】

B . 第 1 の実施例に係る回路基板の回路構成例

次に図 4 を参照して第 1 の実施例に係る回路基板の回路構成の一例について説明する。図 4 は第 1 の実施例に係る回路基板の回路構成を概略的に示すブロック図である。

【 0 0 3 6 】

回路基板 1 0 は、既述のようにインクカートリッジとの接合面 1 3 に記憶装置 3 0 を備えている。本実施例における記憶装置 3 0 は、シリアルにアクセスされるメモリセル 3 1 と、このメモリセル 3 1 に対するデータの読み書きを制御するリード・ライト制御部 3 2 と、クロック信号 C L K に同期して、リード・ライト制御部 3 2 を介してプリンタ 1 0 0 とメモリセル 3 1 との間でデータの読み書きを行なう際のカウンタアップを行なうアドレスカウンタ 3 3 とを備える E E P R O M である。

【 0 0 3 7 】

プリンタ 1 0 0 の接触ピン P 1 は、プリンタ 1 0 に対するデータの入出力に用いられ、接触ピン P 2 は、プリンタ 1 0 0 から回路基板 1 0 の電源端子 2 2 に対して電源電圧 V D D を供給するために用いられる。接触ピン P 3 は、チップセレクト信号 C S の送出的ために用いられ、接触ピン P 4 および P 7 は、プルアップ電圧 V C C を供給するために用いられ、接触ピン P 5 はリード・ライト制御信号を送出するために用いられ、接触ピン P 6 は、クロック信号 C L K を送出的ために用いられる。

【 0 0 3 8 】

接触ピン P 4 は、プリンタ 1 0 0 内部で中央処理装置 (C P U) 6 0 のカートリッジアウト検出端子と接続されていると共に、プルアップ抵抗を介してカートリッジアウト検出用電源 V C C と接続され、カートリッジアウト電圧 V C C の電位を有する。また、接触ピン P 7 は、プリンタ 1 0 0 内部で接地されて接地電圧 V S S の電位を有する。

【 0 0 3 9 】

C . 第 1 の実施例に係る回路基板を備えるインクカートリッジの構成例

図 5 ~ 図 7 を参照して第 1 の実施例に係る回路基板 1 0 が装着されるインクカートリッジの構成例について説明する。図 5 は第 1 の実施例に係る回路基板 1 0 が装着されるインクカートリッジの全体構成を示す斜視図である。図 6 は図 4 中における回路基板 1 0 の装着部を拡大して示す拡大図である。図 7 はインクカートリッジをプリンタに装着する際の様子を示す説明図である。

【 0 0 4 0 】

インクカートリッジ 40 は、インクカートリッジをキャリッジ上に備えない、いわゆる、オフキャリッジタイプのプリンタに対して装着されるための形態を有している。オフキャリッジタイプのプリンタは、一般的に、大型プリンタであることが多く、このような大型プリンタに用いられるインクカートリッジは、オンキャリッジタイプのプリンタに用いられるインクカートリッジを比較して大型である。

【0041】

インクカートリッジ 40 は、回路基板 10 を装着する回路基板装着部 41 と、インクカートリッジ 40 内のインクをプリンタに対して供給するためのインク供給口 42 と、インクの供給を円滑にするためにインクカートリッジ 40 内に空気を送り込むための空気供給口 43 と、プリンタに対して装着する際のガイド部 44 を備えている。インクカートリッジ 40 は、ガイド部 44 等が形成されている辺（幅方向）に対して垂直な辺（奥行き方向）の長さが幅方向よりも長い外形寸法を有している。インクカートリッジ 40 と奥行き寸法と回路基板 10 の幅寸法との関係を、両者の比で表した場合、例えば、その比は、15 : 1 以上である。

10

【0042】

回路基板 10 は、図 5 に示されるように、貫通孔 11 および切り欠き 12 において位置決めされると共に、インクカートリッジ 40 の回路基板装着部 41 に対して固定されている。

【0043】

インクカートリッジ 40 がプリンタに装着される際には、インクカートリッジ 40 のガイド部 44 がプリンタ側のガイドピン 101 を案内し、回路基板装着部 41、インク供給口 42、および空気供給口 43 と、プリンタ側の接触ピン 102、インク供給口 103、および空気供給口 104 とを適切に接触、接合させる。

20

【0044】

プリンタ 100 にインクカートリッジ 40 が装着された際にプリンタ 100 が回路基板 10 に対して実行する処理について図 4 を参照して説明する。

【0045】

プリンタ 100 の接触ピン P7 は、プリンタ内部で接地されており、接触ピン P4 は CPU 60 のカートリッジアウト検出端子と接続されている。インクカートリッジ 40 がプリンタ 100 に装着されると、プリンタ 100 の各接触ピン P1 ~ P7 と回路基板 10 の各端子 21 ~ 27 とが接触する。このとき、プリンタ 100 の接触ピン P4、P7 と回路基板 10 の接地端子 24、27 とが共に接触していれば、CPU 60 は接地電圧 VSS を検出する。すなわち、プリンタ 100 (CPU 60) は、インクカートリッジ 40 が装着され、接触ピン P4、P7 と回路基板 10 の接地端子 24、27 との導通を検出し、インクカートリッジ 40 が正しく装着されていると判断する。

30

【0046】

一方、プリンタ 100 の接触ピン P4、P7 のいずれかが回路基板 10 の接地端子 24、27 と接触していない場合には、CPU 60 はカートリッジアウト電圧 VCC を検出する。すなわち、プリンタ 100 は、接触ピン P4、P7 と回路基板 10 の接地端子 24、27 との導通を検出することができず、インクカートリッジ 40 が正しく装着されていないと判断する。

40

【0047】

プリンタ 100 は、接触ピン P4、P7 と回路基板 10 の接地端子 24、27 との導通を検出し、インクカートリッジ 40 が正しく装着されていると判断すると、電源端子 22 に対して電源 VDD の供給を実行し、アクセスを所望する記憶装置 30 に対してチップセレクト信号 CS を送信する。

【0048】

チップセレクト信号 CS を受信した記憶装置 30 はアクティブ状態となり、プリンタ 100 の制御信号を待機する。プリンタ 100 は、例えば、記憶装置 30 に格納されているデータを読み出す際には、メモリセル 31 上の所望のアドレスに対応するクロック信号 CL

50

Kをクロック端子26に入力すると共に、リードを指示するリード・ライト制御信号W/Rをリード・ライト端子25に入力する。

【0049】

クロック端子26に入力されたクロック信号CLKはアドレスカウンタ33に入力され、アドレスカウンタ33は入力されたクロック信号CLKに同期してアドレスのカウントアップを実行し、メモリセル31上のアドレスを指定する。リード・ライト端子25を介して入力されたリード・ライト制御信号W/Rは、リード・ライト制御部32に入力され、解析される。リード・ライト制御部32は、解析したリード指令に従って、アドレスカウンタ33によって指定されたメモリセル31のアドレスからデータを読み出し、I/O端子21を介して読み出したデータをプリンタ100に対して送出する。

10

【0050】

以上説明したように、第1の実施例に係る回路基板10は、端子と接触ピンとの不接触が発生しやすい両端部に接地端子24、27を備えているので、プリンタが接地端子24、27と接地端子用接触ピンP4、P7とが接触しているにもかかわらず、他の端子21~23、25、26と他の接触ピンP1~P3、P5、P6とが接触していないという事態を低減もしくは排除することができる。この結果、インクカートリッジの装着を正確に検出することができる。また、インクカートリッジの装着を検出したにもかかわらず記憶装置30に対するアクセスができないといった事態を回避することができる。

【0051】

また、一般的に、本実施例におけるように、回路基板10の幅寸法とインクカートリッジ40の奥行き寸法との比が大きい場合には、インクカートリッジのわずかな装着のズレが、回路基板上では端子と接触ピンとの大きなズレとして現れ易く、いずれかの端子が接触ピンと接触していない事態が発生し易い。しかしながら、本実施例に係る回路基板10を用いることにより、回路基板とインクカートリッジの外見寸法が大きく異なる場合であっても、インクカートリッジの装着を正確に検出することができる。

20

【0052】

さらに、接地端子24、27は電源端子22に対する最近接端子ではないので、電源端子22と接地端子24、27との短絡を防止することができる。また、クロック端子26が接地端子24、27によって挟まれているので、クロック信号CLKを安定させることができる。

30

【0053】

D. その他の実施例

図8~図10を参照してその他の実施例について説明する。図8は第2の実施例に係る回路基板の端子の構成例を示す説明図である。図9は第3の実施例に係る回路基板の端子の構成例を示す説明図である。図10は第4の実施例に係る回路基板の端子の構成例を示す説明図である。なお、第2~第4の実施例に係る回路基板は、その端子配置を除いて第1の実施例に係る回路基板10と同様の構成を備えるので、同一の構成要素に対しては第1の実施例で用いた符号と同一の符号を付してその説明を省略する。

【0054】

第2の実施例について図8を参照して説明する。第2の実施例に係る回路基板200は、工場出荷時に記憶装置30を試験する際に用いられる略円状の試験用端子20を対向面13の上半分に備え、上下2段に配列されている略矩形形状の複数の端子201~207を対向面13の下半分に備えている。複数の矩形端子の内、上段に配列されている端子は、図中左側からデータ入出力用のI/O端子201、電源供給用の電源端子202、記憶装置30を選択的にアクティブにするためのチップセレクト信号を入力するためのチップセレクト端子203である。下段に配列されている端子は、図中左側から接地端子204、記憶装置30に対してリード・ライト制御信号を入力するためのリード・ライト端子205、記憶装置30に対してクロック信号(同期信号)を入力するためのクロック端子206、および接地端子207である。

40

【0055】

50

図 8 から明らかなように、本実施例に係る回路基板 200 は、接地端子 204、207 をその両端部に備えている。データ入出力用の I/O 端子 201 およびチップセレクト端子 203 は、第 1 の実施例における I/O 端子 21 およびチップセレクト端子 23 よりも幅広に形成されているが、接地端子 204、207 が回路基板 200 の両端に配置されていると共に他の端子 202、205、206 は接地端子 204、207 よりも内側に備えられていることにはかわりはない。また、クロック端子 206 は接地端子 204、207 との間に配置されている。さらに、接地端子 204、207 は、電源端子 202 とは異なる列に配置されていると共に、電源端子 202 に対する最近接端子ではない。

【0056】

したがって、第 2 の実施例に係る回路基板 200 を用いることにより、インクカートリッジの装着を正確に検出することができる。また、インクカートリッジの装着を検出したにもかかわらず記憶装置 30 に対するアクセスができないといった事態を回避することができる。さらに、クロック信号 CLK を安定させることができると共に、電源端子 202 と接地端子 204、207 との短絡を防止することができる。

【0057】

第 3 の実施例について図 9 を参照して説明する。第 3 の実施例に係る回路基板 300 は、工場出荷時に記憶装置 30 を試験する際に用いられる略円状の試験用端子 20 を対向面 13 の上半分に備え、ランダムに配列されている複数の円形端子 301 ~ 306 を対向面 13 の下半分に備えている。円形端子は、図中左から接地端子 301、記憶装置 30 に対してリード・ライト制御信号を入力するためのリード・ライト端子 302、記憶装置 30 に対してクロック信号（同期信号）を入力するためのクロック端子 303、電源供給用の電源端子 304、データ入出力用の I/O 端子 305、および接地端子 306 である。

【0058】

図 9 から明らかなように、本実施例に係る回路基板 300 は、接地端子 301、306 をその両端部に備えており、他の端子 302 ~ 305 は接地端子 301、306 よりも内側に備えられている。また、接地端子 301、306 は、電源端子 304 に対する最近接端子ではない。

【0059】

したがって、第 3 の実施例に係る回路基板 300 を用いることにより、インクカートリッジの装着を正確に検出することができる。また、インクカートリッジの装着を検出したにもかかわらず記憶装置 30 に対するアクセスができないといった事態を回避することができる。さらに、電源端子 304 と接地端子 301、306 との短絡を防止することができる。

【0060】

第 4 の実施例について図 10 を参照して説明する。第 4 の実施例に係る回路基板 400 は、工場出荷時に記憶装置 30 を試験する際に用いられる略円状の試験用端子 20 を対向面 13 の上半分に備え、一列に配列されている略矩形状の複数の端子 401 ~ 407 を対向面 13 の下半分に備えている。略矩形状の端子は、図中左から接地端子 401、記憶装置 30 に対してリード・ライト制御信号を入力するためのリード・ライト端子 402、記憶装置 30 に対してクロック信号（同期信号）を入力するためのクロック端子 403、電源供給用の電源端子 404、データ入出力用の I/O 端子 405、チップセレクト信号入力用のチップセレクト端子 306、および接地端子 307 である。

【0061】

図 10 から明らかなように、本実施例に係る回路基板 400 は、接地端子 401、407 をその最外端に備えており、他の端子 402 ~ 406 は接地端子 401、407 よりも内側に備えられている。また、接地端子 401、407 は、電源端子 404 に対する最近接端子ではない。

【0062】

したがって、第 4 の実施例に係る回路基板 400 を用いることにより、インクカートリッジの装着を正確に検出することができる。また、インクカートリッジの装着を検出したに

10

20

30

40

50

もかかわらず記憶装置 30 に対するアクセスができないといった事態を回避することができる。さらに、電源端子 404 と接地端子 401、407 との短絡を防止することができる。

【0063】

以上、いくつかの実施例に基づき本発明に係る回路基板を説明してきたが、上記した発明の実施の形態は、本発明の理解を容易にするためのものであり、本発明を限定するものではない。本発明は、その趣旨並びに特許請求の範囲を逸脱することなく、変更、改良され得ると共に、本発明にはその等価物が含まれることはもちろんである。

【0064】

例えば、第 1 の実施例では、オフキャリッジタイプのプリンタに対して用いられるインクカートリッジ 40 に回路基板 10 が装着された場合について説明したが、図 11 に示すようにオンキャリッジタイプのプリンタに対して用いられるインクカートリッジ 48 に装着されてもよい。かかる場合にも、第 1 ～ 第 4 の実施例に係る回路基板 10、200、300、400 を用いることによって、インクカートリッジの装着の有無を正確に検出することができると共に、インクカートリッジの装着を検出したにもかかわらず、記憶装置 30 に対してアクセスができないといった事態を回避することができる。

【0065】

また、上記各実施例における端子の配列は一例に過ぎず、回路基板の両端に接地端子が配置されていればよい。あるいは、端子が複数段にわたって配列されている場合には、その内の 1 段において最外端に配置されていれば良い。このような構成を備える限り、本発明の作用効果を得ることができるからである。

【0066】

第 1 の実施例では、回路基板 10 をインクカートリッジ 40 に対して装着する例を用いて説明したが、回路基板 10 をトナーカートリッジに対して装着しても良い。トナーカートリッジを装着する際にも、インクカートリッジ装着時と同様の問題が発生し、かかる問題は回路基板 10 を用いることによって解決されるからである。

【0067】

第 1 の実施例では、インクカートリッジ 40 の奥行き寸法と回路基板 10 の幅寸法の比の例示値として 15 : 1 を用いたが、両者の寸法値の比は、これに限られるものでなく。例えば、10 : 1 ～ 30 : 1 の例示値を用いても良い。いずれにしても、インクカートリッジ 40 の不適切な装着によって、回路基板 10 に対する適当な接触を実現することのできない程度、インクカートリッジ 40 の奥行き寸法と回路基板 10 の幅寸法の比が大きい場合に、本発明の作用効果を得ることができるからである。

【図面の簡単な説明】

【図 1】第 1 の実施例に係る回路基板の端子の構成例を示す説明図である。

【図 2】図 1 に示す回路基板の側面図である。

【図 3】第 1 の実施例に係る回路基板の端子とプリンタ側の接触ピンとの接触状態を模式的に示す説明図である。

【図 4】第 1 の実施例に係る回路基板の回路構成を概略的に示すブロック図である。

【図 5】第 1 の実施例に係る回路基板 10 が装着されるインクカートリッジの全体構成を示す斜視図である。

【図 6】図 4 中における回路基板 10 の装着部を拡大して示す拡大図である。

【図 7】インクカートリッジ 40 をプリンタの装着部に装着する際の様子を示す説明図である。

【図 8】第 2 の実施例に係る回路基板の端子の構成例を示す説明図である。

【図 9】第 3 の実施例に係る回路基板の端子の構成例を示す説明図である。

【図 10】第 4 の実施例に係る回路基板の端子の構成例を示す説明図である。

【図 11】第 1 の実施例に係る回路基板 10 が装着されたオンキャリッジタイプのインクカートリッジの全体構成を示す斜視図である。

【図 12】従来の回路基板の端子の配置構成を示す説明図である。

10

20

30

40

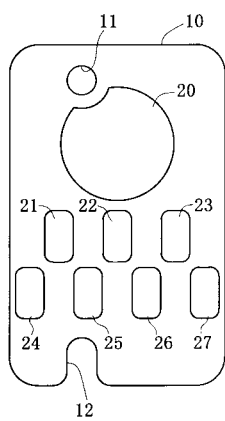
50

【符号の説明】

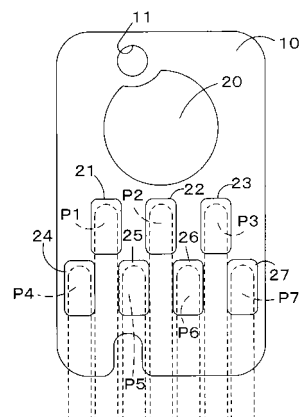
1 0 ...回路基板	
1 1 ...貫通孔	
1 2 ...切り欠き	
1 3 ...対向面	
1 4 ...接合面	
2 0 ...試験用端子	
2 1 ... I / O 端子	
2 2 ...電源端子	
2 3 ...チップセレクト端子	10
2 4、2 7 ...接地端子	
2 5 ...リード・ライト端子	
2 6 ...クロック端子	
3 0 ...記憶装置	
3 1 ...メモリセル	
3 2 ...リード・ライト制御部	
3 3 ...アドレスカウンタ	
4 0 ...インクカートリッジ	
4 1 ...回路基板装着部	
4 2 ...インク供給口	20
4 3 ...空気供給口	
4 4 ...ガイド部	
4 8 ...インクカートリッジ)	
1 0 0 ...プリンタ	
1 0 1 ...ガイドピン	
1 0 2 ...接触ピン	
1 0 3 ...インク供給口	
1 0 4 ...空気供給口	
2 0 0 ...回路基板	
2 0 1 ... I / O 端子	30
2 0 2 ...電源端子	
2 0 3 ...チップセレクト端子	
2 0 4、2 0 7 ...接地端子	
2 0 5 ...リード・ライト端子	
2 0 6 ...クロック端子	
3 0 0 ...回路基板	
3 0 1、3 0 6 ...接地端子	
3 0 2 ...リード・ライト端子	
3 0 3 ...クロック端子	
3 0 4 ...電源端子	40
3 0 5 ... I / O 端子	
4 0 0 ...回路基板	
4 0 1、4 0 7 ...接地端子	
4 0 2 ...リード・ライト端子	
4 0 3 ...クロック端子	
4 0 4 ...電源端子	
4 0 5 ... I / O 端子	
4 0 6 ...チップセレクト端子	
P 1 ~ P 7 ...接触ピン	
C S ...コンテンツサーバ	50

E P ... 外部電源

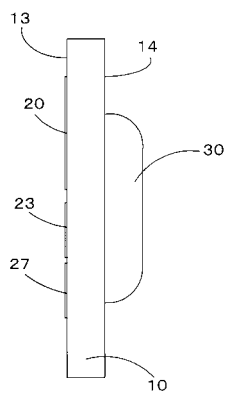
【図 1】



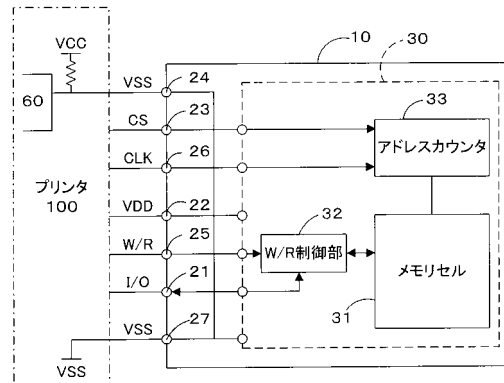
【図 3】



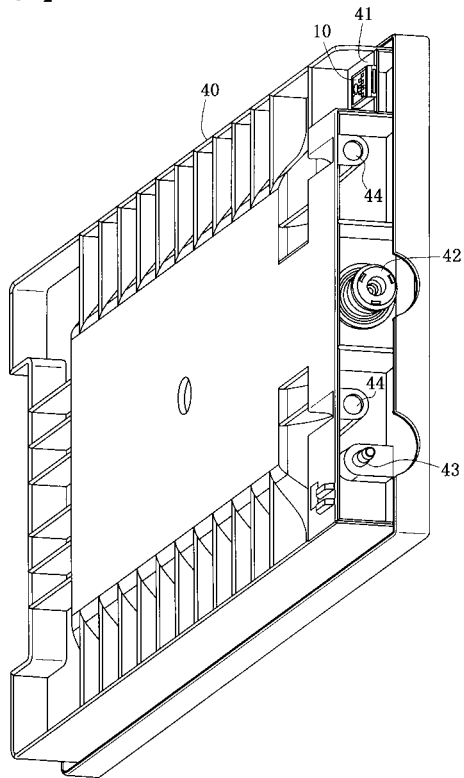
【図 2】



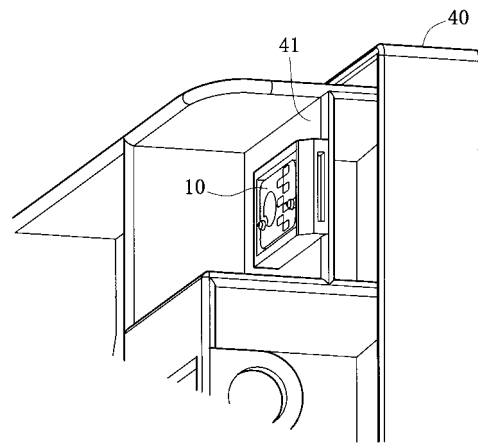
【図 4】



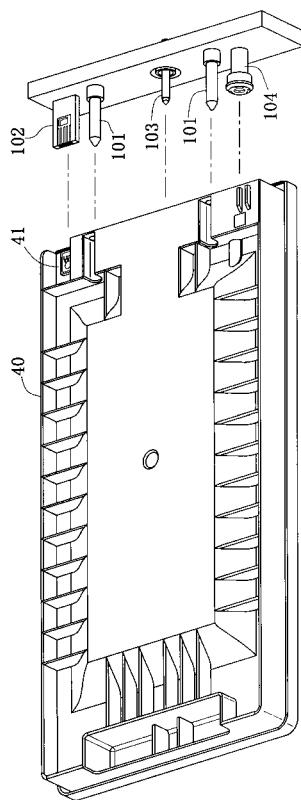
【図 5】



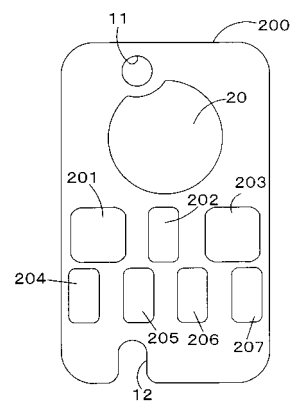
【図 6】



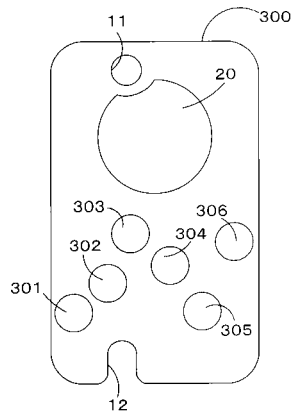
【図 7】



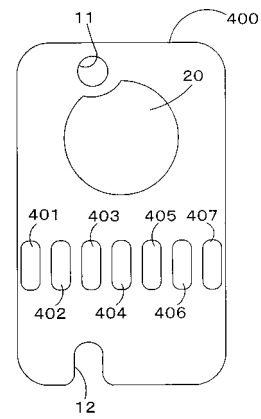
【図 8】



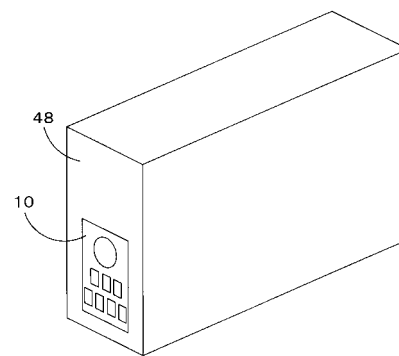
【図 9】



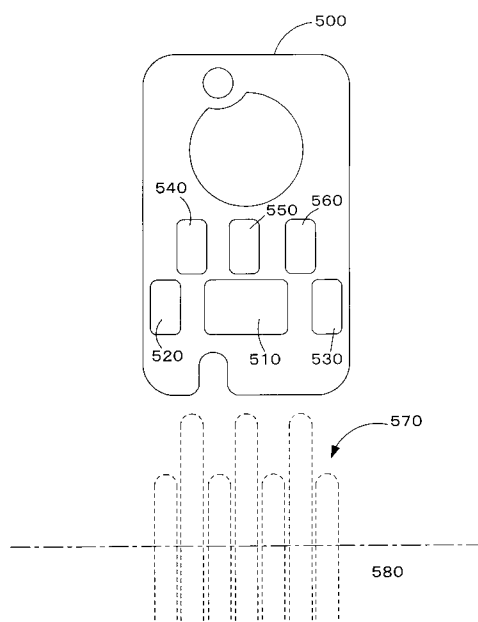
【図 10】



【図 11】



【図 12】



フロントページの続き

- (72)発明者 深野 孝和
長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社内
- (72)発明者 猿田 稔久
長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社内

審査官 門 良成

- (56)参考文献 国際公開第99/059823(WO, A1)

- (58)調査した分野(Int.Cl.⁷, DB名)

B41J 2/175

H05K 1/11

H05K 1/02

G03G 15/00