(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年9月26日(26.09.2024)

WIPO | PCT

(10) 国際公開番号
WO 2024/195461 A1

(51) 国際特許分類:
*H01L 29/78* (2006.01) *H01L 29/06* (2006.01)
*H01L 21/336* (2006.01) *H01L 29/739* (2006.01)

(21) 国際出願番号： PCT/JP2024/007383

(22) 国際出願日： 2024年2月28日(28.02.2024)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2023-044003 2023年3月20日(20.03.2023) JP

(71) 出願人: ローム株式会社 (**ROHM CO., LTD.**) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町２１番地 Kyoto (JP).

(72) 発明者: 森 誠悟 (**MORI, Seigo**); 〒6158585 京都府京都市右京区西院溝崎町２１番地 ローム株式会社内 Kyoto (JP). 中野 佑紀 (**NAKANO, Yuki**); 〒6158585 京都府京都市右京区西院溝崎町２１番地 ローム株式会社内 Kyoto (JP).

(74) 代理人: 弁理士法人あい特許事務所 (**AI ASSOCIATION OF PATENT AND TRADEMARK ATTORNEYS**); 〒5410059 大阪府大阪市中央区博労町三丁目２番８号 岩田東急ビル８階 Osaka (JP).

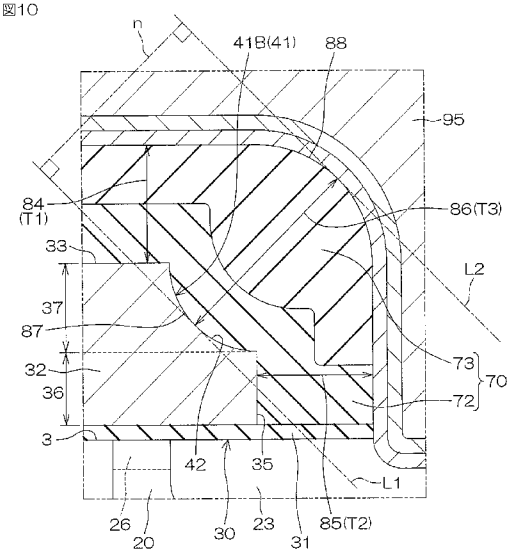
(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG,

(54) **Title:** SEMICONDUCTOR DEVICE AND SEMICONDUCTOR DEVICE PRODUCTION METHOD

(54) 発明の名称： 半導体装置および半導体装置の製造方法

図10




(57) **Abstract:** Provided is a semiconductor device comprising: a chip that has a main surface; a gate electrode that is formed on the main surface; an interlayer film that covers the gate electrode; an opening that is formed in the interlayer film separately from an electrode side part of the gate electrode in a lateral direction along the main surface, and that exposes a part of the main surface as a contact surface; and a surface electrode that is formed on the interlayer film and that is mechanically and electrically connected to the contact surface in the opening. The interlayer film includes an insulation upper part which contacts an electrode upper part of the gate electrode, an insulation side part which contacts the electrode side part, and an insulation corner part which contacts an electrode corner part of the gate electrode. The corner part thickness of the interlayer film at the insulation corner part is greater than at least one of the upper part thickness of the interlayer film at the insulation upper part and the side part thickness of the interlayer film at the insulation side part.

WO 2024/195461 A1

[続葉有]

ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一　国際調査報告（条約第21条(3)）

(57) 要約：主面を有するチップと、前記主面上に形成されたゲート電極と、前記ゲート電極を被覆する層間膜と、前記ゲート電極の電極側部から前記主面に沿う横方向に離間して前記層間膜に形成され、前記主面の一部をコンタクト面として露出させる開口と、前記層間膜上に形成され、前記開口内で前記コンタクト面に機械的かつ電気的に接続された表面電極とを含み、前記層間膜は、前記ゲート電極の電極上部に接する絶縁上部と、前記電極側部に接する絶縁側部と、前記ゲート電極の電極角部に接する絶縁角部とを含み、前記絶縁角部の前記層間膜の角部厚さが、前記絶縁上部の前記層間膜の上部厚さおよび前記絶縁側部の前記層間膜の側部厚さの少なくとも一方よりも厚い、半導体装置を提供する。

# 明　細　書

## 発明の名称 ： 半導体装置および半導体装置の製造方法

## 関連出願

[0001]　本出願は、２０２３年３月２０日に日本国特許庁に提出された特願２０２３－０４４００３号に対応しており、この出願の全開示はここに引用により組み込まれるものとする。

## 技術分野

[0002]　本開示は、半導体装置およびその製造方法に関する。

## 背景技術

[0003]　特許文献１は、ｎ⁻型のＳｉＣ半導体層の表面部に複数形成され、それぞれが単位セルを構成するｐ型ボディ領域と、ｐ型ボディ領域の内方に形成されたｎ型ソース領域と、ゲート絶縁膜を介してｐ型ボディ領域に対向するゲート電極と、ＳｉＣ半導体層の裏面部で隣り合って形成されたｎ⁺型ドレイン領域およびｐ⁺型コレクタ領域と、ｐ型ボディ領域と前ｎ⁺型ドレイン領域との間のｎ⁻型ドリフト領域とを含み、ｐ⁺型コレクタ領域は、ＳｉＣ半導体層の表面に沿うＸ軸において、少なくとも２つの単位セルが含まれる領域を覆うように形成されている、ＳｉＣ半導体装置を開示している。

## 先行技術文献

## 特許文献

[0004] 特許文献1：特開２０１５－２０７５８８号公報

## 発明の概要

## 発明が解決しようとする課題

[0005]　本開示の一実施形態は、ゲート電極と表面電極との間の耐圧信頼性を向上することができる半導体装置およびその製造方法を提供する。

## 課題を解決するための手段

[0006]　本開示の一実施形態は、主面を有するチップと、前記主面上に形成された

ゲート電極であって、前記主面に沿う電極上部と、前記主面から立ち上がる電極側部と、前記ゲート電極の材料の一部が欠落することにより形成され、前記電極上部と前記電極側部とを接続する電極角部とを有するゲート電極と、前記ゲート電極を被覆する層間膜と、前記電極側部から前記主面に沿う横方向に離間して前記層間膜に形成され、前記主面の一部をコンタクト面として露出させる開口と、前記層間膜上に形成され、前記開口内で前記コンタクト面に機械的かつ電気的に接続された表面電極とを含み、前記層間膜は、前記電極上部に接する絶縁上部と、前記電極側部に接する絶縁側部と、前記電極角部に接する絶縁角部とを含み、前記絶縁角部の前記層間膜の角部厚さが、前記絶縁上部の前記層間膜の上部厚さおよび前記絶縁側部の前記層間膜の側部厚さの少なくとも一方よりも厚い、半導体装置を提供する。

[0007] 本開示の一実施形態は、ウエハの主面上にベース電極を形成する工程と、前記ベース電極を厚さ方向に選択的に等方性エッチングし、続いて異方性エッチングすることにより、前記主面に沿う電極上部と、前記主面から立ち上がる電極側部と、前記電極上部と前記電極側部とを接続し、前記ベース電極の内側に湾曲する円弧状の凹部を含む電極角部とを有するゲート電極を形成する工程と、前記ゲート電極を被覆するように前記主面上に層間膜を形成する工程と、前記電極側部から前記主面に沿う横方向に離間するように、前記主面の一部をコンタクト面として露出させる開口を前記層間膜に形成する工程と、前記開口内で前記コンタクト面に機械的かつ電気的に接続されるように、前記層間膜上に表面電極を形成する工程とを含む、半導体装置の製造方法を提供する。

[0008] 本開示の一実施形態は、ウエハの主面上にベース電極を形成する工程と、前記ベース電極を厚さ方向に選択的に異方性テーパエッチングし、続いて異方性垂直エッチングすることにより、前記主面に沿う電極上部と、前記主面から立ち上がる電極側部と、前記電極上部と前記電極側部とを接続し、前記電極上部から前記電極側部に下り傾斜する平坦な傾斜壁を含む電極角部とを有するゲート電極を形成する工程と、前記ゲート電極を被覆するように前記

主面上に層間膜を形成する工程と、前記電極側部から前記主面に沿う横方向に離間するように、前記主面の一部をコンタクト面として露出させる開口を前記層間膜に形成する工程と、前記開口内で前記コンタクト面に機械的かつ電気的に接続されるように、前記層間膜上に表面電極を形成する工程とを含む、半導体装置の製造方法を提供する。

[0009] 本開示の一実施形態は、ウエハの主面上にポリシリコンを含むベース電極を形成する工程と、前記ベース電極を厚さ方向に選択的に異方性エッチングすることにより、前記主面に沿う電極上部と、前記主面から立ち上がる電極側部と、前記電極上部と前記電極側部とを接続する電極角部とを有するゲート電極を形成する工程と、前記ゲート電極を熱酸化することにより、前記電極角部に、前記ゲート電極の斜め上方に湾曲する円弧形状のラウンド部を形成する工程と、前記ゲート電極を被覆するように前記主面上に層間膜を形成する工程と、前記電極側部から前記主面に沿う横方向に離間するように、前記主面の一部をコンタクト面として露出させる開口を前記層間膜に形成する工程と、前記開口内で前記コンタクト面に機械的かつ電気的に接続されるように、前記層間膜上に表面電極を形成する工程とを含む、半導体装置の製造方法を提供する。

## 発明の効果

[0010] 本開示の一実施形態によれば、ゲート電極と表面電極との間の耐圧信頼性を向上することができる半導体装置およびその製造方法を提供することができる。

## 図面の簡単な説明

[0011] [図1]図１は、実施形態に係る半導体装置を示す平面図である。

[図2]図２は、図１に示すII-II線に沿う断面図である。

[図3]図３は、第１主面のレイアウト例を示す平面図である。

[図4]図４は、第１主面の要部を示す拡大平面図である。

[図5]図５は、第１主面の更なる要部を示す拡大平面図である。

[図6]図６は、図５に示すVI-VI線に沿う断面図である。

[図7]図７は、図６の要部を示す拡大断面図である。

[図8]図８は、図５に示すVIII-VIII線に沿う断面図である。

[図9]図９は、図８の要部を示す拡大断面図である。

[図10]図１０は、図７の要部を示す拡大断面図である。

[図11]図１１は、ウエハを示す概略図である。

[図12A]図１２Ａは、半導体装置の製造方法を示す断面図である。

[図12B]図１２Ｂは、図１２Ａの後の工程を示す断面図である。

[図12C]図１２Ｃは、図１２Ｂの後の工程を示す断面図である。

[図12D]図１２Ｄは、図１２Ｃの後の工程を示す断面図である。

[図12E]図１２Ｅは、図１２Ｄの後の工程を示す断面図である。

[図12F]図１２Ｆは、図１２Ｅの後の工程を示す断面図である。

[図12G]図１２Ｇは、図１２Ｆの後の工程を示す断面図である。

[図12H]図１２Ｈは、図１２Ｇの後の工程を示す断面図である。

[図12I]図１２Ｉは、図１２Ｈの後の工程を示す断面図である。

[図12J]図１２Ｊは、図１２Ｉの後の工程を示す断面図である。

[図12K]図１２Ｋは、図１２Ｊの後の工程を示す断面図である。

[図12L]図１２Ｌは、図１２Ｋの後の工程を示す断面図である。

[図12M]図１２Ｍは、図１２Ｌの後の工程を示す断面図である。

[図13]図１３は、ゲート電極の第１変形例を示す断面図である。

[図14A]図１４Ａは、図１３のゲート電極の形成に関連する工程を示す図である。

[図14B]図１４Ｂは、図１４Ａの後の工程を示す断面図である。

[図15]図１５は、ゲート電極の第２変形例を示す断面図である。

[図16A]図１６Ａは、図１５のゲート電極の形成に関連する工程を示す図である。

[図16B]図１６Ｂは、図１６Ａの後の工程を示す断面図である。

## 発明を実施するための形態

[0012] 以下、添付図面を参照して、実施形態が詳細に説明される。添付図面は、

いずれも模式図であり、厳密に図示されたものではなく、相対的な位置関係、縮尺、比率、角度等は必ずしも一致しない。添付図面の間で対応する構造には同一の参照符号が付され、重複する説明は省略または簡略化される。説明が省略または簡略化された構造については、省略または簡略化される前になされた説明が適用される。

[0013] この明細書において「ほぼ（substantially）」の文言が使用される場合、この文言は、比較対象の数値（形態）と等しい数値（形態）を含む他、比較対象の数値（形態）を基準とする±１０％の範囲の数値誤差（形態誤差）も含む。以下の説明では「第１」、「第２」、「第３」等の文言が使用されるが、これらは説明順序を明確にするために各構造の名称に付された記号であり、各構造の名称を限定する趣旨で付されていない。

[0014] 以下の説明では、「ｐ型」または「ｎ型」を用いて半導体（不純物）の導電型が示されるが、「ｐ型」が「第１導電型」と称され、「ｎ型」が「第２導電型」と称されてもよい。むろん、「ｎ型」が「第１導電型」と称され、「ｐ型」が「第２導電型」と称されてもよい。「ｐ型」は３価元素に起因する導電型であり、「ｎ型」は５価元素に起因する導電型である。３価元素は、ホウ素、アルミニウム、ガリウムおよびインジウムのうちの少なくとも１種である。５価元素は、窒素、リン、ヒ素、アンチモンおよびビスマスのうちの少なくとも１種である。

[0015] 図１は、実施形態に係る半導体装置１を示す平面図である。図２は、図１に示すII-II線に沿う断面図である。図３は、第１主面３のレイアウト例を示す平面図である。図４は、第１主面３の要部を示す拡大平面図である。図５は、第１主面３の更なる要部を示す拡大平面図である。

[0016] 図６は、図５に示すVI-VI線に沿う断面図である。図７は、図６の要部を示す拡大断面図である。図８は、図５に示すVIII-VIII線に沿う断面図である。図９は、図８の要部を示す拡大断面図である。

[0017] 図１～図９を参照して、半導体装置１は、デバイス構造の一例としての絶縁ゲート型のトランジスタ構造Ｔｒを有する半導体スイッチング装置である

。トランジスタ構造Ｔｒは、縦型構造を有している。半導体装置１は、ＳｉＣ単結晶を含むチップ２を有するＳｉＣ半導体装置である。チップ２は、「ＳｉＣチップ」または「半導体チップ」と称されてもよい。

[0018] チップ２は、この形態（this embodiment）では、六方晶のＳｉＣ単結晶からなり、直方体形状に形成されている。六方晶のＳｉＣ単結晶は、２Ｈ（Hexagonal）－ＳｉＣ単結晶、４Ｈ－ＳｉＣ単結晶、６Ｈ－ＳｉＣ単結晶等を含む複数種のポリタイプを有している。この形態では、チップ２が４Ｈ－ＳｉＣ単結晶からなる例が示されるが、チップ２は他のポリタイプからなっていてもよい。

[0019] チップ２は、一方側の第１主面３、他方側の第２主面４、ならびに、第１主面３および第２主面４を接続する第１～第４側面５Ａ～５Ｄを有している。第１主面３および第２主面４は、鉛直方向Ｚから見た平面視（以下、単に「平面視」という。）において四角形状に形成されている。鉛直方向Ｚは、チップ２の厚さ方向や第１主面３（第２主面４）の法線方向でもある。第１主面３および第２主面４は、平面視において正方形状または長方形状に形成されていてもよい。

[0020] 第１主面３および第２主面４は、ＳｉＣ単結晶のｃ面によって形成されていることが好ましい。この場合、第１主面３はＳｉＣ単結晶のシリコン面（（０００１）面）によって形成され、第２主面４はＳｉＣ単結晶のカーボン面（（０００－１）面）によって形成されていることが好ましい。

[0021] 第１側面５Ａおよび第２側面５Ｂは、第１主面３に沿う第１方向Ｘに延び、第１主面３に沿って第１方向Ｘに交差する第２方向Ｙに対向している。具体的には、第２方向Ｙは、第１方向Ｘに直交している。第３側面５Ｃおよび第４側面５Ｄは、第２方向Ｙに延び、第１方向Ｘに対向している。

[0022] 以下の説明において、第１方向Ｘの一方側は第３側面５Ｃ側を意味し、第１方向Ｘの他方側は第４側面５Ｄ側を意味する。また、第２方向Ｙの一方側は第１側面５Ａ側を意味し、第２方向Ｙの他方側は第２側面５Ｂ側を意味する。この形態では、第１方向ＸがＳｉＣ単結晶のｍ軸方向（［１－１００］

方向）であり、第２方向ＹがＳｉＣ単結晶のａ軸方向（［１１－２０］方向）である。むろん、第１方向ＸがＳｉＣ単結晶のａ軸方向であり、第２方向ＹがＳｉＣ単結晶のｍ軸方向であってもよい。

[0023] チップ２（第１主面３および第２主面４）は、ＳｉＣ単結晶のｃ面に対して所定のオフ方向に所定の角度で傾斜したオフ角を有している。つまり、ＳｉＣ単結晶のｃ軸（（０００１）軸）は、鉛直軸からオフ方向に向けてオフ角分だけ傾斜している。また、ＳｉＣ単結晶のｃ面は、水平面に対してオフ角分だけ傾斜している。

[0024] オフ方向は、ＳｉＣ単結晶のａ軸方向（つまり第２方向Ｙ）であることが好ましい。オフ角は、０°を超えて１０°以下であってもよい。オフ角は、０°を超えて１°以下、１°以上２．５°以下、２．５°以上５°以下、５°以上７．５°以下、および、７．５°以上１０°以下のうちの少なくとも１つの範囲に属する値を有していてもよい。

[0025] オフ角は、５°以下であることが好ましい。オフ角は、２°以上４．５°以下であることが特に好ましい。オフ角は、典型的には、４°±０．１°の範囲に設定される。この明細書は、オフ角が０°である形態（つまり、第１主面３がｃ面に対してジャスト面である形態）を除外しない。

[0026] 半導体装置１は、チップ２内において第１主面３側の領域（表層部）に形成されたｎ型の第１半導体領域６を含む。第１半導体領域６は、「ドリフト領域」、「ドレインドリフト領域」、「ドレイン領域」等と称されてもよい。第１半導体領域６には、高電位（第１電位）としてのドレイン電位が付与される。第１半導体領域６は、第１主面３に沿って延びる層状に形成され、第１主面３および第１～第４側面５Ａ～５Ｄから露出している。第１半導体領域６は、この形態では、エピタキシャル層（具体的にはＳｉＣエピタキシャル層）からなる。

[0027] 半導体装置１は、チップ２内において第２主面４側の領域（表層部）に形成されたｎ型の第２半導体領域７を含む。第２半導体領域７には、ドレイン電位が付与される。第２半導体領域７は、「ドレイン領域」等と称されても

よい。第２半導体領域７は、第１半導体領域６よりも高いｎ型不純物濃度を有し、チップ２内において第１半導体領域６に電気的に接続されている。

[0028] 第２半導体領域７は、第２主面４に沿って延びる層状に形成され、第２主面４および第１～第４側面５Ａ～５Ｄから露出している。第２半導体領域７は、この形態では、半導体基板（具体的にはＳｉＣ基板）からなる。つまり、チップ２は、半導体基板およびエピタキシャル層を含む積層構造を有している。第２半導体領域７は、第１半導体領域６の厚さよりも大きい厚さを有している。

[0029] 半導体装置１は、チップ２に設定された活性領域８を含む。活性領域８は、デバイス構造（トランジスタ構造Ｔｒ）を含み、出力電流（ドレイン電流）が生成される領域である。活性領域８は、平面視においてチップ２の周縁（第１～第４側面５Ａ～５Ｄ）から間隔を空けてチップ２の内方部に設定されている。活性領域８は、平面視においてチップ２の周縁に平行な４辺を有する多角形状（この形態では四角形状）に設定されている。活性領域８の平面積は、第１主面３の平面積の５０％以上９０％以下であることが好ましい。

[0030] 半導体装置１は、チップ２において活性領域８外に設定された外周領域９を含む。外周領域９は、平面視においてチップ２の周縁および活性領域８の間の領域に設けられている。外周領域９は、平面視において活性領域８に沿って帯状に延び、活性領域８を取り囲む多角環状（この形態では四角環状）に設定されている。

[0031] 半導体装置１は、活性領域８において第１主面３の表層部に形成されたｐ型の複数のボディ領域２０を含む。複数のボディ領域２０には、高電位（第１電位）とは異なる低電位（第２電位）としてのソース電位が付与される。複数のボディ領域２０は、第１方向Ｘに間隔を空けて配列され、第２方向Ｙに延びる帯状にそれぞれ形成されている。つまり、複数のボディ領域２０は、第２方向Ｙに延びるストライプ状に配列されている。

[0032] 複数のボディ領域２０は、第１半導体領域６の底部から第１主面３側に間

隔を空けて形成され、第１半導体領域６の一部を挟んで第２半導体領域７に対向している。複数のボディ領域２０は、第１半導体領域６の中間部から第１主面３側に間隔を空けて形成されていることが好ましい。複数のボディ領域２０は、第１主面３から露出している。

[0033] 半導体装置１は、外周領域９において第１主面３の表層部に形成されたｐ型のアウターボディ領域２１を含む。アウターボディ領域２１は、ボディ領域２０のｐ型不純物濃度とほぼ等しいｐ型不純物濃度を有していることが好ましい。むろん、アウターボディ領域２１のｐ型不純物濃度は、ボディ領域２０のｐ型不純物濃度未満であってもよいし、ボディ領域２０のｐ型不純物濃度よりも高くてもよい。

[0034] アウターボディ領域２１は、第１主面３の周縁（第１～第４側面５Ａ～５Ｄ）から活性領域８側に間隔を空けて形成され、活性領域８に沿って帯状に延びている。アウターボディ領域２１は、平面視において第１方向Ｘに帯状に延びる部分および第２方向Ｙに帯状に延びる部分を有し、活性領域８を複数方向から区画している。

[0035] アウターボディ領域２１は、この形態では、平面視において活性領域８を取り囲み、第１主面３の周縁に平行な４辺を有する多角環状（この形態では四角環状）に区画されている。つまり、アウターボディ領域２１は、活性領域８および外周領域９の境界部を形成している。アウターボディ領域２１は、平面視において第１方向Ｘに延びる部分および第２方向Ｙに延びる部分を円弧状（好ましくは四分円弧状）に接続するエッジ部を有していてもよい（図４参照）。

[0036] アウターボディ領域２１は、活性領域８側の内縁部および第１主面３の周縁側の外縁部を有している。アウターボディ領域２１の内縁部は、第１方向Ｘに延びる部分において複数のボディ領域２０に接続されている。これにより、アウターボディ領域２１は、複数のボディ領域２０と同電位に固定されている。

[0037] アウターボディ領域２１は、ボディ領域２０の幅よりも大きい幅を有して

いることが好ましい。ボディ領域２０の幅は、延在方向に直交する方向（つまり第１方向Ｘ）の幅である。アウターボディ領域２１の幅は、延在方向に直交する方向の幅である。むろん、アウターボディ領域２１の幅は、ボディ領域２０の幅とほぼ等しくてもよいし、ボディ領域２０の厚さ未満であってもよい。

[0038] ボディ領域２０の幅に対するアウターボディ領域２１の幅の比は、１０以上５０以下であってもよい。幅の比は、２０以上４０以下であることが好ましい。

[0039] アウターボディ領域２１は、第１半導体領域６の底部から第１主面３側に間隔を空けて形成され、第１半導体領域６の一部を挟んで第２半導体領域７に対向している。アウターボディ領域２１は、第１半導体領域６の中間部から第１主面３側に間隔を空けて形成されていることが好ましい。アウターボディ領域２１は、第１主面３から露出している。

[0040] アウターボディ領域２１は、ボディ領域２０の厚さ（深さ）とほぼ等しい厚さ（深さ）を有していることが好ましい。むろん、アウターボディ領域２１の厚さは、ボディ領域２０の厚さ未満であってもよいし、ボディ領域２０の厚さよりも大きくてもよい。

[0041] 半導体装置１は、第１主面３の表層部に形成されたｎ型の複数の表層ドリフト領域２２を含む。複数の表層ドリフト領域２２は、この形態では、第１半導体領域６の一部からそれぞれなる。むろん、複数の表層ドリフト領域２２は、第１半導体領域６のｎ型不純物濃度よりも高いｎ型不純物濃度を有していてもよいし、第１半導体領域６のｎ型不純物濃度よりも低いｎ型不純物濃度を有していてもよい。

[0042] 複数の表層ドリフト領域２２は、第１方向Ｘ隣り合う複数のボディ領域２０の間の領域にそれぞれ区画されている。具体的には、複数の表層ドリフト領域２２は、第１主面３の表層部において複数のボディ領域２０およびアウターボディ領域２１によってそれぞれ区画されている。複数の表層ドリフト領域２２は、第１方向Ｘに間隔を空けて配列され、第２方向Ｙに延びる帯状

にそれぞれ形成されている。つまり、複数の表層ドリフト領域２２は、第２方向Ｙに延びるストライプ状に形成されている。

[0043] 半導体装置１は、複数のボディ領域２０の表層部にそれぞれ形成されたｎ型の複数のソース領域２３、２４を含む。複数のソース領域２３、２４は、第１半導体領域６のｎ型不純物濃度よりも高いｎ型不純物濃度を有している。複数のソース領域２３、２４には、ソース電位が付与される。

[0044] 複数のソース領域２３、２４は、各ボディ領域２０の表層部において、第１方向Ｘの一方側に位置された第１ソース領域２３および第１方向Ｘの他方側に位置された第２ソース領域２４を含む。この形態では、第１方向Ｘに関して、１つの第１ソース領域２３がボディ領域２０の一端側に形成され、１つの第２ソース領域２４がボディ領域２０の他端側に形成されている。

[0045] 第１ソース領域２３は、ボディ領域２０の一端から他端側に間隔を空けて形成され、ボディ領域２０の延在方向に沿って帯状に延びている。第１ソース領域２３は、アウターボディ領域２１から第２方向Ｙに間隔を空けて形成されている。つまり、第１ソース領域２３は、アウターボディ領域２１には形成されていない。第１ソース領域２３は、ボディ領域２０の底部から第１主面３側に間隔を空けて形成され、ボディ領域２０の一部を挟んで第１半導体領域６に対向している。

[0046] 第２ソース領域２４は、第１ソース領域２３からボディ領域２０の他端側に間隔を空けて形成されている。第２ソース領域２４は、ボディ領域２０の他端から一端側に間隔を空けて形成され、ボディ領域２０の延在方向に沿って帯状に延びている。第２ソース領域２４は、アウターボディ領域２１から第２方向Ｙに間隔を空けて形成されている。つまり、第２ソース領域２４は、アウターボディ領域２１には形成されていない。第２ソース領域２４は、ボディ領域２０の底部から第１主面３側に間隔を空けて形成され、ボディ領域２０の一部を挟んで第１半導体領域６に対向している。

[0047] 複数の第１ソース領域２３が１つのボディ領域２０に形成される場合、複数の第１ソース領域２３はボディ領域２０の延在方向に間隔を空けて形成さ

れていてもよい。この場合、各第１ソース領域２３は、第２方向Ｙに延びる帯状に形成されていてもよい。同様に、複数の第２ソース領域２４が１つのボディ領域２０に形成される場合、複数の第２ソース領域２４はボディ領域２０の延在方向に間隔を空けて形成されていてもよい。この場合、各第２ソース領域２４は、第２方向Ｙに延びる帯状に形成されていてもよい。

[0048] 半導体装置１は、活性領域８において複数のボディ領域２０の表層部にそれぞれ形成されたｐ型の複数のコンタクト領域２５を含む。コンタクト領域２５は、「バックゲート領域」と称されてもよい。複数のコンタクト領域２５には、ソース電位が付与される。コンタクト領域２５は、ボディ領域２０のｐ型不純物濃度よりも高いｐ型不純物濃度を有している。

[0049] この形態では、１つのコンタクト領域２５が対応するボディ領域２０の表層部において第１ソース領域２３および第２ソース領域２４の間の領域に介在されている。コンタクト領域２５は、ボディ領域２０（ソース領域２３、２４）の延在方向に沿って帯状に延びている。コンタクト領域２５は、アウターボディ領域２１から第２方向Ｙに間隔を空けて形成されている。つまり、コンタクト領域２５は、アウターボディ領域２１には形成されていない。コンタクト領域２５は、ボディ領域２０の底部から第１主面３側に間隔を空けて形成され、ボディ領域２０の一部を挟んで第１半導体領域６に対向している。

[0050] 複数のコンタクト領域２５が１つのボディ領域２０に形成される場合、複数のコンタクト領域２５はボディ領域２０の延在方向に間隔を空けて形成されていてもよい。この場合、各コンタクト領域２５は、第２方向Ｙに延びる帯状に形成されていてもよい。

[0051] 半導体装置１は、第１主面３の表層部に形成されたｐ型の複数のチャネル領域２６、２７を含む。複数のチャネル領域２６、２７は、複数のボディ領域２０の表層部において複数のボディ領域２０の端部（複数の表層ドリフト領域２２）および複数のソース領域２３、２４の周縁の間の領域にそれぞれ区画されている。複数のチャネル領域２６、２７は、この形態では、第１方

向Ｘに間隔を空けて配列され、第２方向Ｙに延びる帯状にそれぞれ形成されている。つまり、複数のチャネル領域２６、２７は、第２方向Ｙに延びるストライプ状に配列されている。

[0052] 複数のチャネル領域２６、２７は、複数の第１チャネル領域２６および複数の第２チャネル領域２７を含む。複数の第１チャネル領域２６は、複数のボディ領域２０の一端（表層ドリフト領域２２）および複数の第１ソース領域２３の間の領域にそれぞれ区画され、水平方向に延びる電流経路を形成する。複数の第２チャネル領域２７は、複数のボディ領域２０の他端（表層ドリフト領域２２）および複数の第２ソース領域２４の間の領域にそれぞれ区画され、水平方向に延びる電流経路を形成する。

[0053] 半導体装置１は、活性領域８において第１主面３の上に配置されたプレーナ電極型の複数のゲート構造３０を含む。複数のゲート構造３０は、第１方向Ｘに間隔を空けて配列され、第２方向Ｙに延びる帯状にそれぞれ形成されている。つまり、複数のゲート構造３０は、第２方向Ｙに延びるストライプ状に配列されている。複数のゲート構造３０の延在方向は、ＳｉＣ単結晶のオフ方向に一致している。

[0054] 各ゲート構造３０は、少なくとも１つのチャネル領域２６、２７の上に配置されている。各ゲート構造３０は、この形態では、１つの表層ドリフト領域２２を横切って隣り合う２つのボディ領域２０に跨るように配置され、複数のチャネル領域２６、２７を被覆している。具体的には、各ゲート構造３０は、一方のボディ領域２０側の第１ソース領域２３および他方のボディ領域２０側の第２ソース領域２４に跨るように配置され、表層ドリフト領域２２、第１ソース領域２３、第２ソース領域２４、第１チャネル領域２６および第２チャネル領域２７を被覆している。

[0055] 以下、１つのゲート構造３０の構成が説明される。ゲート構造３０は、絶縁膜３１およびゲート電極３２を含む積層構造を有している。ゲート構造３０は、ゲート電極３２の側方において絶縁性のサイドウォール構造（スペーサ）を有さない。絶縁膜３１は、酸化シリコン膜、窒化シリコン膜および酸

窒化シリコン膜のうちの少なくとも１つを含んでいてもよい。絶縁膜３１は、この形態では、酸化シリコン膜からなる単層構造を有している。絶縁膜３１は、チップ２の酸化物からなる酸化シリコン膜を含むことが特に好ましい。

[0056] 絶縁膜３１は、第１主面３を膜状に被覆し、少なくとも１つのチャネル領域２６、２７の上に配置されている。絶縁膜３１は、この形態では、１つの表層ドリフト領域２２を横切って隣り合う２つのボディ領域２０に跨るように配置され、複数のチャネル領域２６、２７を被覆している。

[0057] 具体的には、絶縁膜３１は、一方のボディ領域２０側の第１ソース領域２３および他方のボディ領域２０側の第２ソース領域２４に跨るように配置され、表層ドリフト領域２２、第１ソース領域２３、第２ソース領域２４、第１チャネル領域２６および第２チャネル領域２７を被覆している。

[0058] 絶縁膜３１は、コンタクト領域２５から間隔を空けて第１ソース領域２３を部分的に被覆し、第１主面３から第１ソース領域２３の一部およびコンタクト領域２５を露出させている。絶縁膜３１は、コンタクト領域２５から間隔を空けて第２ソース領域２４を部分的に被覆し、第１主面３から第２ソース領域２４の一部およびコンタクト領域２５を露出させている。

[0059] 絶縁膜３１の厚さは、１０ｎｍ以上１５０ｎｍ以下の厚さを有していてもよい。絶縁膜３１の厚さは、１０ｎｍ以上２５ｎｍ以下、２５ｎｍ以上５０ｎｍ以下、５０ｎｍ以上７５ｎｍ以下、７５ｎｍ以上１００ｎｍ以下、１００ｎｍ以上１２５ｎｍ以下、および、１２５ｎｍ以上１５０ｎｍ以下のうちの少なくとも１つの範囲に属する値を有していてもよい。絶縁膜３１の厚さは、２５ｎｍ以上７５ｎｍ以下であることが好ましい。

[0060] ゲート電極３２は、絶縁膜３１の上に配置され、絶縁膜３１を挟んで少なくとも１つのチャネル領域２６、２７に対向している。ゲート電極３２には、制御電位としてのゲート電位が付与される。ゲート電極３２は、ゲート電位に応答して少なくとも１つのチャネル領域２６、２７の反転および非反転を制御する。

[0061] ゲート電極３２は、導電性を有する半導体多結晶を含む。ゲート電極３２は、ｐ型の導電性ポリシリコンおよびｎ型の導電性ポリシリコンのうちのいずれか一方または双方を含んでいてもよい。ゲート電極３２の導電型は、達成すべきゲート閾値電圧に応じて調節される。ゲート電極３２は、「ポリシリコンゲート」、「ポリゲート」等と称されてもよい。

[0062] ゲート電極３２は、第２方向Ｙに延びる帯状に形成されている。つまり、ゲート電極３２の延在方向は、ＳｉＣ単結晶のオフ方向に一致している。ゲート電極３２は、この形態では、第１方向Ｘに関して絶縁膜３１の両端部から内方に間隔を空けて形成され、絶縁膜３１の両端部を露出させている。ゲート電極３２は、１つの表層ドリフト領域２２を横切って隣り合う２つのボディ領域２０に跨るように絶縁膜３１の上に配置され、絶縁膜３１を挟んで複数のチャネル領域２６、２７に対向している。

[0063] 具体的には、ゲート電極３２は、一方のボディ領域２０側の第１ソース領域２３および他方のボディ領域２０側の第２ソース領域２４に跨るように配置され、絶縁膜３１を挟んで表層ドリフト領域２２、第１ソース領域２３、第２ソース領域２４、第１チャネル領域２６および第２チャネル領域２７に対向している。

[0064] ゲート電極３２は、電極上部３３、第１方向Ｘの一方側の第１電極側部３４、および、第１方向Ｘの他方側の第２電極側部３５を有している。電極上部３３は、絶縁膜３１（第１主面３）に沿って延びている。電極上部３３は、絶縁膜３１（第１主面３）に対してほぼ平行に延びていてもよい。電極上部３３は、電極上壁と称されてもよい。

[0065] 第１電極側部３４は、第１方向Ｘに関して絶縁膜３１の一端部から他端部側に間隔を空けて形成され、鉛直方向Ｚに延びている。第２電極側部３５は、第１方向Ｘに関して絶縁膜３１の他端部から一端部側に間隔を空けて形成され、鉛直方向Ｚに延びている。

[0066] 第１電極側部３４および第２電極側部３５は、絶縁膜３１に対して垂直に延びていてもよい。つまり、ゲート電極３２は、断面視において四角形状（

扁平な長方形状）に形成されていてもよい。第１電極側部３４および第２電極側部３５は、電極上部３３に向けて斜め傾斜していてもよい。つまり、ゲート電極３２は、断面視においてテーパ形状（好ましくは等脚台形状）に形成されていてもよい。第１電極側部３４および第２電極側部３５は、それぞれ、第１電極側壁および第２電極側壁と称されてもよい。

[0067] ゲート構造３０の幅は、１μｍ以上１０μｍ以下であってもよい。ゲート構造３０の幅は、延在方向に直交する方向（つまり第１方向Ｘ）の幅である。ゲート構造３０の幅は、１μｍ以上５μｍ以下であることが好ましい。

[0068] ゲート構造３０の厚さは、０．１μｍ以上２．０μｍ以下であってもよい。ゲート構造３０の厚さは、０．２μｍ以上１．０μｍ以下であることが好ましい。

[0069] 図６および図７を参照して、ゲート電極３２は、電極上部３３と、第１電極側部３４および第２電極側部３５とを接続する電極角部４１を含む。電極角部４１は、ゲート電極３２の材料の一部が欠落することにより形成された部分である。この形態では、電極角部４１は、ゲート電極３２の内側に湾曲する凹部により形成されている。これにより、電極上部３３は、平面視において、各ゲート電極３２の表面部に部分的に形成されている。

[0070] 平面視において、電極上部３３は、ゲート電極３２の第１電極側部３４および第２電極側部３５の少なくとも一方から内方に間隔を空けて形成され、第１電極側部３４側の周縁部および第２電極側部３５側の周縁部の少なくとも一方を露出させている。電極上部３３は、この形態では、第１電極側部３４および第２電極側部３５の双方から内方に間隔を空けて形成され、平面視において第１電極側部３４側の周縁部および第２電極側部３５側の周縁部の双方を露出させている。

[0071] 電極上部３３は、平面視においてゲート電極３２に沿って延びる帯状に形成されている。つまり、電極上部３３の延在方向は、ＳｉＣ単結晶のオフ方向に一致している。電極上部３３は、積層方向に１つの表層ドリフト領域２２に対向している。電極上部３３は、平面視において隣り合う２つのボディ

領域２０から表層ドリフト領域２２側に間隔を空けて形成され、積層方向に１つの表層ドリフト領域２２のみに対向していてもよい。

[0072] 電極上部３３は、平面視において１つの表層ドリフト領域２２を横切って隣り合う２つのボディ領域２０に跨っていてもよい。この場合、電極上部３３は、一方のボディ領域２０側の第１ソース領域２３および他方のボディ領域２０側の第２ソース領域２４から表層ドリフト領域２２側に間隔を空けて形成され、積層方向に表層ドリフト領域２２、第１チャネル領域２６および第２チャネル領域２７に対向していてもよい。

[0073] 電極上部３３は、この形態では、一方のボディ領域２０側の第１ソース領域２３および他方のボディ領域２０側の第２ソース領域２４に跨るように形成され、積層方向に表層ドリフト領域２２、第１ソース領域２３、第２ソース領域２４、第１チャネル領域２６および第２チャネル領域２７に対向している。

[0074] スイッチング速度の応答性を鑑みると、電極上部３３は、第１チャネル領域２６および第２チャネル領域２７のいずれか一方または双方（好ましくは双方）に対向していることが好ましい。電極上部３３は、断面視において積層方向に第１チャネル領域２６の全域に対向していることが好ましい。電極上部３３は、断面視において積層方向に第２チャネル領域２７の全域に対向していることが好ましい。

[0075] 電極角部４１は、電極上部３３のレイアウトに応じて種々のレイアウトを採る。電極上部３３が、平面視においてゲート電極３２の第１電極側部３４および第２電極側部３５の少なくとも一方から内方に間隔を空けて形成されている場合、電極角部４１は、第１電極側部３４および第２電極側部３５の少なくとも一方側の領域に形成される。

[0076] この形態では、電極上部３３がゲート電極３２の第１電極側部３４および第２電極側部３５の双方から内方に間隔を空けて形成されている。したがって、電極角部４１は、電極上部３３に対して第１電極側部３４側の領域に区画された一方の電極角部４１Ａ、および、電極上部３３に対して第２電極側

部３５側の領域に区画された他方の電極角部４１Ｂを有している（図５および７参照）。

[0077] 一方の電極角部４１Ａは、電極上部３３の一方側の周縁部から第１電極側部３４に連なっている。一方の電極角部４１Ａは、電極上部３３に沿って第２方向Ｙに帯状に延びている。他方の電極角部４１Ｂは、電極上部３３の他方側の周縁部から第２電極側部３５に連なっている。他方の電極角部４１Ｂは、電極上部３３を挟んで第１方向Ｘに一方の電極角部４１Ａに対向し、電極上部３３に沿って第２方向Ｙに帯状に延びている。

[0078] 一方の電極角部４１Ａは、積層方向に第１ソース領域２３に対向している。一方の電極角部４１Ａは、積層方向に第１ソース領域２３のみに対向していてもよい。一方の電極角部４１Ａは、積層方向に第１ソース領域２３および第１チャネル領域２６に対向していてもよい。一方の電極角部４１Ａは、積層方向に表層ドリフト領域２２、第１ソース領域２３および第１チャネル領域２６に対向していてもよい。

[0079] スイッチング速度の応答性を鑑みると、一方の電極角部４１Ａは、平面視において第１チャネル領域２６から第１電極側部３４側に間隔を空けて形成されていることが好ましい。つまり、一方の電極角部４１Ａは、断面視において積層方向に第１チャネル領域２６に対向していないことが好ましい。

[0080] 他方の電極角部４１Ｂは、積層方向に第２ソース領域２４に対向している。他方の電極角部４１Ｂは、積層方向に第２ソース領域２４のみに対向していてもよい。他方の電極角部４１Ｂは、積層方向に第２ソース領域２４および第２チャネル領域２７に対向していてもよい。他方の電極角部４１Ｂは、積層方向に表層ドリフト領域２２、第２ソース領域２４および第２チャネル領域２７に対向していてもよい。

[0081] スイッチング速度の応答性を鑑みると、他方側の電極角部４１Ｂは、平面視において第２チャネル領域２７から第２電極側部３５側に間隔を空けて形成されていることが好ましい。つまり、他方の電極角部４１Ｂは、断面視において積層方向に第２チャネル領域２７に対向していないことが好ましい。

[0082] 図４、図５および図８を参照して、半導体装置１は、外周領域９において第１主面３に形成されたｐ型の終端領域４５を含む。終端領域４５は、「ウェル領域」、「終端ウェル領域」等と称されてもよい終端領域４５は、アウターボディ領域２１のｐ型不純物濃度とほぼ等しいｐ型不純物濃度を有していてもよい。終端領域４５のｐ型不純物濃度は、アウターボディ領域２１のｐ型不純物濃度よりも高くてもよいし、アウターボディ領域２１のｐ型不純物濃度よりも低くてもよい。

[0083] 終端領域４５は、第１主面３の周縁から内方に間隔を空けて、第１主面３の周縁およびアウターボディ領域２１の間の領域に形成されている。終端領域４５は、平面視においてアウターボディ領域２１に沿って帯状に延びている。終端領域４５は、平面視において第１方向Ｘに帯状に延びる部分および第２方向Ｙに帯状に延びる部分を有し、活性領域８を複数方向から区画している。

[0084] 終端領域４５は、この形態では、平面視においてアウターボディ領域２１を取り囲み、第１主面３の周縁に平行な４辺を有する多角環状（この形態では四角環状）に区画されている。終端領域４５は、平面視において第１方向Ｘに延びる部分および第２方向Ｙに延びる部分を円弧状（好ましくは四分円弧状）に接続するエッジ部を有していてもよい（図４参照）。

[0085] 終端領域４５は、第１半導体領域６の底部から第１主面３側に間隔を空けて形成され、第１半導体領域６の一部を挟んで第２半導体領域７に対向している。終端領域４５は、第１半導体領域６の中間部から第１主面３側に間隔を空けて形成されていることが好ましい。終端領域４５は、アウターボディ領域２１の厚さ（深さ）とほぼ等しい厚さ（深さ）を有していてもよい。終端領域４５の厚さは、アウターボディ領域２１の厚さよりも大きくてもよいし、アウターボディ領域２１の厚さよりも小さくてもよい。

[0086] 終端領域４５は、活性領域８側の内縁部および第１主面３の周縁側の外縁部を有している。終端領域４５の内縁部は、アウターボディ領域２１の外縁部に接続されている。これにより、終端領域４５は、アウターボディ領域２

１と同電位に固定され、アウターボディ領域２１を介して複数のボディ領域２０に電気的に接続されている。終端領域４５の内縁部は、この形態では、全周に亘ってアウターボディ領域２１の外縁部に接続されている。

[0087] 終端領域４５（内縁部）は、アウターボディ領域２１の外縁部にオーバラップしたオーバラップ領域４６を有している。オーバラップ領域４６は、アウターボディ領域２１の外縁部および終端領域４５の内縁部を含む高濃度領域である。つまり、オーバラップ領域４６は、アウターボディ領域２１のｐ型不純物および終端領域４５のｐ型不純物の双方を含み、アウターボディ領域２１のｐ型不純物濃度および終端領域４５のｐ型不純物濃度の双方よりも高いｐ型不純物濃度を有している。

[0088] オーバラップ領域４６は、平面視においてアウターボディ領域２１に沿って帯状に延びている。オーバラップ領域４６は、平面視において第１方向Ｘに帯状に延びる部分および第２方向Ｙに帯状に延びる部分を有し、活性領域８を複数方向から区画している。オーバラップ領域４６は、この形態では、第１主面３の周縁に平行な４辺を有する多角環状（この形態では四角環状）に区画されている。オーバラップ領域４６の幅は、ボディ領域２０の幅よりも大きいことが好ましい。むろん、オーバラップ領域４６の幅は、ボディ領域２０の幅以下であってもよい。

[0089] 半導体装置１は、オーバラップ領域４６に代えて比較的高濃度のｐ型のウェル領域（４６）を有していてもよい。この場合、ウェル領域（４６）は、アウターボディ領域２１のｐ型不純物濃度および終端領域４５のｐ型不純物濃度の双方よりも高いｐ型不純物濃度を有している。ウェル領域（４６）は、アウターボディ領域２１の表層部および終端領域４５の表層部のいずれか一方または双方に形成されていてもよい。

[0090] 半導体装置１は、外周領域９において第１主面３の表層部に形成された少なくとも１つ（好ましくは２個以上２０個以下）のｐ型のフィールド領域４７を含む。複数のフィールド領域４７の個数は、典型的には、３個以上８個以下である。半導体装置１は、この形態では、３個のフィールド領域４７を

含む。複数のフィールド領域４７は、電気的に浮遊状態に形成され、第１主面３の周縁部においてチップ２内の電界を緩和する。フィールド領域４７の個数、間隔、幅、深さ、ｐ型不純物濃度等は任意であり、緩和すべき電界に応じて種々の値を取り得る。

[0091] フィールド領域４７は、ボディ領域２０（終端領域４５）のｐ型不純物濃度とほぼ等しいｐ型不純物濃度を有していてもよい。フィールド領域４７のｐ型不純物濃度は、ボディ領域２０（終端領域４５）のｐ型不純物濃度よりも高くてもよいし、ボディ領域２０（終端領域４５）のｐ型不純物濃度よりも低くてもよい。

[0092] 複数のフィールド領域４７は、第１主面３の周縁から内方に間隔を空けて、第１主面３の周縁および活性領域８の間の領域に形成されている。具体的には、複数のフィールド領域４７は、第１主面３の周縁およびアウターボディ領域２１の間の領域に形成されている。さらに具体的には、複数のフィールド領域４７は、第１主面３の周縁および終端領域４５の間の領域において、終端領域４５から第１主面３の周縁側に間隔を空けて配列されている。

[0093] 複数のフィールド領域４７は、平面視において活性領域８（終端領域４５）に沿って延びる帯状に形成されている。複数のフィールド領域４７は、第１方向Ｘに帯状に延びる部分、および、第２方向Ｙに帯状に延びる部分をそれぞれ有している。複数のフィールド領域４７は、この形態では、平面視において活性領域８（終端領域４５）を取り囲む多角環状（この形態では四角環状）に形成されている。複数のフィールド領域４７は、第１方向Ｘに延びる部分および第２方向Ｙに延びる部分を円弧状（好ましくは四分円弧状）に接続するエッジ部を有していてもよい（図４参照）。

[0094] 複数のフィールド領域４７は、第１半導体領域６の底部から第１主面３側に間隔を空けて形成され、第１半導体領域６の一部を挟んで第２半導体領域７に対向している。複数のフィールド領域４７は、第１半導体領域６の中間部から第１主面３側に間隔を空けて形成されていることが好ましい。

[0095] 図８を参照して、半導体装置１は、外周領域９において第１主面３を被覆

する外周絶縁膜５１を含む。外周絶縁膜５１は、酸化シリコン膜、窒化シリコン膜および酸窒化シリコン膜のうちの少なくとも１つを含んでいてもよい。外周絶縁膜５１は、この形態では、酸化シリコン膜からなる単層構造を有している。外周絶縁膜５１は、チップ２の酸化物からなる酸化シリコン膜を含むことが特に好ましい。外周絶縁膜５１は、絶縁膜３１の絶縁材料と同種の絶縁材料からなることが好ましい。外周絶縁膜５１は、絶縁膜３１の厚さとほぼ等しい厚さを有していることが好ましい。

[0096] 外周絶縁膜５１は、外周領域９において第１主面３を膜状に被覆している。外周絶縁膜５１は、アウターボディ領域２１、終端領域４５および複数のフィールド領域４７を一括して被覆している。外周絶縁膜５１は、活性領域８側において複数の絶縁膜３１に接続されている。具体的には、外周絶縁膜５１は、複数の絶縁膜３１と一体的に形成され、複数の絶縁膜３１と１つの絶縁膜を形成している。

[0097] 図４、図５および図８を参照して、半導体装置１は、外周領域９において第１主面３の上に配置されたゲート配線５２を含む。半導体装置１は、ゲート配線５２の側方において絶縁性のサイドウォール構造（スペーサ）を有さない。ゲート配線５２は、第１主面３の上に選択的に引き回され、複数のゲート電極３２とは異なる方向に延びる部分を有している。ゲート配線５２は、複数のゲート電極３２に接続され、複数のゲート電極３２にゲート信号を付与する。ゲート配線５２は、「ポリシリコンゲート配線」、「ポリゲート配線」、「第２ゲート電極」等と称されてもよい。

[0098] ゲート配線５２は、導電性を有する半導体多結晶を含む。ゲート配線５２は、ｐ型の導電性ポリシリコンおよびｎ型の導電性ポリシリコンのうちのいずれか一方または双方を含んでいてもよい。ゲート配線５２は、ゲート電極３２の導電型と同じ導電型を有していることが好ましい。ゲート配線５２の導電型はゲート電極３２の導電型に応じて調節される。

[0099] ゲート配線５２は、外周領域９において外周絶縁膜５１の上に配置されている。具体的には、ゲート配線５２は、外周絶縁膜５１のうちアウターボデ

ィ領域２１を被覆する部分の上に配置され、外周絶縁膜５１を挟んでアウターボディ領域２１に対向している。ゲート配線５２は、第１主面３の周縁から活性領域８側に間隔を空けて形成され、活性領域８に沿って帯状に延びている。ゲート配線５２は、平面視において第１方向Ｘに帯状に延びる部分および第２方向Ｙに帯状に延びる部分を有し、活性領域８を複数方向から区画している。

[0100] ゲート配線５２は、この形態では、平面視において活性領域８を取り囲み、第１主面３の周縁に平行な４辺を有する多角環状（この形態では四角環状）に区画されている。ゲート配線５２は、有端状または無端状であってもよい。ゲート配線５２は、この形態では、平面視においてアウターボディ領域２１に沿って帯状（この形態では環状）に延び、積層方向の全域に外周絶縁膜５１を挟んでアウターボディ領域２１に対向している。ゲート配線５２は、平面視において第１方向Ｘに延びる部分および第２方向Ｙに延びる部分を円弧状（好ましくは四分円弧状）に接続するエッジ部を有していてもよい（図４参照）。

[0101] ゲート配線５２は、平面視においてアウターボディ領域２１よりも幅狭に形成され、アウターボディ領域２１の内縁部および外縁部から間隔を空けてアウターボディ領域２１の上に配置されている。つまり、この形態では、複数のゲート電極３２はアウターボディ領域２１の上まで引き出され、ゲート配線５２はアウターボディ領域２１の上で複数のゲート電極３２に接続されている。

[0102] ゲート配線５２の幅は、ゲート電極３２の幅よりも大きいことが好ましい。ゲート配線５２の幅は、延在方向に直交する方向の幅である。むろん、ゲート配線５２の幅は、ゲート電極３２の幅以下であってもよい。ゲート配線５２の幅は、アウターボディ領域２１の幅よりも大きくてもよい。ゲート配線５２の厚さは、ゲート電極３２の厚さとほぼ等しいことが好ましい。

[0103] ゲート配線５２は、配線上部５３、内縁側の第１配線側部５４、および、外縁側の第２配線側部５５を有している。配線上部５３は、外周絶縁膜５１

（第１主面３）に沿って延びている。配線上部５３は、外周絶縁膜５１（第１主面３）に対してほぼ平行に延びていてもよい。配線上部５３は、配線上壁と称されてもよい。第１配線側部５４は外周絶縁膜５１の上で鉛直方向Ｚに延び、第２配線側部５５は外周絶縁膜５１の上で鉛直方向Ｚに延びている。

[0104] 第１配線側部５４は、第１方向Ｘに延びる部分において複数のゲート電極３２（第１電極側部３４および第２電極側部３５）に接続されている。つまり、ゲート配線５２は、複数のゲート電極３２に対してＴ字状に接続された複数の部分を有している。これにより、ゲート配線５２は、複数のゲート電極３２と同電位に固定されている。

[0105] 第１配線側部５４および第２配線側部５５は、外周絶縁膜５１に対して垂直に延びていてもよい。つまり、ゲート配線５２は、断面視において四角形状（扁平な長方形状）に形成されていてもよい。第１配線側部５４および第２配線側部５５は、配線上部５３に向けて斜め傾斜していてもよい。つまり、ゲート配線５２は、断面視においてテーパ形状（好ましくは等脚台形状）に形成されていてもよい。第１配線側部５４および第２配線側部５５は、それぞれ、第１配線側壁および第２配線側壁と称されてもよい。

[0106] 図８および図９を参照して、ゲート配線５２は、配線上部５３と、第１配線側部５４および第２配線側部５５とを接続する配線角部６１を含む。配線角部６１は、ゲート配線５２の材料の一部が欠落することにより形成された部分である。この形態では、配線角部６１は、ゲート配線５２の内側に湾曲する凹部により形成されている。これにより、配線上部５３は、平面視において、各ゲート配線５２の表面部に部分的に形成されている。

[0107] 平面視において、配線上部５３は、ゲート配線５２の第１配線側部５４および第２配線側部５５の少なくとも一方から内方に間隔を空けて形成され、配線上部５３において第１配線側部５４側の周縁部および第２配線側部５５側の周縁部の少なくとも一方を露出させている。配線上部５３は、この形態では、第１配線側部５４および第２配線側部５５の双方から内方に間隔を空

けて形成され、配線上部５３において第１配線側部５４側の周縁部および第２配線側部５５側の周縁部の双方を露出させている。

[0108] 配線上部５３は、平面視においてゲート配線５２に沿って帯状に延び、積層方向にアウターボディ領域２１に対向している。配線上部５３は、平面視において第１方向Ｘに帯状に延びる部分および第２方向Ｙに帯状に延びる部分を有している。配線上部５３は、この形態では、平面視において活性領域８を取り囲み、第１主面３の周縁に平行な４辺を有する多角環状（この形態では四角環状）に区画されている。

[0109] 配線上部５３は、有端状または無端状であってもよい。配線上部５３は、平面視において第１方向Ｘに延びる部分および第２方向Ｙに延びる部分を円弧状（好ましくは四分円弧状）に接続するエッジ部を有していてもよい。

[0110] 配線上部５３は、複数のゲート電極３２およびゲート配線５２の接続部において複数の電極上部３３に連なっている。つまり、配線上部５３は、複数の電極上部３３と一体的に形成され、複数の電極上部３３に対してＴ字状に接続された複数の部分を有している（図５参照）。

[0111] 配線角部６１は、配線上部５３のレイアウトに応じて種々のレイアウトを採る。配線上部５３がゲート配線５２の第１配線側部５４および第２配線側部５５の少なくとも一方から内方に間隔を空けて形成されている場合、配線角部６１は配線上部５３において第１配線側部５４および第２配線側部５５の少なくとも一方側の領域に形成される。

[0112] この形態では、配線上部５３がゲート配線５２の第１配線側部５４および第２配線側部５５の双方から内方に間隔を空けて形成されている。したがって、配線角部６１は、配線上部５３に対して第１配線側部５４側の領域に区画された一方の配線角部６１Ａ、および、配線上部５３に対して第２配線側部５５側の領域に区画された他方の配線角部６１Ｂを有している（図５および図９参照）。

[0113] 一方の配線角部６１Ａは、配線上部５３の一方側の周縁部からゲート配線５２の第１配線側部５４に連なっている。一方の配線角部６１Ａは、配線上

部５３に沿って帯状に延びている。他方の配線角部６１Ｂは、配線上部５３の他方側からゲート配線５２の第２配線側部５５に連なっている。他方の配線角部６１Ｂは、配線上部５３を挟んで一方側の配線角部６１Ｂに対向し、配線上部５３に沿って帯状に延びている。

[0114] 配線角部６１（一方の配線角部６１Ａ）は、複数のゲート電極３２およびゲート配線５２の接続部において複数の電極角部４１に連なっている。つまり、配線角部６１は、複数の電極角部４１と一体的に形成されている。配線角部６１は、複数のゲート電極３２およびゲート配線５２の接続角部において複数の電極角部４１に対してＬ字状に接続された複数の部分を有している（図５参照）。

[0115] 半導体装置１は、第１主面３を被覆する絶縁性の層間膜７０を含む。層間膜７０は、「層間絶縁膜」、「中間絶縁膜」等と称されてもよい。層間膜７０は、第１主面３の上で活性領域８および外周領域９を一括して被覆している。

[0116] 層間膜７０は、活性領域８において複数のゲート構造３０を被覆している。層間膜７０は、各ゲート構造３０に関して、絶縁膜３１およびゲート電極３２の双方を直接被覆している。つまり、層間膜７０は、ゲート電極３２の電極上部３３、第１電極側部３４、第２電極側部３５および電極角部４１を直接被覆する部分を有している。

[0117] 層間膜７０は、外周領域９において外周絶縁膜５１を挟んでアウターボディ領域２１、終端領域４５および複数のフィールド領域４７を一括して被覆している。層間膜７０は、外周絶縁膜５１およびゲート配線５２の双方を直接被覆している。つまり、層間膜７０は、ゲート配線５２の配線上部５３、第１配線側部５４、第２配線側部５５および配線角部６１を直接被覆する部分を有している。層間膜７０は、この形態では、第１～第４側面５Ａ～５Ｄに連なっている。層間膜７０は、第１～第４側面５Ａ～５Ｄから内方に間隔を空けて形成され、第１主面３の周縁部（第１半導体領域６）を露出させていてもよい。

[0118] 層間膜７０は、この形態では、第１主面３側からこの順に積層された第１酸化膜７２（第１絶縁膜）および第２酸化膜７３（第２絶縁膜）を含む積層構造を有している。第１酸化膜７２は、不純物無添加の酸化シリコン膜からなる単層構造を有している。第１酸化膜７２は、ＮＳＧ膜（Nondoped Silicate Glass film）と称されてもよい。

[0119] 第１酸化膜７２は、活性領域８および外周領域９を一括して被覆している。第１酸化膜７２は、活性領域８において複数のゲート構造３０を一括して被覆している。第１酸化膜７２は、各ゲート構造３０に関して、絶縁膜３１およびゲート電極３２の双方を膜状に被覆している。

[0120] 第１酸化膜７２は、第１被覆部７４、第２被覆部７５および第３被覆部７６を有している。第１被覆部７４は、絶縁膜３１（第１主面３）に沿って水平方向に膜状に延び、ゲート電極３２の第１電極側部３４（第２電極側部３５）に接する部分を有している。第１被覆部７４（第１酸化膜７２）は、この形態では、ゲート電極３２の厚さ未満の厚さを有し、ゲート電極３２の電極上部３３の高さ位置から絶縁膜３１側に間隔を空けて絶縁膜３１を被覆している。

[0121] 第２被覆部７５は、第１被覆部７４から積層方向に向けて電極上部３３側に引き出され、第１電極側部３４（第２電極側部３５）および電極角部４１を膜状に直接被覆している。

[0122] 第３被覆部７６は、第２被覆部７５から電極上部３３側に引き出され、電極上部３３に沿って水平方向に膜状に延びている。第３被覆部７６は、一方の電極角部４１Ａと他方の電極角部４１Ｂとの間で電極上部３３の全域を直接被覆している。

[0123] 第１酸化膜７２は、外周領域９において外周絶縁膜５１を挟んでアウターボディ領域２１、終端領域４５および複数のフィールド領域４７を一括して被覆している。第１酸化膜７２は、外周領域９においてゲート配線５２を被覆している。

[0124] 第１酸化膜７２は、第１配線被覆部７７、第２配線被覆部７８および第３

配線被覆部７９を有している。第１配線被覆部７７は、外周絶縁膜５１（第１主面３）に沿って水平方向に膜状に延び、ゲート配線５２の第１配線側部５４（第２配線側部５５）に接する部分を有している。第１配線被覆部７７（第１酸化膜７２）は、この形態では、ゲート配線５２の厚さ未満の厚さを有し、ゲート配線５２の配線上部５３の高さ位置から外周絶縁膜５１側に間隔を空けて外周絶縁膜５１を被覆している。

[0125] 第２配線被覆部７８は、第１配線被覆部７７から積層方向に向けて配線上部５３側に引き出され、第１電極側部３４（第２電極側部３５）および配線角部６１を膜状に直接被覆している。

[0126] 第３配線被覆部７９は、第２配線被覆部７８から配線上部５３側に引き出され、配線上部５３に沿って水平方向に膜状に延びている。第３配線被覆部７９は、一方の配線角部６１Ａと他方の配線角部６１Ｂとの間で配線上部５３の全域を直接被覆している。

[0127] 第２酸化膜７３は、燐を含有する酸化シリコン膜からなる単層構造、または、燐を含有する酸化シリコン膜を含む積層構造を有していてもよい。燐を含有する酸化シリコン膜は、ホウ素を含有していてもよい。燐を含有する酸化シリコン膜は、ＰＳＧ膜（Phosphorus Silicon Glass film）と称されてもよい。燐およびホウ素の双方を含有する酸化シリコン膜は、ＢＰＳＧ膜（Boron Phosphorus Silicon Glass film）と称されてもよい。

[0128] 第２酸化膜７３は、第１酸化膜７２の上に積層されたＰＳＧ膜またはＢＰＳＧ膜からなる単層構造を有していてもよい。第２酸化膜７３は、第１酸化膜７２の上に積層されたＰＳＧ膜、および、ＰＳＧ膜の上に積層されたＢＰＳＧ膜を含む積層構造を有していてもよい。第２酸化膜７３は、第１酸化膜７２の上に積層されたＢＰＳＧ膜、および、ＢＰＳＧ膜の上に積層されたＰＳＧ膜を含む積層構造を有していてもよい。第２酸化膜７３は、この形態では、一例としてＰＳＧ膜からなる単層構造を有している。

[0129] 第２酸化膜７３は、第１酸化膜７２を膜状に被覆し、第１酸化膜７２を挟んで活性領域８および外周領域９を一括して被覆している。第２酸化膜７３

は、活性領域８において第１酸化膜７２を挟んで複数のゲート構造３０を一括して被覆している。具体的には、第２酸化膜７３は、第１酸化膜７２を挟んで絶縁膜３１およびゲート電極３２の双方を膜状に被覆している。

[0130] 第２酸化膜７３は、第１上被覆部８０および第２上被覆部８１を含む。第１上被覆部８０は、第１酸化膜７２の第１被覆部７４および第２被覆部７５を被覆している。第１上被覆部８０は、第１被覆部７４の上に位置された部分において第１被覆部７４を挟んで絶縁膜３１を被覆している。

[0131] 第１上被覆部８０は、第１被覆部７４の上から第２被覆部７５に沿って積層方向に膜状に延び、第２被覆部７５を挟んでゲート構造３０の第１電極側部３４（第２電極側部３５）および電極角部４１を被覆している。つまり、第１上被覆部８０は、第２被覆部７５を挟んで第１電極側部３４（第２電極側部３５）および電極角部４１を被覆する部分を有している。

[0132] 第２上被覆部８１は、第１酸化膜７２の第３被覆部７６を被覆している。第２上被覆部８１は、第１上被覆部８０から第３被覆部７６に沿って水平方向に膜状に延び、第３被覆部７６を挟んでゲート構造３０の電極上部３３を被覆している。第２上被覆部８１は、一方の電極角部４１Ａと他方の電極角部４１Ｂとの間で第３被覆部７６を挟んで電極上部３３の全域を被覆している。

[0133] 第２上被覆部８１は、第１酸化膜７２（第３被覆部７６）を挟んで電極上部３３を被覆する部分、および、第１酸化膜７２（第２被覆部７５）を挟んで電極角部４１を被覆する部分を有している。

[0134] 第２酸化膜７３は、外周領域９において外周絶縁膜５１および第１酸化膜７２を挟んでアウターボディ領域２１、終端領域４５および複数のフィールド領域４７を一括して被覆している。第２酸化膜７３は、外周領域９において第１酸化膜７２を挟んでゲート配線５２を被覆している。

[0135] 第２酸化膜７３は、第１上配線被覆部８２および第２上配線被覆部８３を含む。第１上配線被覆部８２は、第１酸化膜７２の第１配線被覆部７７および第２配線被覆部７８を被覆している。第１上配線被覆部８２は、第１配線

被覆部７７の上に位置された部分において第１配線被覆部７７を挟んで外周絶縁膜５１を被覆している。

[0136] 第１上配線被覆部８２は、第１配線被覆部７７の上から第２配線被覆部７８に沿って積層方向に膜状に延び、第２配線被覆部７８を挟んで第１配線側部５４（第２配線側部５５）および配線角部６１を被覆している。つまり、第１上配線被覆部８２は、第２配線被覆部７８を挟んで第１配線側部５４（第２配線側部５５）および配線角部６１を被覆する部分を有している。

[0137] 第２上配線被覆部８３は、第１酸化膜７２の第３配線被覆部７９を被覆している。第２上配線被覆部８３は、第１上配線被覆部８２から第３配線被覆部７９に沿って水平方向に膜状に延び、第３配線被覆部７９を挟んで配線上部５３を被覆している。第２上配線被覆部８３は、一方の配線角部６１Ａと他方の配線角部６１Ｂとの間で第３配線被覆部７９を挟んで配線上部５３の全域を被覆している。

[0138] 第２上配線被覆部８３は、第１酸化膜７２（第３配線被覆部７９）を挟んで配線上部５３を被覆する部分、および、第１酸化膜７２（第２配線被覆部７８）を挟んで配線角部６１を被覆する部分を有している。

[0139] 半導体装置１は、活性領域８において層間膜７０に形成された複数のソース開口９０を含む。複数のソース開口９０は、複数のゲート電極３２から間隔を空けて複数のゲート電極３２の側方の領域にそれぞれ形成され、第１主面３（チップ２）を露出させている。具体的には、複数のソース開口９０は、複数のゲート電極３２の間の領域にそれぞれ形成され、絶縁膜３１および層間膜７０を貫通している。

[0140] 複数のソース開口９０は、第１酸化膜７２および第２酸化膜７３の双方を貫通し、第１酸化膜７２および第２酸化膜７３の双方によって区画された壁面を有している。複数のソース開口９０は、対応する複数のソース領域２３、２４およびコンタクト領域２５をそれぞれ露出させている。

[0141] 複数のソース開口９０は、この形態では、第１方向Ｘに間隔を空けて形成され、第２方向Ｙに延びる帯状にそれぞれ形成されている。つまり、複数の

ソース開口９０は、第２方向Ｙに延びるストライプ状に形成されている。複数のソース開口９０は、ゲート配線５２から第２方向Ｙに間隔を空けて形成されている。つまり、複数のソース開口９０は、複数のゲート電極３２およびゲート配線５２によって取り囲まれた領域に形成されている。

[0142] 第１方向Ｘに隣り合う２つのゲート構造３０の間の領域に複数のソース開口９０が形成されていてもよい。この場合、複数のソース開口９０は、第２方向Ｙに一列に間隔を空けて形成されていてもよい。さらにこの場合、各ソース開口９０は、平面視において四角形状（正方形状）、第１方向Ｘに延びる長方形状、第２方向Ｙに延びる長方形状、六角形状、円形状等に形成されていてもよい。

[0143] ソース開口９０は、０．２μｍ以上３μｍ以下の幅Ｗを有していてもよい。ソース開口９０の幅Ｗは、０．３μｍ以上１μｍ以下であることが好ましい。ソース開口９０は、０．２μｍ以上２μｍ以下の深さＤを有していてもよい。ソース開口９０の深さＤは、０．５μｍ以上１μｍ以下であることが好ましい。

[0144] ソース開口９０は、０．３以上３以下のアスペクト比Ｄ／Ｗを有していることが好ましい。アスペクト比Ｄ／Ｗは、ソース開口９０の幅Ｗに対するソース開口９０の深さＤの比によって定義される。アスペクト比Ｄ／Ｗは、０．５以上２以下であることが好ましい。アスペクト比Ｄ／Ｗは、１を超えていることが特に好ましい。この構成によれば、複数のゲート構造３０が狭ピッチで配列される。

[0145] 半導体装置１は、第１主面３において複数のソース開口９０から露出した部分にそれぞれ形成された複数のソースリセス９１を含む。半導体装置１は、必ずしもソースリセス９１を有している必要はない。したがって、ソースリセス９１を有さない構成が採用されてもよい。

[0146] 複数のソースリセス９１は、対応するソース開口９０の平面形状に整合する平面形状をそれぞれ有し、第１主面３から第２主面４側に向けて窪んでいる。複数のソースリセス９１は、対応するボディ領域２０の底部から第１主

面３側に間隔を空けて形成され、対応する複数のソース領域２３、２４およびコンタクト領域２５をそれぞれ露出させている。具体的には、複数のソースリセス９１は、対応する複数のソース領域２３、２４（コンタクト領域２５）の底部から第１主面３側に間隔を空けて形成されている。

[0147] 半導体装置１は、外周領域９において層間膜７０に形成された少なくとも１つ（この形態では複数）のアウター開口９２を含む。複数のアウター開口９２は、層間膜７０において終端領域４５を被覆する部分に形成されている。複数のアウター開口９２は、層間膜７０を貫通し、終端領域４５を露出させている。複数のアウター開口９２は、この形態では、層間膜７０において終端領域４５のオーバラップ領域４６を被覆する部分に形成され、オーバラップ領域４６を露出させている。

[0148] 複数のアウター開口９２は、終端領域４５（オーバラップ領域４６）に代えてまたはこれに加えて、アウターボディ領域２１を露出させていてもよい。複数のアウター開口９２は、第１酸化膜７２および第２酸化膜７３の双方を貫通し、第１酸化膜７２および第２酸化膜７３の双方によって区画された壁面を有している。

[0149] 複数のアウター開口９２は、終端領域４５（オーバラップ領域４６）に沿って間隔を空けて形成されている（図４および図５参照）。複数のアウター開口９２は、平面視において四角形状（正方形状）、長方形状、六角形状、円形状等に形成されていてもよい。複数のアウター開口９２は、平面視において終端領域４５（オーバラップ領域４６）に沿って延びる帯状に形成されていてもよい。アウター開口９２は、ソース開口９０と同様、アスペクト比Ｄ／Ｗ（好ましくは１を超えている）を有していてもよい。

[0150] 半導体装置１は、単一のアウター開口９２を有していてもよい。単一のアウター開口９２は、終端領域４５（オーバラップ領域４６）に沿って延びる帯状に形成されていてもよい。単一のアウター開口９２は、平面視において第１方向Ｘに帯状に延びる部分および第２方向Ｙに帯状に延びる部分を有していてもよい。

[0151] 単一のアウター開口９２は、第１主面３の周縁に平行な４辺を有する有端状または無端状の多角環状（この形態では四角環状）に形成されていてもよい。単一のアウター開口９２は、平面視において終端領域４５（オーバラップ領域４６）に倣って第１方向Ｘに延びる部分および第２方向Ｙに延びる部分を円弧状（好ましくは四分円弧状）に接続するエッジ部を有していてもよい。

[0152] 半導体装置１は、第１主面３において複数のアウター開口９２から露出した部分にそれぞれ形成された複数のアウターリセス９３を含む。半導体装置１は、必ずしもアウターリセス９３を有している必要はない。したがって、アウターリセス９３を有さない構成が採用されてもよい。

[0153] 複数のアウターリセス９３は、対応するアウター開口９２の平面形状に整合する平面形状をそれぞれ有し、第１主面３から第２主面４側に向けて窪んでいる。複数のアウターリセス９３は、終端領域４５（オーバラップ領域４６）の底部から第１主面３側に間隔を空けて形成され終端領域４５（オーバラップ領域４６）をそれぞれ露出させている。単一のアウター開口９２が形成される場合、単一のアウター開口９２の平面形状に整合する単一のアウターリセス９３が形成される。

[0154] 半導体装置１は、外周領域９において層間膜７０に形成された少なくとも１つ（この形態では複数）のゲート開口９４を含む。複数のゲート開口９４は、層間膜７０においてゲート配線５２を被覆する部分に形成されている。複数のゲート開口９４は、層間膜７０を貫通し、ゲート配線５２の配線上部５３を露出させている。

[0155] 具体的には、複数のゲート開口９４は、ゲート配線５２の配線上部５３を露出させている。さらに具体的には、複数のゲート開口９４は、配線角部６１から内方に間隔を空けて配線上部５３を露出させている。複数のゲート開口９４は、配線上部５３のみを露出させ、配線角部６１を露出させていない。むろん、配線角部６１を露出させる１つまたは複数のゲート開口９４が形成されてもよい。

[0156] 複数のゲート開口９４は、第１酸化膜７２および第２酸化膜７３の双方を貫通し、第１酸化膜７２および第２酸化膜７３の双方によって区画された壁面を有している。

[0157] 複数のゲート開口９４は、ゲート配線５２（配線上部５３）に沿って間隔を空けて形成されている（図４および図５参照）。複数のゲート開口９４は、平面視において四角形状（正方形状）、長方形状、六角形状、円形状等に形成されていてもよい。複数のゲート開口９４は、平面視においてゲート配線５２に沿って延びる帯状に形成されていてもよい。ゲート開口９４は、ソース開口９０と同様、アスペクト比Ｄ／Ｗ（好ましくは１を超えている）を有していてもよい。

[0158] 半導体装置１は、単一のゲート開口９４を有していてもよい。単一のゲート開口９４は、ゲート配線５２に沿って延びる帯状に形成されていてもよい。単一のゲート開口９４は、平面視において第１方向Ｘに帯状に延びる部分および第２方向Ｙに帯状に延びる部分を有していてもよい。

[0159] 単一のゲート開口９４は、第１主面３の周縁に平行な４辺を有する有端状または無端状の多角環状（この形態では四角環状）に形成されていてもよい。単一のゲート開口９４は、平面視においてゲート配線５２（配線上部５３）に倣って第１方向Ｘに延びる部分および第２方向Ｙに延びる部分を円弧状（好ましくは四分円弧状）に接続するエッジ部を有していてもよい。

[0160] 図１等を参照して、半導体装置１は、層間膜７０の上に配置されたソースパッド電極９５を含む。ソースパッド電極９５は、外部からソース電位が付与される端子電極である。ソースパッド電極９５は、「第１パッド電極」、「第１主面電極」、「第１端子電極」等と称されてもよい。

[0161] ソースパッド電極９５は、層間膜７０のうち活性領域８を被覆する部分の上に配置されている。ソースパッド電極９５は、層間膜７０を挟んで複数のゲート電極３２を被覆し、層間膜７０によって複数のゲート電極３２から電気的に切り離されている。ソースパッド電極９５は、複数のソース開口９０を介して複数のボディ領域２０、アウターボディ領域２１、複数のソース領

域２３、２４、コンタクト領域２５等に電気的に接続されている。

[0162] ソースパッド電極９５は、この形態では、第１パッド部９６、第２パッド部９７および第３パッド部９８を有している。第１パッド部９６は、比較的大きい平面積を有し、ソースパッド電極９５の本体を形成している。第１パッド部９６は、この形態では、平面視においてチップ２の周縁に平行な４辺を有する多角形状（この形態では四角形状）に形成され、活性領域８の中央部に対して第４側面５Ｄ側に偏在されている。第１パッド部９６は、層間膜７０を挟んで複数のゲート電極３２を被覆し、複数のソース開口９０を介して複数のボディ領域２０等に電気的に接続されている。

[0163] 第２パッド部９７は、第１パッド部９６の平面積未満の平面積を有し、第１パッド部９６の第２方向Ｙの一端部（第１側面５Ａ側の端部）から第３側面５Ｃ側に向けて帯状（四角形状）に引き出されている。第２パッド部９７は、層間膜７０を挟んで複数のゲート電極３２を被覆し、複数のソース開口９０を介して複数のボディ領域２０等に電気的に接続されている。

[0164] 第３パッド部９８は、第１パッド部９６の平面積未満の平面積を有し、第１パッド部９６の第２方向Ｙの他端部（第２側面５Ｂ側の端部）からから第３側面５Ｃ側に向けて帯状（四角形状）に引き出され、第２方向Ｙに第２パッド部９７に対向している。第３パッド部９８は、層間膜７０を挟んで複数のゲート電極３２を被覆し、複数のソース開口９０を介して複数のボディ領域２０等に電気的に接続されている。

[0165] 第３パッド部９８の平面積は、第２パッド部９７の平面積とほぼ等しくてもよい。むろん、第３パッド部９８の平面積は、第２パッド部９７の平面積よりも大きくてもよいし、第２パッド部９７の平面積未満であってもよい。第２パッド部９７および第３パッド部９８のいずれか一方または双方は、電流モニタ用の端子部として使用されてもよい。

[0166] ソースパッド電極９５は、必ずしも第２パッド部９７および第３パッド部９８の双方を同時に有している必要はない。ソースパッド電極９５は、第２パッド部９７および第３パッド部９８のうちのいずれ一方のみを有していて

もよい。むろん、ソースパッド電極９５は、第１パッド部９６のみからなり、第２パッド部９７および第３パッド部９８を有していなくてもよい。

[0167] 図６および図７を参照して、ソースパッド電極９５は、第１下地電極膜１００および第１主電極膜１０２を含む。第１下地電極膜１００は「ソース下地電極膜」と称され、第１主電極膜１０２は「ソース主電極膜」と称されてもよい。

[0168] 第１下地電極膜１００は、ソースパッド電極９５（第１パッド部９６、第２パッド部９７および第３パッド部９８）の下層部を形成し、活性領域８において層間膜７０を被覆している。第１下地電極膜１００は、層間膜７０のうち複数のソース開口９０が形成された領域を一括して膜状に被覆している。つまり、第１下地電極膜１００は、層間膜７０の上から複数のソース開口９０内に入り込んでいる。

[0169] 第１下地電極膜１００は、層間膜７０の上面を膜状に被覆する部分、および、複数のソース開口９０の壁面を膜状に被覆する部分を有している。第１下地電極膜１００は、複数のソース開口９０においてリセスをそれぞれ区画している。第１下地電極膜１００は、層間膜７０を挟んでゲート配線５２を部分的に被覆する部分を有していてもよい。第１下地電極膜１００は、平面視においてゲート配線５２から内方に間隔を空けて形成されていてもよい。

[0170] 図７を参照して、第１下地電極膜１００は、この形態では、層間膜７０の上に積層された第１電極膜１０３、および、第１電極膜１０３の上に積層された第２電極膜１０４を含む積層構造を有している。この形態では、第１電極膜１０３はＴｉ膜を含み、第２電極膜１０４はＴｉＮ膜を含む。

[0171] 第１下地電極膜１００は、必ずしも積層構造を有している必要はなく、第１電極膜１０３（Ｔｉ膜）および第２電極膜１０４（ＴｉＮ膜）のいずれか一方からなる単層構造を有していてもよい。第１電極膜１０３の厚さは、１０ｎｍ以上１００ｎｍ以下であってもよい。第２電極膜１０４の厚さは、５０ｎｍ以上２００ｎｍ以下であってもよい。

[0172] 第１電極膜１０３は、層間膜７０のうち複数のソース開口９０が形成され

た領域を一括して膜状に被覆し、層間膜７０の上から複数のソース開口９０に入り込んでいる。第１電極膜１０３は、層間膜７０の上面を膜状に被覆する部分、および、複数のソース開口９０の壁面を膜状に被覆する部分を有している。第１電極膜１０３は、層間膜７０を直接被覆している。

[0173] つまり、第１電極膜１０３は、第２酸化膜７３を直接被覆している。第１電極膜１０３は、層間膜７０を挟んで複数のゲート電極３２に対向している。

[0174] 第１電極膜１０３は、ソース開口９０の壁面に沿って延び、絶縁膜３１、第１酸化膜７２および第２酸化膜７３を被覆している。第１電極膜１０３は、層間膜７０を挟んでゲート電極３２の第１電極側部３４（第２電極側部３５）に対向している。

[0175] 第１電極膜１０３は、各ソース開口９０の底部において第１主面３を膜状に被覆し、第１主面３に電気的に接続されている。具体的には、第１電極膜１０３は、各ソース開口９０の底部においてソースリセス９１を膜状に被覆する部分を有し、複数のソース領域２３、２４およびコンタクト領域２５に電気的に接続されている。

[0176] 第１電極膜１０３は、第１主面３の高さ位置からソースリセス９１の底部側に間隔を空けてソースリセス９１を膜状に被覆していてもよい。第１電極膜１０３は、第１主面３の高さ位置に対してソースリセス９１の底部側に位置された部分、および、第１主面３の高さ位置に対して絶縁膜３１側に位置された部分を有していてもよい。

[0177] 第２電極膜１０４は、第１電極膜１０３の上において層間膜７０のうち複数のソース開口９０が形成された領域を一括して膜状に被覆している。第２電極膜１０４は、第１電極膜１０３を挟んで層間膜７０の上面を膜状に被覆する部分、および、第１電極膜１０３を挟んで複数のソース開口９０の壁面を膜状に被覆する部分を有している。第２電極膜１０４は、第１電極膜１０３および層間膜７０を挟んで複数のゲート電極３２に対向している。

[0178] 第２電極膜１０４は、ソース開口９０の壁面に沿って延び、第１電極膜１

０３を挟んで絶縁膜３１、第１酸化膜７２および第２酸化膜７３を被覆している。第２電極膜１０４は、第１電極膜１０３および層間膜７０を挟んでゲート電極３２の第１電極側部３４（第２電極側部３５）に対向している。

[0179] 第２電極膜１０４は、各ソース開口９０の底部において第１電極膜１０３を挟んでソースリセス９１を膜状に被覆する部分を有し、第１電極膜１０３を介して複数のソース領域２３、２４およびコンタクト領域２５に電気的に接続されている。第１電極膜１０３が第１主面３に対してソースリセス９１の底部側に位置されている場合、第２電極膜１０４はソースリセス９１内に位置された部分を有していてもよい。第１電極膜１０３が第１主面３よりも上方に位置された部分を有する場合、第２電極膜１０４の全体はソースリセス９１の上方に位置される。

[0180] 第１主電極膜１０２は、ソースパッド電極９５（第１パッド部９６、第２パッド部９７および第３パッド部９８）の上層部を形成し、第１下地電極膜１００を膜状に被覆している。第１主電極膜１０２は、第１下地電極膜１００の導電材料とは異なる導電材料を含む。

[0181] 第１主電極膜１０２は、ＡＩ膜、ＡＩ合金膜、Ｃｕ膜およびＣｕ合金膜のうちの少なくとも１つを含んでいてもよい。ＡＩ合金膜は、ＡＩＳｉ合金膜、ＡＩＣｕ合金膜およびＡＩＳｉＣｕ合金膜のうちの少なくとも１つを含んでいてもよい。第１主電極膜１０２は、第１下地電極膜１００の厚さ（総厚さ）よりも大きい厚さを有している。

[0182] 第１主電極膜１０２の厚さは、０．５μｍ以上５μｍ以下であってもよい。第１主電極膜１０２の厚さは、０．５μｍ以上１μｍ以下、１μｍ以上１．５μｍ以下、１．５μｍ以上２μｍ以下、２μｍ以上２．５μｍ以下、２．５μｍ以上３μｍ以下、３μｍ以上３．５μｍ以下、３．５μｍ以上４μｍ以下、４μｍ以上４．５μｍ以下、および、４．５μｍ以上５μｍ以下のうちの少なくとも１つの範囲に属する値を有していてもよい。

[0183] 第１主電極膜１０２は、層間膜７０の上から複数のソース開口９０に入り込み、複数のソース領域２３、２４およびコンタクト領域２５に機械的かつ

電気的に接続されている。これにより、第１主電極膜１０２は、第１下地電極膜１００および層間膜７０を挟んで複数のゲート電極３２に対向している。つまり、第１主電極膜１０２は、第１下地電極膜１００および層間膜７０を挟んで各ゲート電極３２の電極上部３３および電極角部４１に対向している。

[0184] 半導体装置１は、ソースパッド電極９５から外周領域９の上に引き出されたソースフィンガー電極１１０を含む。ソースフィンガー電極１１０は、ソースパッド電極９５に付与されたソース電位を外周領域９に伝達する。ソースフィンガー電極１１０は、この形態では、ソースパッド電極９５（第１パッド部９６）のうちの第４側面５Ｄ側の部分から層間膜７０のうち外周領域９を被覆する部分の上に引き回されている。

[0185] ソースフィンガー電極１１０は、終端領域４５の上まで引き出され、複数のアウター開口９２を介して終端領域４５に電気的に接続されている。具体的には、ソースフィンガー電極１１０は、複数のアウター開口９２を介して終端領域４５のオーバラップ領域４６に電気的に接続されている。

[0186] ソースフィンガー電極１１０は、終端領域４５（オーバラップ領域４６）に沿って帯状に延びている。ソースフィンガー電極１１０は、平面視において第１方向Ｘに帯状に延びる部分および第２方向Ｙに帯状に延びる部分を有している。ソースフィンガー電極１１０は、この形態では、第１主面３の周縁に平行な４辺を有する多角環状（この形態では四角環状）に形成され、ソースパッド電極９５を取り囲んでいる。ソースフィンガー電極１１０は、平面視において第１方向Ｘに延びる部分および第２方向Ｙに延びる部分を円弧状（好ましくは四分円弧状）に接続するエッジ部を有していてもよい（図４参照）。

[0187] ソースフィンガー電極１１０は、ソースパッド電極９５と同様、第１下地電極膜１００および第１主電極膜１０２を含む。第１下地電極膜１００は、ソースフィンガー電極１１０の下層部を形成し、外周領域９において層間膜７０を被覆している。

[0188] 第１下地電極膜１００は、層間膜７０のうち複数のアウター開口９２が形成された領域を一括して膜状に被覆している。つまり、第１下地電極膜１００は、層間膜７０の上から複数のアウター開口９２内に入り込んでいる。第１下地電極膜１００は、層間膜７０の上面を膜状に被覆する部分、および、複数のアウター開口９２の壁面を膜状に被覆する部分を有している。第１下地電極膜１００は、複数のアウター開口９２内においてリセスをそれぞれ区画している。

[0189] 第１下地電極膜１００は、ソースパッド電極９５と同様、第１電極膜１０３および第２電極膜１０４を含む積層構造を有している。第１電極膜１０３は、層間膜７０のうち複数のアウター開口９２が形成された領域を一括して膜状に被覆し、層間膜７０の上から複数のアウター開口９２に入り込んでいる。つまり、第１電極膜１０３は、層間膜７０の上面を膜状に被覆する部分、および、複数のアウター開口９２の壁面を膜状に被覆する部分を有している。

[0190] 第１電極膜１０３は、各アウター開口９２の底部において第１主面３を膜状に被覆し、第１主面３（チップ２）に電気的に接続されている。具体的には、第１電極膜１０３は、各アウター開口９２の底部においてアウターリセス９３を膜状に被覆する部分を有し、アウターリセス９３内において終端領域４５（オーバラップ領域４６）に電気的に接続されている。

[0191] 第１電極膜１０３は、第１主面３の高さ位置からアウターリセス９３の底部側に間隔を空けてアウターリセス９３を膜状に被覆していてもよい。第１電極膜１０３は、第１主面３の高さ位置に対してアウターリセス９３の底部側に位置された部分、および、第１主面３の高さ位置に対して外周絶縁膜５１側に位置された部分を有していてもよい。

[0192] 第２電極膜１０４は、第１電極膜１０３の上において、層間膜７０のうち複数のアウター開口９２が形成された領域を一括して膜状に被覆している。つまり、第２電極膜１０４は、第１電極膜１０３を挟んで層間膜７０の上面を膜状に被覆する部分、および、第１電極膜１０３を挟んで複数のアウター

開口９２の壁面を膜状に被覆する部分を有している。

[0193] 第２電極膜１０４は、各アウター開口９２の底部において第１電極膜１０３を挟んでアウターリセス９３を膜状に被覆する部分を有し、第１電極膜１０３を介して終端領域４５（オーバラップ領域４６）に電気的に接続されている。第１電極膜１０３が第１主面３に対してアウターリセス９３の底部側に位置されている場合、第２電極膜１０４はアウターリセス９３内に位置された部分を有していてもよい。第１電極膜１０３が第１主面３よりも上方に位置された部分を有する場合、第２電極膜１０４の全体はアウターリセス９３の上方に位置される。

[0194] 第１主電極膜１０２は、ソースフィンガー電極１１０の上層部を形成し、第１下地電極膜１００を膜状に被覆している。第１主電極膜１０２は、層間膜７０の上から複数のアウター開口９２に入り込み、終端領域４５（オーバラップ領域４６）に機械的かつ電気的に接続されている。

[0195] 半導体装置１は、層間膜７０の上に選択的に引き回されたゲートフィンガー電極１１５を含む。ゲートフィンガー電極１１５は、ゲート配線５２にゲート電位を伝達する。ゲートフィンガー電極１１５は、層間膜７０のうちゲート配線５２を被覆する部分の上（つまり外周領域９の上）に引き回され、複数のゲート開口９４を介してゲート配線５２に電気的に接続されている。

[0196] ゲートフィンガー電極１１５は、ソースパッド電極９５およびソースフィンガー電極１１０から間隔を空けてソースパッド電極９５およびソースフィンガー電極１１０の間の領域に配置されている。ゲートフィンガー電極１１５は、ゲート配線５２の上に配置され、ゲート配線５２に沿って帯状に延びている。ゲートフィンガー電極１１５は、平面視において第１方向Ｘに帯状に延びる部分および第２方向Ｙに帯状に延びる部分を有している。

[0197] ゲートフィンガー電極１１５は、この形態では、第１主面３の周縁に平行な４辺を有する有端帯状に形成され、ソースパッド電極９５を取り囲んでいる。ゲートフィンガー電極１１５は、平面視において第１方向Ｘに延びる部分および第２方向Ｙに延びる部分を円弧状（好ましくは四分円弧状）に接続

するエッジ部を有していてもよい（図４参照）。ゲートフィンガー電極１１５は、第４側面５Ｄ側においてソースフィンガー電極１１０を通過させる一対の開放端を有している。

[0198] 図９を参照して、ゲートフィンガー電極１１５は、第２下地電極膜１２０および第２主電極膜１２２を含む。第２下地電極膜１２０は「ゲート下地電極膜」と称され、第２主電極膜１２２は「ゲート主電極膜」と称されてもよい。

[0199] 第２下地電極膜１２０は、ゲートフィンガー電極１１５の下層部を形成し、外周領域９において層間膜７０を被覆している。第２下地電極膜１２０は、層間膜７０のうち複数のゲート開口９４が形成された領域を一括して膜状に被覆している。つまり、第２下地電極膜１２０は、層間膜７０の上から複数のゲート開口９４内に入り込んでいる。第２下地電極膜１２０は、層間膜７０の上面を膜状に被覆する部分、および、複数のゲート開口９４の壁面を膜状に被覆する部分を有している。第２下地電極膜１２０は、複数のゲート開口９４内において複数のリセスをそれぞれ区画している。

[0200] 第２下地電極膜１２０は、層間膜７０の上に積層された第１電極膜１２３、および、第１電極膜１２３の上に積層された第２電極膜１２４を含む積層構造を有している。第１電極膜１２３はソース側の第１電極膜１０３と同種の導電材料を含み、第２電極膜１２４はソース側の第２電極膜１０４と同種の導電材料を含むことが好ましい。この形態では、第１電極膜１２３はＴｉ膜を含み、第２電極膜１２４はＴｉＮ膜を含む。

[0201] 第２下地電極膜１２０は、必ずしも積層構造を有している必要はなく、第１電極膜１２３（Ｔｉ膜）および第２電極膜１２４（ＴｉＮ膜）のいずれか一方からなる単層構造を有していてもよい。第１電極膜１２３は、ソース側の第１電極膜１０３の厚さとほぼ等しい厚さを有していてもよい。第２電極膜１２４は、ソース側の第２電極膜１０４の厚さとほぼ等しい厚さを有していてもよい。

[0202] 第１電極膜１２３は、層間膜７０のうち複数のゲート開口９４が形成され

た領域を一括して膜状に被覆し、層間膜７０の上から複数のゲート開口９４に入り込んでいる。つまり、第１電極膜１２３は、層間膜７０の上面を膜状に被覆する部分、および、複数のゲート開口９４の壁面を膜状に被覆する部分を有している。

[0203] 第１電極膜１２３は、各ゲート開口９４の底部においてゲート配線５２を膜状に被覆し、ゲート配線５２に電気的に接続されている。具体的には、第１電極膜１２３は、各ゲート開口９４の底部においてゲート配線５２の配線上部５３を膜状に被覆する部分を有し、配線上部５３に機械的および電気的に接続されている。

[0204] 第１電極膜１２３は、配線角部６１から内方に間隔を空けて配線上部５３に機械的に接続されている。つまり、第１電極膜１２３は、配線上部５３のみに機械的に接続され、配線角部６１に機械的に接続されていない。第１電極膜１２３は、配線上部５３を介して配線角部６１に電気的に接続されている。むろん、第１電極膜１２３（第２下地電極膜１２０）は、配線角部６１に接続された部分を有していてもよい。

[0205] 第２電極膜１２４は、第１電極膜１２３の上において層間膜７０のうち複数のゲート開口９４が形成された領域を一括して膜状に被覆している。つまり、第２電極膜１２４は、第１電極膜１２３を挟んで層間膜７０の上面を膜状に被覆する部分、および、第１電極膜１２３を挟んで複数のゲート開口９４の壁面を膜状に被覆する部分を有している。

[0206] 第２電極膜１２４は、各ゲート開口９４の底部において第１電極膜１２３を挟んでゲート配線５２を膜状に被覆する部分を有し、第１電極膜１２３を介してゲート配線５２に電気的に接続されている。具体的には、第２電極膜１２４は、第１電極膜１２３を挟んでゲート配線５２の配線上部５３を膜状に被覆する部分を有し、第１電極膜１２３を介して配線上部５３に電気的に接続されている。

[0207] 第２電極膜１２４は、配線角部６１から内方に間隔を空けて配線上部５３の上に位置されている。つまり、第２電極膜１２４は、第１電極膜１２３を

挟んで配線上部５３のみに対向し、配線角部６１には対向していない。第２電極膜１２４は、第１電極膜１２３および配線上部５３を介して配線角部６１に電気的に接続されている。むろん、第２電極膜１２４は、第１電極膜１２３を挟んで配線角部６１に対向する部分を有していてもよい。

[0208] 第２主電極膜１２２は、ゲートフィンガー電極１１５の上層部を形成し、第２下地電極膜１２０を膜状に被覆している。第２主電極膜１２２は、第２下地電極膜１２０の導電材料とは異なる導電材料を含む。

[0209] 第２主電極膜１２２は、ＡＩ膜、ＡＩ合金膜、Ｃｕ膜およびＣｕ合金膜のうちの少なくとも１つを含んでいてもよい。ＡＩ合金膜は、ＡＩＳｉ合金膜、ＡＩＣｕ合金膜およびＡＩＳｉＣｕ合金膜のうちの少なくとも１つを含んでいてもよい。第２主電極膜１２２は、第１主電極膜１０２の導電材料と同種の導電材料を含むことが好ましい。第２主電極膜１２２は、第１主電極膜１０２の厚さとほぼ等しい厚さを有していてもよい。

[0210] 第２主電極膜１２２は、層間膜７０の上から複数のゲート開口９４に入り込み、配線上部５３に機械的かつ電気的に接続されている。

[0211] 半導体装置１は、層間膜７０の上に配置されたゲートパッド電極１３０を含む。ゲートパッド電極１３０は、外部からゲート電位が付与される端子電極である。ゲートパッド電極１３０は、「第２パッド電極」、「第２主面電極」、「第２端子電極」等と称されてもよい。ゲートパッド電極１３０は、ソースパッド電極９５およびソースフィンガー電極１１０から間隔を空けてソースパッド電極９５およびソースフィンガー電極１１０の間の領域に配置されている。

[0212] ゲートパッド電極１３０は、この形態では、第１パッド部９６に対して第３側面５Ｃ側の領域に配置され、第２パッド部９７および第３パッド部９８によって挟み込まれている。つまり、ゲートパッド電極１３０は、第１方向Ｘに第１パッド部９６に対向し、第２方向Ｙに第２パッド部９７および第３パッド部９８に対向している。

[0213] ゲートパッド電極１３０は、平面視においてチップ２の周縁に平行な４辺

を有する多角形状（この形態では四角形状）に形成されている。ゲートパッド電極１３０は、ソースパッド電極９５（第１パッド部９６）の平面積未満を有している。ゲートパッド電極１３０は、第２パッド部９７（第３パッド部９８）の平面積未満の平面積を有していてもよい。

[0214] ゲートパッド電極１３０は、活性領域８および外周領域９を被覆する部分の上に配置され、ゲートフィンガー電極１１５に接続されている。ゲートパッド電極１３０は、層間膜７０を挟んで複数のゲート電極３２を被覆していてもよいし、層間膜７０を挟んでゲート配線５２を被覆していてもよい。

[0215] ゲートパッド電極１３０は、ゲートフィンガー電極１１５と同様、第２下地電極膜１２０および第２主電極膜１２２を含む。第２下地電極膜１２０は、ゲートパッド電極１３０の下層部を形成し、層間膜７０を膜状に被覆している。第２下地電極膜１２０は、ゲートフィンガー電極１１５と同様、第１電極膜１２３および第２電極膜１２４を含む積層構造を有している。第１電極膜１２３は層間膜７０を膜状に被覆し、第２電極膜１２４は第１電極膜１２３第を膜状に被覆している。第２主電極膜１２２は、ゲートパッド電極１３０の上層部を形成し、第２下地電極膜１２０を膜状に被覆している。

[0216] ゲートパッド電極１３０に付与されたゲート電位は、ゲートフィンガー電極１１５を介してゲート配線５２に付与される。ゲート電位は、ゲート配線５２に沿う配線経路（電流経路）を介して複数のゲート電極３２に伝達される。これにより、複数のゲート電極３２がオン状態になり、複数のチャネル領域２６、２７のオンオフが制御される。

[0217] 半導体装置１は、第２主面４を被覆するドレインパッド電極１４０を含む。ドレインパッド電極１４０は、外部からドレイン電位が付与される端子電極である。ドレインパッド電極１４０は、「第３パッド電極」、「第３主面電極」、「第３端子電極」等と称されてもよい。ドレインパッド電極１４０は、第２半導体領域７に電気的に接続されている。ドレインパッド電極１４０は、第２主面４の周縁（第１～第４側面５Ａ～５Ｄ）に連なるように第２主面４の全域を被覆していてもよい。ドレインパッド電極１４０は、第２主

面４の周縁部を露出させるように第２主面４を部分的に被覆していてもよい。

[0218] ソースパッド電極９５およびドレインパッド電極１４０の間（第１主面３および第２主面４の間）に印加可能なブレークダウン電圧は、５００Ｖ以上３０００Ｖ以下であってもよい。ブレークダウン電圧は、５００Ｖ以上１０００Ｖ以下、１０００Ｖ以上１５００Ｖ以下、１５００Ｖ以上２０００Ｖ以下、２０００Ｖ以上２５００Ｖ以下、および、２５００Ｖ以上３０００Ｖ以下のうちの少なくとも１つの範囲に属する値を有していてもよい。

[0219] 次に、図１０を参照して、ゲート構造３０および層間膜７０の構造について、詳細な説明を加える。図１０は、図７の要部を示す拡大断面図であり、ゲート電極３２の電極角部４１の近傍を拡大して示している。図１０では、電極角部４１Ｂの近傍の構造を説明するが、当該構造は、電極角部４１Ａの近傍の構造、および配線角部６１Ａ，６１Ｂの近傍の構造にも適用することができる。

[0220] 前述のように、ゲート電極３２は、電極上部３３、電極側部３４，３５および電極角部４１を一体的に有している。これにより、ゲート電極３２は、断面視において部分的に上方に突出する突出部３７を有する形状に形成されている。たとえば、ゲート電極３２は、ゲート電極３２の下面（絶縁膜３１との接触面）から電極側部３４，３５の上端までのベース部３６と、電極角部４１により幅が狭められ、電極上部３３を形成する突出部３７とを含んでいてもよい。ベース部３６の電極側部３４，３５の近傍は、上側が電極角部４１により欠落して空間となっているため、選択的に膜厚が薄くなっている。反対に、突出部３７が形成された領域は、ゲート電極３２において選択的に膜厚が厚くなった部分である。

[0221] この形態では、突出部３７は、第１ソース領域２３および第１チャネル領域２６にオーバラップしている。これにより、第１チャネル領域２６上のゲート電極３２の厚さを厚くすることができる。したがって、電極角部４１が形成されていても、ゲート電極３２の抵抗値を第１チャネル領域２６上で小

さく維持できるので、スイッチング速度の応答性の低下を抑制することができる。

[0222] 層間膜７０は、電極上部３３に接する絶縁上部８４、電極側部３４，３５に接する絶縁側部８５、電極角部４１に接する絶縁角部８６を一体的に有している。

[0223] 絶縁上部８４は、電極上部３３に沿って水平方向に膜状に延び、電極上部３３を被覆している。絶縁側部８５は、絶縁膜３１から垂直に立ち上がり、電極側部３４，３５に沿って膜状に延び、電極側部３４，３５を被覆している。

[0224] 絶縁角部８６は、ゲート電極３２の内側に湾曲する凹部４２により形成された電極角部４１に入り込んでいる。より具体的には、絶縁角部８６は、凹部４２の湾曲面に沿ってゲート電極３２の内側に湾曲する第１凸面８７と、第１凸面８７の反対側においてソースパッド電極９５に接し、ゲート電極３２の斜め上方に湾曲する第２凸面８８とを有する。絶縁角部８６は、断面視において、互いに離れる両方向に湾曲する第１凸面８７および第２凸面８８を有している。これにより、絶縁角部８６の厚さ（角部厚さＴ３）は、絶縁上部８４の厚さ（上部厚さＴ１）および絶縁側部８５の厚さ（側部厚さＴ２）よりも厚い。

[0225] 角部厚さＴ３は、たとえば、第１凸面８７に対する第１接線Ｌ１、および第２凸面８８に対する第１接線Ｌ１に平行な第２接線Ｌ２の双方の法線方向ｎにおける層間膜７０の厚さであってもよい。この形態では、上部厚さＴ１および側部厚さＴ２は、たとえば、１０００Å以上５０００Å以下であり、角部厚さＴ３は、この上部厚さＴ１および側部厚さＴ２よりも厚い。なお、角部厚さＴ３は、第１酸化膜７２および第２酸化膜７３を含む層間膜７０のトータル厚さにおいて、上部厚さＴ１および側部厚さＴ２よりも厚ければよい。

[0226] 図１１は、半導体装置１の製造に使用されるウエハ１５０を示す概略図である。図１１を参照して、ウエハ１５０は、チップ２の基材であり、ＳｉＣ

単結晶を含む。ウエハ１５０は、扁平な円盤状に形成されている。むろん、ウエハ１５０は、扁平な直方体形状に形成されていてもよい。ウエハ１５０は、一方側の第１ウエハ主面１５１、他方側の第２ウエハ主面１５２、ならびに、第１ウエハ主面１５１および第２ウエハ主面１５２を接続するウエハ側面１５３を有している。

[0227] 第１ウエハ主面１５１はチップ２の第１主面３に対応し、第２ウエハ主面１５２はチップ２の第２主面４に対応している。第１ウエハ主面１５１および第２ウエハ主面１５２は、ＳｉＣ単結晶のｃ面によって形成されている。第１ウエハ主面１５１はＳｉＣ単結晶のシリコン面によって形成され、第２ウエハ主面１５２はＳｉＣ単結晶のカーボン面によって形成されている。ウエハ１５０（第１ウエハ主面１５１および第２ウエハ主面１５２）は、前述のオフ方向およびオフ角を有している。

[0228] ウエハ１５０は、ウエハ側面１５３においてＳｉＣ単結晶の結晶方位を示す目印１５４を有している。目印１５４は、オリエンテーションフラットおよびオリエンテーションノッチのいずれか一方または双方を含んでいてもよい。オリエンテーションフラットは、平面視において直線状に切り欠かれた切り欠き部からなる。オリエンテーションノッチは、平面視において第１ウエハ主面１５１の中央部に向けて凹形状（たとえば先細り形状）に切り欠かれた切り欠き部からなる。

[0229] 目印１５４は、ｍ軸方向に延びる第１のオリエンテーションフラット、および、ａ軸方向に延びる第２のオリエンテーションフラットのいずれか一方または双方を含んでいてもよい。目印１５４は、ｍ軸方向に窪んだオリエンテーションノッチ、および、ａ軸方向に窪んだオリエンテーションノッチのいずれか一方または双方を含んでいてもよい。

[0230] ウエハ１５０は、第１ウエハ主面１５１側の領域（表層部）において第１半導体領域６を含む。第１半導体領域６は、第１ウエハ主面１５１に沿って延びる層状に形成されている。第１半導体領域６は、この形態では、エピタキシャル層（具体的にはＳｉＣエピタキシャル層）からなる。

[0231] ウエハ１５０は、第２ウエハ主面１５２側の領域（表層部）において第２半導体領域７を含む。第２半導体領域７は、第２主面４に沿って延びる層状に形成され、第１半導体領域６に電気的に接続されている。第２半導体領域７は、この形態では、ウエハ本体（具体的にはＳｉＣウエハ）からなる。つまり、ウエハ１５０は、この形態では、ウエハ本体およびエピタキシャル層を含む積層構造を有するエピタキシャルウエハ（所謂エピウエハ）からなる。

[0232] たとえば、ウエハ１５０には、アライメントマーク等によって複数のデバイス領域１５５および複数の切断予定ライン１５６が設定される。各デバイス領域１５５は、半導体装置１に対応する領域である。複数のデバイス領域１５５は、平面視において四角形状にそれぞれ設定されている。

[0233] 複数のデバイス領域１５５は、この形態では、平面視において第１方向Ｘおよび第２方向Ｙに沿って行列状に設定される。複数のデバイス領域１５５は、平面視において第１ウエハ主面１５１の周縁から内方に間隔を空けてそれぞれ設定されている。複数の切断予定ライン１５６は、複数のデバイス領域１５５を区画するように第１方向Ｘおよび第２方向Ｙに沿って延びる格子状に設定されている。

[0234] 図１２Ａ～図１２Ｍは、半導体装置１の製造方法を示す断面図である。図１２Ａ～図１２Ｍでは、１つのデバイス領域１５５のうちの活性領域８の一部の断面が示されている。

[0235] 図１２Ａを参照して、まず、前述のウエハ１５０が用意される。次に、図１２Ｂを参照して、マスク（図示せず）を介するイオン注入法によって第１ウエハ主面１５１の表層部にｐ型不純物が選択的に導入され、複数のボディ領域２０が形成される。また、マスク（図示せず）を介するイオン注入法によって第１ウエハ主面１５１の表層部にｐ型不純物が選択的に導入され、アウターボディ領域２１が形成される。また、マスク（図示せず）を介するイオン注入法によって第１ウエハ主面１５１の表層部にｎ型不純物が選択的に導入され、複数のソース領域２３、２４が形成される。

[0236] また、マスク（図示せず）を介するイオン注入法によって第１ウエハ主面１５１の表層部にｐ型不純物が選択的に導入され、複数のコンタクト領域２５が形成される。また、マスク（図示せず）を介するイオン注入法によって第１ウエハ主面１５１の表層部にｐ型不純物が選択的に導入され、終端領域４５が形成される。また、マスク（図示せず）を介するイオン注入法によって第１ウエハ主面１５１の表層部にｐ型不純物が選択的に導入され、複数のフィールド領域４７が形成される。

[0237] ボディ領域２０の形成工程、アウターボディ領域２１の形成工程、ソース領域２３、２４の形成工程、コンタクト領域２５の形成工程、終端領域４５の形成工程およびフィールド領域４７の形成工程の順序は任意である。アウターボディ領域２１の形成工程は、ボディ領域２０の形成工程と同時に実施されてもよい。フィールド領域４７の形成工程は、ボディ領域２０の形成工程または終端領域４５の形成工程と同時に実施されてもよい。

[0238] 次に、図１２Ｃを参照して、第１ウエハ主面１５１を被覆するベース絶縁膜１６０が形成される。ベース絶縁膜１６０は、絶縁膜３１および外周絶縁膜５１のベースである。ベース絶縁膜１６０は、ＣＶＤ（Chemical Vapor Deposition）法または酸化処理法（たとえば熱酸化処理法）によって形成されてもよい。

[0239] 次に、図１２Ｄを参照して、ベース電極１６１がベース絶縁膜１６０の上に形成される。ベース電極１６１は、ゲート電極３２およびゲート配線５２のベースである。ベース電極１６１は、導電性ポリシリコンを含む。ベース電極１６１は、ＣＶＤ法によって形成されてもよい。ベース電極１６１は、ベース絶縁膜１６０に沿って延びるベース電極面１６２を有している。

[0240] 次に、図１２Ｅを参照して、所定レイアウトを有するマスク１６８がベース電極１６１（ベース電極面１６２）の上に形成される。マスク１６８は、有機マスク（たとえばレジストマスク）であってもよい。マスク１６８は、複数のゲート電極３２を形成すべき領域を被覆する複数のマスク部以外の領域を露出させる複数の開口１６９を有している。

[0241] 次の工程は、ベース電極１６１のエッチング工程である。この工程では、マスク１６８を介する等方性エッチングが行われ、続いて、異方性エッチングが行われる。まず、図１２Ｆを参照して、マスク１６８を介する等方性エッチングにより、ベース電極１６１がベース電極面１６２から厚さ方向および横方向に向かって等方的に除去される。これにより、ベース電極１６１には、開口１６９の直下に凹部１６３が形成される。凹部１６３は、第１ウエハ主面１５１に沿う横方向の両端部に、ベース電極１６１の内側に湾曲する凹部角部１６４を有している。

[0242] 次に、図１２Ｇを参照して、マスク１６８を介する異方性エッチングにより、ベース電極１６１の残りの部分が凹部１６３の底面からベース絶縁膜１６０まで、厚さ方向に除去される。これにより、電極上部３３、電極側部３４，３５および電極角部４１をそれぞれ有する複数のゲート電極３２が形成される。円弧状の電極角部４１は、凹部角部１６４により形成される。また、配線上部５３、配線側部５４，５５および配線角部６１を有するゲート配線５２が形成される。ゲート電極３２およびゲート配線５２の形成工程後、マスク１６８は除去される。

[0243] 次に、図１２Ｈを参照して、第１ウエハ主面１５１の上に層間膜７０が形成される。この工程では、ゲート電極３２の電極上部３３、第１電極側部３４、第２電極側部３５および電極角部４１を直接被覆する部分を有する層間膜７０が形成される。また、ゲート配線５２の配線上部５３、第１配線側部５４、第２配線側部５５および配線角部６１を直接被覆する部分を有する層間膜７０が形成される。

[0244] 層間膜７０は、この形態では、第１酸化膜７２および第２酸化膜７３を含む積層構造を有している（図７参照）。第１酸化膜７２は、不純物無添加の酸化シリコン膜を含む。第２酸化膜７３は、燐を含有する酸化シリコン膜を含む。第１酸化膜７２は、ＣＶＤ法によって形成されてもよい。第２酸化膜７３は、ＣＶＤ法によって形成されてもよい。第２酸化膜７３の形成工程後、層間膜７０に対してリフロー工程（熱処理工程）が実施される。

これにより、層間膜７０の角部や表面荒れが平滑化される。

[0245] 次に、図１２Ｉを参照して、所定のレイアウトを有するマスク１７４が層間膜７０の上に配置される。マスク１７４は、複数のソース開口９０、複数のアウター開口９２および複数のゲート開口９４を形成すべき領域を露出させ、それら以外の領域を被覆している。

[0246] 次に、図１２Ｊを参照して、マスク１７４を介するエッチング法によって層間膜７０の不要な部分およびベース絶縁膜１６０の不要な部分が除去される。この工程では、第２酸化膜７３の不要な部分、第１酸化膜７２の不要な部分およびベース絶縁膜１６０の不要な部分がこの順に除去される。エッチング法は、ウエットエッチング法および／またはドライエッチング法であってもよい。エッチング法は、異方性のドライエッチング法（たとえばＲＩＥ（Reactive Ion Etching）法）であることが好ましい。

[0247] これにより、複数のソース開口９０、複数のアウター開口９２および複数のゲート開口９４が層間膜７０に形成される。また、絶縁膜３１および外周絶縁膜５１が形成される。この工程は、複数のソースリセス９１の形成工程および複数のアウターリセス９３の形成工程を含んでいてもよい。この場合、第１ウエハ主面１５１のうち複数のソース開口９０および複数のアウター開口９２から露出する部分を第２ウエハ主面１５２側に向けてさらに掘り下げる工程が実施される。マスク１７４は、その後、除去される。

[0248] 次に、図１２Ｋを参照して、リフロー処理により、層間膜７０の上側角部に、ゲート電極３２の斜め上方に湾曲する第２凸面８８が形成される。リフロー条件は、図１２Ｊのエッチング後に尖っている層間膜７０の上側角部が円弧状になるような条件であれば特に制限されない。たとえば、層間膜７０の膜厚、膜質、ソース開口９０の開口幅等に応じて適切に定めればよい。

[0249] 次に、図１２Ｌを参照して、第１下地電極膜１００および第２下地電極膜１２０が層間膜７０の上に形成される。第１下地電極膜１００および第２下地電極膜１２０は、スパッタ法または蒸着法によって形成されてもよい。

[0250] 次に、図１２Ｍを参照して、第１主電極膜１０２および第２主電極膜１２

２が、それぞれ、第１下地電極膜１００および第２下地電極膜１２０の上に形成される。第１主電極膜１０２および第２主電極膜１２２は、ＡＩ膜、ＡＩ合金膜、Ｃｕ膜およびＣｕ合金膜のうちの少なくとも１つを含んでいてもよい。ＡＩ合金膜は、ＡＩＳｉ合金膜、ＡＩＣｕ合金膜およびＡＩＳｉＣｕ合金膜のうちの少なくとも１つを含んでいてもよい。第１主電極膜１０２および第２主電極膜１２２は、スパッタ法または蒸着法によって形成されてもよい。

[0251] その後、第２ウエハ主面１５２の上にドレインパッド電極１４０が形成される。ドレインパッド電極１４０は、スパッタ法または蒸着法によって形成されてもよい。そして、切断予定ライン１５６によってウエハ１５０が切断され、複数の半導体装置１が切り出される。以上を含む工程を経て、半導体装置１が製造される。

[0252] たとえば、デバイスの小型化の要求に応えるため、複数のゲート構造３０が狭ピッチで配列される場合がある。隣り合うゲート構造３０の間の距離が狭くなるため、耐圧確保のために層間膜７０を一様に厚くすると、ソースコンタクトのためのソース開口９０の幅Wが非常に小さくなる。ソース開口９０の幅Wの縮小化は、ソース開口９０へのメタル（ソースパッド電極９５）の埋め込み性を低下させる。埋め込み性が低下すると、ソース開口９０の位置にボイドが発生し、めっき液の流入や、ワイヤボンディング不良（たとえば、ワイヤボンディング時の強度不足）等の課題が生じる。一方、この課題の対策として層間膜７０を薄くすると、層間膜７０のリフロー後に絶縁角部８６の膜厚が十分に確保できず、ゲート－ソース間の絶縁信頼性が低下する。

[0253] そこで、この半導体装置１によれば、ゲート電極３２に電極角部４１が形成されているため、層間膜７０の角部厚さＴ３を、上部厚さＴ１および側部厚さＴ２よりも選択的に厚くすることができる。これにより、ソース開口９０の形成後、リフローにより絶縁角部８６が第２凸面８８のように円弧状に成形され、リフロー前よりも薄くなっても（図１２Ｋ参照）、電極角部４１

上に十分な厚さの絶縁角部８６を確保することができる。したがって、ゲート構造３０の狭ピッチ化の要求に応えることができ、かつ耐圧信頼性を向上することができる。一方、側部厚さＴ２は比較的薄く形成できるので、ソース開口９０におけるボイドの発生を抑制することができる。

[0254] 特に、ＳｉＣを有する半導体装置１の場合、その特性（物性）上、ＬＳＩ等のラテラル型のＳｉ半導体装置等とは異なり、極めて高い電圧が印加される。したがって、ゲート－ソース間の絶縁信頼性を向上することによって、適切な電気的特性を有する半導体装置１が提供される。

[0255] 以下、ゲート電極３２の変形例が示される。図１３は、ゲート電極３２の第１変形例を示す断面図である。

[0256] 図１３を参照して、ゲート電極３２の電極角部４１は、必ずしも円弧状に形成されている必要はない。たとえば、電極角部４１は、電極上部３３から電極側部３４，３５に下り傾斜する平坦な傾斜壁４３により形成されていてもよい。電極角部４１は、電極側部３４，３５の上端からゲート電極３２の幅方向内側上方に向かって傾斜する平坦な傾斜壁４３であってもよい。この場合、絶縁角部８６は、傾斜壁４３に接し、傾斜壁４３に沿って傾斜する平坦面４４を有していてもよい。

[0257] 電極角部４１が傾斜壁４３により形成されている場合でも、絶縁角部８６の厚さ（角部厚さＴ３）を、絶縁上部８４の厚さ（上部厚さＴ１）および絶縁側部８５の厚さ（側部厚さＴ２）よりも厚くすることができる。

[0258] 図１４Ａ～図１４Ｂは、図１３のゲート電極３２の形成に関連する工程を示す図である。

[0259] 図１４Ａを参照して、傾斜壁４３を有する電極角部４１を形成するには、マスク１６８がベース電極１６１（ベース電極面１６２）の上に形成された後（図１２Ｅ参照）、マスク１６８を介する異方性テーパエッチングにより、ベース電極１６１がベース電極面１６２から厚さ方向に向かってテーパ状に除去される。この際、ベース電極１６１が垂直ではなく斜め方向にエッチングされるように、ドライエッチングの条件を適宜設定すればよい。これに

より、ベース電極１６１には、開口１６９の直下に凹部１６５が形成される。凹部１６５は、第１ウエハ主面１５１に沿う横方向の両端部に、ベース電極１６１の斜め上方に傾斜する平坦な傾斜壁により形成された凹部角部１６６を有している。

[0260] 次に、図１４Ｂを参照して、マスク１６８を介する異方性垂直エッチングにより、ベース電極１６１の残りの部分が凹部１６５の底面からベース絶縁膜１６０まで、厚さ方向に除去される。これにより、電極上部３３、電極側部３４，３５および電極角部４１（傾斜壁４３）をそれぞれ有する複数のゲート電極３２が形成される。電極角部４１の傾斜壁４３は、凹部角部１６６により形成される。

[0261] その後は、図１２Ｈ～図１２Ｍの工程が行われることにより、図１３に示す半導体装置１が得られる。

[0262] 図１５は、ゲート電極の第２変形例を示す断面図である。図１５を参照して、ゲート電極３２の電極角部４１は、必ずしも円弧状に形成されている必要はない。たとえば、電極角部４１は、電極上部３３と電極側部３４，３５とをゲート電極３２の斜め上方に湾曲する円弧形状で接続するラウンド部４８により形成されていてもよい。この場合、絶縁角部８６は、ラウンド部４８に接し、ラウンド部４８に沿って円弧状に形成された凹面４９を有していてもよい。凹面４９は、絶縁角部８６の第２凸面８８と同じ方向に湾曲する面である。

[0263] 電極角部４１がラウンド部４８により形成されている場合でも、絶縁角部８６の厚さ（角部厚さＴ３）を、絶縁上部８４の厚さ（上部厚さＴ１）および絶縁側部８５の厚さ（側部厚さＴ２）よりも厚くすることができる。

[0264] 図１６Ａ～図１６Ｂは、図１５のゲート電極３２の形成に関連する工程を示す図である。

[0265] 図１６Ａを参照して、ラウンド部４８を有する電極角部４１を形成するには、マスク１６８がベース電極１６１（ベース電極面１６２）の上に形成された後（図１２Ｅ参照）、マスク１６８を介する異方性エッチングにより、

ベース電極面１６２からベース絶縁膜１６０まで、ベース電極１６１が厚さ方向に除去される。これにより、電極角部４１が尖った状態の複数のゲート電極３２が形成される。

[0266] 次に、図１６Ｂを参照して、熱酸化処理により、ゲート電極３２の表面に熱酸化膜５０が形成される。ゲート電極３２の熱酸化は、電極上部３３から垂直方向（縦方向）に進行すると共に、電極側部３４，３５から水平方向（横方向）に進行する。電極角部４１においては、縦方向および横方向の両方向から熱酸化が進行し、これにより、電極角部４１の尖った角が酸化して欠落し、円弧状のラウンド部４８が形成される。

[0267] その後は、図１２Ｈ～図１２Ｍの工程が行われることにより、図１３に示す半導体装置１が得られる。

[0268] 以上、本開示の実施形態について説明したが、本開示の半導体装置１は、他の形態で実施することもできる。

[0269] たとえば、前述の各実施形態において、ａ軸方向およびｍ軸方向の関係が入れ換えられた構成が採用されてもよい。この場合の具体的な構成は、前述の説明および添付図面において「ａ軸方向（オフ方向）」および「ｍ軸方向（オフ方向に直交する方向）」を入れ換えることよって得られる。

[0270] 前述の各実施形態において、「ｎ型」の半導体領域の導電型が「ｐ型」に反転され、「ｐ型」の半導体領域の導電型が「ｎ型」に反転された構造が採用されてもよい。この場合の具体的な構成は、前述の説明および添付図面において、「ｎ型」を「ｐ型」に置き換えると同時に、「ｐ型」を「ｎ型」に置き換えることによって得られる。

[0271] 前述の各実施形態では、ＳｉＣ単結晶を含むチップ２（第１半導体領域６および第２半導体領域７）が採用された。しかし、チップ２（第１半導体領域６および第２半導体領域７）は、ＳｉＣ単結晶以外のワイドバンドギャップ半導体の単結晶を含んでいてもよい。ワイドバンドギャップ半導体は、シリコンのバンドギャップよりも大きいバンドギャップを有する半導体である。ワイドバンドギャップ半導体の単結晶として、窒化ガリウム、ダイヤモン

ド、酸化ガリウム等が例示される。むろん、チップ２（第１半導体領域６および第２半導体領域７）は、シリコン単結晶を含んでいてもよい。

[0272] 前述の各実施形態では、ｎ型の第２半導体領域７が示された。しかし、ｎ型の第２半導体領域７に変えてｐ型の第２半導体領域７が採用されてもよい。この場合、ＭＩＳＦＥＴ構造に代えてＩＧＢＴ（Insulated Gate Bipolar Transistor）構造が形成される。この場合、前述の説明において、ＭＩＳＦＥＴ構造の「ソース」がＩＧＢＴ構造の「エミッタ」に置き換えられ、ＭＩＳＦＥＴ構造の「ドレイン」がＩＧＢＴ構造の「コレクタ」に置き換えられる。ｐ型の第２半導体領域７はイオン注入法によってチップ２の第２主面４の表層部に導入されたｐ型不純物を含む不純物領域であってもよい。

[0273] 以下、この明細書および図面から抽出される特徴例が示される。以下、括弧内の英数字等は前述の実施形態における対応構成要素等を表すが、各項目（Clause）の範囲を実施形態に限定する趣旨ではない。以下の項目に係る「半導体装置」は、必要に応じて「ＳｉＣ半導体装置」、「ワイドバンドギャップ半導体装置」、「半導体スイッチング装置」、「ＭＩＳＦＥＴ装置」、「ＩＧＢＴ装置」等に置き換えられてもよい。

[0274] ［付記１－１］

主面（３）を有するチップ（２）と、

前記主面（３）上に形成されたゲート電極（３２）であって、前記主面（３）に沿う電極上部（３３）と、前記主面（３）から立ち上がる電極側部（３４，３５）と、前記ゲート電極（３２）の材料の一部が欠落することにより形成され、前記電極上部（３３）と前記電極側部（３４，３５）とを接続する電極角部（４１）とを有するゲート電極（３２）と、

前記ゲート電極（３２）を被覆する層間膜（７０）と、

前記電極側部（３４，３５）から前記主面（３）に沿う横方向に離間して前記層間膜（７０）に形成され、前記主面（３）の一部をコンタクト面として露出させる開口（９０）と、

前記層間膜（７０）上に形成され、前記開口（９０）内で前記コンタクト

面に機械的かつ電気的に接続された表面電極（９５）とを含み、

前記層間膜（７０）は、前記電極上部（３３）に接する絶縁上部（８４）と、前記電極側部（３４，３５）に接する絶縁側部（８５）と、前記電極角部（４１）に接する絶縁角部（８６）とを含み、

前記絶縁角部（８６）の前記層間膜（７０）の角部厚さ（Ｔ３）が、前記絶縁上部（８４）の前記層間膜（７０）の上部厚さ（Ｔ１）および前記絶縁側部（８５）の前記層間膜（７０）の側部厚さ（Ｔ２）の少なくとも一方よりも厚い、半導体装置（１）。

[0275] たとえば、デバイスの小型化の要求に応えるため、複数のゲート電極（３２）が狭ピッチで配列される場合がある。隣り合うゲート電極（３２）の間の距離が狭くなるため、耐圧確保のために層間膜（７０）を一様に厚くすると、コンタクト面を露出させる開口（９０）の幅が非常に小さくなる。開口（９０）の幅の縮小化は、開口（９０）へのメタルの埋め込み性を低下させる。埋め込み性が低下すると、開口（９０）の位置にボイドが発生し、めっき液の流入や、ワイヤボンディング不良（たとえば、ワイヤボンディング時の強度不足）等の課題が生じる。一方、この課題の対策として層間膜（７０）を薄くすると、層間膜（７０）のリフロー後に絶縁角部（８６）の膜厚が十分に確保できず、絶縁信頼性が低下する。

[0276] そこで、この形態によれば、ゲート電極（３２）の材料の一部の欠落により電極角部（４１）がゲート電極（３２）に形成されているため、層間膜（７０）の角部厚さ（Ｔ３）を、上部厚さ（Ｔ１）および側部厚さ（Ｔ２）よりも選択的に厚くすることができる。これにより、開口（９０）の形成後、絶縁角部（８６）がリフロー前よりも薄くなっても、電極角部（４１）上に十分な厚さの絶縁角部（８６）を確保することができる。したがって、ゲート電極（３２）の狭ピッチ化の要求に応えることができ、かつ耐圧信頼性を向上することができる。一方、側部厚さ（Ｔ２）は比較的薄く形成できるので、開口（９０）におけるボイドの発生を抑制することができる。

[0277] ［付記１－２］

前記電極角部（４１）は、前記ゲート電極（３２）の内側に湾曲する円弧状の凹部（４２）を含む、付記１－１に記載の半導体装置（１）。

[0278] ［付記１－３］

前記絶縁角部（８６）は、前記凹部（４２）の湾曲面に沿って前記ゲート電極（３２）の内側に湾曲する第１凸面（８７）を有しており、

前記角部厚さ（Ｔ３）は、前記第１凸面（８７）に対する接線（Ｌ１）の法線方向（ｎ）における前記層間膜（７０）の厚さを含む、付記１－２に記載の半導体装置（１）。

[0279] ［付記１－４］

前記絶縁角部（８６）は、前記凹部（４２）の湾曲面に沿って前記ゲート電極（３２）の内側に湾曲する第１凸面（８７）と、前記第１凸面（８７）の反対側において前記表面電極（９５）に接し、前記ゲート電極（３２）の斜め上方に湾曲する第２凸面（８８）とを有し、

前記角部厚さ（Ｔ３）は、前記第１凸面（８７）に対する第１接線（Ｌ１）、および前記第２凸面（８８）に対する前記第１接線（Ｌ１）に平行な第２接線（Ｌ２）の双方の法線方向（ｎ）における前記層間膜（７０）の厚さを含む、付記１－２に記載の半導体装置（１）。

[0280] ［付記１－５］

前記電極角部（４１）は、前記電極上部（３３）から前記電極側部（３４，３５）に下り傾斜する平坦な傾斜壁（４３）を含む、付記１－１に記載の半導体装置（１）。

[0281] ［付記１－６］

前記電極角部（４１）は、前記電極上部（３３）と前記電極側部（３４，３５）とを前記ゲート電極（３２）の斜め上方に湾曲する円弧形状で接続するラウンド部（４８）を含む、付記１－１に記載の半導体装置（１）。

[0282] ［付記１－７］

前記主面（３）上に間隔を空けて配列された複数の前記ゲート電極（３２）をさらに含み、

前記開口（９０）は、複数の前記ゲート電極（３２）の間の領域に区画されている、付記１－１～付記１－６のいずれか一項に記載の半導体装置（１）。

[0283] ［付記１－８］

前記開口（９０）は、前記開口（９０）の深さ方向に沿う縦長のアスペクト比（Ｄ／Ｗ）を有しており、

前記角部厚さ（Ｔ３）は、前記上部厚さ（Ｔ１）および前記側部厚さ（Ｔ２）の双方よりも厚い、付記１－１～付記１－７のいずれか一項に記載の半導体装置（１）。

[0284] ［付記１－９］

前記上部厚さ（Ｔ１）および前記側部厚さ（Ｔ２）は、１０００Å以上５０００Å以下である、付記１－１～付記１－８のいずれか一項に記載の半導体装置（１）。

[0285] ［付記１－１０］

前記開口（９０）の幅が０．２μｍ以上３μｍ以下であり、前記開口（９０）の深さが０．２μｍ以上２μｍ以下である、付記１－１～付記１－９のいずれか一項に記載の半導体装置（１）。

[0286] ［付記１－１１］

前記層間膜（７０）は、前記ゲート電極（３２）を被覆する不純物無添加の第１酸化膜（７２）、および、燐を含有し、前記第１酸化膜（７２）を被覆する第２酸化膜（７３）を含み、

前記開口（９０）は、前記第１酸化膜（７２）および前記第２酸化膜（７３）の双方を貫通している、付記１－１～付記１－１０のいずれか一項に記載の半導体装置（１）。

[0287] ［付記１－１２］

前記主面（３）の表層部に形成された第１導電型の半導体領域（６）と、

前記半導体領域（６）の表層部に形成された第２導電型のボディ領域（２０）と、

前記ボディ領域（２０）の表層部に形成された第１導電型の不純物領域（２３，２４）と、

前記ボディ領域（２０）の表層部において前記半導体領域（６）および前記不純物領域（２３，２４）の間の領域に形成されるチャネル（２６，２７）と、

前記主面（３）上で前記チャネル（２６，２７）を被覆し、前記ゲート電極（３２）と前記チャネル（２６，２７）との間に挟まれた絶縁膜（３１）とをさらに含み、

前記開口（９０）は、前記不純物領域（２３，２４）の一部を前記コンタクト面に露出させ、

前記表面電極（９５）は、前記開口（９０）内において前記不純物領域（２３，２４）に電気的に接続されている、付記１－１～付記１－１１のいずれか一項に記載の半導体装置（１）。

[0288] ［付記１－１３］

前記チップ（２）が、ＳｉＣチップ（２）である、付記１－１～付記１－１２のいずれか一項に記載の半導体装置（１）。

[0289] ［付記１－１４］

ウエハ（１５０）の主面（１５１）上にベース電極（１６１）を形成する工程と、

前記ベース電極（１６１）を厚さ方向に選択的に等方性エッチングし、続いて異方性エッチングすることにより、前記主面（１５１）に沿う電極上部（３３）と、前記主面（１５１）から立ち上がる電極側部（３４，３５）と、前記電極上部（３３）と前記電極側部（３４，３５）とを接続し、前記ベース電極（１６１）の内側に湾曲する円弧状の凹部（４２）を含む電極角部（４１）とを有するゲート電極（３２）を形成する工程と、

前記ゲート電極（３２）を被覆するように前記主面（１５１）上に層間膜（７０）を形成する工程と、

前記電極側部（３４，３５）から前記主面（１５１）に沿う横方向に離間

するように、前記主面（１５１）の一部をコンタクト面として露出させる開口（９０）を前記層間膜（７０）に形成する工程と、

前記開口（９０）内で前記コンタクト面に機械的かつ電気的に接続されるように、前記層間膜（７０）上に表面電極（９５）を形成する工程とを含む、半導体装置（１）の製造方法。

[0290] ［付記１－１５］

ウエハ（１５０）の主面（１５１）上にベース電極（１６１）を形成する工程と、

前記ベース電極（１６１）を厚さ方向に選択的に異方性テーパエッチングし、続いて異方性垂直エッチングすることにより、前記主面（１５１）に沿う電極上部（３３）と、前記主面（１５１）から立ち上がる電極側部（３４，３５）と、前記電極上部（３３）と前記電極側部（３４，３５）とを接続し、前記電極上部（３３）から前記電極側部（３４，３５）に下り傾斜する平坦な傾斜壁（４３）を含む電極角部（４１）とを有するゲート電極（３２）を形成する工程と、

前記ゲート電極（３２）を被覆するように前記主面（１５１）上に層間膜（７０）を形成する工程と、

前記電極側部（３４，３５）から前記主面（１５１）に沿う横方向に離間するように、前記主面（１５１）の一部をコンタクト面として露出させる開口（９０）を前記層間膜（７０）に形成する工程と、

前記開口（９０）内で前記コンタクト面に機械的かつ電気的に接続されるように、前記層間膜（７０）上に表面電極（９５）を形成する工程とを含む、半導体装置（１）の製造方法。

[0291] ［付記１－１６］

ウエハ（１５０）の主面（１５１）上にポリシリコンを含むベース電極（１６１）を形成する工程と、

前記ベース電極（１６１）を厚さ方向に選択的に異方性エッチングすることにより、前記主面（１５１）に沿う電極上部（３３）と、前記主面（１５

１）から立ち上がる電極側部（３４，３５）と、前記電極上部（３３）と前記電極側部（３４，３５）とを接続する電極角部（４１）とを有するゲート電極（３２）を形成する工程と、

前記ゲート電極（３２）を熱酸化することにより、前記電極角部（４１）に、前記ゲート電極（３２）の斜め上方に湾曲する円弧形状のラウンド部（４８）を形成する工程と、

前記ゲート電極（３２）を被覆するように前記主面（１５１）上に層間膜（７０）を形成する工程と、

前記電極側部（３４，３５）から前記主面（１５１）に沿う横方向に離間するように、前記主面（１５１）の一部をコンタクト面として露出させる開口（９０）を前記層間膜（７０）に形成する工程と、

前記開口（９０）内で前記コンタクト面に機械的かつ電気的に接続されるように、前記層間膜（７０）上に表面電極（９５）を形成する工程とを含む、半導体装置（１）の製造方法。

[0292] ［付記１－１７］

リフロー処理により、前記層間膜（７０）の前記開口（９０）の上側角部に、前記ゲート電極（３２）の斜め上方に湾曲する凸面（８８）を形成する工程を含む、付記１－１４～付記１－１６のいずれか一項に記載の半導体装置（１）の製造方法。

## 符号の説明

[0293] １ ：半導体装置

２ ：チップ

３ ：第１主面

４ ：第２主面

５Ａ ：第１側面

５Ｂ ：第２側面

５Ｃ ：第３側面

５Ｄ ：第４側面

６　　：第１半導体領域
７　　：第２半導体領域
８　　：活性領域
９　　：外周領域
２０　：ボディ領域
２１　：アウターボディ領域
２２　：表層ドリフト領域
２３　：第１ソース領域
２４　：第２ソース領域
２５　：コンタクト領域
２６　：第１チャネル領域
２７　：第２チャネル領域
３０　：ゲート構造
３１　：絶縁膜
３２　：ゲート電極
３３　：電極上部
３４　：第１電極側部
３５　：第２電極側部
３６　：ベース部
３７　：突出部
４１　：電極角部
４１Ａ：電極角部
４１Ｂ：電極角部
４２　：凹部
４３　：傾斜壁
４４　：平坦面
４５　：終端領域
４６　：オーバラップ領域

４７　：フィールド領域
４８　：ラウンド部
４９　：凹面
５０　：熱酸化膜
５１　：外周絶縁膜
５２　：ゲート配線
５３　：配線上部
５４　：第１配線側部
５５　：第２配線側部
６１　：配線角部
６１Ａ　：配線角部
６１Ｂ　：配線角部
７０　：層間膜
７２　：第１酸化膜
７３　：第２酸化膜
７４　：第１被覆部
７５　：第２被覆部
７６　：第３被覆部
７７　：第１配線被覆部
７８　：第２配線被覆部
７９　：第３配線被覆部
８０　：第１上被覆部
８１　：第２上被覆部
８２　：第１上配線被覆部
８３　：第２上配線被覆部
８４　：絶縁上部
８５　：絶縁側部
８６　：絶縁角部

８７　：第１凸面
８８　：第２凸面
９０　：ソース開口
９１　：ソースリセス
９２　：アウター開口
９３　：アウターリセス
９４　：ゲート開口
９５　：ソースパッド電極
９６　：第１パッド部
９７　：第２パッド部
９８　：第３パッド部
１００　：第１下地電極膜
１０２　：第１主電極膜
１０３　：第１電極膜
１０４　：第２電極膜
１１０　：ソースフィンガー電極
１１５　：ゲートフィンガー電極
１２０　：第２下地電極膜
１２２　：第２主電極膜
１２３　：第１電極膜
１２４　：第２電極膜
１３０　：ゲートパッド電極
１４０　：ドレインパッド電極
１５０　：ウエハ
１５１　：第１ウエハ主面
１５２　：第２ウエハ主面
１５３　：ウエハ側面
１５４　：目印

１５５　：デバイス領域

１５６　：切断予定ライン

１６０　：ベース絶縁膜

１６１　：ベース電極

１６２　：ベース電極面

１６３　：凹部

１６４　：凹部角部

１６５　：凹部

１６６　：凹部角部

１６８　：マスク

１６９　：開口

１７４　：マスク

Ｌ１　　：第１接線

Ｌ２　　：第２接線

Ｔ１　　：上部厚さ

Ｔ２　　：側部厚さ

Ｔ３　　：角部厚さ

Ｘ　　：第１方向

Ｙ　　：第２方向

Ｚ　　：鉛直方向

ｎ　　：法線方向

# 請求の範囲

[請求項1] 主面を有するチップと、

前記主面上に形成されたゲート電極であって、前記主面に沿う電極上部と、前記主面から立ち上がる電極側部と、前記ゲート電極の材料の一部が欠落することにより形成され、前記電極上部と前記電極側部とを接続する電極角部とを有するゲート電極と、

前記ゲート電極を被覆する層間膜と、

前記電極側部から前記主面に沿う横方向に離間して前記層間膜に形成され、前記主面の一部をコンタクト面として露出させる開口と、

前記層間膜上に形成され、前記開口内で前記コンタクト面に機械的かつ電気的に接続された表面電極とを含み、

前記層間膜は、前記電極上部に接する絶縁上部と、前記電極側部に接する絶縁側部と、前記電極角部に接する絶縁角部とを含み、

前記絶縁角部の前記層間膜の角部厚さが、前記絶縁上部の前記層間膜の上部厚さおよび前記絶縁側部の前記層間膜の側部厚さの少なくとも一方よりも厚い、半導体装置。

[請求項2] 前記電極角部は、前記ゲート電極の内側に湾曲する円弧状の凹部を含む、請求項１に記載の半導体装置。

[請求項3] 前記絶縁角部は、前記凹部の湾曲面に沿って前記ゲート電極の内側に湾曲する第１凸面を有しており、

前記角部厚さは、前記第１凸面に対する接線の法線方向における前記層間膜の厚さを含む、請求項２に記載の半導体装置。

[請求項4] 前記絶縁角部は、前記凹部の湾曲面に沿って前記ゲート電極の内側に湾曲する第１凸面と、前記第１凸面の反対側において前記表面電極に接し、前記ゲート電極の斜め上方に湾曲する第２凸面とを有し、

前記角部厚さは、前記第１凸面に対する第１接線、および前記第２凸面に対する前記第１接線に平行な第２接線の双方の法線方向における前記層間膜の厚さを含む、請求項２に記載の半導体装置。

[請求項5] 前記電極角部は、前記電極上部から前記電極側部に下り傾斜する平坦な傾斜壁を含む、請求項１に記載の半導体装置。

[請求項6] 前記電極角部は、前記電極上部と前記電極側部とを前記ゲート電極の斜め上方に湾曲する円弧形状で接続するラウンド部を含む、請求項１に記載の半導体装置。

[請求項7] 前記主面上に間隔を空けて配列された複数の前記ゲート電極をさらに含み、

前記開口は、複数の前記ゲート電極の間の領域に区画されている、請求項１～６のいずれか一項に記載の半導体装置。

[請求項8] 前記開口は、前記開口の深さ方向に沿う縦長のアスペクト比を有しており、

前記角部厚さは、前記上部厚さおよび前記側部厚さの双方よりも厚い、請求項１～７のいずれか一項に記載の半導体装置。

[請求項9] 前記上部厚さおよび前記側部厚さは、１０００Å以上５０００Å以下である、請求項１～８のいずれか一項に記載の半導体装置。

[請求項10] 前記開口の幅が０．２μｍ以上３μｍ以下であり、前記開口の深さが０．２μｍ以上２μｍ以下である、請求項１～９のいずれか一項に記載の半導体装置。

[請求項11] 前記層間膜は、前記ゲート電極を被覆する不純物無添加の第１酸化膜、および、燐を含有し、前記第１酸化膜を被覆する第２酸化膜を含み、

前記開口は、前記第１酸化膜および前記第２酸化膜の双方を貫通している、請求項１～１０のいずれか一項に記載の半導体装置。

[請求項12] 前記主面の表層部に形成された第１導電型の半導体領域と、

前記半導体領域の表層部に形成された第２導電型のボディ領域と、

前記ボディ領域の表層部に形成された第１導電型の不純物領域と、

前記ボディ領域の表層部において前記半導体領域および前記不純物領域の間の領域に形成されるチャネルと、

前記主面上で前記チャネルを被覆し、前記ゲート電極と前記チャネルとの間に挟まれた絶縁膜とをさらに含み、

前記開口は、前記不純物領域の一部を前記コンタクト面に露出させ、

前記表面電極は、前記開口内において前記不純物領域に電気的に接続されている、請求項１～１１のいずれか一項に記載の半導体装置。

[請求項13] 前記チップが、ＳｉＣチップである、請求項１～１２のいずれか一項に記載の半導体装置。

[請求項14] ウエハの主面上にベース電極を形成する工程と、

前記ベース電極を厚さ方向に選択的に等方性エッチングし、続いて異方性エッチングすることにより、前記主面に沿う電極上部と、前記主面から立ち上がる電極側部と、前記電極上部と前記電極側部とを接続し、前記ベース電極の内側に湾曲する円弧状の凹部を含む電極角部とを有するゲート電極を形成する工程と、

前記ゲート電極を被覆するように前記主面上に層間膜を形成する工程と、

前記電極側部から前記主面に沿う横方向に離間するように、前記主面の一部をコンタクト面として露出させる開口を前記層間膜に形成する工程と、

前記開口内で前記コンタクト面に機械的かつ電気的に接続されるように、前記層間膜上に表面電極を形成する工程とを含む、半導体装置の製造方法。

[請求項15] ウエハの主面上にベース電極を形成する工程と、

前記ベース電極を厚さ方向に選択的に異方性テーパエッチングし、続いて異方性垂直エッチングすることにより、前記主面に沿う電極上部と、前記主面から立ち上がる電極側部と、前記電極上部と前記電極側部とを接続し、前記電極上部から前記電極側部に下り傾斜する平坦な傾斜壁を含む電極角部とを有するゲート電極を形成する工程と、

前記ゲート電極を被覆するように前記主面上に層間膜を形成する工程と、

前記電極側部から前記主面に沿う横方向に離間するように、前記主面の一部をコンタクト面として露出させる開口を前記層間膜に形成する工程と、

前記開口内で前記コンタクト面に機械的かつ電気的に接続されるように、前記層間膜上に表面電極を形成する工程とを含む、半導体装置の製造方法。

[請求項16] ウエハの主面上にポリシリコンを含むベース電極を形成する工程と、

前記ベース電極を厚さ方向に選択的に異方性エッチングすることにより、前記主面に沿う電極上部と、前記主面から立ち上がる電極側部と、前記電極上部と前記電極側部とを接続する電極角部とを有するゲート電極を形成する工程と、

前記ゲート電極を熱酸化することにより、前記電極角部に、前記ゲート電極の斜め上方に湾曲する円弧形状のラウンド部を形成する工程と、

前記ゲート電極を被覆するように前記主面上に層間膜を形成する工程と、

前記電極側部から前記主面に沿う横方向に離間するように、前記主面の一部をコンタクト面として露出させる開口を前記層間膜に形成する工程と、

前記開口内で前記コンタクト面に機械的かつ電気的に接続されるように、前記層間膜上に表面電極を形成する工程とを含む、半導体装置の製造方法。

[請求項17] リフロー処理により、前記層間膜の前記開口の上側角部に、前記ゲート電極の斜め上方に湾曲する凸面を形成する工程を含む、請求項１４～１６のいずれか一項に記載の半導体装置の製造方法。

[図1]

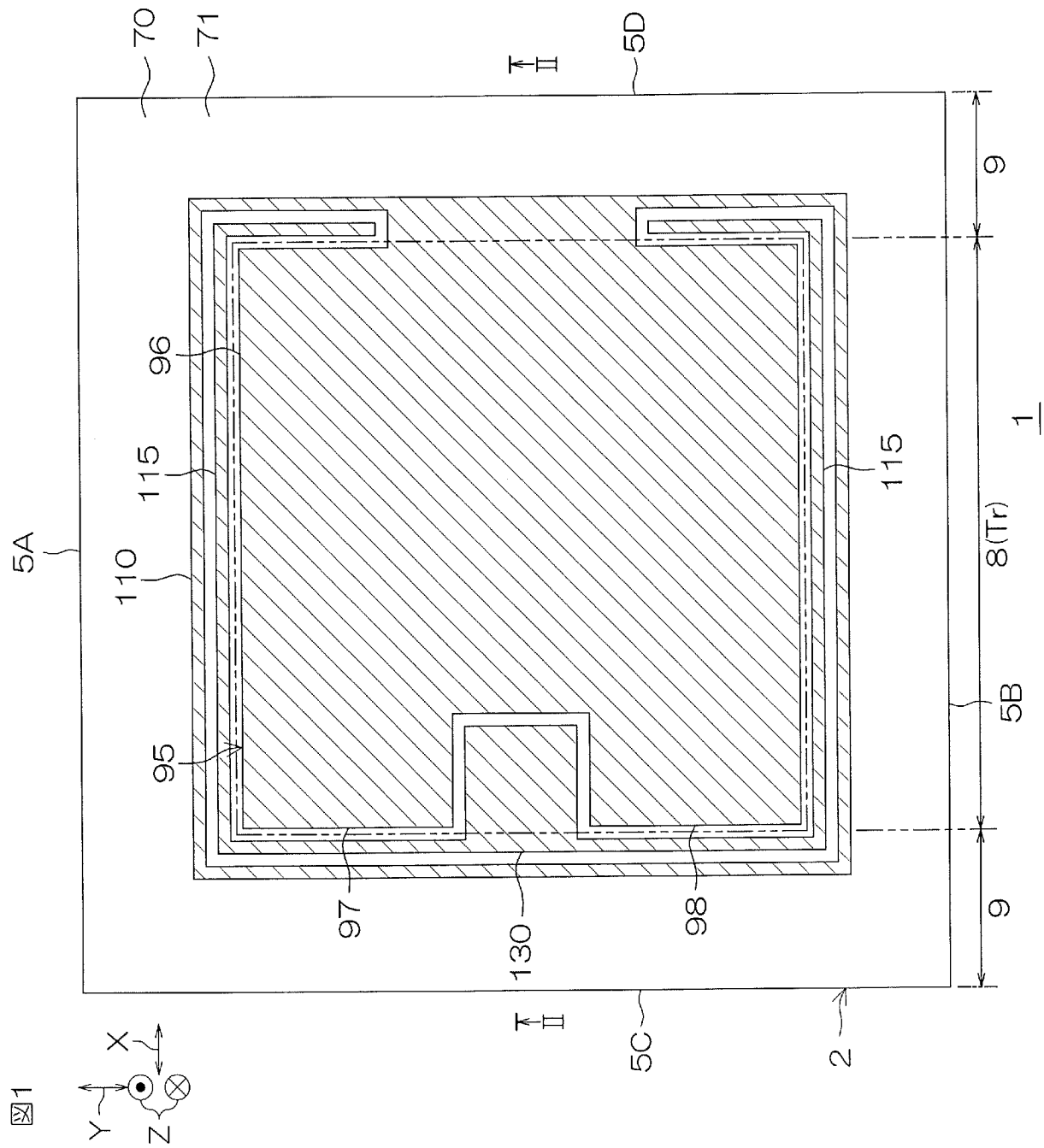



図1

[図2]

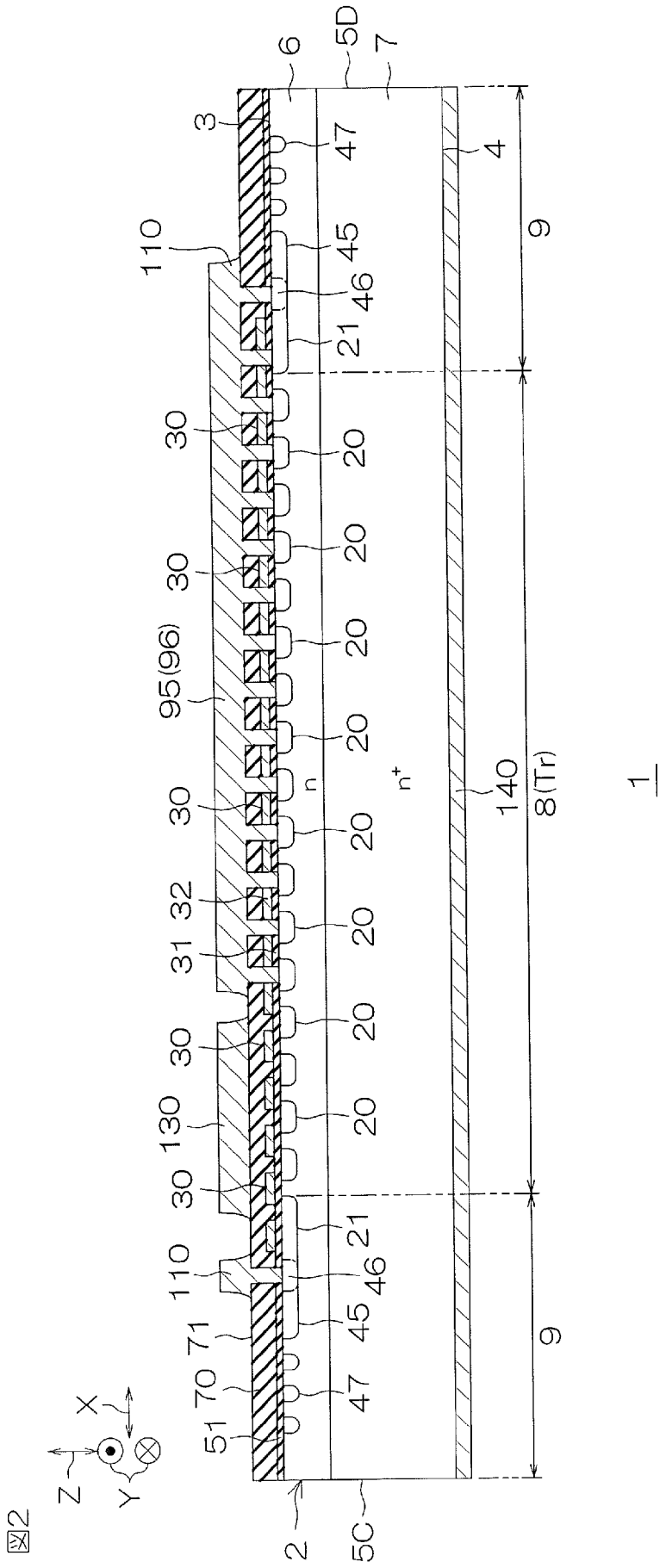

6
5D
7
3
47
4
110
45
46
21
9
30
20
95(96)
n
n+
140
8(Tr)
1
32
31
130
71
70
51
X
Z
Y
2
5C

図2

[図3]

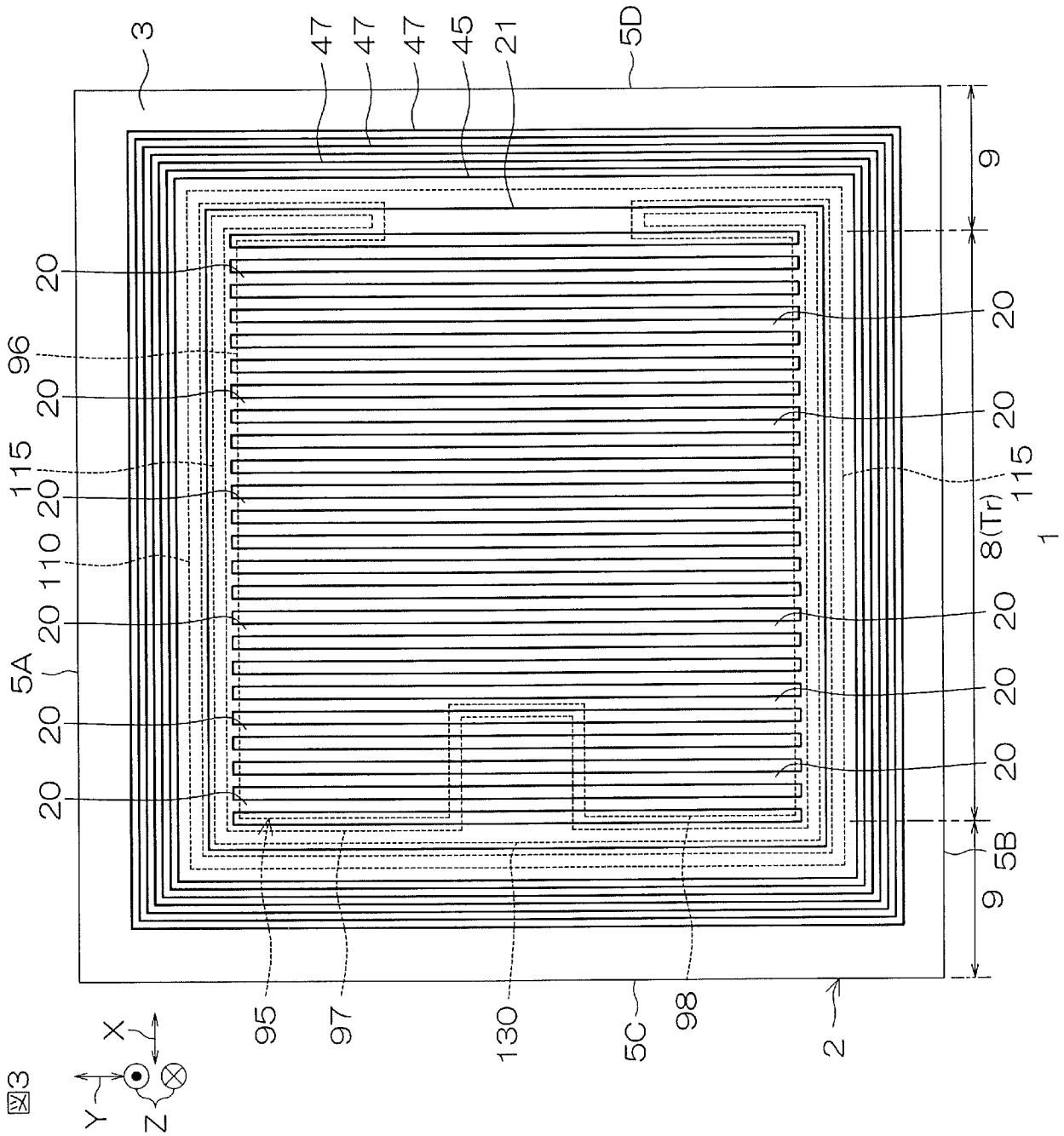

3
47
47
47
45
21
5D
9
20
96
20
115
20
110
20
5A
20
20
20
20
20
20
20
20
20
115
8(Tr)
1
5B
9
95
97
130
5C
98
2
X
Y
Z

図3

[図4]

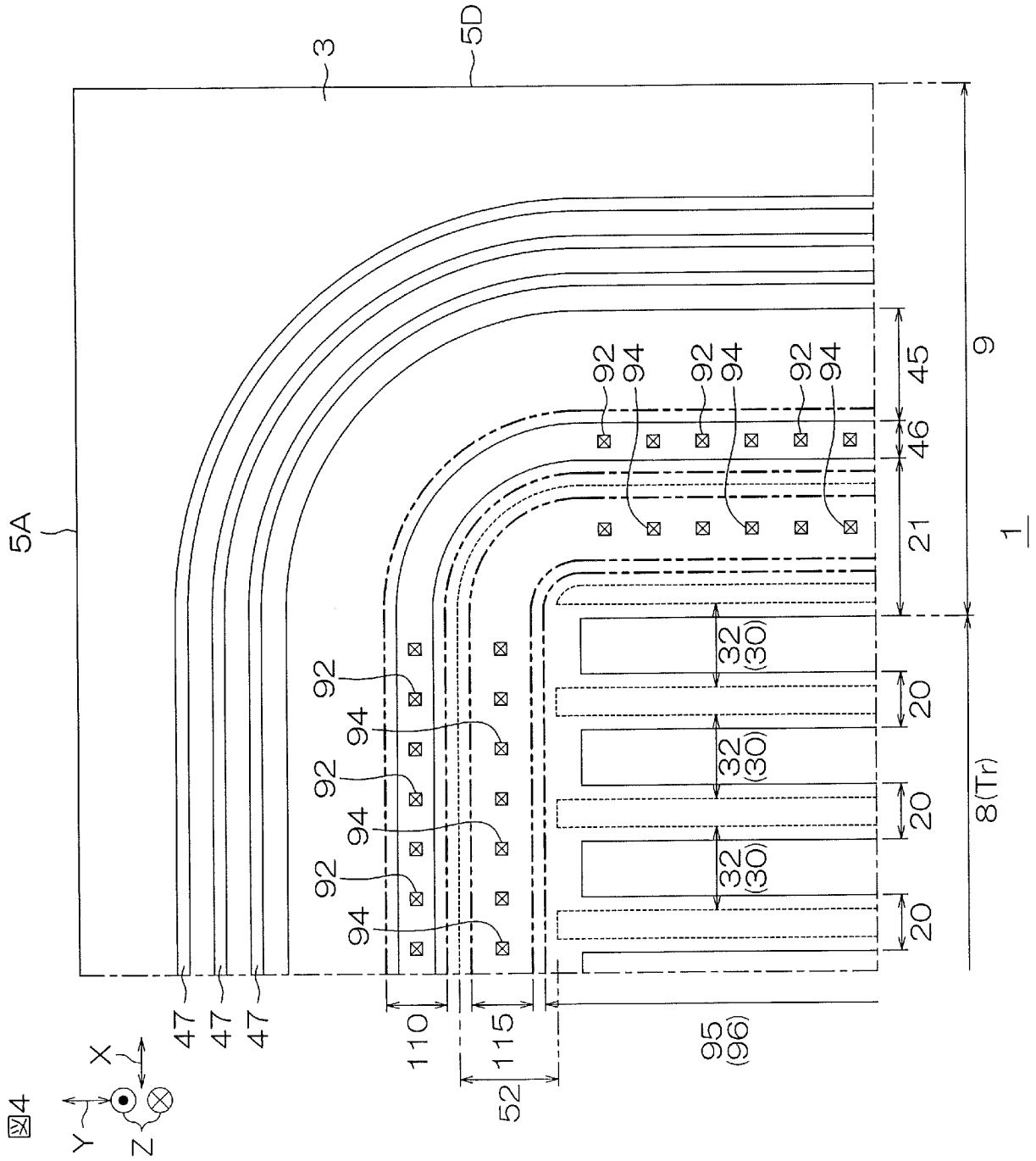
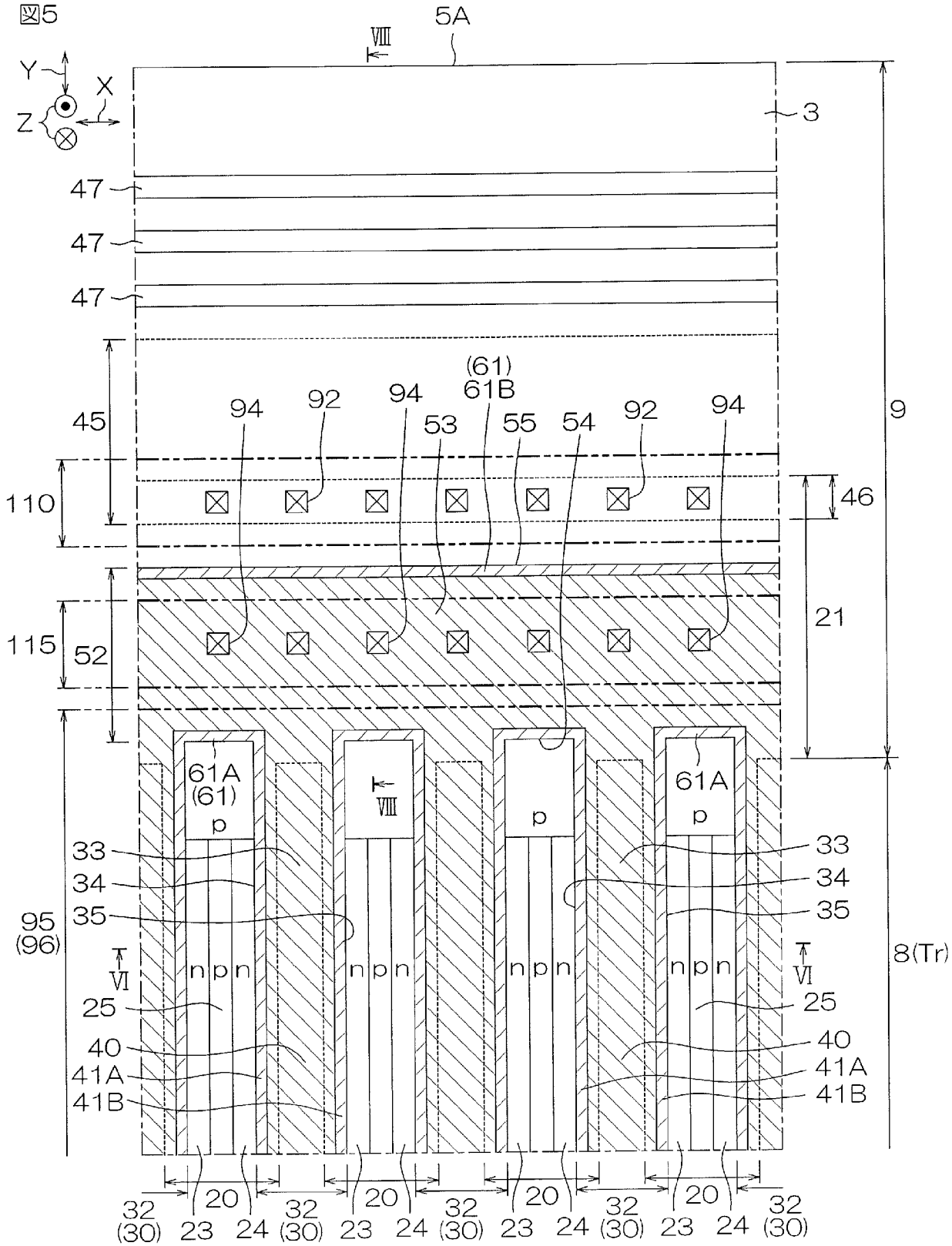



図4

[図5]


図5
5A
Ⅷ
Y
X
Z
3
47
47
47
45
110
115
52
(61)
61B
94
92
94
53
55
54
92
94
9
46
21
61A
(61)
p
61A
p
p
Ⅷ
33
34
35
95
(96)
Ⅵ
n p n
n p n
n p n
n p n
Ⅵ
25
40
41A
41B
8(Tr)
32
(30)
20
23
24
32
(30)
20
23
24
32
(30)
20
23
24
32
(30)
20
23
24
32
(30)

[図6]

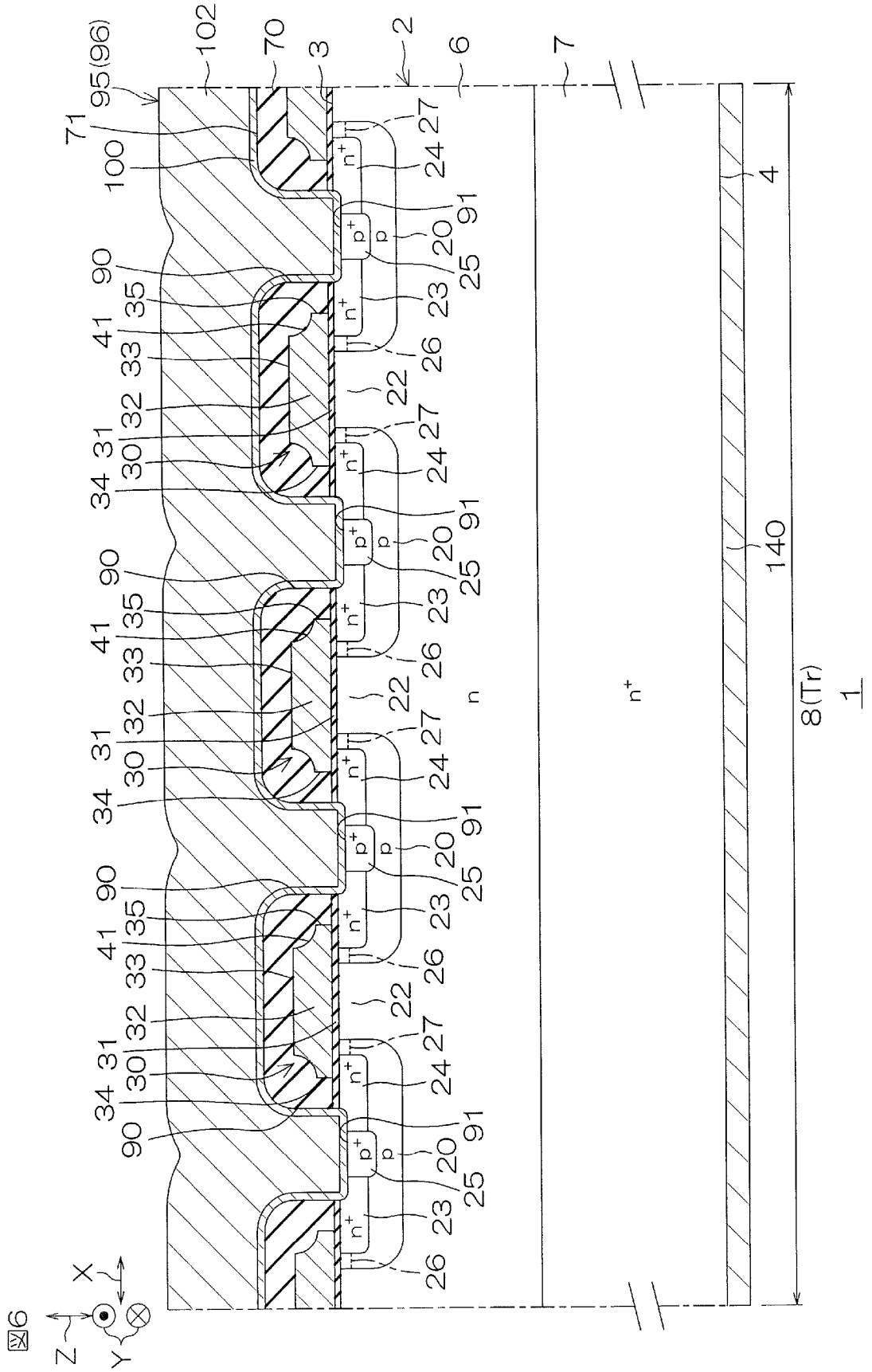

95(96)
102
70
3
2
6
7
71
100
90
35
41
33
32
31
30
34
22
27
24
91
20
25
23
26
4
140
8(Tr)
1
n+
p+
p
n
X
Y
Z

図6

[図7]

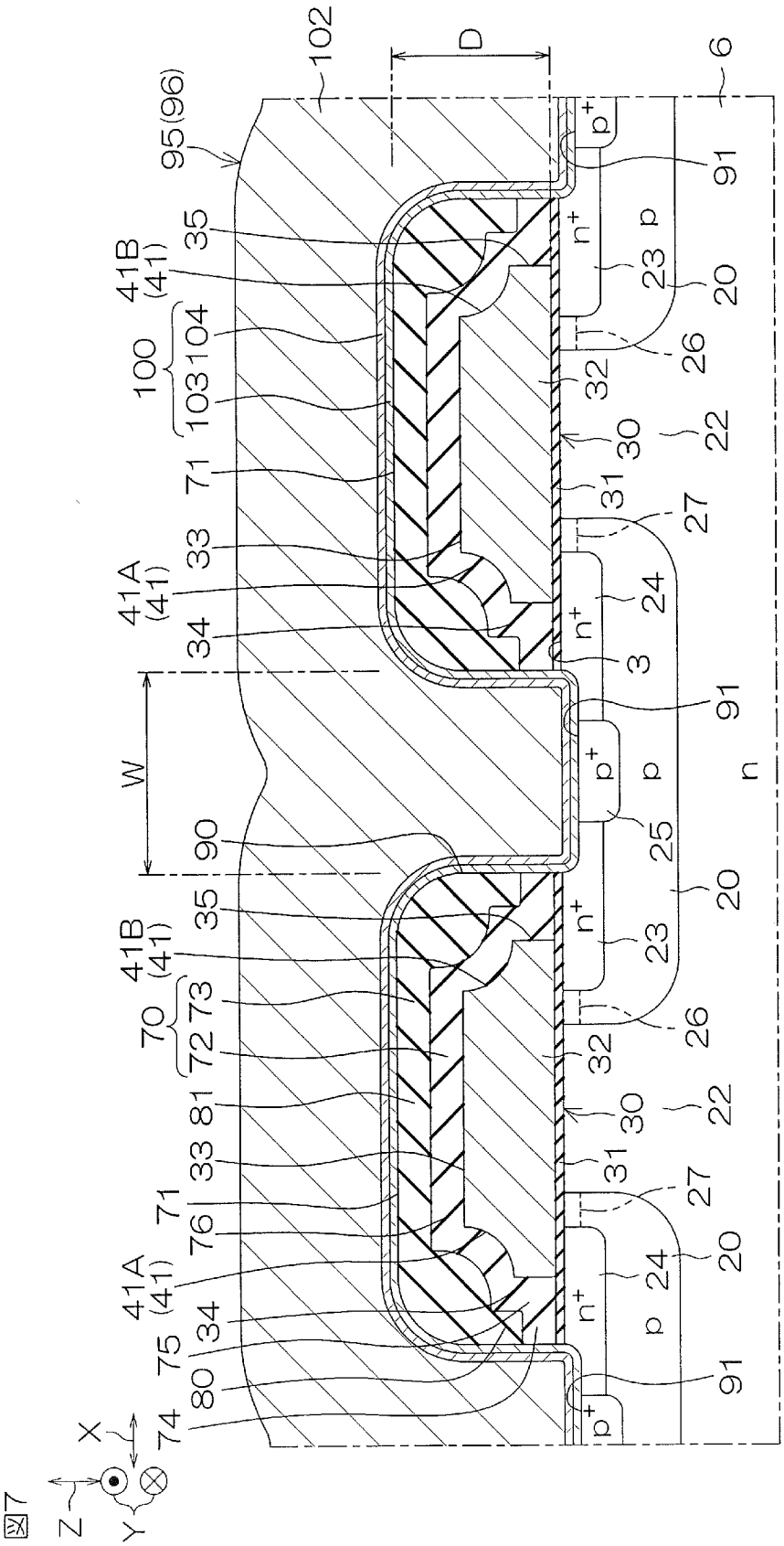

102
D
6
95(96)
91
35
41B
(41)
100
104
103
71
33
41A
(41)
34
W
90
73
72
81
76
75
80
74
n+
p+
p
n
20
22
23
24
25
26
27
30
31
32
3
X
Y
Z

図7

[図8]

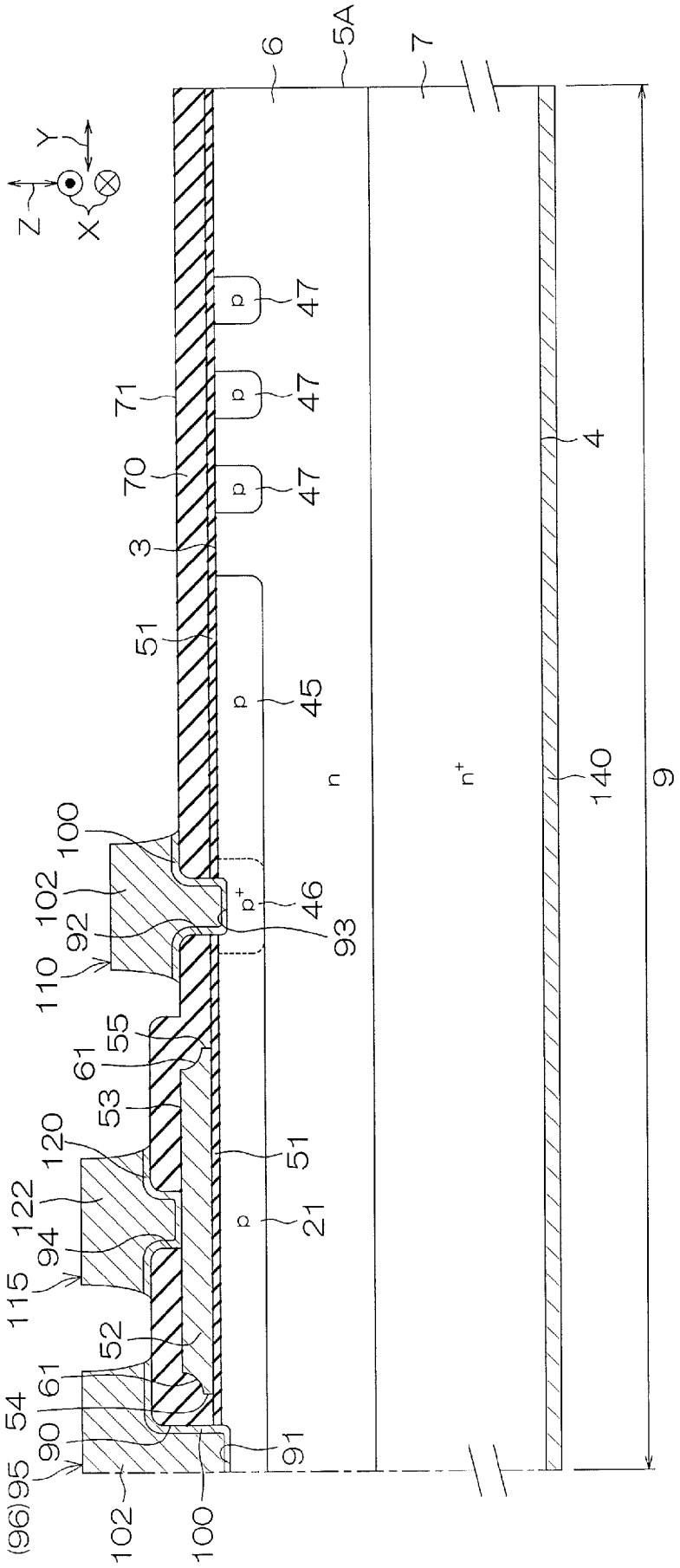

6
5A
7
Y
Z
X
47
71
70
3
51
45
4
140
9
100
102
92
110
46
93
55
61
53
120
122
94
115
52
54
90
95
(96)
91
21
n
n+
p
p+

図8

[図9]

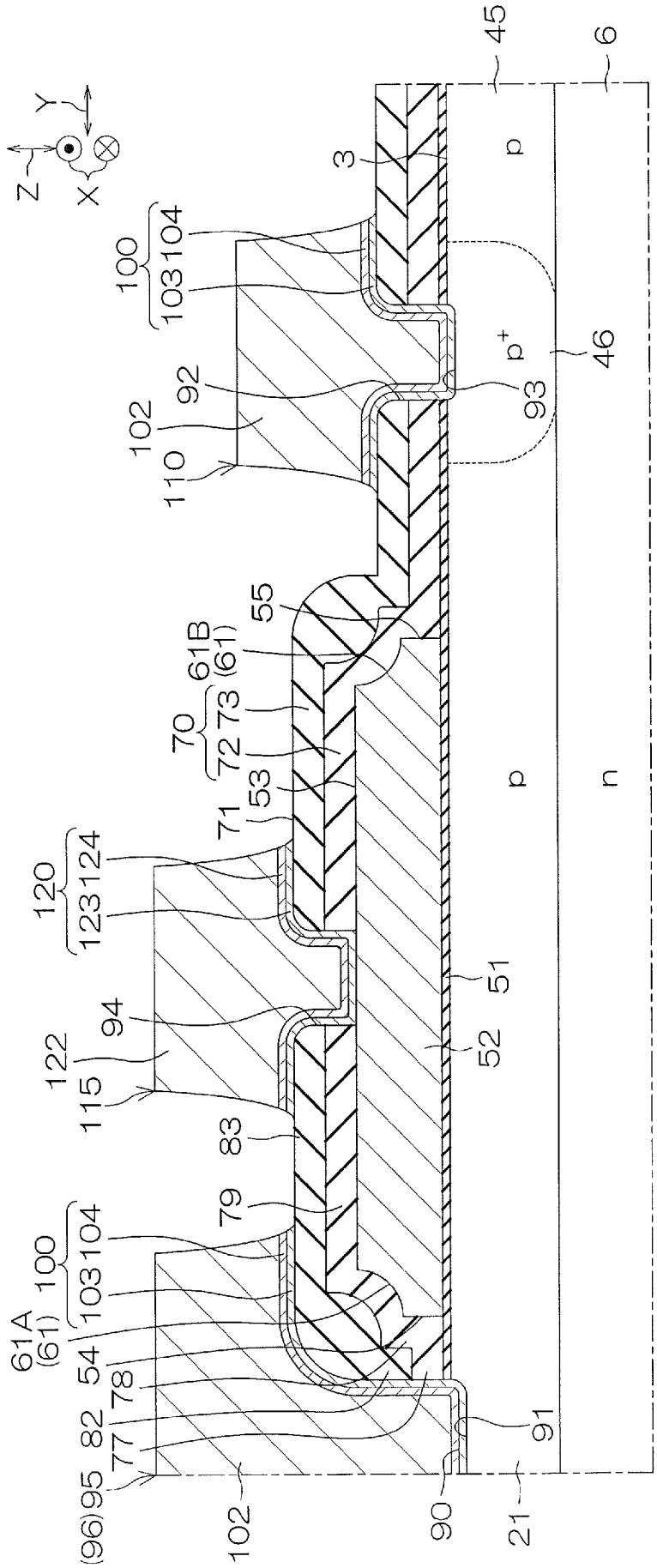
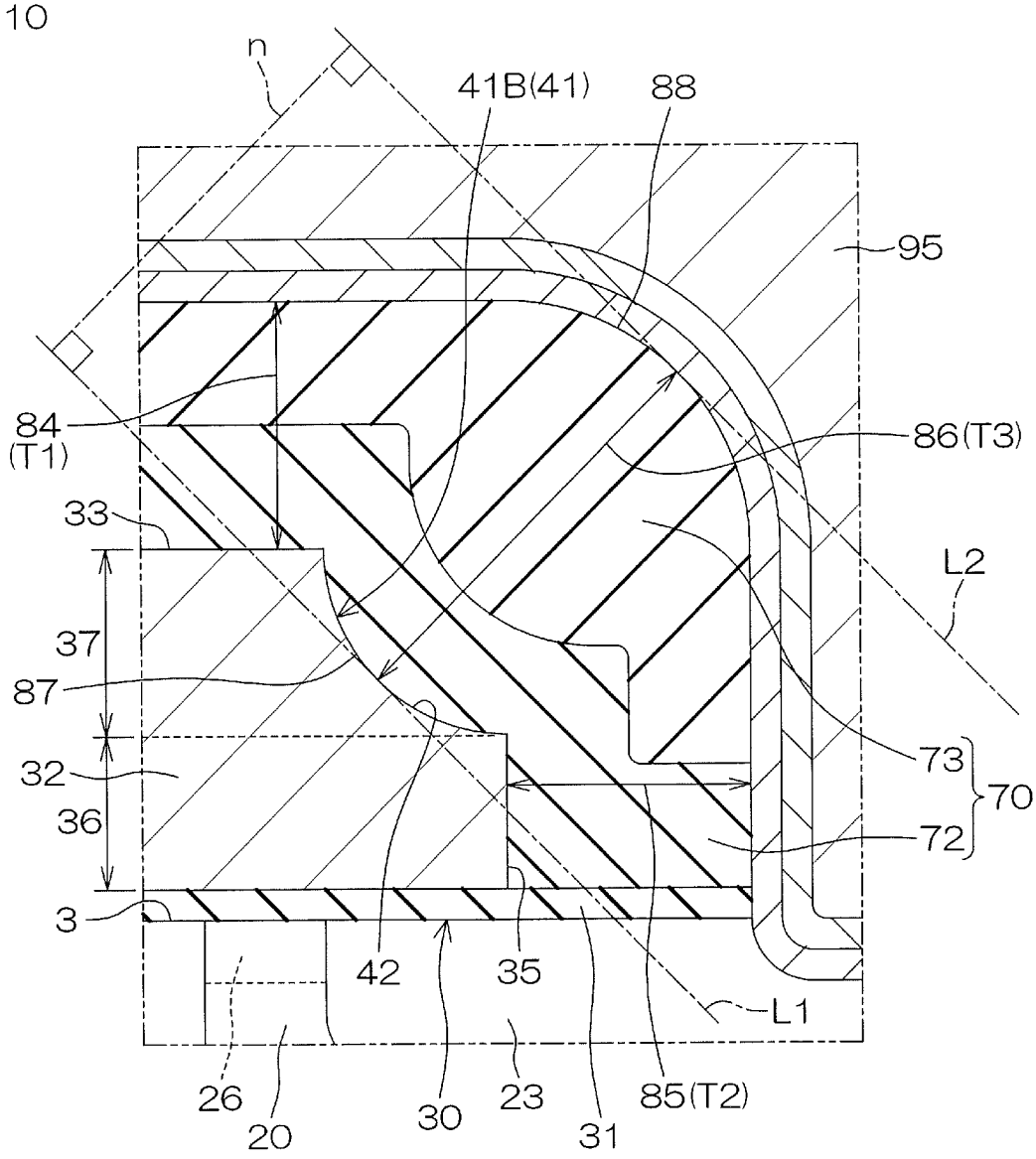

Z
Y
X
45
6
3
p
100
103
104
p+
46
92
93
102
110
55
61B
(61)
70
73
72
71
53
p
n
120
123
124
51
94
52
122
115
83
79
61A
(61)
54
78
82
77
(96)
95
91
102
90
21

図9

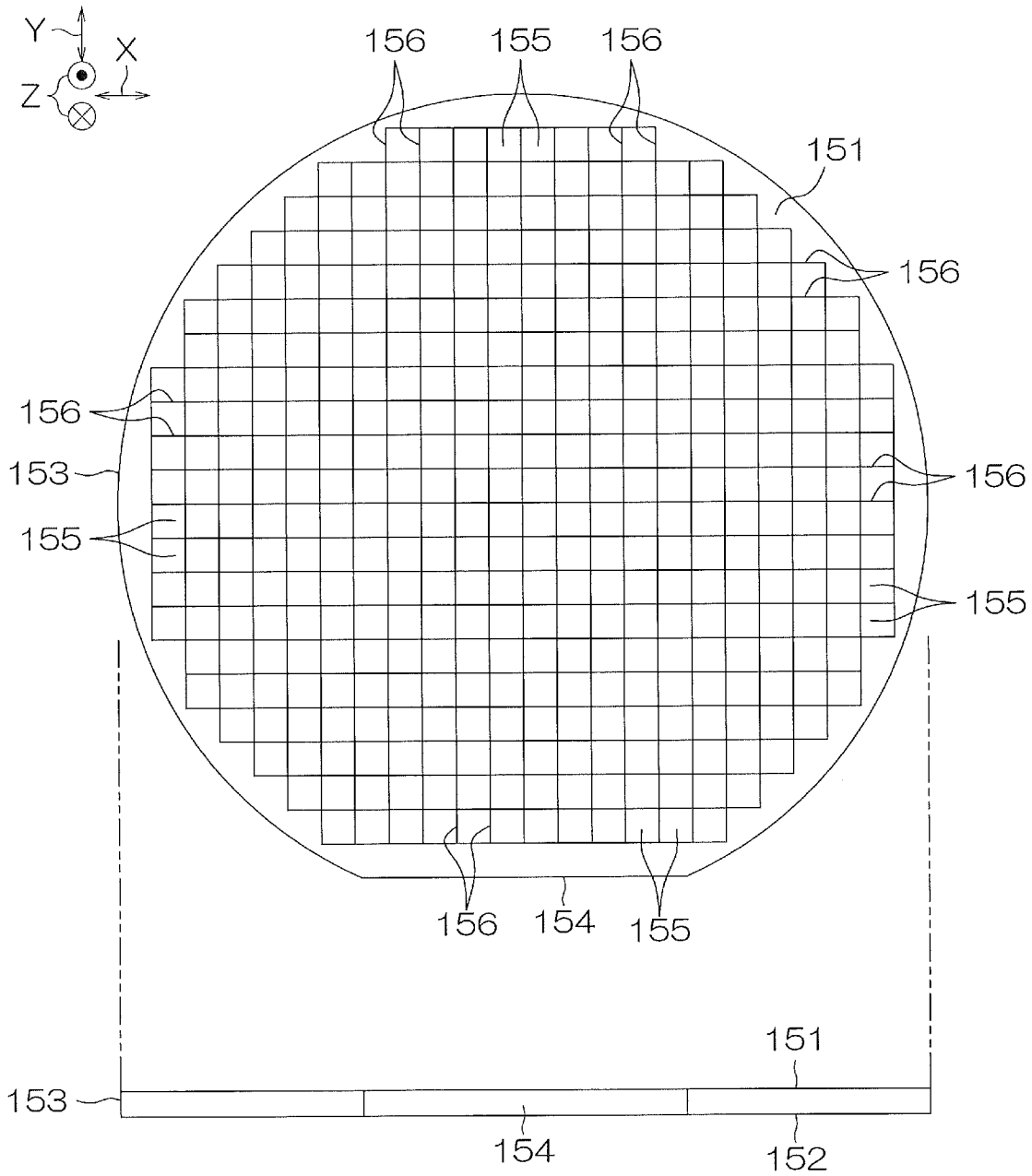
[図10]

図10


n
41B(41)
88
95
84
(T1)
86(T3)
33
L2
37
87
32
36
73
70
72
3
42
35
L1
26
20
30
23
31
85(T2)

[図11]

図11


Y
X
Z
156
155
156
151
156
156
153
156
155
155
156
154
155
151
153
154
152
150

[図12A]

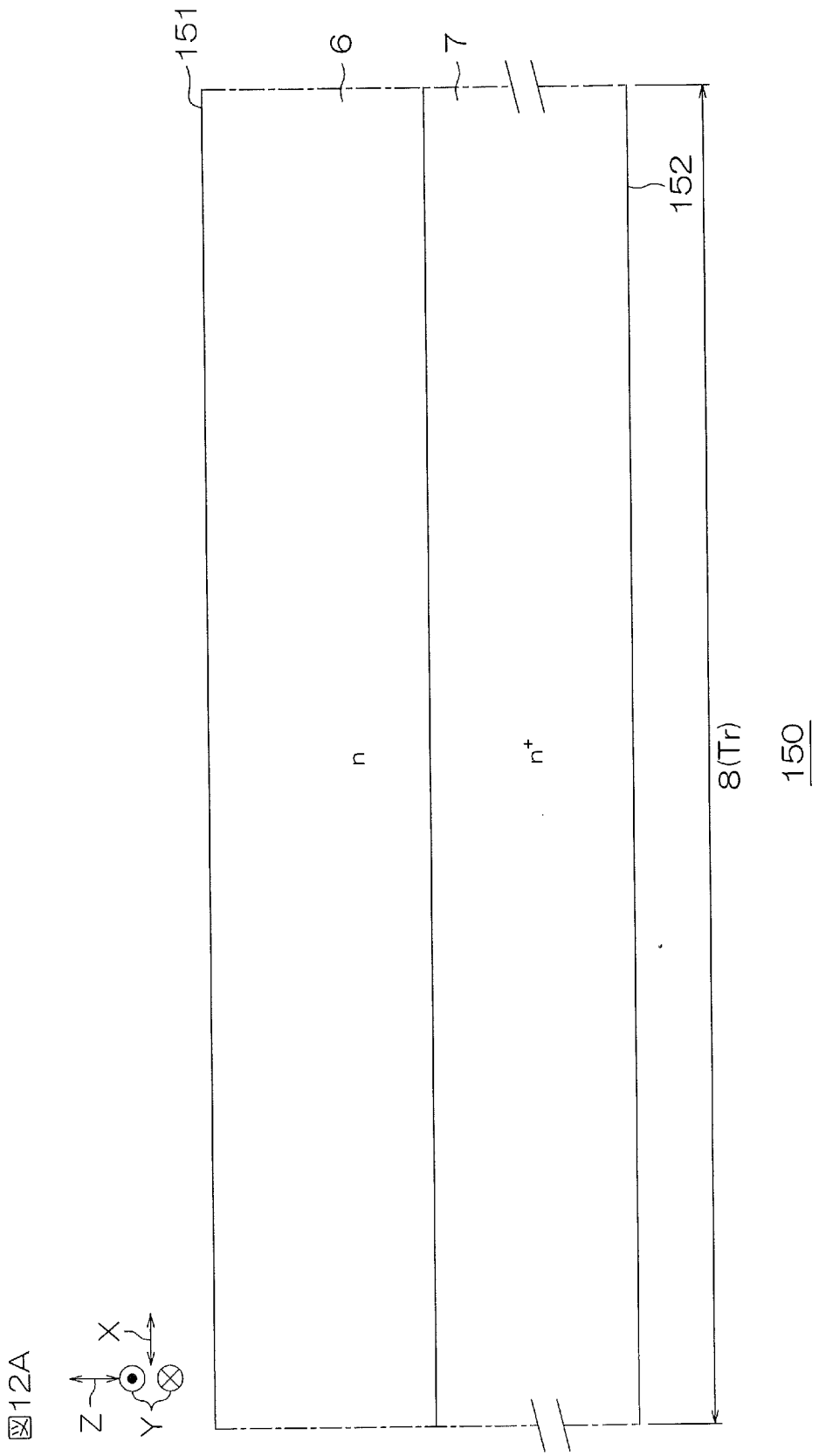



図12A

[図12B]

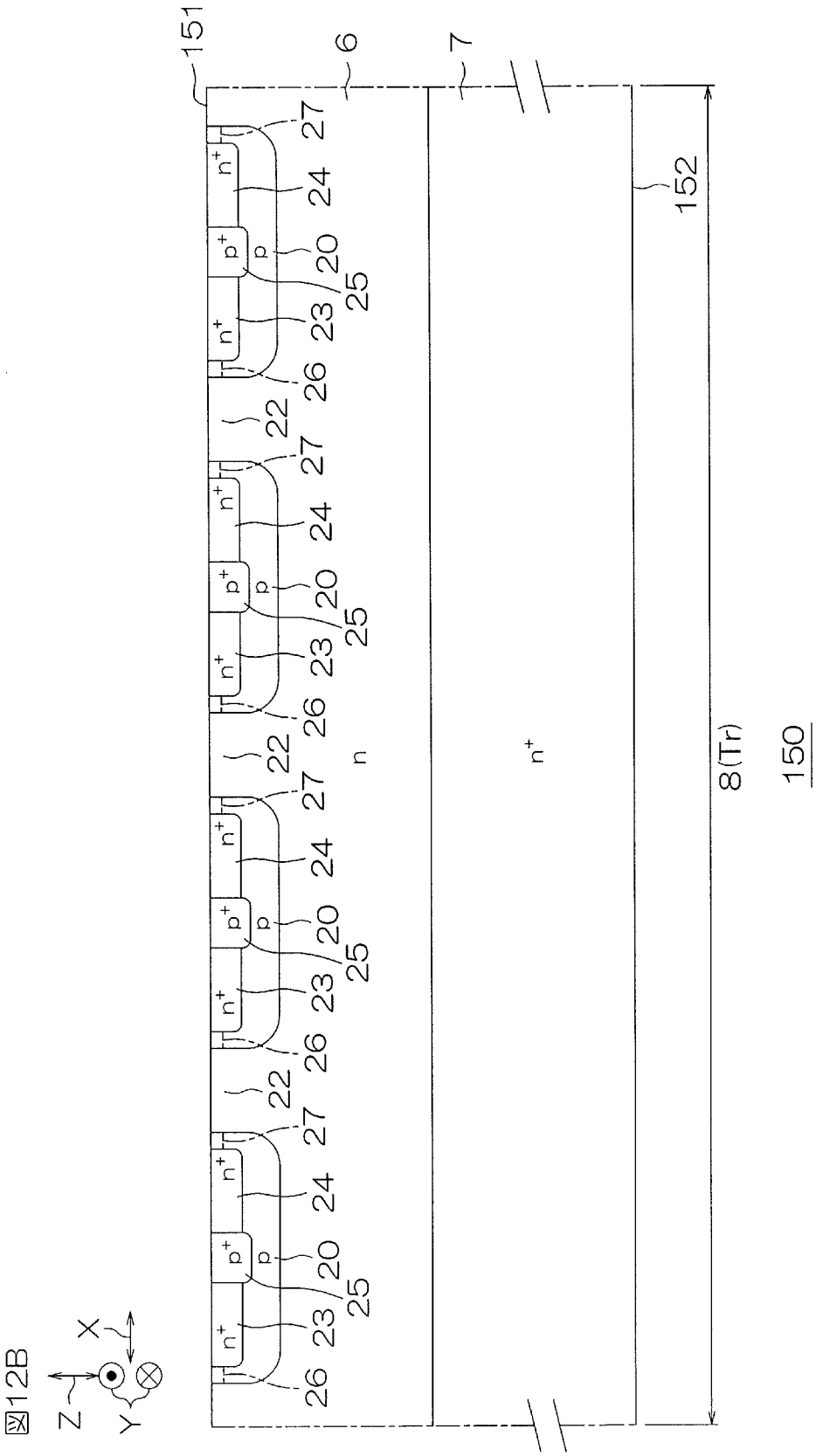



図12B

[図12C]

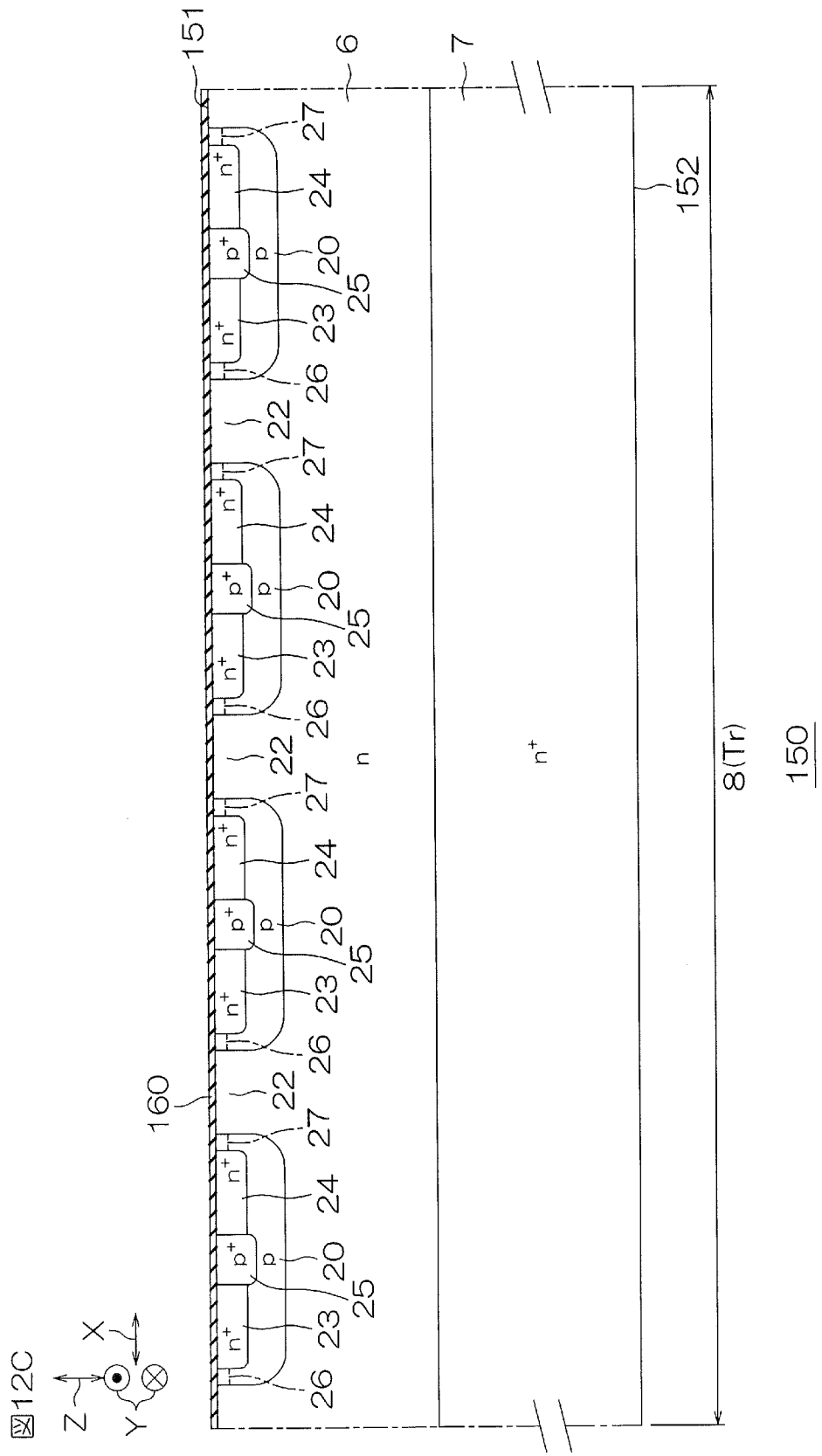



図12C

[図12D]

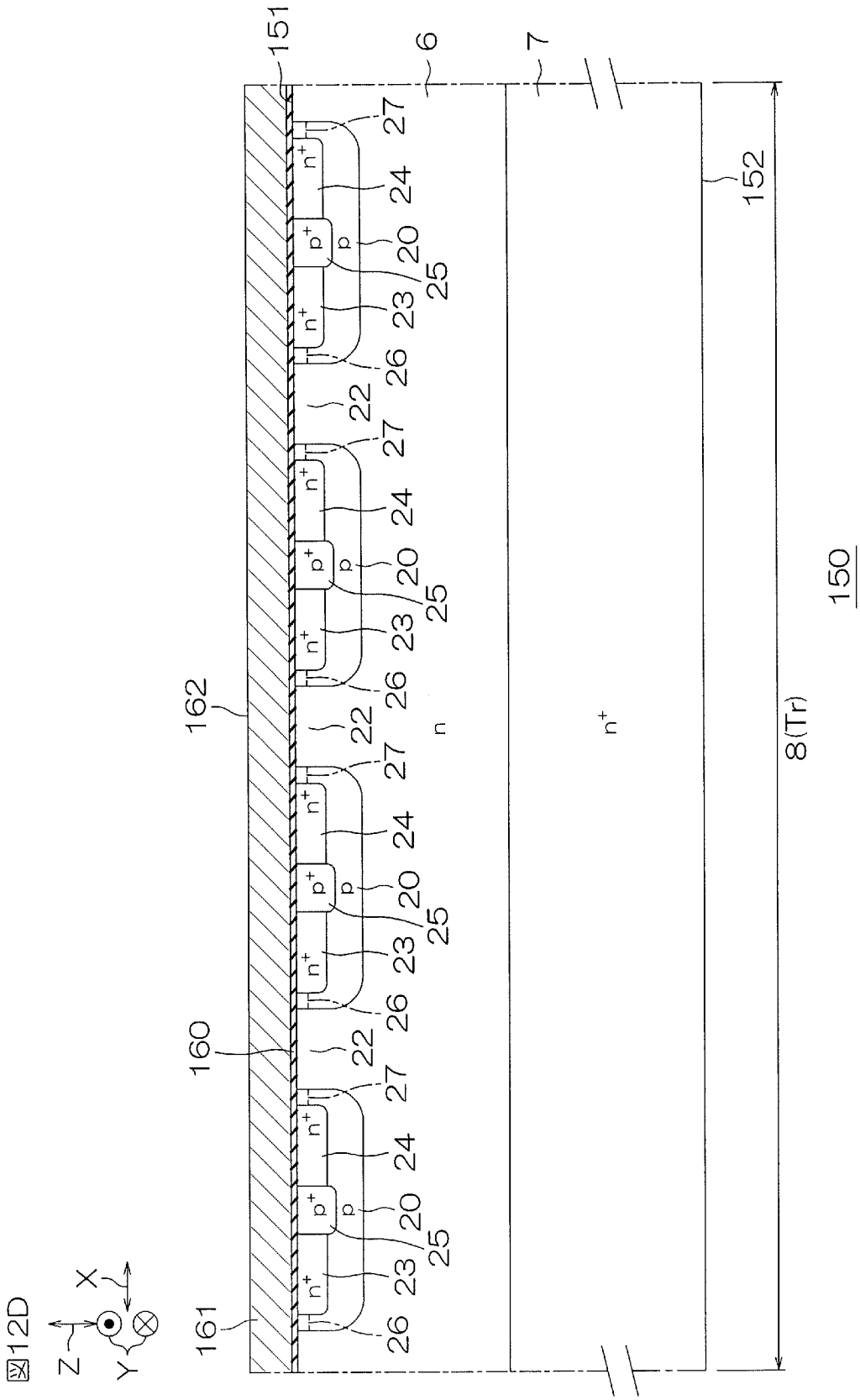



図12D

[図12E]

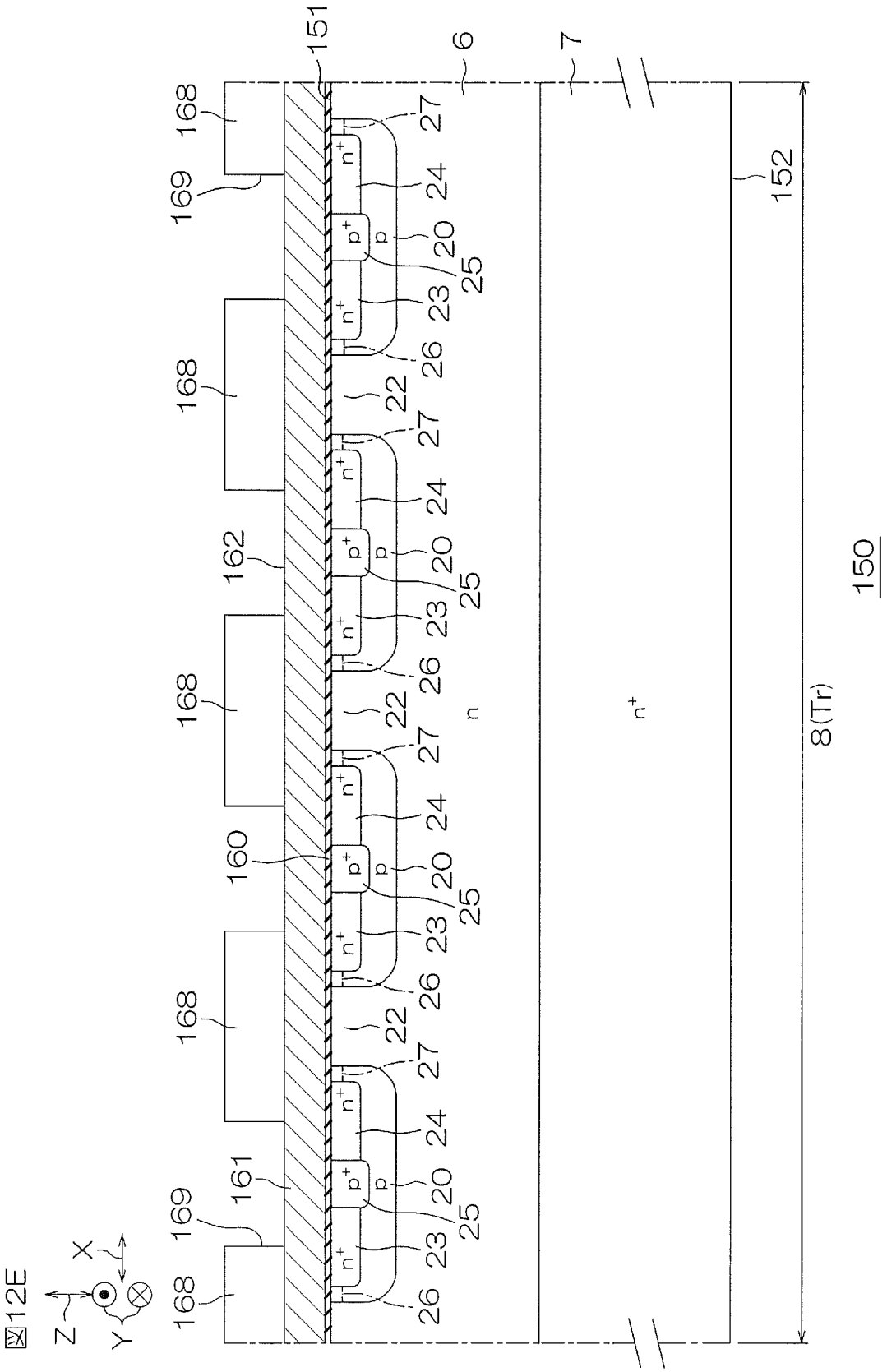

151
6
7
168
169
162
160
161
27
24
20
25
23
26
22
n+
p+
p
n
150
152
8(Tr)
X
Y
Z

図12E

[図12F]

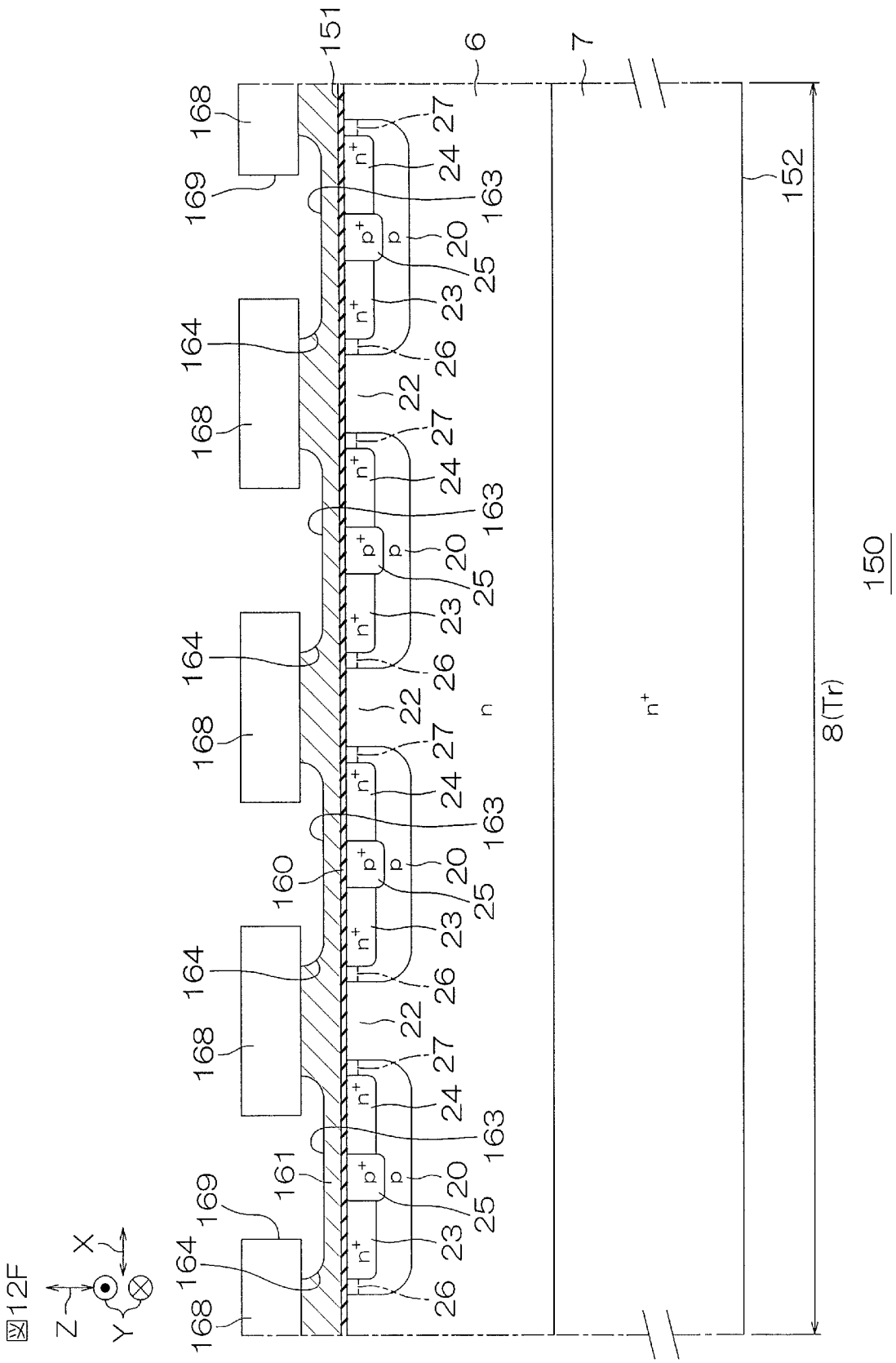

151
6
7
168
169
164
168
164
168
164
168
164
168
160
161
164
168
169
164
168
27
24
163
20
25
23
26
22
n+
p+
p
n
152
150
8(Tr)
X
Z
Y

図12F

[図12G]

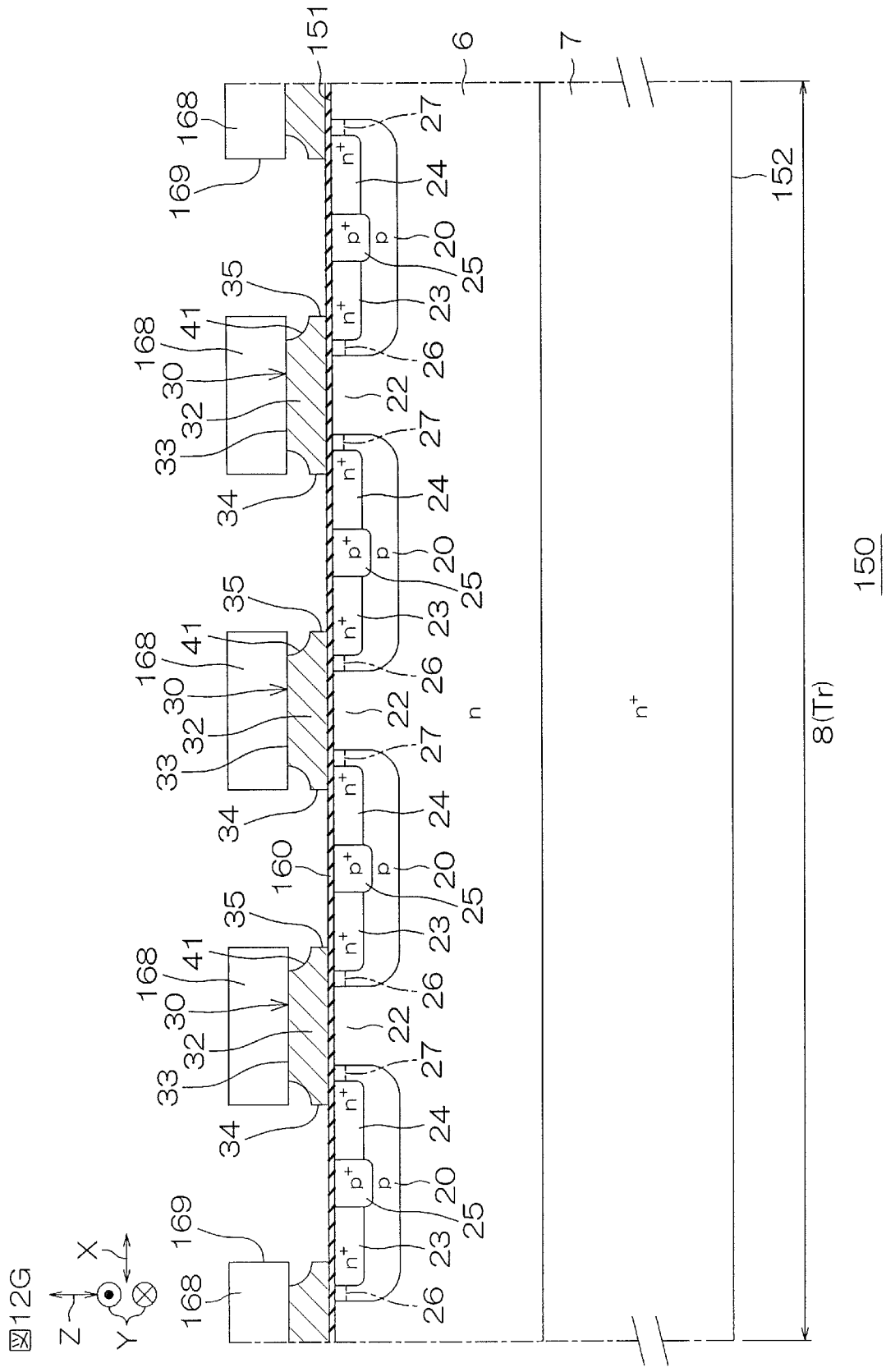

151
6
7
168
169
27
24
20
25
23
26
35
41
30
32
33
34
22
160
152
150
8(Tr)
n
n+
p
p+
X
Y
Z

図12G

[図12H]

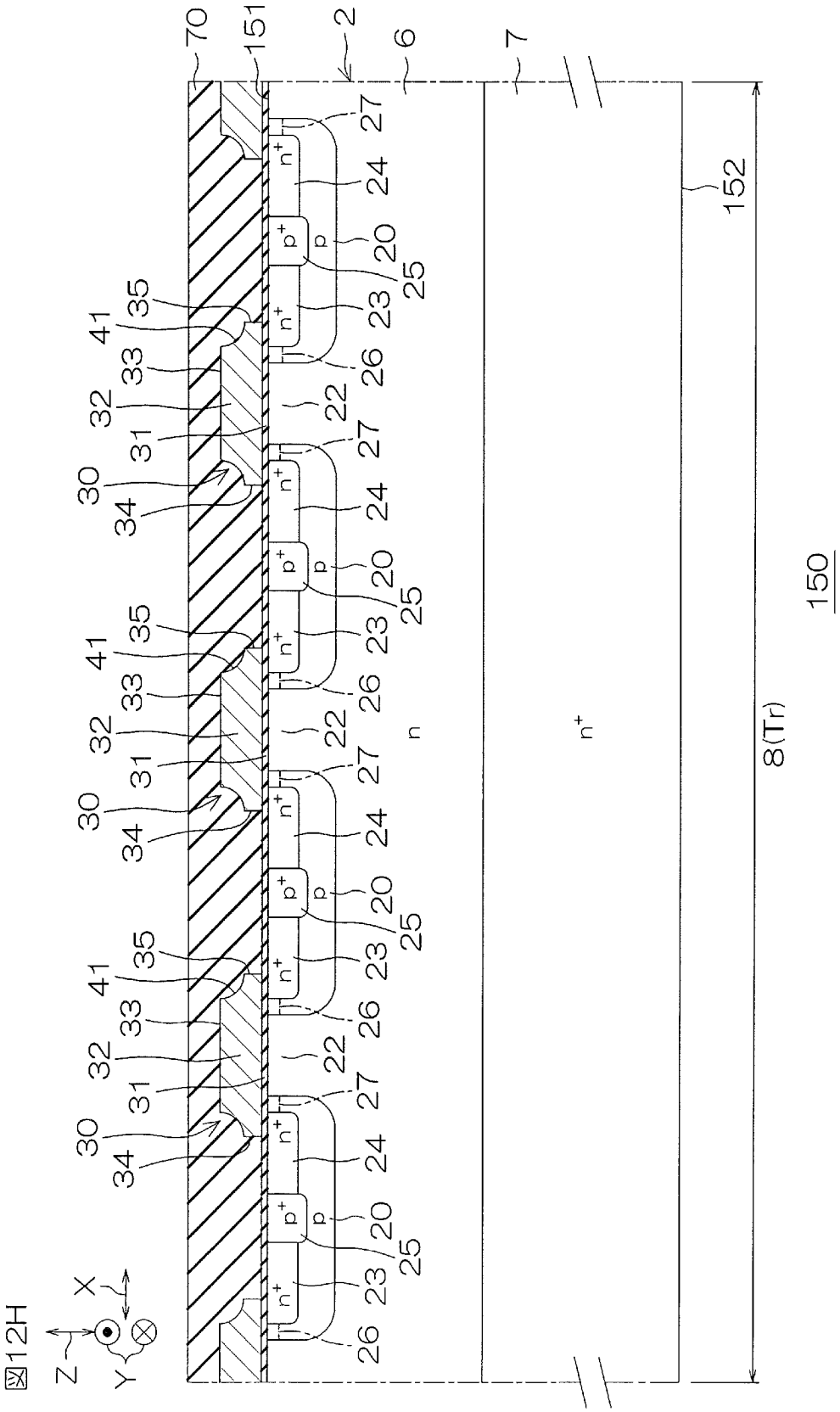

70
151
2
6
7
152
150
8(Tr)
n+
n
p+
p
20
22
23
24
25
26
27
30
31
32
33
34
35
41
X
Y
Z

図12H

[図12I]

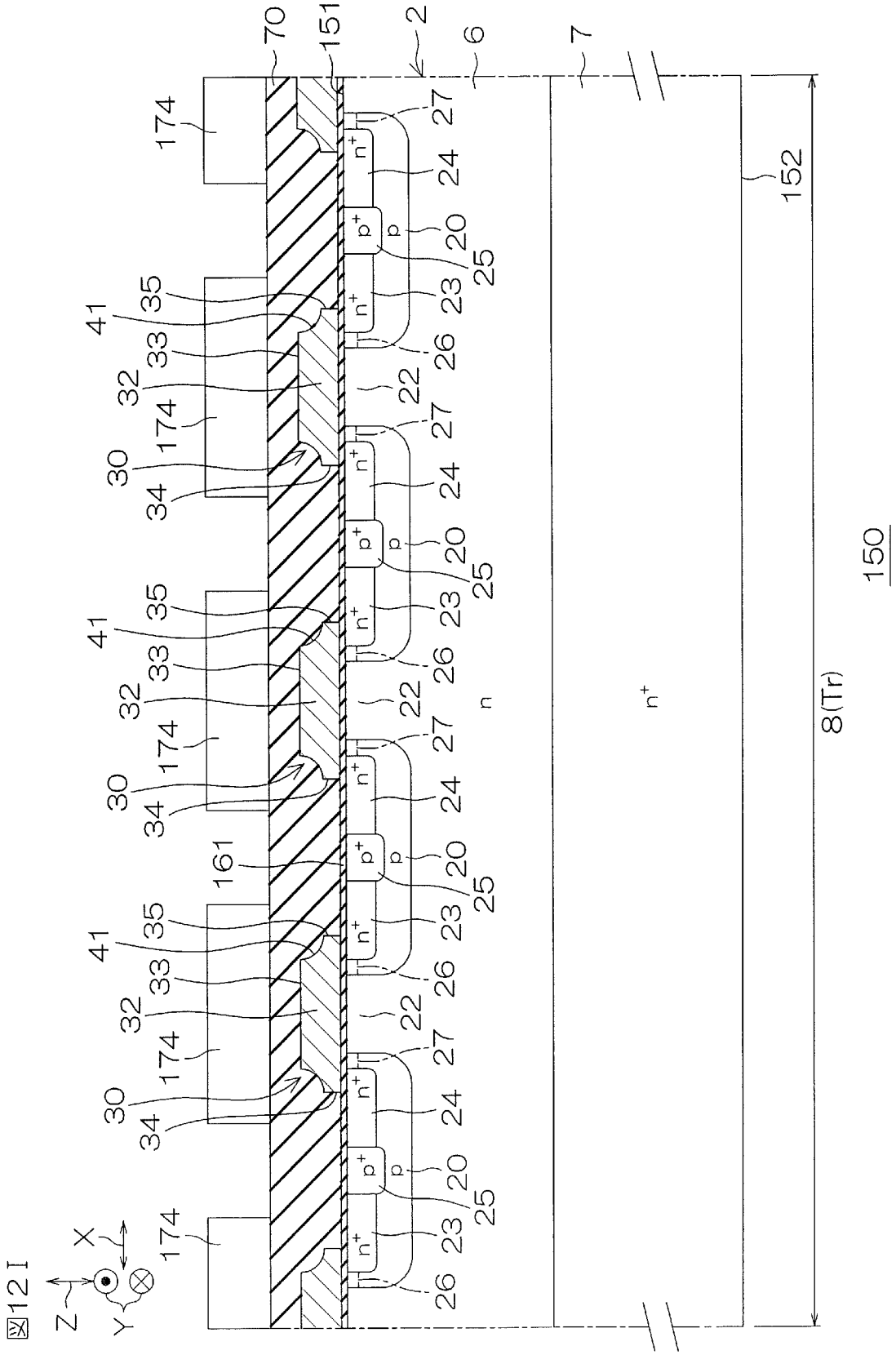

70
151
2
6
7
174
27
24
20
25
23
26
35
41
33
32
22
30
34
161
n+
p+
p
n
152
150
8(Tr)
X
Y
Z

図12I

[図12J]

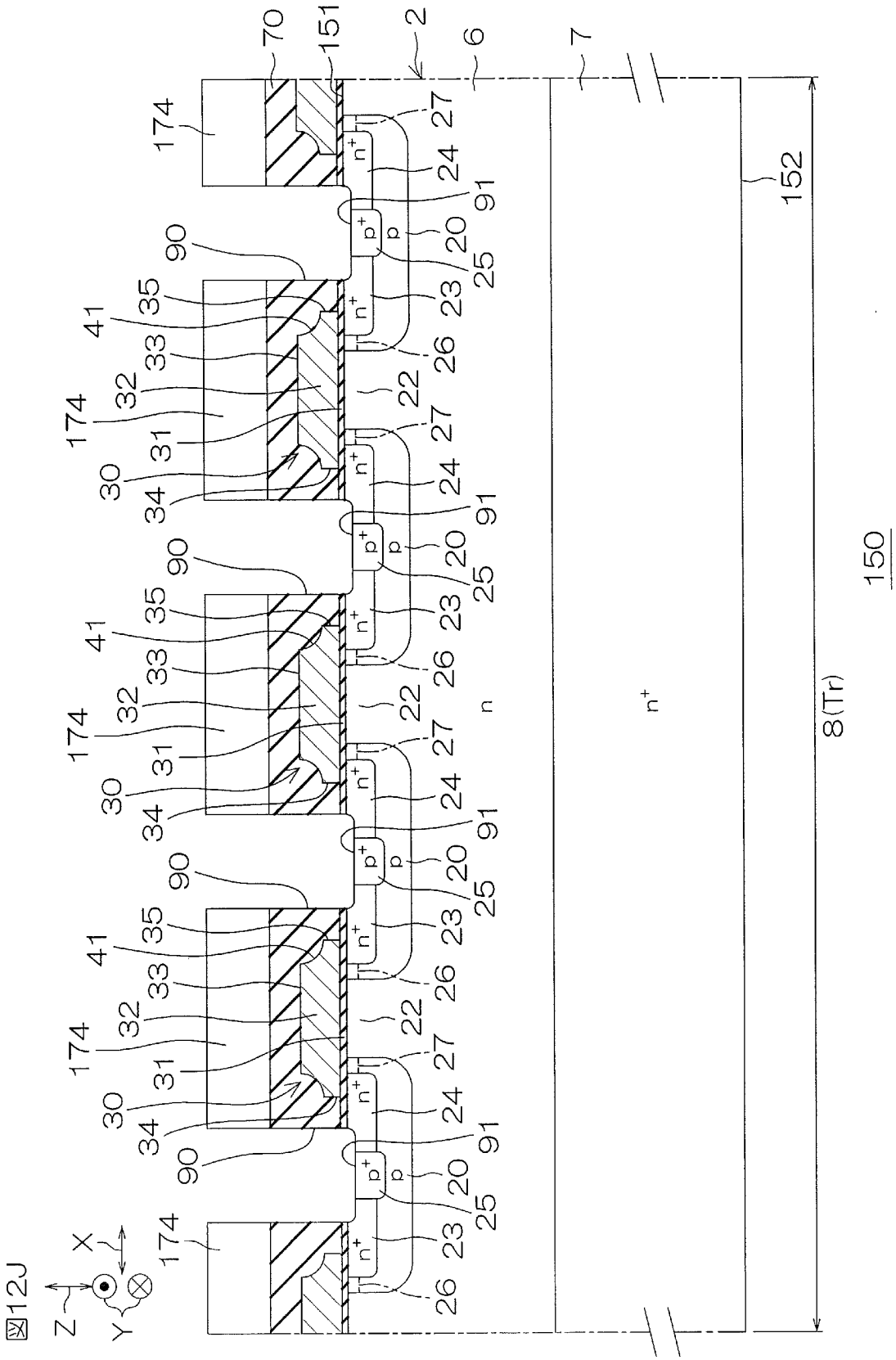

70
151
2
6
7
174
27
24
91
20
25
23
26
90
35
41
33
32
31
30
34
22
n+
p+
p
n
152
150
8(Tr)
X
Y
Z

図12J

[図12K]

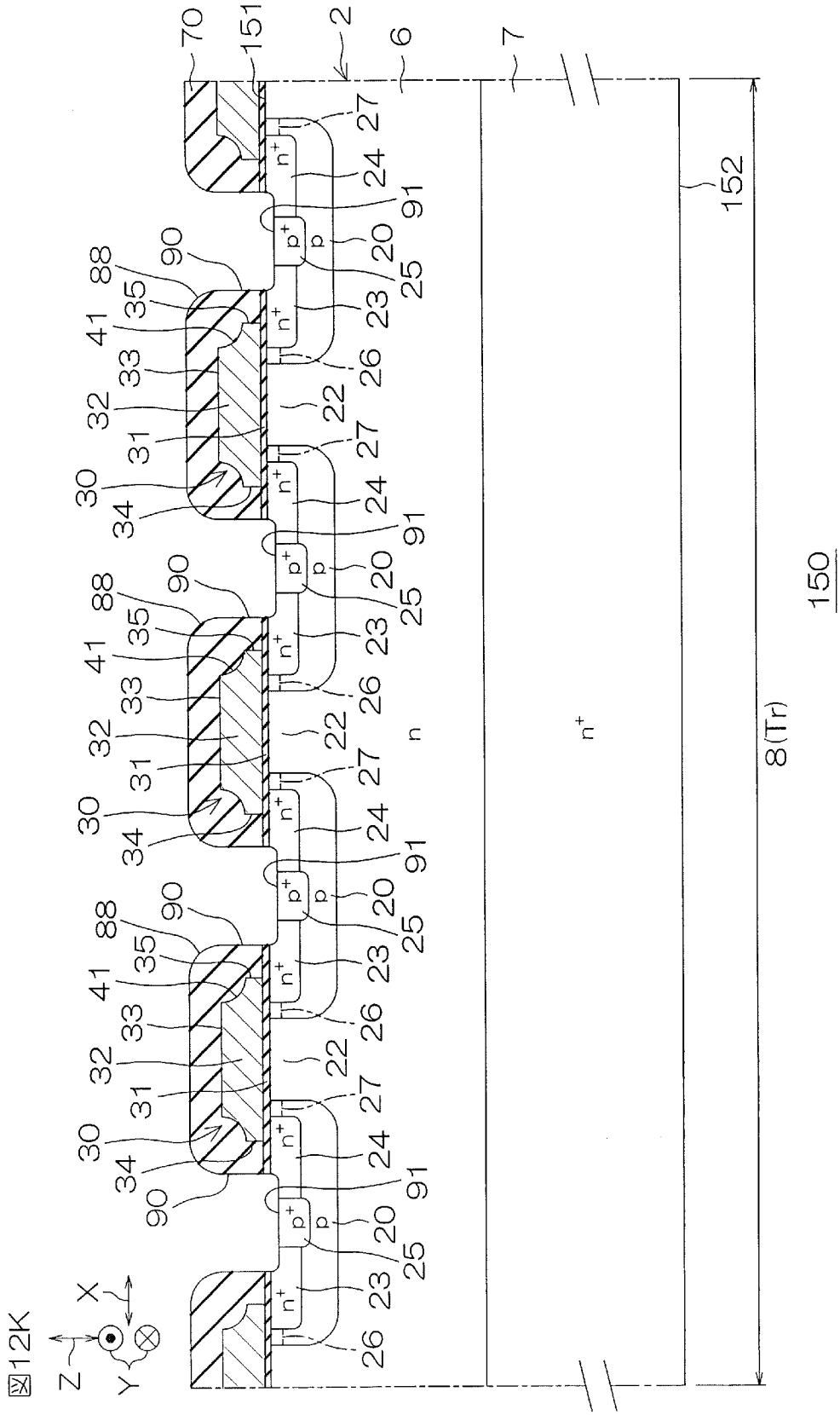

70
151
2
6
7
152
150
8(Tr)
n+
n
p+
p
20
22
23
24
25
26
27
30
31
32
33
34
35
41
88
90
91
X
Y
Z

図12K

[図12L]

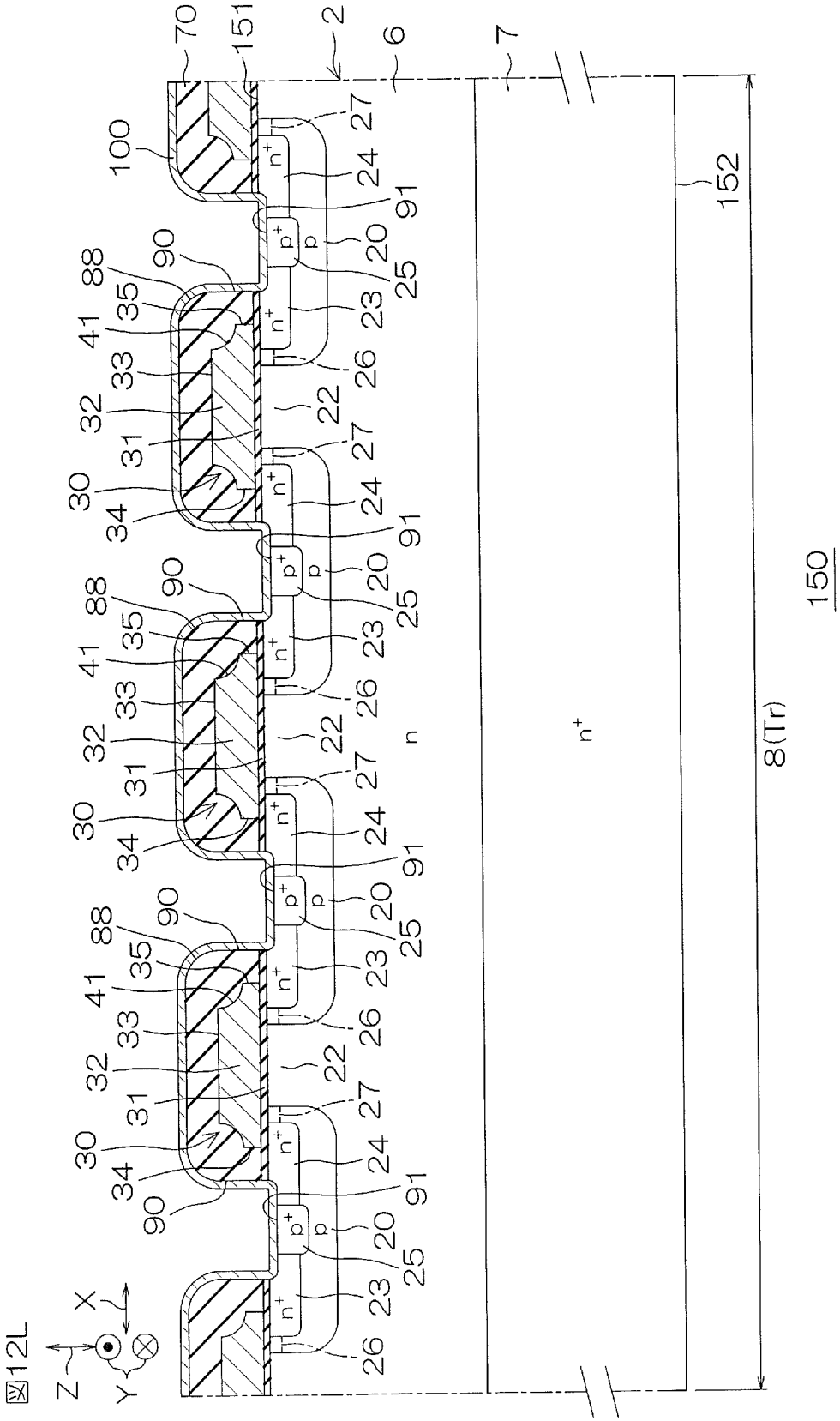

70
151
2
6
7
100
152
150
8(Tr)
n+
n
p+
p
20
22
23
24
25
26
27
30
31
32
33
34
35
41
88
90
91
X
Y
Z

図12L

[図12M]

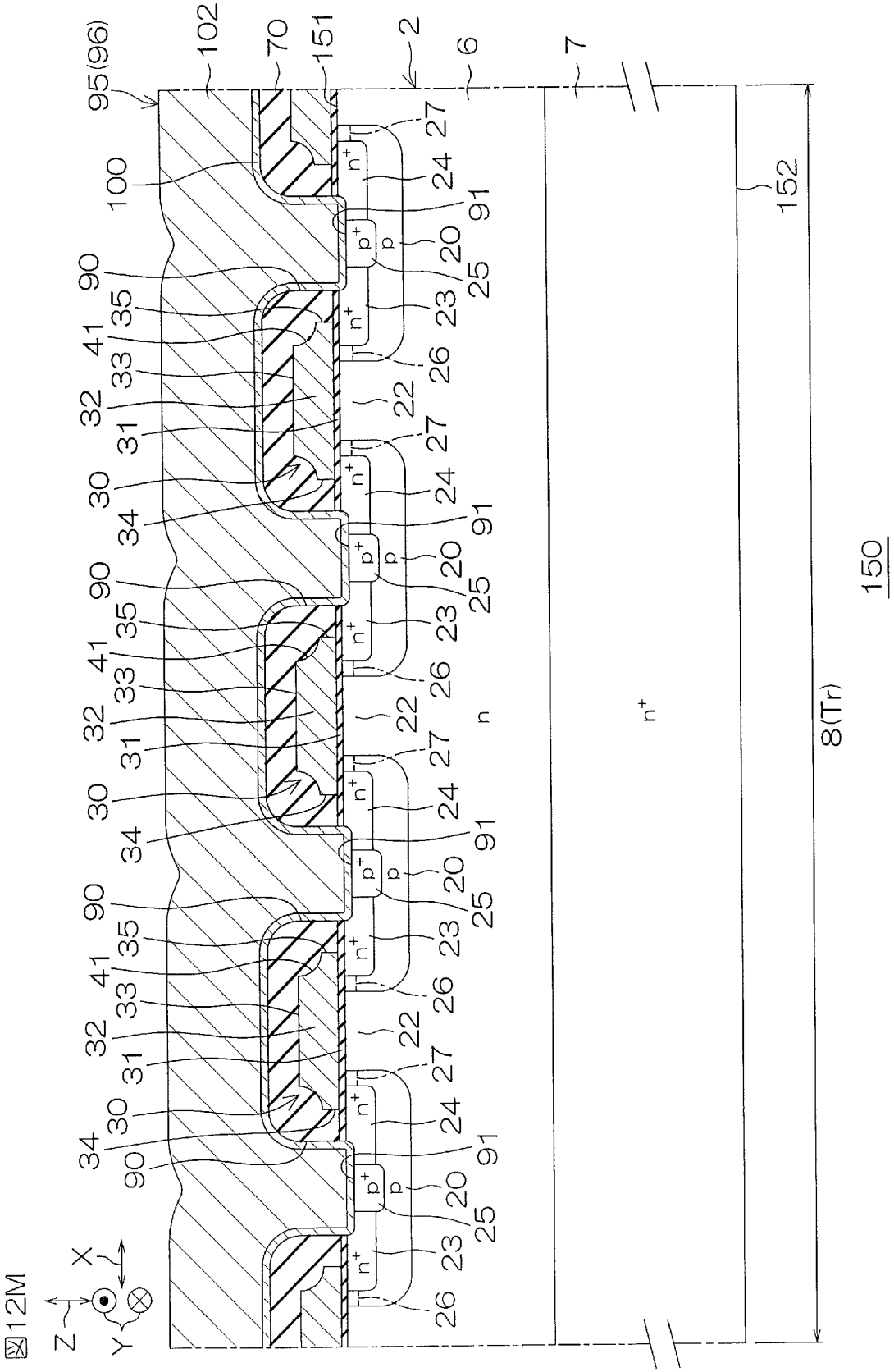

95(96)
102
70
151
2
6
7
100
90
35
41
33
32
31
30
34
22
27
24
91
20
25
23
26
152
150
8(Tr)
n+
p+
p
n
X
Y
Z

図12M

[図13]

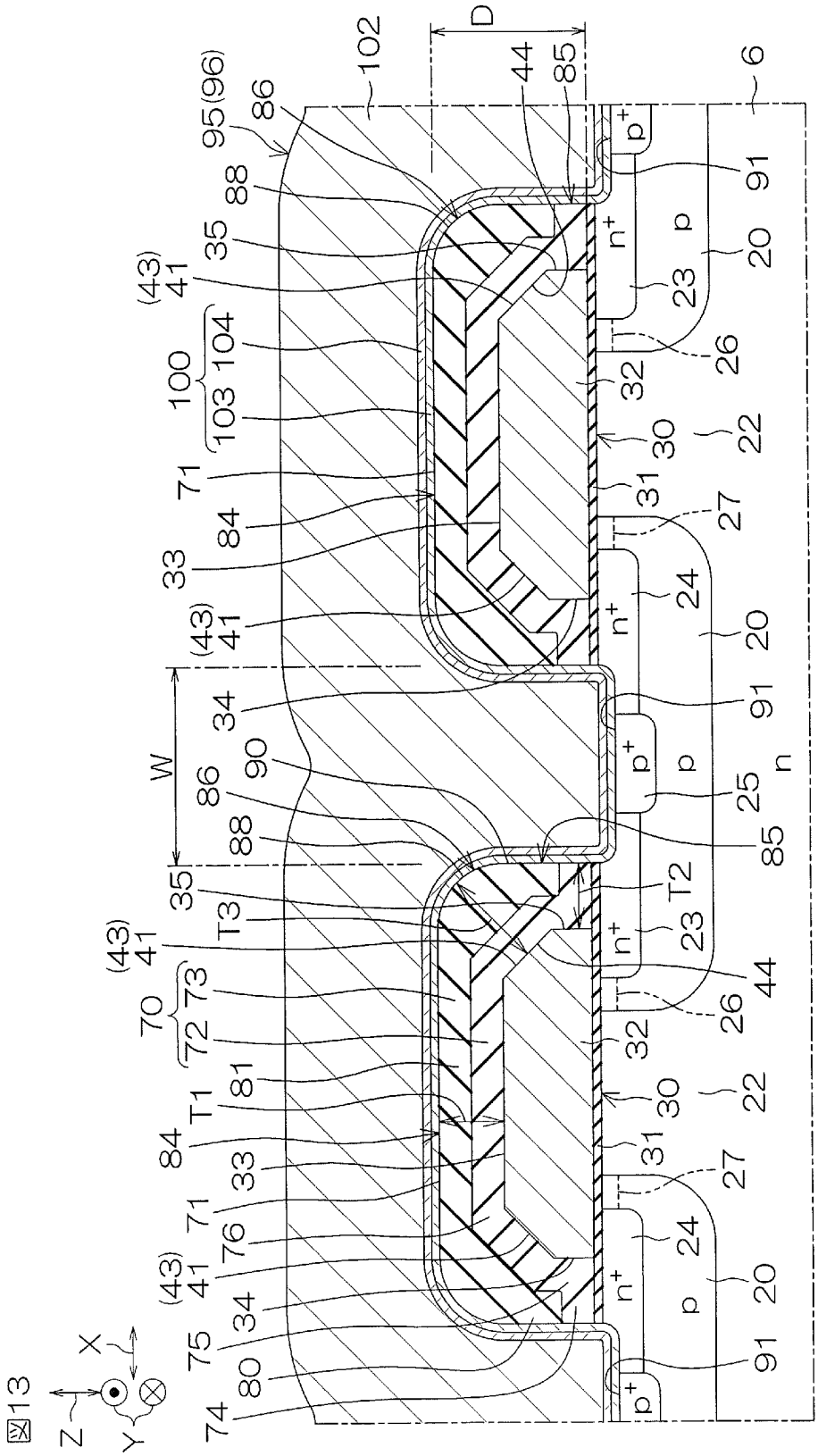

D
W
102
44
85
6
95(96)
86
88
35
(43)
41
100
104
103
71
84
33
34
90
T3
70
73
72
81
T1
76
75
80
74
91
20
23
26
32
30
22
31
27
24
25
T2
n+
p+
p
n
X
Y
Z

図13

[図14A]

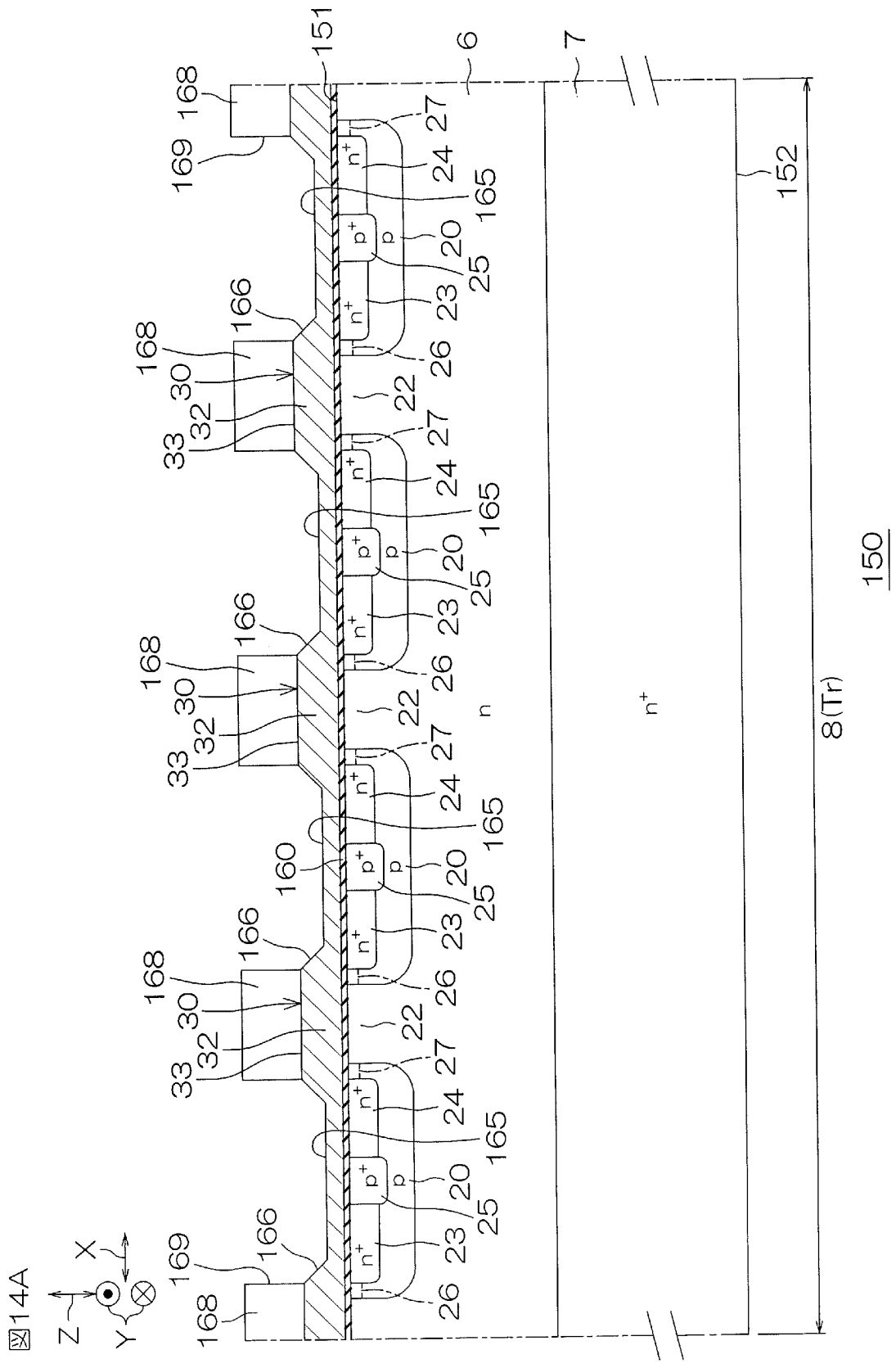

151
6
7
168
169
27
24
165
20
25
23
26
166
30
32
33
22
160
152
150
8(Tr)
n+
p+
p
n
X
Y
Z

図14A

[図14B]

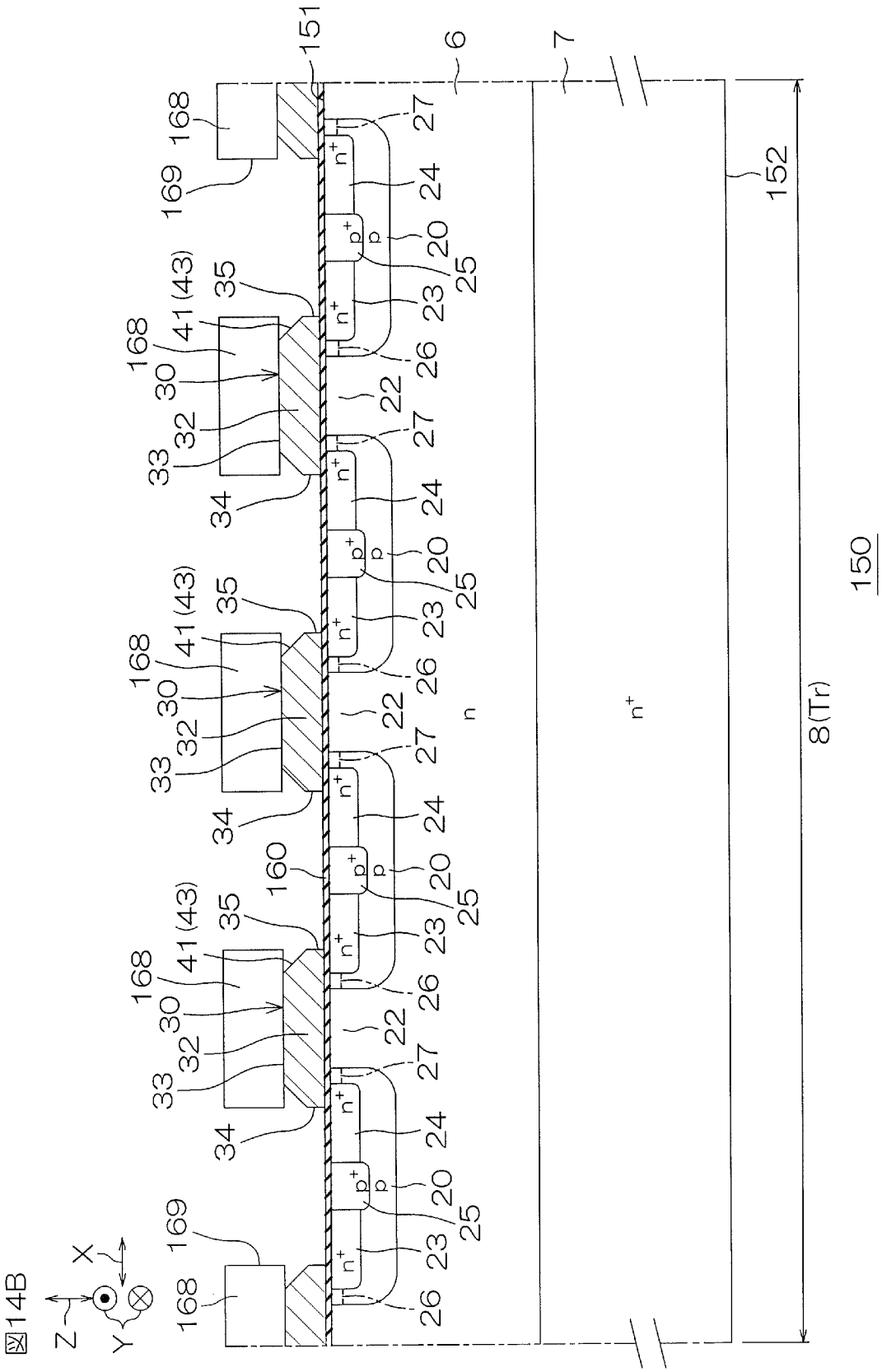

151
6
7
168
169
27
24
20
25
23
26
35
41(43)
30
32
33
34
22
160
n+
p+
p
n
152
150
8(Tr)
X
Y
Z

図14B

[図15]

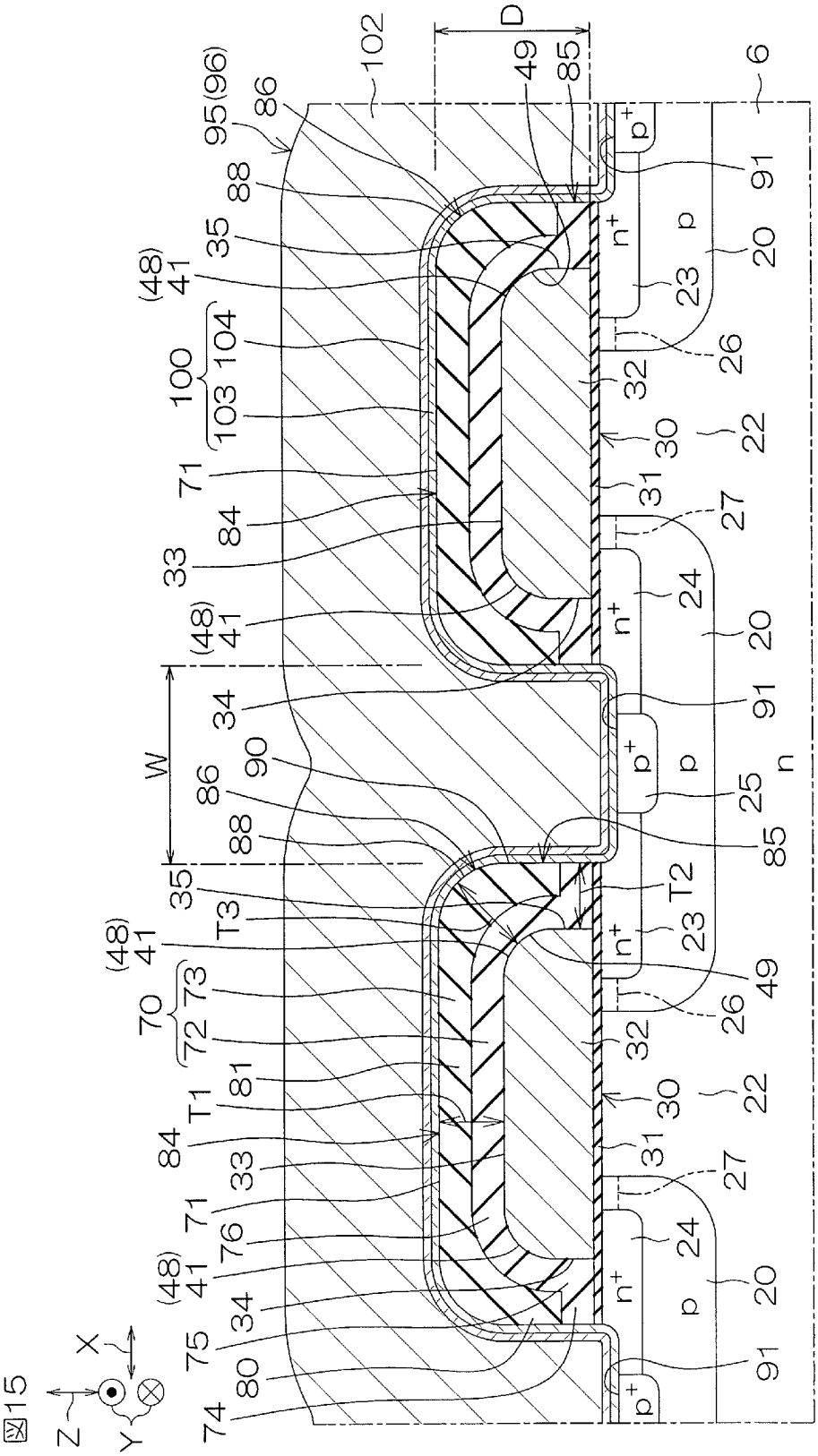

D
W
T1
T2
T3
102
49
85
6
95(96)
86
88
35
(48)
41
100
104
103
71
84
33
34
90
73
72
81
76
75
80
74
91
20
22
23
24
25
26
27
30
31
32
n+
p+
p
n
X
Y
Z

図15

[図16A]

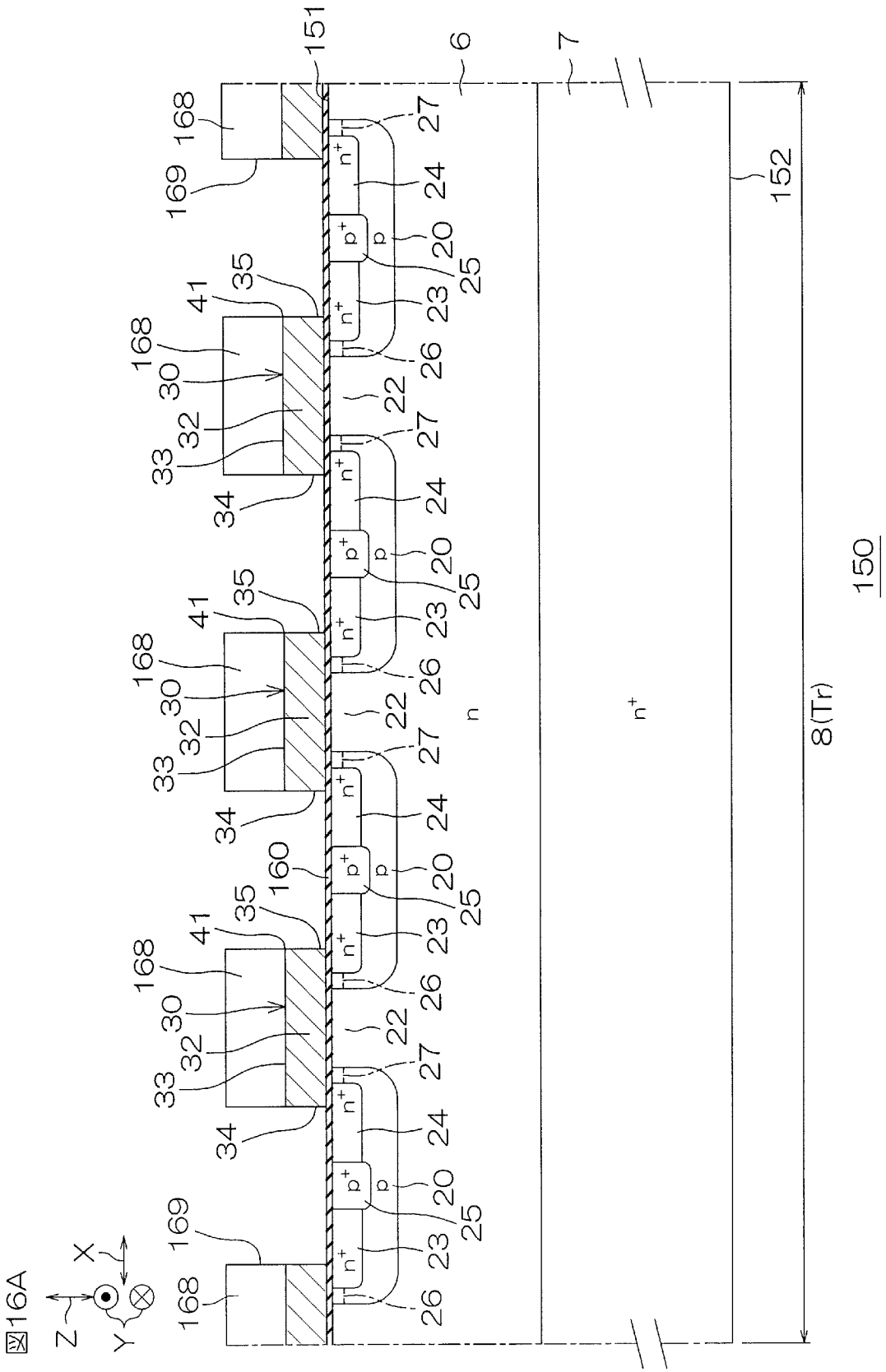

151
6
7
168
169
27
24
20
25
23
26
35
41
30
32
33
34
22
160
n+
p+
p
n
152
150
8(Tr)
X
Y
Z

図16A

[図16B]

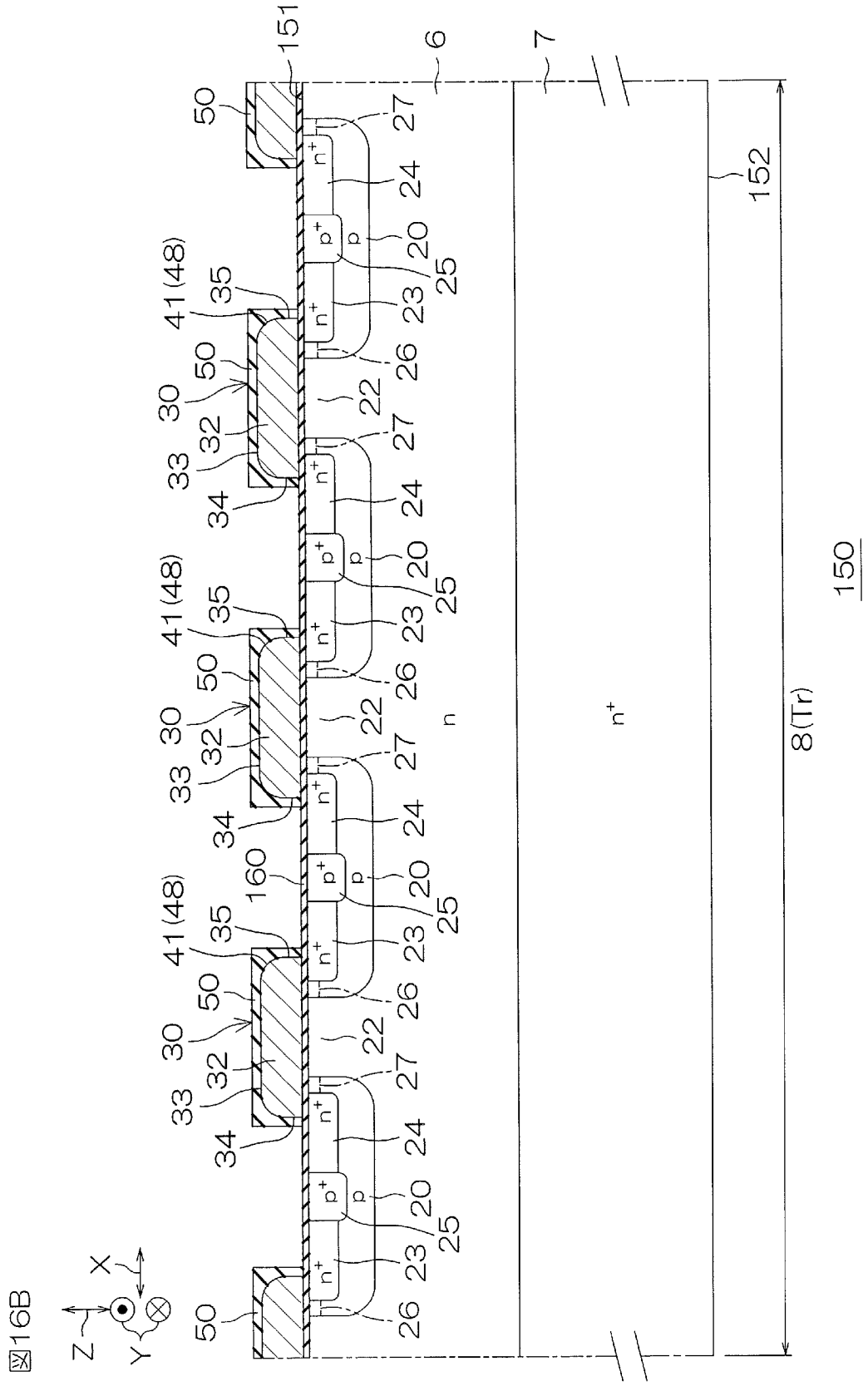

151
6
7
50
27
24
20
25
23
26
41(48)
35
30
32
33
34
22
160
n+
p+
p
n
152
150
8(Tr)
X
Y
Z

図16B

# INTERNATIONAL SEARCH REPORT

International application No.
**PCT/JP2024/007383**

## A. CLASSIFICATION OF SUBJECT MATTER

***H01L 29/78***(2006.01)i; ***H01L 21/336***(2006.01)i; ***H01L 29/06***(2006.01)i; ***H01L 29/739***(2006.01)i
FI: H01L29/78 652K; H01L29/78 652Q; H01L29/78 652P; H01L29/78 652F; H01L29/78 652S; H01L29/78 652M; H01L29/78 658F; H01L29/06 301V; H01L29/06 301G; H01L29/78 655A

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78; H01L21/336; H01L29/06; H01L29/739

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2024
Registered utility model specifications of Japan 1996-2024
Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|---|---|---|
| X | JP 2018-174357 A (ROHM CO., LTD.) 08 November 2018 (2018-11-08)<br>paragraphs [0014]-[0030], [0032]-[0034], [0064], [0065], fig. 10 | 1, 5, 7, 12-13 |
| Y | | 2-3, 8, 10-11 |
| A | | 4, 6, 9, 14-17 |
| Y | JP 2016-058726 A (PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) 21 April 2016 (2016-04-21)<br>paragraphs [0036]-[0045], [0066]-[0068], fig. 1, 2, 6, 7 | 2-3, 8, 10-11 |
| A | | 1, 4-7, 9, 12-17 |
| Y | JP 2005-347313 A (DENSO CORPORATION) 15 December 2005 (2005-12-15)<br>paragraph [0039], fig. 1 | 8, 10-11 |
| A | | 1-7, 9, 12-17 |

☑ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"D" document cited by the applicant in the international application
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

| Date of the actual completion of the international search | Date of mailing of the international search report |
|---|---|
| **09 May 2024** | **21 May 2024** |

| Name and mailing address of the ISA/JP | Authorized officer |
|---|---|
| **Japan Patent Office (ISA/JP)**<br>**3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915**<br>**Japan** | Telephone No. |

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|---|---|---|
| Y | JP 2011-109021 A (RENESAS ELECTRONICS CORPORATION) 02 June 2011 (2011-06-02)<br>paragraph [0056], fig. 4 | 8, 10-11 |
| A | | 1-7, 9, 12-17 |
| Y | JP 2019-087730 A (FUJI ELECTRIC CO., LTD.) 06 June 2019 (2019-06-06)<br>paragraph [0093], fig. 6 | 8, 10-11 |
| A | | 1-7, 9, 12-17 |
| X | JP 61-296740 A (NEC KANSAI LTD.) 27 December 1986 (1986-12-27)<br>p. 1, left column, line 15 to p. 2, upper right column, line 4, p. 2, lower left column, line 11 to p. 3, left column, line 6, fig. 1-10 | 14,17 |
| A | | 1-13, 15-16 |
| A | JP 5-198589 A (SEIKO EPSON CORPORATION) 06 August 1993 (1993-08-06)<br>paragraphs [0012]-[0020], fig. 1, 2 | 1-17 |
| A | JP 59-175124 A (KABUSHIKI KAISHA TOSHIBA) 03 October 1984 (1984-10-03)<br>column 5, line 19 to column 8, line 2, fig. 1-6 | 1-17 |

**INTERNATIONAL SEARCH REPORT**
**Information on patent family members**

International application No.
**PCT/JP2024/007383**

| Patent document cited in search report | Publication date (day/month/year) | Patent family member(s) | Publication date (day/month/year) |
|---|---|---|---|
| JP 2018-174357 A | 08 November 2018 | (Family: none) | |
| JP 2016-058726 A | 21 April 2016 | US 2016/0071971 A1<br>paragraphs [0052]-[0061], [0082]-[0084], fig. 1, 2, 6, 7 | |
| JP 2005-347313 A | 15 December 2005 | (Family: none) | |
| JP 2011-109021 A | 02 June 2011 | (Family: none) | |
| JP 2019-087730 A | 06 June 2019 | US 2019/0140084 A1<br>paragraph [0110], fig. 6<br>CN 109755293 A | |
| JP 61-296740 A | 27 December 1986 | (Family: none) | |
| JP 5-198589 A | 06 August 1993 | (Family: none) | |
| JP 59-175124 A | 03 October 1984 | (Family: none) | |

国際調査報告

国際出願番号
PCT/JP2024/007383

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 29/78(2006.01)i; H01L 21/336(2006.01)i; H01L 29/06(2006.01)i; H01L 29/739(2006.01)i
FI: H01L29/78 652K; H01L29/78 652Q; H01L29/78 652P; H01L29/78 652F; H01L29/78 652S; H01L29/78 652M; H01L29/78 658F; H01L29/06 301V; H01L29/06 301G; H01L29/78 655A

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L29/78; H01L21/336; H01L29/06; H01L29/739

最小限資料以外の資料で調査を行った分野に含まれるもの

| | |
|---|---|
| 日本国実用新案公報 | １９２２－１９９６年 |
| 日本国公開実用新案公報 | １９７１－２０２４年 |
| 日本国実用新案登録公報 | １９９６－２０２４年 |
| 日本国登録実用新案公報 | １９９４－２０２４年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

| 引用文献のカテゴリー* | 引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する請求項の番号 |
|---|---|---|
| X | JP 2018-174357 A (ローム株式会社) 08.11.2018 (2018-11-08)<br>段落00014-0030,0032-0034,0064-0065, 図10 | 1,5,7,12-13 |
| Y | | 2-3,8,10-11 |
| A | | 4,6,9,14-17 |
| Y | JP 2016-058726 A (パナソニックＩＰマネジメント株式会社) 21.04.2016 (2016-04-21)<br>段落0036-0045,0066-0068, 図1-2,6-7 | 2-3,8,10-11 |
| A | | 1,4-7,9,12-17 |
| Y | JP 2005-347313 A (株式会社デンソー) 15.12.2005 (2005-12-15)<br>段落0039, 図1 | 8,10-11 |
| A | | 1-7,9,12-17 |

☑ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
"A" 特に関連のある文献ではなく、一般的技術水準を示すもの
"D" 国際出願で出願人が先行技術文献として記載した文献
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
"O" 口頭による開示、使用、展示等に言及する文献
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
"Y" 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
"&" 同一パテントファミリー文献

| 国際調査を完了した日 | 国際調査報告の発送日 |
|---|---|
| 09.05.2024 | 21.05.2024 |

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）

恩田　和彦 5F 5896

電話番号 03-3581-1101 内線 3514

C.　関連すると認められる文献

| 引用文献のカテゴリー* | 引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する請求項の番号 |
|---|---|---|
| Y | JP 2011-109021 A（ルネサスエレクトロニクス株式会社）02.06.2011（2011－06－02）<br>段落0056，図4 | 8,10-11 |
| A | | 1-7,9,12-17 |
| Y | JP 2019-087730 A（富士電機株式会社）06.06.2019（2019－06－06）<br>段落0093，図6 | 8,10-11 |
| A | | 1-7,9,12-17 |
| X | JP 61-296740 A（関西日本電気株式会社）27.12.1986（1986－12－27）<br>第1頁左欄第15行-第2頁上右第4行,第2頁下左欄第11行-第3頁左欄第6行，第1図-第10図 | 14,17 |
| A | | 1-13,15-16 |
| A | JP 5-198589 A（セイコーエプソン株式会社）06.08.1993（1993－08－06）<br>段落0012-0020，図1-2 | 1-17 |
| A | JP 59-175124 A（株式会社東芝）03.10.1984（1984－10－03）<br>第5欄第19行-第8欄第2行，第1図-第6図 | 1-17 |

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2024/007383

| 引用文献 | 公表日 | パテントファミリー文献 | 公表日 |
|---|---|---|---|
| JP 2018-174357 A | 08.11.2018 | （ファミリーなし） | |
| JP 2016-058726 A | 21.04.2016 | US 2016/0071971 A1<br>段落0052-0061,0082-0084,<br>図1-2,6-7 | |
| JP 2005-347313 A | 15.12.2005 | （ファミリーなし） | |
| JP 2011-109021 A | 02.06.2011 | （ファミリーなし） | |
| JP 2019-087730 A | 06.06.2019 | US 2019/0140084 A1<br>段落0110, 図6<br>CN 109755293 A | |
| JP 61-296740 A | 27.12.1986 | （ファミリーなし） | |
| JP 5-198589 A | 06.08.1993 | （ファミリーなし） | |
| JP 59-175124 A | 03.10.1984 | （ファミリーなし） | |