

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2025 年 6 月 26 日 (26.06.2025)



(10) 国际公布号
WO 2025/129495 A1

(51) 国际专利分类号:
G09G 3/3225 (2016.01) **G09G 3/3208** (2016.01)

(21) 国际申请号: PCT/CN2023/140232

(22) 国际申请日: 2023 年 12 月 20 日 (20.12.2023)

(25) 申请语言: 中文

(26) 公布语言: 中文

(71) 申请人: 京东方科技集团股份有限公司(**BOE TECHNOLOGY GROUP CO., LTD.**) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号 100015 (CN)。成都京东方光电科技有限公司(**CHENGDU BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.**) [CN/CN]; 中国四川省成都市高新区(西区)合作路 1188 号 611731 (CN)。

(72) 发明人: 李孟(**LI, Meng**); 中国北京市大兴区北京经济技术开发区地泽路 9 号 100176 (CN)。谢涛峰(**XIE, Taofeng**); 中国北京市大兴区北京经济技术开发区地泽路 9 号 100176 (CN)。徐元杰(**XU, Yuanjie**); 中国北京市大兴区北京经济技术开发区地泽路 9 号 100176 (CN)。肖星亮(**XIAO, Xingliang**); 中国北京市大兴区北京经济技术开发区地泽路 9 号 100176 (CN)。柴铭志(**CHAI, Mingzhi**); 中国北京市大兴区北京经济技术开发区地泽路 9 号 100176 (CN)。李卓安(**LI, Zhuoan**); 中国北京市大兴区北京经济技术开发区地泽路 9 号 100176 (CN)。

(74) 代理人: 北京安信方达知识产权代理有限公司(**AFD CHINA INTELLECTUAL PROPERTY LAW**)

(54) **Title:** DISPLAY SUBSTRATE AND DRIVING METHOD THEREFOR, AND DISPLAY APPARATUS

(54) 发明名称: 显示基板及其驱动方法、显示装置

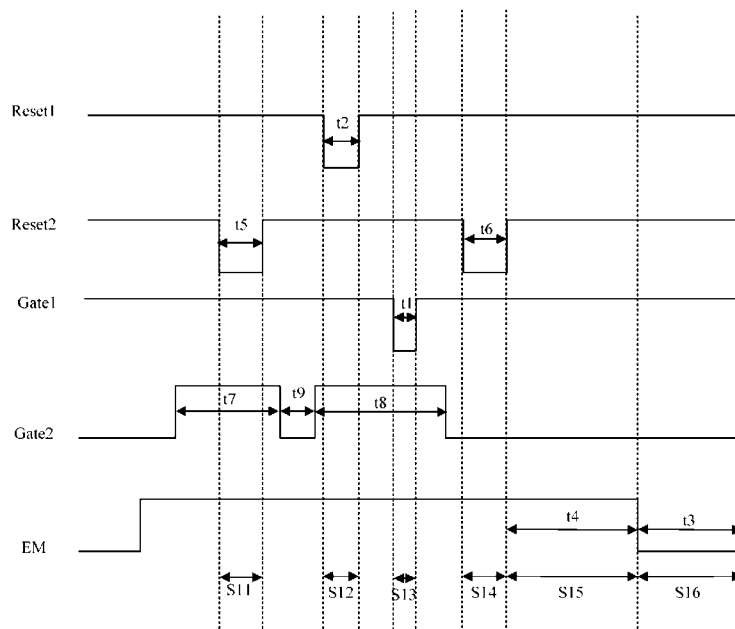


图5

(57) **Abstract:** A display substrate and a driving method therefor, and a display apparatus. Content displayed by the display substrate comprises a plurality of display frames. The display substrate comprises: a data unit, pixel driving circuits arranged in an array, a plurality of second reset signal lines (Reset2) and a plurality of second scanning signal lines (Gate2). In at least one display frame, the data unit is configured to: provide within one time period a valid level signal to a second reset signal line (Reset2) connected to at least one pixel driving circuit, and provide within one time period a valid level signal to a second scanning signal line (Gate2) connected to

OFFICE): 中国北京市海淀区学清路 38 号
(B座)21层2108 100083 (CN)。

- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。
- (84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

at least one pixel driving circuit; or provide within at least two time periods a valid level signal to the second reset signal line (Reset2) connected to the at least one pixel driving circuit, and provide within at least two time periods a valid level signal to the second scanning signal line (Gate2) connected to the at least one pixel driving circuit.

(57) 摘要: 一种显示基板及其驱动方法、显示装置, 显示基板所显示内容包括多个显示帧, 显示基板包括: 数据单元、阵列排布的像素驱动电路、多条第二复位信号线(Reset2)和多条第二扫描信号线(Gate2), 在至少一个显示帧, 数据单元被配置为在一个时间段内向至少一个像素驱动电路所连接的第二复位信号线(Reset2)提供有效电平信号, 且在一个时间段内向至少一个像素驱动电路所连接的第二扫描信号线(Gate2)提供有效电平信号, 或者, 在至少两个时间段内向至少一个像素驱动电路所连接的第二复位信号线(Reset2)提供有效电平信号, 且在至少两个时间段内向至少一个像素驱动电路所连接的第二扫描信号线(Gate2)提供有效电平信号。

显示基板及其驱动方法、显示装置

技术领域

本公开涉及但不限于显示技术领域,特别涉及一种显示基板及其驱动方法、显示装置。

5

背景技术

有机发光二极管(Organic Light Emitting Diode, 简称 OLED) 和量子点发光二极管(Quantum-dot Light Emitting Diodes, 简称 QLED)为主动发光显示器件, 具有自发光、广视角、高对比度、低耗电、极高反应速度、轻薄、可弯曲和成本低等优点。随着显示技术的不断发展, 以 OLED 或 QLED 为发光元件、由薄膜晶体管(Thin Film Transistor, 简称 TFT)进行信号控制的柔性显示装置(Flexible Display)已成为目前显示领域的主流产品。

10

发明内容

以下是对本文详细描述的主题的概述。本概述并非是为了限制权利要求的保护范围。

15

第一方面, 本公开提供了一种显示基板, 显示基板所显示内容包括多个显示帧, 所述显示基板包括: 数据单元、阵列排布的像素驱动电路、多条第二复位信号线和多条第二扫描信号线, 至少一个像素驱动电路包括: 驱动晶体管、补偿晶体管和第三复位晶体管, 其中, 所述驱动晶体管分别与第一节点、第二节点和第三节点连接, 所述补偿晶体管分别与第二扫描信号线、第一节点和第三节点连接, 所述第三复位晶体管分别与第二复位信号线和第二节点连接;

20

在至少一个显示帧, 所述数据单元被配置为在一个时间段内向至少一个像素驱动电路所连接的第二复位信号线提供有效电平信号, 且在一个时间段内向至少一个像素驱动电路所连接的第二扫描信号线提供有效电平信号, 或者, 在至少两个时间段向至少一个像素驱动电路所连接的第二复位信号线提供有效电平信号, 且在至少两个时间段内向至少一个像素驱动电路所连接的第二扫描信号线提供有效电平信号。

25

在示例性实施方式中, 还包括: 多条第一扫描信号线、多条第一复位信号线和多条发光信号线, 至少一个像素驱动电路还包括: 写入晶体管、第一复位晶体管和第一发光晶体管, 其中, 所述写入晶体管分别与第一扫描信号线和第二节点连接, 所述第一复位晶体管分别与第一复位信号线和第三节点连接, 所述第一发光晶体管分别与发光信号线和第二节点连接;

30

在至少一个显示帧, 所述数据单元被配置为在第一时间段向至少一个像素驱动电路所连接的第一扫描信号线提供有效电平信号, 在第二时间段向至少一个像素驱动电路所连接的第一复位信号线提供有效电平信号, 在第三时间段向至少一个像素驱动电路所连接的发光信号线提供有效电平信号, 在第四时间段向至少一个像素驱动电路所连接的第一扫描信号线、第二扫描信号线、第一复位信号线、第二复位信号线和发光信号线提供无效电平信号;

35

所述第二时间段发生在所述第一时间段之前, 且所述第二时间段的结束时间发生在所述第一时间段的开始时间之前, 所述第一时间段发生在所述第四时间段之前, 且所述第一时间段的结束时间发生在所述第四时间段的开始之前, 所述第四时间段发生在所述第三时间段之前, 且所述第四时间段的结束时间为所述第三时间段的开始时间。

40

在示例性实施方式中,至少一个像素驱动电路所连接的第二扫描信号线的信号为有效电平信号的至少一个时间段与所述第一时间段和所述第二时间段中的至少一个时间段至少部分交叠,且与第三时间段和第四时间段中的至少一个时间段不交叠;

5 至少一个像素驱动电路所连接的第二复位信号线的信号的有效电平信号的至少一个时间段与第一时间段、所述第二时间段、所述第三时间段和所述第四时间段中的至少一个时间段不交叠。

在示例性实施方式中,在数据单元在一个时间段内向至少一个像素驱动电路所连接的第二复位信号线提供有效电平信号,且在一个时间段内向至少一个像素驱动电路所连接的第二扫描信号线提供有效电平信号的状态下,第六时间段分别与所述第一时间段和所述第二时间段至少部分交叠,第五时间段发生在所述第六时间段之后;

其中,所述第五时间段为数据单元向至少一个像素驱动电路所连接的第二复位信号线提供有效电平信号的时间段,所述第六时间段为数据单元向至少一个像素驱动电路所连接的第二扫描信号线提供有效电平信号的时间段。

15 在示例性实施方式中,所述第六时间段的持续时间大于所述第一时间段的持续时间,且大于所述第二时间段的持续时间;

所述第一时间段和所述第二时间段位于所述第六时间段之内。

在示例性实施方式中,所述第六时间段的开始时间发生在所述第二时间段的开始时间之前,所述第六时间段的结束时间发生在所述第一时间段的结束时间之后,且在所述第五时间段的开始时间之前,所述第五时间段的结束时间为所述第四时间段的开始时间。

20 在示例性实施方式中,所述数据单元还被配置为在第一时间段向至少一个像素驱动电路所连接的第一复位信号线、第二复位信号线和发光信号线提供无效电平信号,在第二时间段向至少一个像素驱动电路所连接的第二复位信号线、第一扫描信号线和发光信号线提供无效电平信号,在第三时间段向至少一个像素驱动电路所连接的第一复位信号线、第二复位信号线、第一扫描信号线和第二扫描信号线提供无效电平信号,在第五时间段向至少一个像素驱动电路所连接的第一复位信号线、第一扫描信号线、第二扫描信号线和发光信号线提供无效电平信号。

30 在示例性实施方式中,在数据单元在两个时间段内向至少一个像素驱动电路所连接的第二复位信号线提供有效电平信号,且在两个时间段内向至少一个像素驱动电路所连接的第二扫描信号线提供有效电平信号的状态下,第七时间段与第五时间段至少部分交叠,第八时间段分别与所述第一时间段和所述第二时间段至少部分交叠,所述第六时间段发生在所述第八时间段之后;

35 其中,所述第五时间段和第六时间段为数据单元向至少一个像素驱动电路所连接的第二复位信号线提供有效电平信号的时间段,且所述第五时间段发生在所述第六时间段之前,所述第七时间段和所述第八时间段为数据单元向至少一个像素驱动电路所连接的第二扫描信号线提供有效电平信号的时间段,且所述第七时间段发生在所述第八时间段之前。

在示例性实施方式中,所述第七时间段的持续时间大于所述第五时间段的持续时间,所述第八时间段的持续时间大于所述第一时间段的持续时间和所述第二时间段的持续时间之和;

40 所述第五时间段位于所述第七时间段之内,所述第一时间段和所述第二时间段位于所述第八时间段之内。

在示例性实施方式中,所述第七时间段的开始时间发生在所述第五时间段的开始时间

之前,所述第七时间段的结束时间发生在所述第五时间段的开始时间之后,所述第八时间段的开始时间发生在所述第二时间段的开始时间之前,所述第八时间段的结束时间发生在所述第一时间段的结束时间之后,且在所述第六时间段的开始时间之前,所述第六时间段的结束时间为所述第四时间段的开始时间。

- 5 在示例性实施方式中,所述第八时间段的持续时间大于所述第七时间段的持续时间,所述第七时间段的持续时间大于第九时间段的持续时间的两倍,所述第九时间段的开始时间为第七时间段的结束时间,第九时间段的结束时间为第八时间段的开始时间;

所述数据单元在所述第九时间段向至少一个像素驱动电路所连接的第一扫描信号线、第二扫描信号线、第一复位信号线、第二复位信号线和发光信号线提供无效电平信号。

- 10 在示例性实施方式中,在数据单元在两个时间段内向至少一个像素驱动电路所连接的第二复位信号线提供有效电平信号,且在两个时间段内向至少一个像素驱动电路所连接的第二扫描信号线提供有效电平信号的状态下,第七时间段分别与第五时间段和所述第二时间段至少部分交叠,第八时间段与所述第一时间段至少部分交叠,所述第六时间段发生在所述第八时间段之后;

- 15 其中,所述第五时间段和第六时间段为数据单元向至少一个像素驱动电路所连接的第二复位信号线提供有效电平信号的时间段,且所述第五时间段发生在所述第六时间段之前,所述第七时间段和所述第八时间段为数据单元向至少一个像素驱动电路所连接的第二扫描信号线提供有效电平信号的时间段,且所述第七时间段发生在所述第八时间段之前。

- 20 在示例性实施方式中,所述第七时间段的持续时间大于所述第五时间段的持续时间和所述第二时间段的持续时间之和,所述第八时间段的持续时间大于所述第一时间段的持续时间;

所述第二时间段和所述第五时间段位于所述第七时间段之内,所述第一时间段位于所述第八时间段之内。

- 25 在示例性实施方式中,所述第七时间段的开始时间发生在所述第五时间段的开始时间之前,所述第七时间段的结束时间发生在所述第二时间段的结束时间之后,所述第八时间段的开始时间发生在所述第一时间段的开始时间之前,所述第八时间段的结束时间发生在所述第一时间段的结束时间之后,且在所述第六时间段的开始时间之前,所述第六时间段的结束时间为所述第四时间段的开始时间。

- 30 在示例性实施方式中,所述第七时间段的持续时间大于所述第八时间段的持续时间的四倍,且大于第九时间段的持续时间的四倍,所述第九时间段的开始时间为所述第七时间段的结束时间,所述第九时间段的结束时间为所述第八时间段的开始时间。

- 35 在示例性实施方式中,在数据单元在两个时间段内向至少一个像素驱动电路所连接的第二复位信号线提供有效电平信号,且在两个时间段内向至少一个像素驱动电路所连接的第二扫描信号线提供有效电平信号的状态下,第七时间段与第五时间段至少部分交叠,第八时间段与所述第二时间段至少部分交叠,所述第九时间段与所述第一时间段至少部分交叠,所述第六时间段发生在所述第九时间段和所述第四时间段之间;

- 40 其中,所述第五时间段和第六时间段为数据单元向至少一个像素驱动电路所连接的第二复位信号线提供有效电平信号的时间段,且所述第五时间段发生在所述第六时间段之前,所述第七时间段、所述第八时间段和所述第九时间段为数据单元向至少一个像素驱动电路所连接的第二扫描信号线提供有效电平信号的时间段,且所述第七时间段发生在所述第八时间段之前,所述第八时间段发生在所述第九时间段之前。

在示例性实施方式中，所述第七时间段的持续时间大于所述第五时间段的持续时间，所述第八时间段的持续时间大于所述第二时间段的持续时间，第九时间段的持续时间大于第一时间段的持续时间；

5 所述第五时间段位于所述第七时间段之内，所述第二时间段位于第八时间段之内，所述第一时间段位于所述第九时间段之内。

在示例性实施方式中，所述第七时间段的开始时间发生在所述第五时间段的开始时间之前，所述第七时间段的结束时间发生在所述第五时间段的结束时间之后，所述第八时间段的开始时间发生在所述第二时间段的开始时间之前，所述第八时间段的结束时间发生在所述第二时间段的结束时间之后，所述第九时间段的开始时间发生在所述第一时间段的开始时间之前，所述第九时间段的结束时间发生在所述第一时间段的结束时间之后，且在所述第六时间段的开始时间之前，所述第六时间段的结束时间为所述第四时间段的开始时间。

在示例性实施方式中，所述第七时间段和所述第八时间段中的至少一个时间段的持续时间大于所述第九时间段的持续时间，且大于第十时间段和第十一时间段中的至少一个时间段的持续时间，第十时间段的开始时间为第七时间段的结束时间，第十时间段的结束时间为第八时间段的开始时间，第十一时间段的开始时间为第八时间段的结束时间，第十一时间段的结束时间为第九时间段的开始时间；

所述数据单元在所述第十时间段和所述第十一时间段向至少一个像素驱动电路所连接的第一扫描信号线、第二扫描信号线、第一复位信号线、第二复位信号线和发光信号线提供无效电平信号。

20 在示例性实施方式中，所述数据单元还被配置为在第一时间段向至少一个像素驱动电路所连接的第一复位信号线、第二复位信号线和发光信号线提供无效电平信号，在第二时间段向至少一个像素驱动电路所连接的第二复位信号线、第一扫描信号线和发光信号线提供无效电平信号，在第三时间段向至少一个像素驱动电路所连接的第一复位信号线、第二复位信号线、第一扫描信号线和第二扫描信号线提供无效电平信号，在第五时间段向至少一个像素驱动电路所连接的第一复位信号线、第一扫描信号线和发光信号线提供无效电平信号，在第六时间段向至少一个像素驱动电路所连接的第一复位信号线、第一扫描信号线、第二扫描信号线和发光信号线提供无效电平信号。

在示例性实施方式中，还包括：多条发光信号线、多条第一复位信号线、多条第一初始信号线、多条第二初始信号线、多条第三初始信号线、多条第一扫描信号线和多条第一电源线，至少一个像素驱动电路还包括：第一复位晶体管、第二复位晶体管、写入晶体管、第一发光晶体管、第二发光晶体管和电容；

30 所述补偿晶体管的控制极与第二扫描信号线连接，所述补偿晶体管的第一极与第一节点连接，所述补偿晶体管的第二极与第三节点连接；

35 所述驱动晶体管的控制极与第一节点连接，所述驱动晶体管的第一极与第二节点连接，所述驱动晶体管的第二极与第三节点连接；

所述写入晶体管的控制极与第一扫描信号线连接，所述写入晶体管的第一极与数据信号线连接，所述写入晶体管的第二极与第二节点连接；

所述第一复位晶体管的控制极与第一复位信号线连接，所述第一复位晶体管的第一极与第一初始信号线连接，所述第一复位晶体管的第二极与第三节点连接；

40 所述第二复位晶体管的控制极与第二复位信号线连接，所述第二复位晶体管的第一极与第二初始信号线连接，所述第二复位晶体管的第二极与第四节点连接；

所述第三复位晶体管的控制极与第二复位信号线连接,所述第三复位晶体管的第一极与第三初始信号线连接,所述第三复位晶体管的第二极与第二节点连接;

所述第一发光晶体管的控制极与发光信号线连接,所述第一发光晶体管的第一极与第一电源线连接,所述第一发光晶体管的第二极与第二节点连接;

5 所述第二发光晶体管的控制极与发光信号线连接,所述第二发光晶体管的第一极与第三节点连接,所述第二发光晶体管的第二极与第四节点连接;

所述电容的一端与第一电源线连接,所述电容的另一端与第一节点连接。

在示例性实施方式中,至少一个像素驱动电路中的至少一个晶体管为 P 型晶体管或者 N 型晶体管,所述第一发光晶体管和第二发光晶体管的晶体管类型相同,所述第二复位晶体管

10 和所述第三复位晶体管的晶体管类型相同。

第二方面,本公开还提供了一种显示装置,包括:上述显示基板。

第三方面,本公开还提供了一种显示基板的驱动方法,被配置为驱动上述显示基板,所述方法包括:

在至少一个显示帧,在一个时间段内向至少一个像素驱动电路所连接的第二复位信号线提供有效电平信号,且在一个时间段内向至少一个像素驱动电路所连接的第二扫描信号线提供有效电平信号,或者,在至少两个时间段向至少一个像素驱动电路所连接的第二复位信号线提供有效电平信号,且在至少两个时间段内向至少一个像素驱动电路所连接的第二扫描信号线提供有效电平信号。

15

在阅读并理解了附图和详细描述后,可以明白其他方面。

20

附图概述

附图用来提供对本申请技术方案的理解,并且构成说明书的一部分,与本申请的实施例一起用于解释本申请的技术方案,并不构成对本申请技术方案的限制。

图 1 为一种显示基板的结构示意图;

25 图 2A 为一种显示基板的平面结构示意图一;

图 2B 为一种显示基板的平面结构示意图二;

图 2C 为一种显示基板的平面结构示意图三;

图 3 为一种显示基板的剖面结构示意图;

图 4 为本公开实施例提供的显示基板的像素驱动电路的等效电路图;

30 图 5 为图 4 提供的像素驱动电路的工作时序图一;

图 6 为图 4 提供的像素驱动电路的工作时序图二;

图 7 为图 4 提供的像素驱动电路的工作时序图三;

图 8 为图 4 提供的像素驱动电路的工作时序图四。

35 详述

为使本公开的目的、技术方案和优点更加清楚明白,下文中将结合附图对本公开的实施例进行详细说明。注意,实施方式可以以多个不同形式来实施。所属技术领域的普通技术人员可以很容易地理解一个事实,就是方式和内容可以在不脱离本公开的宗旨及其范围

的条件下被变换为各种各样的形式。因此，本公开不应该被解释为仅限定在下面的实施方式所记载的内容中。在不冲突的情况下，本公开中的实施例及实施例中的特征可以相互任意组合。为了保持本公开实施例的以下说明清楚且简明，本公开省略了部分已知功能和已知部件的详细说明。本公开实施例附图只涉及到与本公开实施例涉及到的结构，其他结构可参考通常设计

在附图中，有时为了明确起见，夸大表示了各构成要素的大小、层的厚度或区域。因此，本公开的一个方式并不一定限定于该尺寸，附图中各部件的形状和大小不反映真实比例。此外，附图示意性地示出了理想的例子，本公开的一个方式不局限于附图所示的形状或数值等。

本说明书中的“第一”、“第二”、“第三”等序数词是为了避免构成要素的混同而设置，而不是为了在数量方面上进行限定的。

在本说明书中，为了方便起见，使用“中部”、“上”、“下”、“前”、“后”、“竖直”、“水平”、“顶”、“底”、“内”、“外”等指示方位或位置关系的词句以参照附图说明构成要素的位置关系，仅是为了便于描述本说明书和简化描述，而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作，因此不能理解为对本公开的限制。构成要素的位置关系根据描述各构成要素的方向适当地改变。因此，不局限于在说明书中说明的词句，根据情况可以适当地更换。

在本说明书中，除非另有明确的规定和限定，术语“安装”、“相连”、“连接”应做广义理解。例如，可以是固定连接，或可拆卸连接，或一体地连接；可以是机械连接，或电连接；可以是直接相连，或通过中间件间接相连，或两个元件内部的连通。对于本领域的普通技术人员而言，可以根据具体情况理解上述术语在本公开中的具体含义。

在本说明书中，晶体管是指至少包括栅电极、漏电极以及源电极这三个端子的元件。晶体管在漏电极（漏电极端子、漏区域或漏电极）与源电极（源电极端子、源区域或源电极）之间具有沟道区域，并且电流能够流过漏电极、沟道区域以及源电极。注意，在本说明书中，沟道区域是指电流主要流过的区域。

在本说明书中，第一极可以为漏电极、第二极可以为源电极，或者第一极可以为源电极、第二极可以为漏电极。在使用极性相反的晶体管的情况或电路工作中的电流方向变化的情况等下，“源电极”及“漏电极”的功能有时互相调换。因此，在本说明书中，“源电极”和“漏电极”可以互相调换。

在本说明书中，“电连接”包括构成要素通过具有某种电作用的元件连接在一起的情况。“具有某种电作用的元件”只要可以进行连接的构成要素间的电信号的授受，就对其没有特别的限制。“具有某种电作用的元件”的例子不仅包括电极和布线，而且还包括晶体管等开关元件、电阻器、电感器、电容器、其它具有各种功能的元件等。

在本说明书中，“平行”是指两条直线形成的角度为 -10° 以上且 10° 以下的状态，因此，也包括该角度为 -5° 以上且 5° 以下的状态。另外，“垂直”是指两条直线形成的角度为 80° 以上且 100° 以下的状态，因此，也包括 85° 以上且 95° 以下的角度的状态。

在本说明书中，“膜”和“层”可以相互调换。例如，有时可以将“导电层”换成为“导电膜”。与此同样，有时可以将“绝缘膜”换成为“绝缘层”。

本说明书中三角形、矩形、梯形、五边形或六边形等并非严格意义上的，可以是近似三角形、矩形、梯形、五边形或六边形等，可以存在公差导致的一些小变形，可以存在导角、弧边以及变形等。

图 1 为一种显示基板的结构示意图。如图 1 所示,显示基板可以包括时序控制器、数据驱动器、扫描驱动器、发光驱动器和像素阵列,时序控制器分别与数据驱动器、扫描驱动器和发光驱动器连接,数据驱动器分别与多个数据信号线连接,扫描驱动器分别与多个扫描信号线连接,发光驱动器分别与多个发光信号线连接。像素阵列可以包括多个子像素 P_{xij} , i 和 j 可以是自然数,至少一个子像素 P_{xij} 可以包括电路单元和与电路单元连接的发光器件,电路单元可以包括像素驱动电路,像素驱动电路可以分别与扫描信号线、发光信号线和数据信号线连接。在示例性实施方式中,时序控制器可以将适合于数据驱动器的规格的灰度值和控制信号提供到数据驱动器,可以将适合于扫描驱动器的规格的时钟信号、扫描起始信号等提供到扫描驱动器,可以将适合于发光驱动器的规格的时钟信号、发射停止信号等提供到发光驱动器。数据驱动器可以利用从时序控制器接收的灰度值和控制信号来产生将提供到数据信号线的数据电压。例如,数据驱动器可以利用时钟信号对灰度值进行采样,并且以像素行为单位将与灰度值对应的数据电压施加到数据信号线。扫描驱动器可以通过从时序控制器接收时钟信号、扫描起始信号等来产生将提供到扫描信号线的扫描信号。例如,扫描驱动器可以将具有导通电平脉冲的扫描信号顺序地提供到扫描信号线。例如,扫描驱动器可以被构造为移位寄存器的形式,并且可以在时钟信号的控制下顺序地将以导通电平脉冲形式提供的扫描起始信号传输到下一级电路的方式产生扫描信号。发光驱动器可以通过从时序控制器接收时钟信号、发射停止信号等来产生将提供到发光信号线的发射信号。例如,发光驱动器可以将具有截止电平脉冲的发射信号顺序地提供到发光信号线。例如,发光驱动器可以被构造为移位寄存器的形式,并且可以在时钟信号的控制下顺序地将以截止电平脉冲形式提供的发射停止信号传输到下一级电路的方式产生发射信号。

图 2A 为一种显示基板的平面结构示意图一,图 2B 为一种显示基板的平面结构示意图二,图 2C 为一种显示基板的平面结构示意图三。如图 2A 至图 2C 所示,显示基板可以包括以矩阵方式排布的多个像素单元 P ,多个像素单元 P 的至少一个包括出射第一颜色光线的的第一子像素 $P1$ 、出射第二颜色光线的的第二子像素 $P2$ 和出射第三颜色光线的的第三子像素 $P3$,第一子像素 $P1$ 、第二子像素 $P2$ 和第三子像素 $P3$ 均包括像素驱动电路和发光器件。第一子像素 $P1$ 、第二子像素 $P2$ 和第三子像素 $P3$ 中的像素驱动电路分别与扫描信号线、数据信号线和发光信号线连接,像素驱动电路被配置为在扫描信号线和发光信号线的控制下,接收数据信号线传输的数据电压,向所述发光器件输出相应的电流。第一子像素 $P1$ 、第二子像素 $P2$ 和第三子像素 $P3$ 中的发光器件分别与所在子像素的像素驱动电路连接,发光器件被配置为响应所在子像素的像素驱动电路输出的电流发出相应亮度的光。

在示例性实施方式中,第一子像素 $P1$ 可以是出射红色光线的红色子像素 (R),第二子像素 $P2$ 可以是出射蓝色光线的蓝色子像素 (B),第三子像素 $P3$ 可以是出射绿色光线的绿色子像素 (G)。

在示例性实施方式中,子像素的形状可以是矩形状、菱形、五边形或六边形,本公开在此不做限定。

在示例性实施方式中,像素单元可以包括三个子像素,三个子像素可以采用水平并列、竖直并列或品字方式排列,本公开在此不做限定。图 2A 是像素单元包括三个子像素,且三个子像素采用水平并列的方式排列为例进行说明的,图 2B 是像素单元包括三个子像素,且三个子像素采用品字方式排列为例进行说明的。

在示例性实施方式中,像素单元可以包括四个子像素,四个子像素可以采用水平并列、竖直并列、正方形或者钻石型等排列,本公开在此不做限定。图 2C 是像素单元包括四个子像素,且四个子像素采用正方形的方式排列为例进行说明的。

在示例性实施方式中，子像素的形状可以是矩形状、菱形、五边形或六边形，三个子像素可以采用水平并列、竖直并列或品字方式排列，本公开在此不做限定。

图3为一种显示基板的剖面结构示意图，示意了显示基板三个子像素的结构。如图3所示，在垂直于显示基板的平面上，显示基板可以包括设置在基底101上的驱动电路层102、设置在驱动电路层102远离基底101一侧的发光结构层103以及设置在发光结构层103远离基底101一侧的封装结构层104。在一些可能的实现方式中，显示基板可以包括其它膜层，如触控结构层等，本公开在此不做限定。

在示例性实施方式中，基底101可以是柔性基底，或者可以是刚性基底。每个子像素的驱动电路层102可以包括构成像素驱动电路的多个晶体管和存储电容，图3中仅以一个晶体管101和一个电容101A作为示例。发光结构层103可以包括阳极301、像素定义层302、有机发光层303和阴极304，阳极301通过过孔与驱动晶体管210的漏电极连接，有机发光层303与阳极301连接，阴极304与有机发光层303连接，有机发光层303在阳极301和阴极304驱动下出射相应颜色的光线。封装结构层104可以包括叠设的第一封装层401、第二封装层402和第三封装层403，第一封装层401和第三封装层403可以采用无机材料，第二封装层402可以采用有机材料，第二封装层402设置在第一封装层401和第三封装层403之间，可以保证外界水汽无法进入发光结构层103。

在示例性实施方式中，基底可以为刚性基底或柔性基底，其中，刚性基底可以为但不限于玻璃、金属箔片中的一种或多种；柔性基底可以为但不限于聚对苯二甲酸乙二醇酯、对苯二甲酸乙二醇酯、聚醚醚酮、聚苯乙烯、聚碳酸酯、聚芳基酸酯、聚芳酯、聚酰亚胺、聚氯乙烯、聚乙烯、纺织纤维中的一种或多种。

在示例性实施方式中，有机发光层303可以包括发光层（EML）以及如下任意一层或多层：空穴注入层（HIL）、空穴传输层（HTL）、电子阻挡层（EBL）、空穴阻挡层（HBL）、电子传输层（ETL）和电子注入层（EIL）。在示例性实施方式中，所有子像素的空穴注入层、空穴传输层、电子阻挡层、空穴阻挡层、电子传输层和电子注入层中的一层或多层可以是连接在一起的共通层，相邻子像素的发光层可以有少量的交叠，或者可以是隔离的。

在示例性实施方式中，每个子像素的触控结构层可以包括设置在封装结构层上的第一触控绝缘层、设置在第一触控绝缘层上的第一触控金属层、覆盖第一触控金属层的第二触控绝缘层、设置在第二触控绝缘层上的第二触控金属层和覆盖第二触控金属层的触控保护层，第一触控金属层可以包括多个桥接电极，第二触控金属层可以包括多个第一触控电极和第二触控电极，第一触控电极或第二触控电极可以通过过孔与桥接电极连接。

显示基板中像素驱动电路可以包括：驱动晶体管和补偿晶体管，补偿晶体管分别与驱动晶体管的栅电极和漏电极连接，以对驱动晶体管的栅电极进行充电补偿。补偿晶体管为金属氧化物晶体管。显示基板在长时间高温运行后会出现信赖性横纹，而出现信赖性横纹的原因是由于金属氧化物晶体管的正偏置温度应力的影响，使得不同像素驱动电路对驱动晶体管的充电程度不同，进而导致显示基板出现信赖性横纹，使得显示基板的显示效果不均一，影响了显示基板的显示效果。

图4为本公开实施例提供的显示基板的像素驱动电路的等效电路图，图5为图4提供的像素驱动电路的工作时序图一，图6为图4提供的像素驱动电路的工作时序图二，图7为图4提供的像素驱动电路的工作时序图三，图8为图4提供的像素驱动电路的工作时序图四。如图4至图8所示，本公开实施例提供了一种显示基板，显示基板所显示内容包括多个显示帧，显示基板包括：数据单元、阵列排布的像素驱动电路、多条第二复位信号线Reset2和多条第二扫描信号线Gate2。至少一个像素驱动电路包括：驱动晶体管T3、补偿

晶体管 T2 和第三复位晶体管 T8, 其中, 驱动晶体管 T3 分别与第一节点 N1、第二节点 N2 和第三节点 N3 连接, 补偿晶体管 T2 分别与第二扫描信号线 Gate2、第一节点 N1 和第三节点 N3 连接, 第三复位晶体管 T8 分别与第二复位信号线 Reset2 和第二节点 N2 连接。在至少一个显示帧, 数据单元被配置为在一个时间段内向至少一个像素驱动电路所连接的

5 第二复位信号线 Reset2 提供有效电平信号, 且在一个时间段内向至少一个像素驱动电路所连接的

10 第二扫描信号线 Gate2 提供有效电平信号, 或者, 在至少两个时间段向至少一个像素驱动电路所连接的

第二复位信号线 Reset2 提供有效电平信号, 且在至少两个时间段内向至少一个像素驱动电路所连接的

第二扫描信号线 Gate2 提供有效电平信号。图 5 至图 7 是以数据单元被配置为在至少两个时间段向至少一个像素驱动电路所连接的

第二复位信号线 Reset2 提供有效电平信号, 且在至少两个时间段内向至少一个像素驱动电路所连接的

第二扫描信号线 Gate2 提供有效电平信号为例进行说明的。图 8 是以数据单元被配置为在一个时间段内向至少一个像素驱动电路所连接的

第二复位信号线 Reset2 提供有效电平信号, 且在一个时间段内向至少一个像素驱动电路所连接的

第二扫描信号线 Gate2 提供有效电平信号为例进行说明的。

15 在示例性实施方式中, 信号线的有效电平信号指的是可以使得信号线所连接的晶体管处于导通状态的信号。信号线的无效电平信号指的是可以使得信号线所连接的晶体管处于断开状态的信号。

本公开实施例提供的显示基板包括: 第一驱动模式和第二驱动模式, 第一驱动模式的刷新率小于第二驱动模式的刷新率, 例如: 第一驱动模式的刷新率可以为 1HZ-60HZ, 第二驱动模式的刷新率可以为 60HZ-480HZ。显示基板所显示内容包括多个显示帧, 在第一驱动模式下, 显示帧包括: 刷新帧和至少一个保持帧。在第二驱动模式下, 显示帧仅包括: 刷新帧。

在示例性实施方式中, 第一驱动模式可被称为低频驱动模式, 第二驱动模式可被称为高频驱动模式。

25 在示例性实施方式中, 刷新率指显示基板一秒内刷新数据的次数。同一个显示基板设置的第一驱动模式的刷新率是固定的, 不同的显示基板设置的第一驱动模式的刷新率可能不同。其中, 显示基板在第一驱动模式下的刷新率的范围可以为 1Hz~60Hz, 示例性地, 第一驱动模式下的刷新率可以约为 10Hz。

30 在示例性实施方式中, 显示基板为了降低产品功耗, 会采用第一驱动模式和第二驱动模式交替显示功能。在第一驱动模式中, 显示基板在刷新帧中刷新显示数据, 在保持帧中保持在刷新帧中刷新的显示数据。在第二驱动模式中, 一个显示帧可以包括一个刷新帧而不包括保持帧。在第二驱动模式中, 显示基板在刷新帧中刷新显示数据。显示基板在第二驱动模式下的刷新率的范围可以为 60Hz~480Hz, 示例性地, 第一驱动模式下的刷新率可以约为 120Hz。

35 在示例性实施方式中, 数据单元被配置为在刷新帧提供信号。

在示例性实施方式中, 数据单元向至少一个像素驱动电路所连接的

Gate2 提供有效电平信号的时间段与数据单元向至少一个像素驱动电路所连接的

第二扫描信号线 Gate2 提供有效电平信号的至少一个时间段不交叠。

40 在示例性实施方式中, 数据单元被配置为在一个时间段内向至少一个像素驱动电路所连接的

第二复位信号线 Reset2 提供有效电平信号, 且在一个时间段内向至少一个像素驱动电路所连接的

第二扫描信号线 Gate2 提供有效电平信号, 可以通过减少数据单元向至少一个像素驱动电路所连接的

第二复位信号线 Reset2 提供有效电平信号的时间来减少向至

少一个像素驱动电路所连接的第二扫描信号线 Gate2 提供有效电平信号的时间,也就是减少了补偿晶体管的导通时间,或者,数据单元被配置为在至少两个时间段向至少一个像素驱动电路所连接的第二复位信号线 Reset2 提供有效电平信号,且在至少两个时间段内向至少一个像素驱动电路所连接的第二扫描信号线 Gate2 提供有效电平信号,可以通过在至少两个时间段内向至少一个像素驱动电路所连接的第二扫描信号线 Gate2 提供有效电平信号,减少向至少一个像素驱动电路所连接的第二扫描信号线 Gate2 提供有效电平信号的时间,也就是减少了补偿晶体管的导通时间,进而减少显示基板高温运行时导致的补偿晶体管的正偏置温度应力,保证至少一个像素驱动电路的第一节点的信号的一致性,避免显示基板产生信赖性横纹,保证了显示基板的显示均一性,提升了显示基板的显示效果图4

5 为本公开实施例提供的显示基板的像素驱动电路的等效电路图,图5为图4提供的像素驱动电路的工作时序图一,图6为图4提供的像素驱动电路的工作时序图二,图7为图4提供的像素驱动电路的工作时序图三,图8为图4提供的像素驱动电路的工作时序图四。

如图4所示,像素驱动电路可以包括8个晶体管(第一复位晶体管T1、补偿晶体管T2、驱动晶体管T3、写入晶体管T4、第一发光晶体管T5、第二发光晶体管T6、第二复位晶体管T7和第三复位晶体管T8)和一个电容C。

在示例性实施方式中,显示基板还可以包括:多条第二扫描信号线 Gate2、多条第一复位信号线 Reset1、多条第二复位信号线 Reset2、多条发光信号线 EM、多条第一初始信号线 Vinit1、多条第二初始信号线 Vinit2、多条第三初始信号线 Vinit3 和 多条第一电源线 VDD。

在示例性实施方式中,扫描信号线可以包括:第一扫描信号线 Gate1、第二扫描信号线 Gate2、第一复位信号线 Reset1 和第二复位信号线 Reset2。

在示例性实施方式中,如图4所示,电容C的一端与第一节点N1电连接,电容C的另一端与第一电源线VDD电连接。第一复位晶体管T1的控制极与第一复位信号线 Reset1 电连接,第一复位晶体管T1的第一极与第一初始信号线 Vinit1 电连接,第一复位晶体管T1的第二极与三节点N3电连接。补偿晶体管T2的控制极与第二扫描信号线 Gate2 电连接,补偿晶体管T2的第一极与第一节点N1电连接,补偿晶体管T2的第二极与第二节点N2电连接。驱动晶体管T3的控制极与第一节点N1电连接,驱动晶体管T3的第一极与第二节点N2电连接,驱动晶体管T3的第二极与第三节点N3电连接。写入晶体管T4的控制极与第一扫描信号线 Gate1 电连接,写入晶体管T4的第一极与数据信号线 Data 电连接,写入晶体管T4的第二极与第二节点N2电连接。第一发光晶体管T5的控制极与发光信号线 EM 电连接,第一发光晶体管T5的第一极与第一电源线VDD电连接,第一发光晶体管T5的第二极与第二节点N2电连接。第二发光晶体管T6的控制极与发光信号线 EM 电连接,第二发光晶体管T6的第一极与第三节点N3电连接,第二发光晶体管T6的第二极与第四节点N4电连接。第二复位晶体管T7的控制极与第二复位信号线 Reset2 电连接,第二复位晶体管T7的第一极与第二初始信号线 Vinit2 电连接,第二复位晶体管T7的第二极与第四节点N4电连接。第三复位晶体管T8的控制极与第二复位信号线 Reset2 电连接,第三复位晶体管T8的第一极与第三初始信号线 Vinit3 电连接,第三复位晶体管T8的第二极与第二节点N2电连接。

在示例性实施方式中,第二复位晶体管T7所连接的第二复位信号线 Reset2 和第三复位晶体管T8所连接的第二复位信号线 Reset2 可以为同一信号线,或者可以为信号相同的不同信号线,本公开对此不做任何限定。

在示例性实施方式中,如图4所示,显示基板还可以包括:第二电源线VSS。发光器件L可以与第四节点N4和第二电源线VSS电连接。

在示例性实施方式中，发光元件 L 可以是有机电致发光二极管（OLED）或者量子点发光二极管（QLED）。其中，OLED 可以包括叠设的第一极（阳极）、有机发光层和第二极（阴极），OLED 的第一极与第四节点 N4 连接，OLED 的第二极与第二电源线 VSS 电连接。

5 在示例性实施方式中，第一电源线 VDD 的信号为持续提供高电平信号，第二电源线 VSS 的信号为低电平信号。

在示例性实施方式中，当第一复位信号线 Reset1 提供有效电平信号时，第一复位晶体管 T1 将第一初始信号线 Vinit1 的第一初始信号后传输到第三节点 N3，以使第三节点 N3 的电荷量初始化。

10 在示例性实施方式中，当第二扫描信号线 Gate2 提供有效电平信号时，补偿晶体管 T2 将第三节点 N3 的信号传输至第一节点 N1，可以对驱动晶体管 T3 进行阈值补偿或者对第一节点 N1 的电荷量初始化。

在示例性实施方式中，驱动晶体管 T3 根据控制极与第一极之间的电位差来确定在第一电源线 VDD 与第二电源线 VSS 之间流动的驱动电流。

15 在示例性实施方式中，当第一扫描信号线 Gate1 输入有效电平信号时，写入晶体管 T4 使数据信号线 Data 的数据电压输入到第二节点 N2

在示例性实施方式中，当发光信号线 EM 输入有效电平信号时，第一发光晶体管 T5 和第二发光晶体管 T6 通过在第一电源线 VDD 与第二电源线 VSS 之间形成驱动电流路径而使发光元件发光。

20 在示例性实施方式中，第二复位晶体管 T7 可以称为阳极复位晶体管，当第二复位信号线 Reset2 提供有效电平信号时，第二复位晶体管 T7 将第二初始信号线 Vinit2 的第二初始信号传输到发光元件 L 的阳极，以使发光元件的阳极的电荷量初始化。

在示例性实施方式中，第三复位晶体管 T8 可以称为第二节点复位晶体管，当第二复位信号线 Reset2 提供有效电平信号时，第三复位晶体管 T8 将第三初始信号线 Vinit3 的第三初始信号传输至第二节点 N2，可以将第二节点 N2 的电荷量初始化。

25 在示例性实施方式中，按照晶体管的特性区分可以将晶体管分为 N 型晶体管和 P 型晶体管。当晶体管为 P 型晶体管时，开启电压为低电平电压（例如，0V、-5V、-10V 或其它合适的电压），关闭电压为高电平电压（例如，5V、10V 或其它合适的电压）。当晶体管为 N 型晶体管时，开启电压为高电平电压（例如，5V、10V 或其它合适的电压），关闭电压为低电平电压（例如，0V、-5V、-10V 或其它合适的电压）。

在示例性实施方式中，至少一个像素驱动电路中的至少一个晶体管为 P 型晶体管或者 N 型晶体管，第一发光晶体管 T5 和第二发光晶体管 T6 的晶体管类型相同，第二复位晶体管 T7 和第三复位晶体管 T8 的晶体管类型相同。图 4 是以补偿晶体管 T2 为 N 型晶体管，其余晶体管为 P 型晶体管为例进行说明的。

35 在示例性实施方式中，第一复位晶体管 T1 可以为 P 型晶体管或者 N 型晶体管。示例性地，P 型晶体管可以为低温多晶硅晶体管，N 型晶体管可以为金属氧化物晶体管。

在示例性实施方式中，补偿晶体管 T2 可以为 N 型晶体管，N 型晶体管可以减少漏电流，提升像素驱动电路的性能，可以降低像素驱动电路的功耗。

40 在示例性实施方式中，像素驱动电路中的所有晶体管为 P 型晶体管和 N 型晶体管时，显示基板中所用的是低温多晶氧化物结合（Low Temperature +Poly-Silicon，简称 LTPS）技术，相比于 LTPS 技术，LTPO 技术的漏电流更小，像素反应更快，显示基板多加了一

层氧化物，降低了激发像素所需的能耗，从而降低屏幕显示时的功耗。

在示例性实施方式中，至少一个像素驱动电路所连接的第一初始信号线 Vinit1 在刷新帧和保持帧提供第一初始信号，第一初始信号为直流信号，且第一初始信号的电压值恒定。

- 5 在示例性实施方式中，至少一个像素驱动电路所连接的第二初始信号线 Vinit2 在刷新帧和保持帧提供第二初始信号，第二初始信号为直流信号，且第二初始信号的电压值恒定。

- 10 在示例性实施方式中，至少一个像素驱动电路所连接的第三初始信号线 Vinit3 在刷新帧和保持帧提供第三初始信号，第三初始信号为直流信号，且第三初始信号的电压值恒定。示例性地，第三初始信号线 Vinit3 提供的第三初始信号的电压值可以约为第一电源线 VDD 的信号的电压值。第三初始信号的电压值可以约为 5 伏特至 8 伏特。

- 15 在示例性实施方式中，如图 5 至图 8 所示，在至少一个显示帧，数据单元被配置为在第一时间段 t1 向至少一个像素驱动电路所连接的第一扫描信号线 Gate1 提供有效电平信号，在第二时间段 t2 向至少一个像素驱动电路所连接的第一复位信号线 Reset1 提供有效电平信号，在第三时间段 t3 向至少一个像素驱动电路所连接的发光信号线 EM 提供有效电平信号，在第四时间段 t4 向至少一个像素驱动电路所连接的第一扫描信号线 Gate1、第二扫描信号线 Gate2、第一复位信号线 Reset1、第二复位信号线 Reset2 和发光信号线 EM 提供无效电平信号。其中，第二时间段 t2 发生在第一时间段 t1 之前，且第二时间段 t2 的结束时间发生在第一时间段 t1 的开始时间之前，第一时间段 t1 发生在第四时间段 t4 之前，
20 且第一时间段 t1 的结束时间发生在第四时间段 t4 的开始之前，第四时间段 t4 发生在第三时间段 t3 之前，且第四时间段 t4 的结束时间为第三时间段 t3 的开始时间。

- 25 在示例性实施方式中，如图 5 至图 8 所示，至少一个像素驱动电路所连接的第二扫描信号线 Gate2 的信号为有效电平信号的至少一个时间段与第一时间段 t1 和第二时间段 t2 中的至少一个时间段至少部分交叠，且与第三时间段 t3 和第四时间段 t4 中的至少一个时间段不交叠；

在示例性实施方式中，如图 5 至图 8 所示，至少一个像素驱动电路所连接的第二复位信号线 Reset2 的信号的有效电平信号的至少一个时间段与第一时间段 t1、第二时间段 t2、第三时间段 t3 和第四时间段 t4 中的至少一个时间段不交叠。

- 30 在示例性实施方式中，如图 8 所示，在数据单元在一个时间段内向至少一个像素驱动电路所连接的第二复位信号线 Reset2 提供有效电平信号，且在一个时间段内向至少一个像素驱动电路所连接的第二扫描信号线 Gate2 提供有效电平信号的状态下，第六时间段 t6 分别与第一时间段 t1 和第二时间段 t2 至少部分交叠，第五时间段 t5 发生在第六时间段 t6 之后。其中，第五时间段 t5 为数据单元向至少一个像素驱动电路所连接的第二复位信号线 Reset2 提供有效电平信号的时间段，第六时间段 t6 为数据单元向至少一个像素驱动电
35 路所连接的第二扫描信号线 Gate2 提供有效电平信号的时间段。

在示例性实施方式中，如图 8 所示，第六时间段 t6 的持续时间大于第一时间段 t1 的持续时间和第二时间段 t2 的持续时间之和；第一时间段 t1 和第二时间段 t2 位于第六时间段 t6 之内。

- 40 在示例性实施方式中，如图 8 所示，第六时间段 t6 的开始时间发生在第二时间段 t2 的开始时间之前，第六时间段 t6 的结束时间发生在第一时间段 t1 的结束时间之后，且在第五时间段 t5 的开始时间之前，第五时间段 t5 的结束时间为第四时间段 t4 的开始时间。

在示例性实施方式中，第六时间段的持续时长可以大于 18H。

在示例性实施方式中，如图 8 所示，数据单元还被配置为在第一时间段 t1 向至少一个像素驱动电路所连接的第一复位信号线 Reset1、第二复位信号线 Reset2 和发光信号线 EM 提供无效电平信号，在第二时间段 t2 向至少一个像素驱动电路所连接的第二复位信号线 Reset2、第一扫描信号线 Gate1 和发光信号线 EM 提供无效电平信号，在第三时间段 t3 向至少一个像素驱动电路所连接的第一复位信号线 Reset1、第二复位信号线 Reset2、第一扫描信号线 Gate1 和第二扫描信号线 Gate2 提供无效电平信号，在第五时间段 t5 向至少一个像素驱动电路所连接的第一复位信号线 Reset1、第一扫描信号线 Gate1、第二扫描信号线 Gate2 和发光信号线 EM 提供无效电平信号。

本公开通过减少数据单元向至少一个像素驱动电路所连接的第二复位信号线提供有效电平信号的时间段来减少向至少一个像素驱动电路所连接的第二扫描信号线提供有效电平的信号的时间，可以减少补偿晶体管的的正偏置温度应力，提升显示基板的显示均一性，还可以不影响显示基板的显示效果的前提下，提升显示基板显示低灰阶显示画面的显示效果。

在示例性实施方式中，如图 8 所示，在至少一个显示帧，至少一个像素驱动电路所连接的第一复位信号线 Reset1 的信号为单次脉冲信号，至少一个像素驱动电路所连接的第二复位信号线 Reset2 的信号为单次脉冲信号，至少一个像素驱动电路所连接的第一扫描信号线 Gate1 的信号为单次脉冲信号，至少一个像素驱动电路所连接的第二扫描信号线 Gate2 的信号为单次脉冲信号，至少一个像素驱动电路所连接的发光信号线 EM 的信号为单次脉冲信号。

在示例性实施方式中，如图 5 所示，在数据单元在两个时间段内向至少一个像素驱动电路所连接的第二复位信号线 Reset2 提供有效电平信号，且在两个时间段内向至少一个像素驱动电路所连接的第二扫描信号线 Gate2 提供有效电平信号的状态下，第七时间段 t7 与第五时间段 t5 至少部分交叠，第八时间段 t8 分别与第一时间段 t1 和第二时间段 t2 至少部分交叠，第六时间段 t6 发生在第八时间段 t8 之后。其中，第五时间段 t5 和第六时间段 t6 为数据单元向至少一个像素驱动电路所连接的第二复位信号线 Reset2 提供有效电平信号的时间段，且第五时间段 t5 发生在第六时间段 t6 之前，第七时间段 t7 和第八时间段 t8 为数据单元向至少一个像素驱动电路所连接的第二扫描信号线 Gate2 提供有效电平信号的时间段，且第七时间段 t7 发生在第八时间段 t8 之前。

在示例性实施方式中，如图 5 所示，第七时间段 t7 的持续时间大于第五时间段 t5 的持续时间，第八时间段 t8 的持续时间大于第一时间段 t1 的持续时间和第二时间段 t2 的持续时间之和；第五时间段 t5 位于第七时间段 t7 之内，第一时间段 t1 和第二时间段 t2 位于第八时间段 t8 之内。

在示例性实施方式中，如图 5 所示，第七时间段 t7 的开始时间发生在第五时间段 t5 的开始时间之前，第七时间段 t7 的结束时间发生在第五时间段 t5 的开始时间之后，第八时间段 t8 的开始时间发生在第二时间段 t2 的开始时间之前，第八时间段 t8 的结束时间发生在第一时间段 t1 的结束时间之后，且在第六时间段 t6 的开始时间之前，第六时间段 t6 的结束时间为第四时间段 t4 的开始时间。

在示例性实施方式中，如图 5 所示，第八时间段 t8 的持续时间大于第七时间段 t7 的持续时间，第七时间段 t7 的持续时间大于第九时间段 t9 的持续时间的两倍，第九时间段 t9 的开始时间为第七时间段 t7 的结束时间，第九时间段 t9 的结束时间为第八时间段 t8 的开始时间。数据单元在第九时间段 t9 向至少一个像素驱动电路所连接的第一扫描信号线 Gate1、第二扫描信号线 Gate2、第一复位信号线 Reset1、第二复位信号线 Reset2 和发光信号线 EM 提供无效电平信号。

在示例性实施方式中，在第七时间段 t7 的开始时间与第八时间段 t8 的结束时间之间的持续时间为 38H 的状态下，第七时间段 t7 的持续时间可以为 14H，第八时间段 t8 的持续时间可以为 18H，第九时间段的持续时长可以为 6H，第七时间段、第八时间段和第九时间段的时长可以根据显示基板的显示状态限定，本公开对此不做任何限定。

5 图 5 提供的像素驱动电路的工作过程，通过数据单元向至少一个像素驱动电路所连接的第二扫描信号线 Gate2 在两个不连续的时间段提供有效电平信号，可以减少补偿晶体管的正偏置温度应力，提升显示基板的显示均一性。

10 在示例性实施方式中，如图 6 所示，在数据单元在两个时间段内向至少一个像素驱动电路所连接的第二复位信号线 Reset2 提供有效电平信号，且在两个时间段内向至少一个像素驱动电路所连接的第二扫描信号线 Gate2 提供有效电平信号的状态下，第七时间段 t7 分别与第五时间段 t5 和第二时间段 t2 至少部分交叠，第八时间段 t8 与第一时间段 t1 至少部分交叠，第六时间段 t6 发生在第八时间段 t8 之后。其中，第五时间段 t5 和第六时间段 t6 为数据单元向至少一个像素驱动电路所连接的第二复位信号线 Reset2 提供有效电平信号的时间段，且第五时间段 t5 发生在第六时间段 t6 之前，第七时间段 t7 和第八时间段 t8 为数据单元向至少一个像素驱动电路所连接的第二扫描信号线 Gate2 提供有效电平信号的时间段，且第七时间段 t7 发生在第八时间段 t8 之前。

20 在示例性实施方式中，如图 6 所示，第七时间段 t7 的持续时间大于第五时间段 t5 的持续时间和第二时间段 t2 的持续时间之和，第八时间段 t8 的持续时间大于第一时间段 t1 的持续时间。第二时间段 t2 和第五时间段 t5 位于第七时间段 t7 之内，第一时间段 t1 位于第八时间段 t8 之内。

25 在示例性实施方式中，如图 6 所示，第七时间段 t7 的开始时间发生在第五时间段 t5 的开始时间之前，第七时间段 t7 的结束时间发生在第二时间段 t2 的结束时间之后，第八时间段 t8 的开始时间发生在第一时间段 t1 的开始时间之前，第八时间段 t8 的结束时间发生在第一时间段 t1 的结束时间之后，且在第六时间段 t6 的开始时间之前，第六时间段 t6 的结束时间为第四时间段 t4 的开始时间。

在示例性实施方式中，如图 6 所示，第七时间段 t7 的持续时间大于第八时间段 t8 的持续时间的四倍，且大于第九时间段 t9 的持续时间的四倍，第九时间段 t9 的开始时间为第七时间段 t7 的结束时间，第九时间段 t9 的结束时间为第八时间段 t8 的开始时间。

30 在示例性实施方式中，如图 6 所示，在第七时间段 t7 的开始时间与第八时间段 t8 的结束时间之间的持续时间为 38H 的状态下，第七时间段 t7 的持续时间可以为 26H，第八时间段 t8 的持续时间可以为 6H，第九时间段 t9 的持续时间可以为 6H。

图 6 提供的像素驱动电路的工作过程，通过数据单元向至少一个像素驱动电路所连接的第二扫描信号线 Gate2 在两个不连续的时间段提供有效电平信号，可以减少补偿晶体管的正偏置温度应力，提升显示基板的显示均一性。

35 在示例性实施方式中，如图 5 和图 6 所示，在至少一个显示帧，至少一个像素驱动电路所连接的第一复位信号线 Reset1 的信号为单次脉冲信号，至少一个像素驱动电路所连接的第二复位信号线 Reset2 的信号为两次脉冲信号，至少一个像素驱动电路所连接的第一扫描信号线 Gate1 的信号为单次脉冲信号，至少一个像素驱动电路所连接的第二扫描信号线 Gate2 的信号为两次脉冲信号，至少一个像素驱动电路所连接的发光信号线 EM 的信号为单次脉冲信号。

40 在示例性实施方式中，如图 7 所示，在数据单元在两个时间段内向至少一个像素驱动电路所连接的第二复位信号线 Reset2 提供有效电平信号，且在两个时间段内向至少一个

像素驱动电路所连接的第二扫描信号线 Gate2 提供有效电平信号的状态下,第七时间段 t7 与第五时间段 t5 至少部分交叠,第八时间段 t8 与第二时间段 t2 至少部分交叠,第九时间段 t9 与第一时间段 t1 至少部分交叠,第六时间段 t6 发生在第九时间段 t9 和第四时间段 t4 之间。其中,第五时间段 t5 和第六时间段 t6 为数据单元向至少一个像素驱动电路所连接的

5 第二复位信号线 Reset2 提供有效电平信号的时间段,且第五时间段 t5 发生在第六时间段 t6 之前,第七时间段 t7、第八时间段 t8 和第九时间段 t9 为数据单元向至少一个像素驱动电路所连接的第二扫描信号线 Gate2 提供有效电平信号的时间段,且第七时间段 t7 发生在第八时间段 t8 之前,第八时间段 t8 发生在第九时间段 t9 之前。

在示例性实施方式中,如图 7 所示,第七时间段 t7 的持续时间大于第五时间段 t5 的持续时间,第八时间段 t8 的持续时间大于第二时间段 t2 的持续时间,第九时间段 t9 的持续时间大于第一时间段 t1 的持续时间。第五时间段 t5 位于第七时间段 t7 之内,第二时间段 t2 位于第八时间段 t8 之内,第一时间段 t1 位于第九时间段 t9 之内。

10

在示例性实施方式中,如图 7 所示,第七时间段 t7 的开始时间发生在第五时间段 t5 的开始时间之前,第七时间段 t7 的结束时间发生在第五时间段 t5 的结束时间之后,第八时间段 t8 的开始时间发生在第二时间段 t2 的开始时间之前,第八时间段 t8 的结束时间发生在第二时间段 t2 的结束时间之后,第九时间段 t9 的开始时间发生在第一时间段 t1 的开始时间之前,第九时间段 t9 的结束时间发生在第一时间段 t1 的结束时间之后,且在第六时间段 t6 的开始时间之前,第六时间段 t6 的结束时间为第四时间段 t4 的开始时间。

15

在示例性实施方式中,如图 7 所示,第七时间段 t7 和第八时间段 t8 中的至少一个时间段的持续时间大于第九时间段 t9 的持续时间,且大于第十时间段 t10 和第十一时间段 t11 中的至少一个时间段的持续时间,第十时间段 t10 的开始时间为第七时间段 t7 的结束时间,第十时间段 t10 的结束时间为第八时间段 t8 的开始时间,第十一时间段 t11 的开始时间为第八时间段 t8 的结束时间,第十一时间段 t11 的结束时间为第九时间段 t9 的开始时间。

20

在示例性实施方式中,在第七时间段 t7 的开始时间与第八时间段 t8 的结束时间之间的持续时间为 38H 的状态下,第七时间段 t7 的持续时间可以为 10H,第十时间段 t10 的持续时间可以为 6H,第八时间段 t8 的持续时间可以为 10H,第十一时间段 t11 的持续时间可以为 6H,第九时间段 t9 的持续时间可以为 6H。

25

在示例性实施方式中,第七时间段 t7 的持续时间可以大于 10H。第十时间段 t10 的持续时间可以大于 6H,第八时间段 t8 的持续时间可以大于 10H,第十一时间段 t11 的持续时间可以大于 6H,第九时间段 t9 的持续时间可以大于 6H。

30

在示例性实施方式中,如图 7 所示,数据单元在第十时间段 t10 和第十一时间段 t11 向至少一个像素驱动电路所连接的第一扫描信号线 Gate1、第二扫描信号线 Gate2、第一复位信号线 Reset1、第二复位信号线 Reset2 和发光信号线 EM 提供无效电平信号。

在示例性实施方式中,如图 7 所示,在至少一个显示帧,至少一个像素驱动电路所连接的第一复位信号线 Reset1 的信号为单次脉冲信号,至少一个像素驱动电路所连接的第二复位信号线 Reset2 的信号为两次脉冲信号,至少一个像素驱动电路所连接的第一扫描信号线 Gate1 的信号为单次脉冲信号,至少一个像素驱动电路所连接的第二扫描信号线 Gate2 的信号为三次脉冲信号,至少一个像素驱动电路所连接的发光信号线 EM 的信号为单次脉冲信号。

35

40

图 7 提供的像素驱动电路的工作过程,通过数据单元向至少一个像素驱动电路所连接的第二扫描信号线 Gate2 在三个不连续的时间段提供有效电平信号,可以减少补偿晶体管

的正偏置温度应力，提升显示基板的显示均一性。

在示例性实施方式中，如图 5 至图 7 所示，数据单元还被配置为在第一时间段 t1 向至少一个像素驱动电路所连接的第一复位信号线 Reset1、第二复位信号线 Reset2 和发光信号线 EM 提供无效电平信号，在第二时间段 t2 向至少一个像素驱动电路所连接的第二复位信号线 Reset2、第一扫描信号线 Gate1 和发光信号线 EM 提供无效电平信号，在第三时间段 t3 向至少一个像素驱动电路所连接的第一复位信号线 Reset1、第二复位信号线 Reset2、第一扫描信号线 Gate1 和第二扫描信号线 Gate2 提供无效电平信号，在第五时间段 t5 向至少一个像素驱动电路所连接的第一复位信号线 Reset1、第一扫描信号线 Gate1 和发光信号线 EM 提供无效电平信号，在第六时间段 t6 向至少一个像素驱动电路所连接的第一复位信号线 Reset1、第一扫描信号线 Gate1、第二扫描信号线 Gate2 和发光信号线 EM 提供无效电平信号。

在示例性实施方式中，以像素驱动电路为图 4 为例，结合图 4 至图 5 所示，补偿晶体管 T2 为 N 型晶体管、第一复位晶体管 T1、驱动晶体管 T3、写入晶体管 T4、第一发光晶体管 T5、第二发光晶体管 T6、第二复位晶体管 T7 和第八复位晶体管 T8 为 P 型晶体管为例说明一种示例性实施例提供的像素驱动电路的工作过程，如图 5 所示，在至少一个显示帧的刷新帧中，至少一个像素驱动电路的工作过程可以包括：第一阶段 S11、第二阶段 S12、第三阶段 S13、第四阶段 S14、第五阶段 S15 和第六阶段 S16，其中，第一阶段 S11 为第五时间段 t5 所在的阶段，第二阶段 S12 为第二时间段 t2 所在的阶段，第三阶段 S13 为第一时间段 t1 所在的阶段，第四阶段 S14 为第六时间段 t6 所在的阶段，第五阶段 S15 为第四时间段 t4 所在的阶段，第六阶段 S16 为第三时间段 t3 所在的阶段。

第一阶段 S11、即第一初始化阶段，第一扫描信号线 Gate1、第二扫描信号线 Gate2、第一复位信号线 Reset1 和发光信号线 EM 的信号均为高电平信号，第二复位信号线 Reset2 的信号为低电平信号。第二复位信号线 Reset2 的信号为低电平信号，第二复位晶体管 T7 和第三复位晶体管 T8 导通，第二初始信号线 Vinit2 的第二初始信号写入第四节点 N4，对第四节点 N4（也就是发光器件的第一极）进行初始化（复位），清空其内部的预存电压，完成初始化，由于驱动晶体管 T3 导通，第三初始信号线 Vinit3 的第三初始信号写入第二节点 N2 和第三节点 N3，对第二节点 N2 和第三节点 N3 进行初始化（复位），清空其内部的预存电压，完成初始化。第二扫描信号线 Gate2 信号为高电平信号，补偿晶体管 T2 导通，第三节点 N3 的信号写入第一节点 N1，对第一节点 N1 进行初始化（复位），清空其内部的预存电压，完成初始化，本阶段，驱动晶体管 T3 导通。第一扫描信号线 Gate1、第二复位信号线 Reset2 和发光信号线 EM 的信号为高电平信号，写入晶体管 T4、第一发光晶体管 T5、第二发光晶体管 T6、第二复位晶体管 T7 和第三复位晶体管 T8 断开。此阶段，发光元件 L 不发光。

第二阶段 S12、即第二初始化阶段，第一扫描信号线 Gate1、第二扫描信号线 Gate2、第二复位信号线 Reset2 和发光信号线 EM 的信号均为高电平信号，第一复位信号线 Reset1、的信号为低电平信号。第一复位信号线 Reset1 的信号为低电平信号，第一复位晶体管 T1 导通，第一初始信号线 Vinit1 的第一初始信号写入第三节点 N3，对第三节点 N3 进行初始化（复位），清空其内部的预存电压，完成初始化，由于第二扫描信号线 Gate2 的信号为高电平信号，补偿晶体管 T2 导通，第三节点 N3 的信号持续写入第一节点 N1，对第一节点 N1 进行初始化（复位），清空其内部的预存电压，完成初始化。第一扫描信号线 Gate1、第二复位信号线 Reset2 和发光信号线 EM 的信号均为高电平信号，写入晶体管 T4、第二复位晶体管 T7、第三复位晶体管 T8、第一发光晶体管 T5 和第六发光晶体管 T6 断开。此阶段，发光元件 L 不发光。

第三阶段 S13、即数据写入阶段，第二扫描信号线 Gate2、第一复位信号线 Reset1、第二复位信号线 Reset2 和发光信号线 EM 的信号均为高电平信号，第一扫描信号线 Gate1 的信号为低电平信号，数据信号线 Data 写入数据电压。第一扫描信号线 Gate1 的信号为低电平信号，写入晶体管 T4 导通，第二扫描信号线 Gate2 的信号为高电平信号，补偿晶体管 T2 导通，数据信号线 Data 输出的数据电压经过导通的写入晶体管 T4、第二节点 N2、导通的驱动晶体管 T3、第三节点 N3、导通的补偿晶体管 T2 写入至第一节点 N1，并将数据信号线 Data 输出的第二数据电压与驱动晶体管 T3 的阈值电压之差充入电容 C，直至第一节点 N1 的电压为 $V_{data}-|V_{th}|$ ， V_{data} 为数据信号线 Data 输出的数据电压， V_{th} 为驱动晶体管 T3 的阈值电压。第一复位信号线 Reset1、第二复位信号线 Reset2 和发光信号线 EM 的信号均为高电平信号，第一复位晶体管 T1、第二复位晶体管 T7、第三复位晶体管 T8、第一发光晶体管 T5 和第六发光晶体管 T6 断开。此阶段，发光元件 L 不发光。此阶段，发光元件 L 不发光。

第四阶段 S14、即第三初始化阶段，第一扫描信号线 Gate1、第一复位信号线 Reset1 和发光信号线 EM 的信号均为高电平信号，第二扫描信号线 Gate2 和第二复位信号线 Reset2 的信号为低电平信号。第二复位信号线 Reset2 的信号为低电平信号，第二复位晶体管 T7 和第三复位晶体管 T8 导通，第二初始信号线 Vinit2 的第二初始信号写入第四节点 N4，对第四节点 N4（也就是发光器件的第一极）进行初始化（复位），清空其内部的预存电压，完成初始化，由于驱动晶体管 T3 导通，第三初始信号线 Vinit3 的第三初始信号写入第二节点 N2 和第三节点 N3，对第二节点 N2 和第三节点 N3 进行初始化（复位），清空其内部的预存电压，完成初始化。第一复位信号线 Reset1、第一扫描信号线 Gate1 和发光信号线 EM 的信号均为高电平信号，第二扫描信号线 Gate2 的信号为高电平信号，补偿晶体管 T2、写入晶体管 T4、第一复位晶体管 T1、第一发光晶体管 T5 和第六发光晶体管 T6 断开。此阶段，发光元件 L 不发光。此阶段，发光元件 L 不发光。

第五阶段 S15、即保持阶段，第一扫描信号线 Gate1、第一复位信号线 Reset1、第二复位信号线 Reset2 和发光信号线 EM 的信号均为高电平信号，第二扫描信号线 Gate2 的信号为低电平信号。第一扫描信号线 Gate1、第一复位信号线 Reset1、第二复位信号线 Reset2 和发光信号线 EM 的信号均为高电平信号，第二扫描信号线 Gate2 的信号为低电平信号，第一复位晶体管 T1、补偿晶体管 T2、写入晶体管 T4、第一发光晶体管 T5、第六发光晶体管 T6、第二复位晶体管 T7 和第三复位晶体管 T8 断开，本阶段，驱动晶体管 T3 导通，可以使得第三初始信号线 Vinit3 的第三初始信号有足够的时间可以作用到驱动晶体管 T3 的第一极和第二极，本阶段，第一节点 N1 的信号的电压值大于第二节点 N2 的信号的电压值，使得驱动晶体管 T3 可以长时间处于偏压状态，从而改善驱动晶体管 T3 的磁滞状态，进而改善显示基板的低频闪烁问题。

第六阶段 S16、即发光阶段，第一扫描信号线 Gate1、第一复位信号线 Reset1 和第二复位信号线 Reset2 的信号均为高电平信号，第二扫描信号线 Gate2 和发光信号线 EM 的信号为低电平信号。发光信号线 EM 的信号为低电平信号，第一发光晶体管 T5 和第六发光晶体管 T6 导通，第一电源线 VDD 输出的电源电压通过导通的第一发光晶体管 T5、驱动晶体管 T3 和第六发光晶体管 T6 向第四节点 N4 提供驱动电压，驱动发光器件 L 发光。

在像素驱动电路刷新帧的驱动过程中，流过驱动晶体管 T3 的驱动电流由控制极和第一极之间的电压差决定。由于第一节点 N1 的电压为 $V_{data}-|V_{th}|$ ，因而驱动晶体管 T3 的驱动电流为：

$$I=K*(V_{gs}-V_{th})^2=K*[(V_{dd}-V_{data}+|V_{th}|)-V_{th}]^2=K*[(V_{dd}-V_{data})^2$$

其中，I 为流过驱动晶体管 T3 的驱动电流，也就是驱动发光器件 L 的驱动电流，K

为常数, V_{gs} 为驱动晶体管 T3 的控制极和第一极之间的电压差, V_{th} 为驱动晶体管 T3 的阈值电压, V_{data} 为数据信号线 Data 输出的第二数据电压, V_{dd} 为第一电源端 VDD 输出的电源电压。

在示例性实施方式中,图 6 和图 7 提供的像素驱动电路的驱动方法与图 5 提供的像素驱动电路的驱动方法,在第五时间段、第二时间段、第一时间段、第六时间段、第四时间段和第三时间段,像素驱动电路所连接的第一扫描信号线、第二扫描信号线、第一复位信号线、第二复位信号线和发光信号线的信号相同,因此,像素驱动电路的工作过程均相同,本公开对此不做任何限定。

在示例性实施方式中,以像素驱动电路为图 4 为例,结合图 4 和图 8 所示,补偿晶体管 T2 为 N 型晶体管、第一复位晶体管 T1、驱动晶体管 T3、写入晶体管 T4、第一发光晶体管 T5、第二发光晶体管 T6、第二复位晶体管 T7 和第八复位晶体管 T8 为 P 型晶体管为例说明一种示例性实施例提供的像素驱动电路的工作过程,如图 8 所示,在至少一个显示帧的刷新帧中,至少一个像素驱动电路的工作过程可以包括:第一阶段 S21、第二阶段 S22、第三阶段 S23、第四阶段 S24 和第五阶段 S25,其中,第一阶段 S21 为第二时间段 t2 所在的阶段,第二阶段 S22 为第一时间段 t1 所在的阶段,第三阶段 S23 为第五时间段 t5 所在的阶段,第四阶段 S24 为第四时间段 t4 所在的阶段,第五阶段 S25 为第三时间段 t3 所在的阶段。

第一阶段 S21、即第一初始化阶段,第一扫描信号线 Gate1、第二扫描信号线 Gate2、第二复位信号线 Reset2 和发光信号线 EM 的信号均为高电平信号,第一复位信号线 Reset1 的信号为低电平信号。第一复位信号线 Reset1 的信号为低电平信号,第一复位晶体管 T1 导通,第一初始信号线 Vinit1 的第一初始信号写入第三节点 N3,对第三节点 N3 进行初始化(复位),清空其内部的预存电压,完成初始化,由于第二扫描信号线 Gate2 的信号为高电平信号,补偿晶体管 T2 导通,第三节点 N3 的信号持续写入第一节点 N1,对第一节点 N1 进行初始化(复位),清空其内部的预存电压,完成初始化。第一扫描信号线 Gate1、第二复位信号线 Reset2 和发光信号线 EM 的信号均为高电平信号,写入晶体管 T4、第二复位晶体管 T7、第三复位晶体管 T8、第一发光晶体管 T5 和第六发光晶体管 T6 断开。此阶段,发光元件 L 不发光。

第二阶段 S22、即数据写入阶段,第二扫描信号线 Gate2、第一复位信号线 Reset1、第二复位信号线 Reset2 和发光信号线 EM 的信号均为高电平信号,第一扫描信号线 Gate1 的信号为低电平信号,数据信号线 Data 写入数据电压。第一扫描信号线 Gate1 的信号为低电平信号,写入晶体管 T4 导通,第二扫描信号线 Gate2 的信号为高电平信号,补偿晶体管 T2 导通,数据信号线 Data 输出的数据电压经过导通的写入晶体管 T4、第二节点 N2、导通的驱动晶体管 T3、第三节点 N3、导通的补偿晶体管 T2 写入至第一节点 N1,并将数据信号线 Data 输出的第二数据电压与驱动晶体管 T3 的阈值电压之差充入电容 C,直至第一节点 N1 的电压为 $V_{data}-|V_{th}|$, V_{data} 为数据信号线 Data 输出的数据电压, V_{th} 为驱动晶体管 T3 的阈值电压。第一复位信号线 Reset1、第二复位信号线 Reset2 和发光信号线 EM 的信号均为高电平信号,第一复位晶体管 T1、第二复位晶体管 T7、第三复位晶体管 T8、第一发光晶体管 T5 和第六发光晶体管 T6 断开。此阶段,发光元件 L 不发光。此阶段,发光元件 L 不发光。

第三阶段 S23、即第二初始化阶段,第一扫描信号线 Gate1、第一复位信号线 Reset1 和发光信号线 EM 的信号均为高电平信号,第二扫描信号线 Gate2 和第二复位信号线 Reset2 的信号为低电平信号。第二复位信号线 Reset2 的信号为低电平信号,第二复位晶体管 T7 和第三复位晶体管 T8 导通,第二初始信号线 Vinit2 的第二初始信号写入第四节

点 N4，对第四节点 N4（也就是发光器件的第一极）进行初始化（复位），清空其内部的预存电压，完成初始化，由于驱动晶体管 T3 导通，第三初始信号线 Vinit3 的第三初始信号写入第二节点 N2 和第三节点 N3，对第二节点 N2 和第三节点 N3 进行初始化（复位），清空其内部的预存电压，完成初始化。第一复位信号线 Reset1、第一扫描信号线 Gate1 和发光信号线 EM 的信号均为高电平信号，第二扫描信号线 Gate2 的信号为高电平信号，补偿晶体管 T2、写入晶体管 T4、第一复位晶体管 T1、第一发光晶体管 T5 和第六发光晶体管 T6 断开。此阶段，发光元件 L 不发光。此阶段，发光元件 L 不发光。

第四阶段 S24、即保持阶段，第一扫描信号线 Gate1、第一复位信号线 Reset1、第二复位信号线 Reset2 和发光信号线 EM 的信号均为高电平信号，第二扫描信号线 Gate2 的信号为低电平信号。第一扫描信号线 Gate1、第一复位信号线 Reset1、第二复位信号线 Reset2 和发光信号线 EM 的信号均为高电平信号，第二扫描信号线 Gate2 的信号为低电平信号，第一复位晶体管 T1、补偿晶体管 T2、写入晶体管 T4、第一发光晶体管 T5、第六发光晶体管 T6、第二复位晶体管 T7 和第三复位晶体管 T8 断开，本阶段，驱动晶体管 T3 导通，可以使得第三初始信号线 Vinit3 的第三初始信号有足够的时间可以作用到驱动晶体管 T3 的第一极和第二极，本阶段，第一节点 N1 的信号的电压值大于第二节点 N2 的信号的电压值，使得驱动晶体管 T3 可以长时间处于偏压状态，从而改善驱动晶体管 T3 的磁滞状态，进而改善显示基板的低频闪烁问题。

第五阶段 S25、即发光阶段，第一扫描信号线 Gate1、第一复位信号线 Reset1 和第二复位信号线 Reset2 的信号均为高电平信号，第二扫描信号线 Gate2 和发光信号线 EM 的信号为低电平信号。发光信号线 EM 的信号为低电平信号，第一发光晶体管 T5 和第六发光晶体管 T6 导通，第一电源线 VDD 输出的电源电压通过导通的第一发光晶体管 T5、驱动晶体管 T3 和第六发光晶体管 T6 向第四节点 N4 提供驱动电压，驱动发光器件 L 发光。

在像素驱动电路刷新帧的驱动过程中，流过驱动晶体管 T3 的驱动电流由控制极和第一极之间的电压差决定。由于第一节点 N1 的电压为 $V_{data}-|V_{th}|$ ，因而驱动晶体管 T3 的驱动电流为：

$$I=K*(V_{gs}-V_{th})^2=K*[(V_{dd}-V_{data}+|V_{th}|)-V_{th}]^2=K*[(V_{dd}-V_{data})^2]$$

其中，I 为流过驱动晶体管 T3 的驱动电流，也就是驱动发光器件 L 的驱动电流，K 为常数， V_{gs} 为驱动晶体管 T3 的控制极和第一极之间的电压差， V_{th} 为驱动晶体管 T3 的阈值电压， V_{data} 为数据信号线 Data 输出的第二数据电压， V_{dd} 为第一电源端 VDD 输出的电源电压。

本公开实施例通过的显示基板可以适用于任何分辨率的显示产品中。

本公开实施例还提供了一种显示基板的驱动方法，被配置为驱动显示基板，显示基板的驱动方法可以包括：

在至少一个显示帧，在一个时间段内向至少一个像素驱动电路所连接的第二复位信号线提供有效电平信号，且在一个时间段内向至少一个像素驱动电路所连接的第二扫描信号线提供有效电平信号，或者，在至少两个时间段向至少一个像素驱动电路所连接的第二复位信号线提供有效电平信号，且在至少两个时间段内向至少一个像素驱动电路所连接的第二扫描信号线提供有效电平信号。

本公开实施例还提供了一种显示装置，包括：显示基板。

显示基板为前述任一个实施例提供的显示基板，实现原理和实现效果类似在，在此不再赘述。

在示例性实施方式中，显示装置可以为显示器、电视、手机、平板电脑、导航仪、数码相机框、可穿戴显示产品具有任何显示功能的产品或者部件。

本公开实施例附图只涉及本公开实施例涉及到的结构，其他结构可参考通常设计。

5 为了清晰起见，在用于描述本公开的实施例的附图中，层或微结构的厚度和尺寸被放大。可以理解，当诸如层、膜、区域或基板之类的元件被称作位于另一元件“上”或“下”时，该元件可以“直接”位于另一元件“上”或“下”，或者可以存在中间元件。

10 虽然本公开所揭露的实施方式如上，但所述的内容仅为便于理解本公开而采用的实施方式，并非用以限定本公开。任何本公开所属领域内的技术人员，在不脱离本公开所揭露的精神和范围的前提下，可以在实施的形式及细节上进行任何的修改与变化，但本公开的专利保护范围，仍须以所附的权利要求书所界定的范围为准。

权 利 要 求 书

1. 一种显示基板，显示基板所显示内容包括多个显示帧，所述显示基板包括：数据单元、阵列排布的像素驱动电路、多条第二复位信号线和多条第二扫描信号线，至少一个像素驱动电路包括：驱动晶体管、补偿晶体管和第三复位晶体管，其中，所述驱动晶体管
5 分别与第一节点、第二节点和第三节点连接，所述补偿晶体管分别与第二扫描信号线、第一节点和第三节点连接，所述第三复位晶体管分别与第二复位信号线和第二节点连接；

在至少一个显示帧，所述数据单元被配置为在一个时间段内向至少一个像素驱动电路所连接的第二复位信号线提供有效电平信号，且在一个时间段内向至少一个像素驱动电路所连接的第二扫描信号线提供有效电平信号，或者，在至少两个时间段向至少一个像素驱动电路所连接的第二复位信号线提供有效电平信号，且在至少两个时间段内向至少一个像素驱动电路所连接的第二扫描信号线提供有效电平信号。
10

2. 根据权利要求 1 所述的显示基板，还包括：多条第一扫描信号线、多条第一复位信号线和多条发光信号线，至少一个像素驱动电路还包括：写入晶体管、第一复位晶体管和第一发光晶体管，其中，所述写入晶体管分别与第一扫描信号线和第二节点连接，所述
15 第一复位晶体管分别与第一复位信号线和第三节点连接，所述第一发光晶体管分别与发光信号线和第二节点连接；

在至少一个显示帧，所述数据单元被配置为在第一时间段向至少一个像素驱动电路所连接的第一扫描信号线提供有效电平信号，在第二时间段向至少一个像素驱动电路所连接的第一复位信号线提供有效电平信号，在第三时间段向至少一个像素驱动电路所连接的发光信号线提供有效电平信号，在第四时间段向至少一个像素驱动电路所连接的第一扫描信号线、第二扫描信号线、第一复位信号线、第二复位信号线和发光信号线提供无效电平信号；
20

所述第二时间段发生在所述第一时间段之前，且所述第二时间段的结束时间发生在所述第一时间段的开始时间之前，所述第一时间段发生在所述第四时间段之前，且所述第一
25 时间段的结束时间发生在所述第四时间段的开始之前，所述第四时间段发生在所述第三时间段之前，且所述第四时间段的结束时间为所述第三时间段的开始时间。

3. 根据权利要求 2 所述的显示基板，其中，至少一个像素驱动电路所连接的第二扫描信号线的信号为有效电平信号的至少一个时间段与所述第一时间段和所述第二时间段中的至少一个时间段至少部分交叠，且与第三时间段和第四时间段中的至少一个时间段不交叠；
30

至少一个像素驱动电路所连接的第二复位信号线的信号的有效电平信号的至少一个时间段与第一时间段、所述第二时间段、所述第三时间段和所述第四时间段中的至少一个时间段不交叠。

4. 根据权利要求 3 所述的显示基板，其中，在数据单元在一个时间段内向至少一个像素驱动电路所连接的第二复位信号线提供有效电平信号，且在一个时间段内向至少一个像素驱动电路所连接的第二扫描信号线提供有效电平信号的状态下，第六时间段分别与所述第一时间段和所述第二时间段至少部分交叠，第五时间段发生在所述第六时间段之后；
35

其中，所述第五时间段为数据单元向至少一个像素驱动电路所连接的第二复位信号线提供有效电平信号的时间段，所述第六时间段为数据单元向至少一个像素驱动电路所连接的第二扫描信号线提供有效电平信号的时间段。
40

5. 根据权利要求 4 所述的显示基板, 其中, 所述第六时间段的持续时间大于所述第一时间段的持续时间和所述第二时间段的持续时间之和;

所述第一时间段和所述第二时间段位于所述第六时间段之内。

6. 根据权利要求 5 所述的显示基板, 其中, 所述第六时间段的开始时间发生在所述第二时间段的开始时间之前, 所述第六时间段的结束时间发生在所述第一时间段的结束时间之后, 且在所述第五时间段的开始时间之前, 所述第五时间段的结束时间为所述第四时间段的开始时间。

7. 根据权利要求 6 所述的显示基板, 其中, 所述数据单元还被配置为在第一时间段向至少一个像素驱动电路所连接的第一复位信号线、第二复位信号线和发光信号线提供无效电平信号, 在第二时间段向至少一个像素驱动电路所连接的第二复位信号线、第一扫描信号线和发光信号线提供无效电平信号, 在第三时间段向至少一个像素驱动电路所连接的第一复位信号线、第二复位信号线、第一扫描信号线和第二扫描信号线提供无效电平信号, 在第五时间段向至少一个像素驱动电路所连接的第一复位信号线、第一扫描信号线、第二扫描信号线和发光信号线提供无效电平信号。

8. 根据权利要求 3 所述的显示基板, 其中, 在数据单元在两个时间段内向至少一个像素驱动电路所连接的第二复位信号线提供有效电平信号, 且在两个时间段内向至少一个像素驱动电路所连接的第二扫描信号线提供有效电平信号的状态下, 第七时间段与第五时间段至少部分交叠, 第八时间段分别与所述第一时间段和所述第二时间段至少部分交叠, 所述第六时间段发生在所述第八时间段之后;

其中, 所述第五时间段和第六时间段为数据单元向至少一个像素驱动电路所连接的第二复位信号线提供有效电平信号的时间段, 且所述第五时间段发生在所述第六时间段之前, 所述第七时间段和所述第八时间段为数据单元向至少一个像素驱动电路所连接的第二扫描信号线提供有效电平信号的时间段, 且所述第七时间段发生在所述第八时间段之前。

9. 根据权利要求 8 所述的显示基板, 其中, 所述第七时间段的持续时间大于所述第五时间段的持续时间, 所述第八时间段的持续时间大于所述第一时间段的持续时间和所述第二时间段的持续时间之和;

所述第五时间段位于所述第七时间段之内, 所述第一时间段和所述第二时间段位于所述第八时间段之内。

10. 根据权利要求 9 所述的显示基板, 其中, 所述第七时间段的开始时间发生在所述第五时间段的开始时间之前, 所述第七时间段的结束时间发生在所述第五时间段的开始时间之后, 所述第八时间段的开始时间发生在所述第二时间段的开始时间之前, 所述第八时间段的结束时间发生在所述第一时间段的结束时间之后, 且在所述第六时间段的开始时间之前, 所述第六时间段的结束时间为所述第四时间段的开始时间。

11. 根据权利要求 10 所述的显示基板, 其中, 所述第八时间段的持续时间大于所述第七时间段的持续时间, 所述第七时间段的持续时间大于第九时间段的持续时间的两倍, 所述第九时间段的开始时间为第七时间段的结束时间, 第九时间段的结束时间为第八时间段的开始时间;

所述数据单元在所述第九时间段向至少一个像素驱动电路所连接的第一扫描信号线、第二扫描信号线、第一复位信号线、第二复位信号线和发光信号线提供无效电平信号。

12. 根据权利要求 3 所述的显示基板, 其中, 在数据单元在两个时间段内向至少一个像素驱动电路所连接的第二复位信号线提供有效电平信号, 且在两个时间段内向至少一个

像素驱动电路所连接的第二扫描信号线提供有效电平信号的状态下,第七时间段分别与第五时间段和所述第二时间段至少部分交叠,第八时间段与所述第一时间段至少部分交叠,所述第六时间段发生在所述第八时间段之后;

5 其中,所述第五时间段和第六时间段为数据单元向至少一个像素驱动电路所连接的第二复位信号线提供有效电平信号的时间段,且所述第五时间段发生在所述第六时间段之前,所述第七时间段和所述第八时间段为数据单元向至少一个像素驱动电路所连接的第二扫描信号线提供有效电平信号的时间段,且所述第七时间段发生在所述第八时间段之前。

10 13. 根据权利要求 12 所述的显示基板,其中,所述第七时间段的持续时间大于所述第五时间段的持续时间和所述第二时间段的持续时间之和,所述第八时间段的持续时间大于所述第一时间段的持续时间;

所述第二时间段和所述第五时间段位于所述第七时间段之内,所述第一时间段位于所述第八时间段之内。

15 14. 根据权利要求 13 所述的显示基板,其中,所述第七时间段的开始时间发生在所述第五时间段的开始时间之前,所述第七时间段的结束时间发生在所述第二时间段的结束时间之后,所述第八时间段的开始时间发生在所述第一时间段的开始时间之前,所述第八时间段的结束时间发生在所述第一时间段的结束时间之后,且在所述第六时间段的开始时间之前,所述第六时间段的结束时间为所述第四时间段的开始时间。

20 15. 根据权利要求 14 所述的显示基板,其中,所述第七时间段的持续时间大于所述第八时间段的持续时间的四倍,且大于第九时间段的持续时间的四倍,所述第九时间段的开始时间为所述第七时间段的结束时间,所述第九时间段的结束时间为所述第八时间段的开始时间。

25 16. 根据权利要求 3 所述的显示基板,其中,在数据单元在两个时间段内向至少一个像素驱动电路所连接的第二复位信号线提供有效电平信号,且在两个时间段内向至少一个像素驱动电路所连接的第二扫描信号线提供有效电平信号的状态下,第七时间段与第五时间段至少部分交叠,第八时间段与所述第二时间段至少部分交叠,所述第九时间段与所述第一时间段至少部分交叠,所述第六时间段发生在所述第九时间段和所述第四时间段之间;

30 其中,所述第五时间段和第六时间段为数据单元向至少一个像素驱动电路所连接的第二复位信号线提供有效电平信号的时间段,且所述第五时间段发生在所述第六时间段之前,所述第七时间段、所述第八时间段和所述第九时间段为数据单元向至少一个像素驱动电路所连接的第二扫描信号线提供有效电平信号的时间段,且所述第七时间段发生在所述第八时间段之前,所述第八时间段发生在所述第九时间段之前。

35 17. 根据权利要求 16 所述的显示基板,其中,所述第七时间段的持续时间大于所述第五时间段的持续时间,所述第八时间段的持续时间大于所述第二时间段的持续时间,第九时间段的持续时间大于所述第一时间段的持续时间;

所述第五时间段位于所述第七时间段之内,所述第二时间段位于第八时间段之内,所述所述第一时间段位于所述第九时间段之内。

40 18. 根据权利要求 17 所述的显示基板,其中,所述第七时间段的开始时间发生在所述第五时间段的开始时间之前,所述第七时间段的结束时间发生在所述第五时间段的结束时间之后,所述第八时间段的开始时间发生在所述第二时间段的开始时间之前,所述第八时间段的结束时间发生在所述第二时间段的结束时间之后,所述第九时间段的开始时间发生在所述第一时间段的开始时间之前,所述第九时间段的结束时间发生在所述第一时间段的结束时间之后,且在所述第六时间段的开始时间之前,所述第六时间段的结束时间为所

述第四时间段的开始时间。

19. 根据权利要求 18 所述的显示基板, 其中, 所述第七时间段和所述第八时间段中的至少一个时间段的持续时间大于所述第九时间段的持续时间, 且大于第十时间段和第十一时间段中的至少一个时间段的持续时间, 第十时间段的开始时间为第七时间段的结束时间, 第十时间段的结束时间为第八时间段的开始时间, 第十一时间段的开始时间为第八时间段的结束时间, 第十一时间段的结束时间为第九时间段的开始时间;

所述数据单元在所述第十时间段和所述第十一时间段向至少一个像素驱动电路所连接的第一扫描信号线、第二扫描信号线、第一复位信号线、第二复位信号线和发光信号线提供无效电平信号。

20. 根据权利要求 8、12 和 16 中的至少一项所述的显示基板, 其中, 所述数据单元还被配置为在第一时间段向至少一个像素驱动电路所连接的第一复位信号线、第二复位信号线和发光信号线提供无效电平信号, 在第二时间段向至少一个像素驱动电路所连接的第二复位信号线、第一扫描信号线和发光信号线提供无效电平信号, 在第三时间段向至少一个像素驱动电路所连接的第一复位信号线、第二复位信号线、第一扫描信号线和第二扫描信号线提供无效电平信号, 在第五时间段向至少一个像素驱动电路所连接的第一复位信号线、第一扫描信号线和发光信号线提供无效电平信号, 在第六时间段向至少一个像素驱动电路所连接的第一复位信号线、第一扫描信号线、第二扫描信号线和发光信号线提供无效电平信号。

21. 根据权利要求 1 所述的显示基板, 还包括: 多条发光信号线、多条第一复位信号线、多条第一初始信号线、多条第二初始信号线、多条第三初始信号线、多条第一扫描信号线和多条第一电源线, 至少一个像素驱动电路还包括: 第一复位晶体管、第二复位晶体管、写入晶体管、第一发光晶体管、第二发光晶体管和电容;

所述补偿晶体管的控制极与第二扫描信号线连接, 所述补偿晶体管的第一极与第一节点连接, 所述补偿晶体管的第二极与第三节点连接;

- 所述驱动晶体管的控制极与第一节点连接, 所述驱动晶体管的第一极与第二节点连接, 所述驱动晶体管的第二极与第三节点连接;

所述写入晶体管的控制极与第一扫描信号线连接, 所述写入晶体管的第一极与数据信号线连接, 所述写入晶体管的第二极与第二节点连接;

- 所述第一复位晶体管的控制极与第一复位信号线连接, 所述第一复位晶体管的第一极与第一初始信号线连接, 所述第一复位晶体管的第二极与第三节点连接;

所述第二复位晶体管的控制极与第二复位信号线连接, 所述第二复位晶体管的第一极与第二初始信号线连接, 所述第二复位晶体管的第二极与第四节点连接;

所述第三复位晶体管的控制极与第二复位信号线连接, 所述第三复位晶体管的第一极与第三初始信号线连接, 所述第三复位晶体管的第二极与第二节点连接;

- 所述第一发光晶体管的控制极与发光信号线连接, 所述第一发光晶体管的第一极与第一电源线连接, 所述第一发光晶体管的第二极与第二节点连接;

所述第二发光晶体管的控制极与发光信号线连接, 所述第二发光晶体管的第一极与第三节点连接, 所述第二发光晶体管的第二极与第四节点连接;

所述电容的一端与第一电源线连接, 所述电容的另一端与第一节点连接。

22. 根据权利要求 21 所述的显示基板, 其中, 至少一个像素驱动电路中的至少一个晶体管为 P 型晶体管或者 N 型晶体管, 所述第一发光晶体管和第二发光晶体管的晶体管

类型相同，所述第二复位晶体管和所述第三复位晶体管的晶体管类型相同。

23. 一种显示装置，包括：如权利要求 1 至 22 任一项所述的显示基板。

24. 一种显示基板的驱动方法，被配置为驱动如权利要求 1 至 22 任一项所述的显示基板，所述方法包括：

- 5 在至少一个显示帧，在一个时间段内向至少一个像素驱动电路所连接的第二复位信号线提供有效电平信号，且在一个时间段内向至少一个像素驱动电路所连接的第二扫描信号线提供有效电平信号，或者，在至少两个时间段向至少一个像素驱动电路所连接的第二复位信号线提供有效电平信号，且在至少两个时间段内向至少一个像素驱动电路所连接的第二扫描信号线提供有效电平信号。

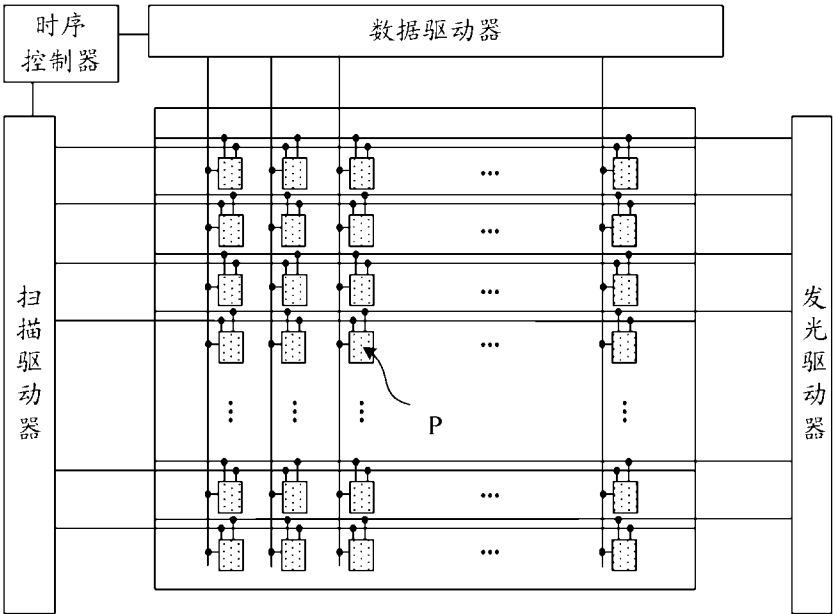


图1

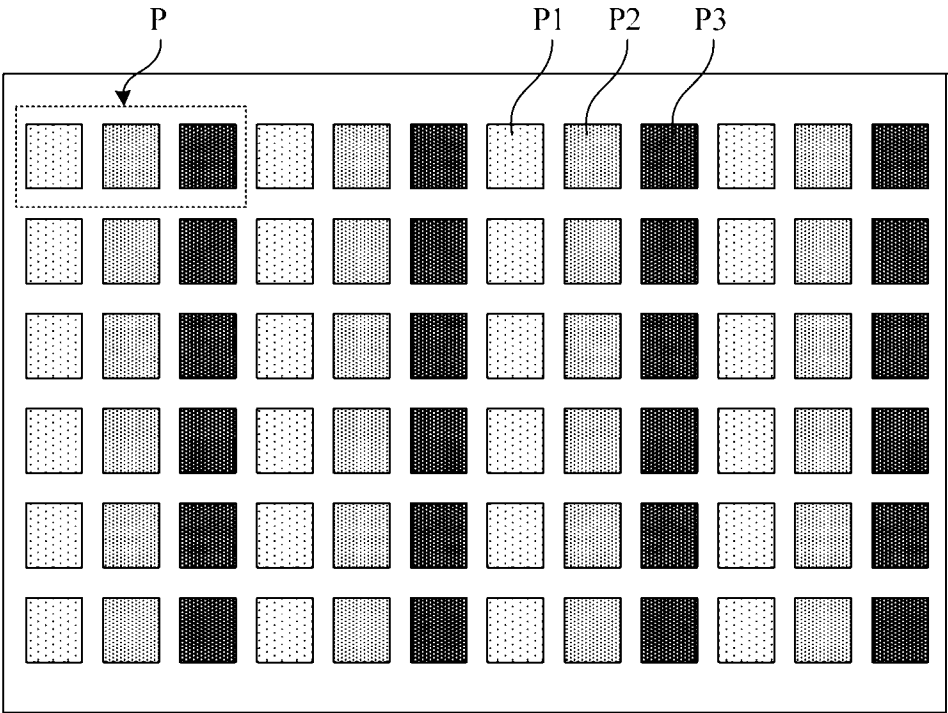


图2A

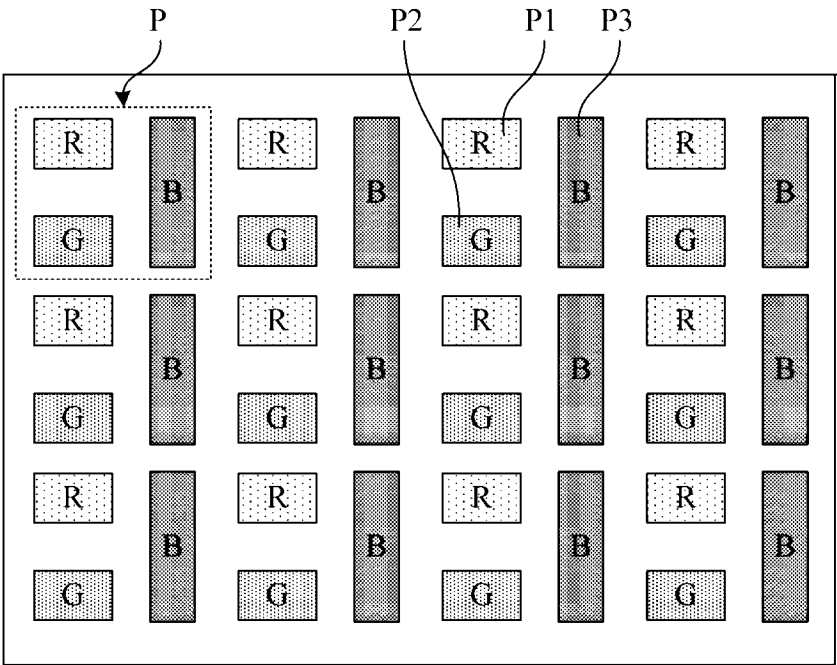


图2B

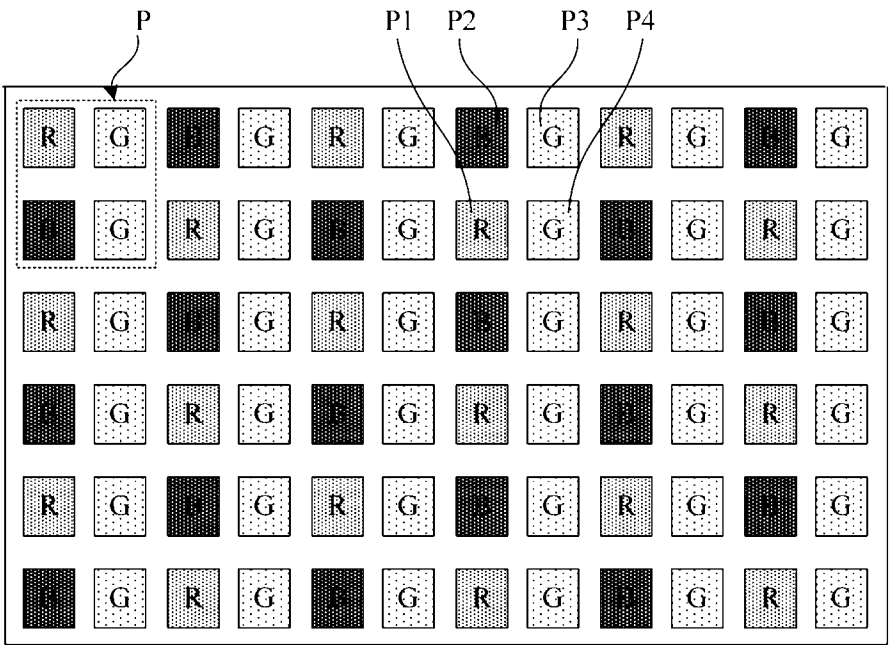


图2C

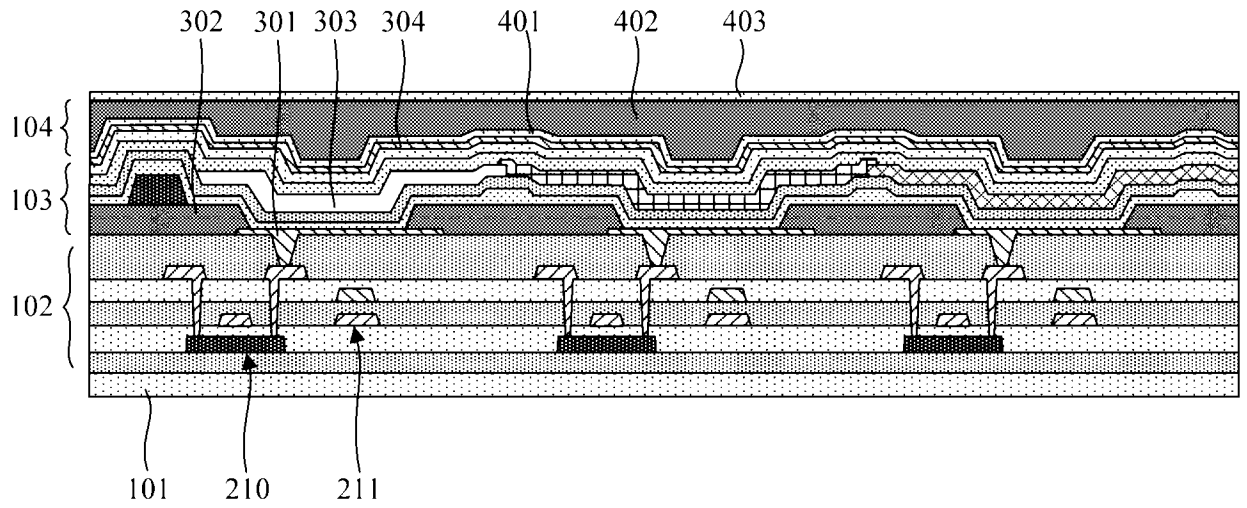


图3

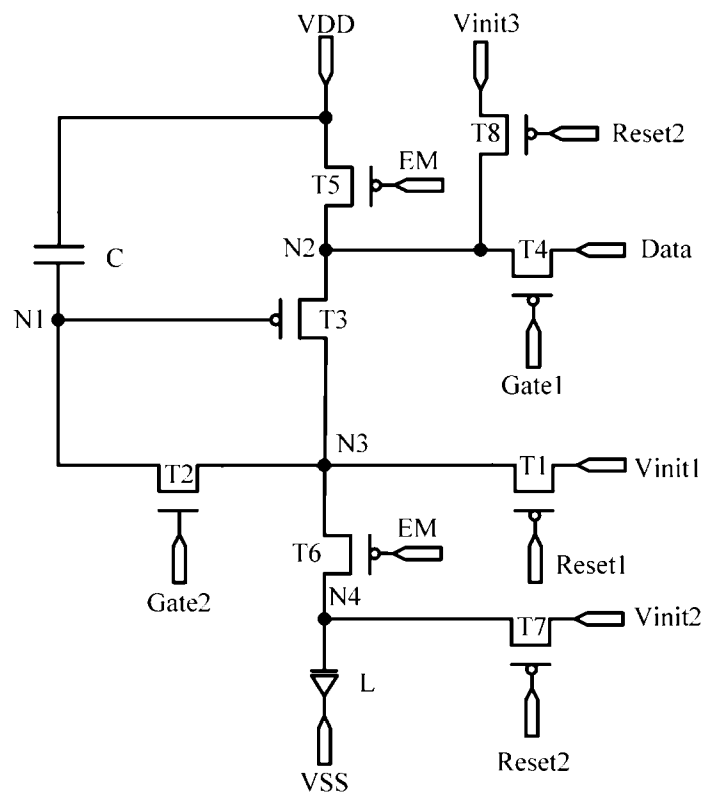


图4

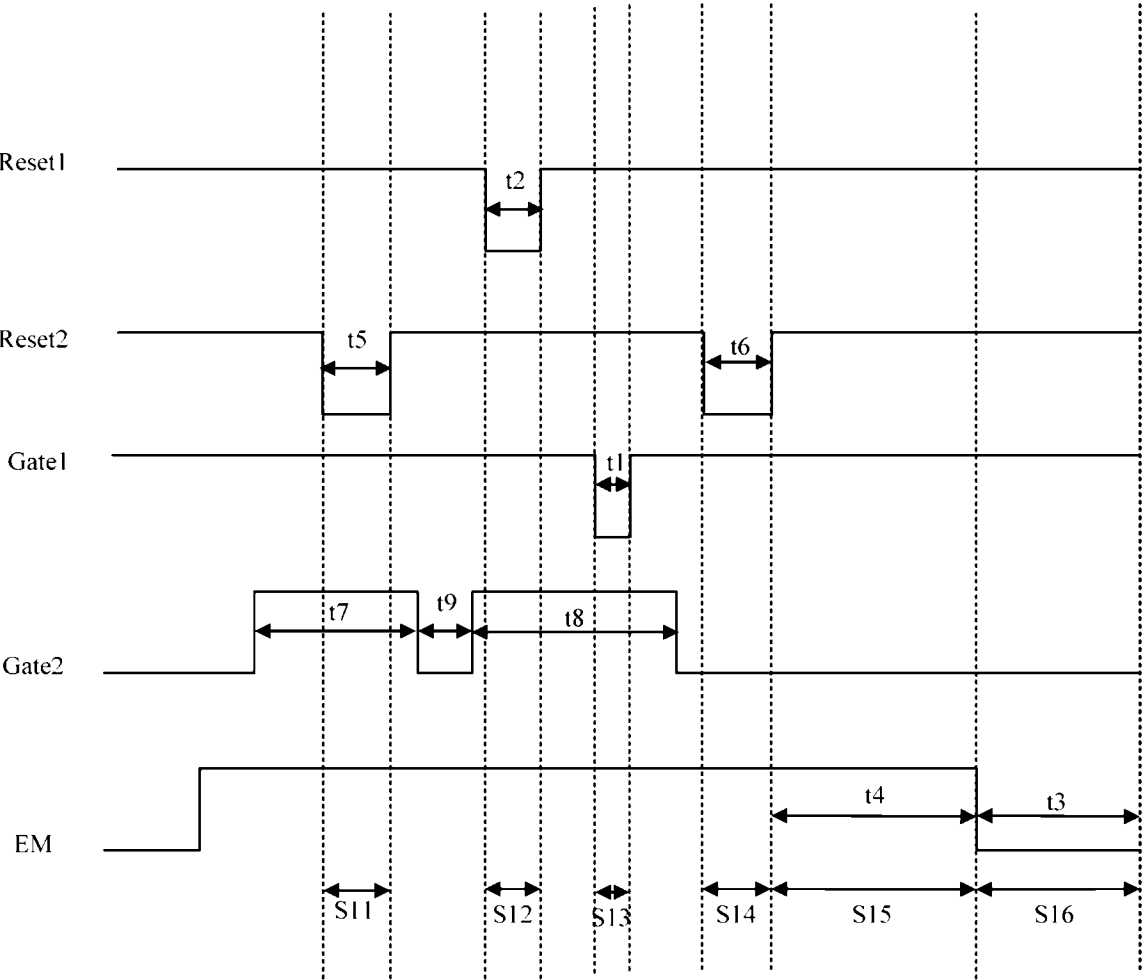


图5

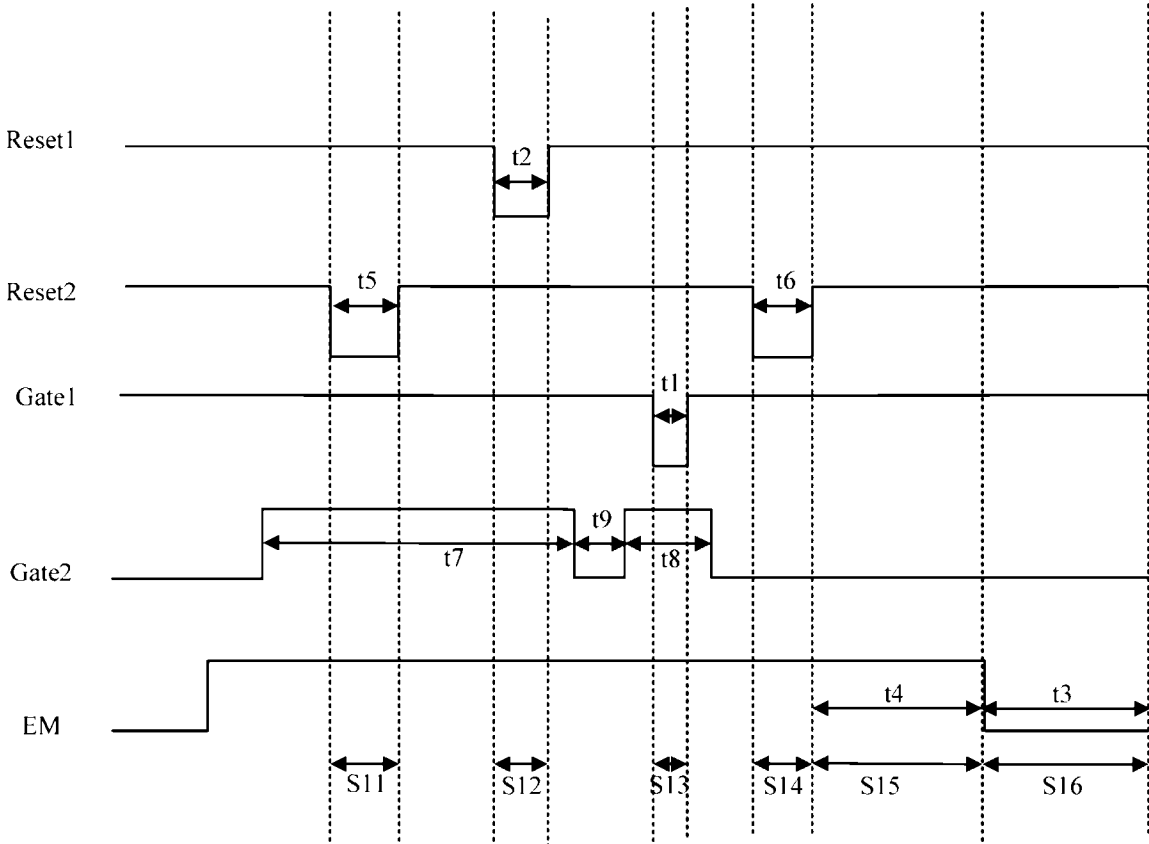


图6

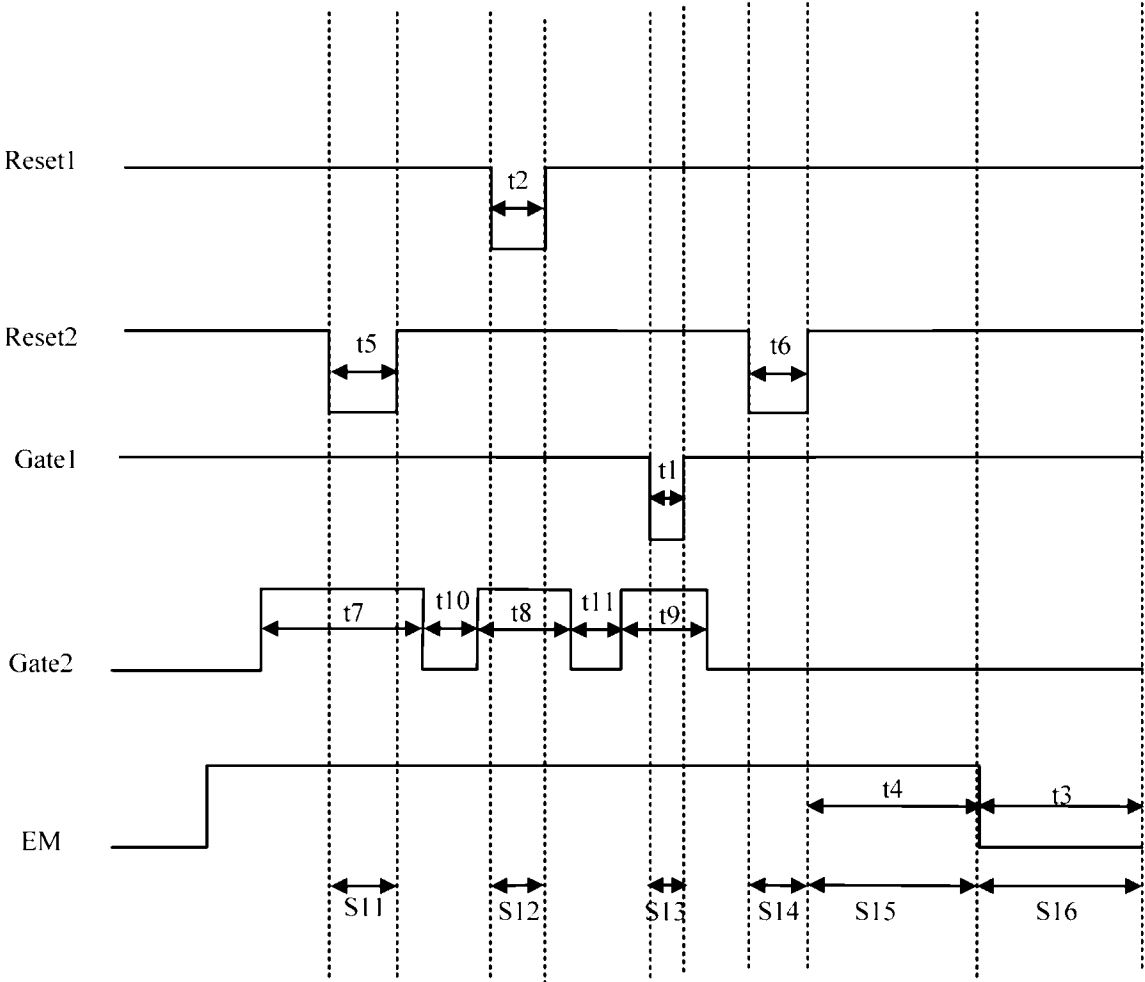


图7

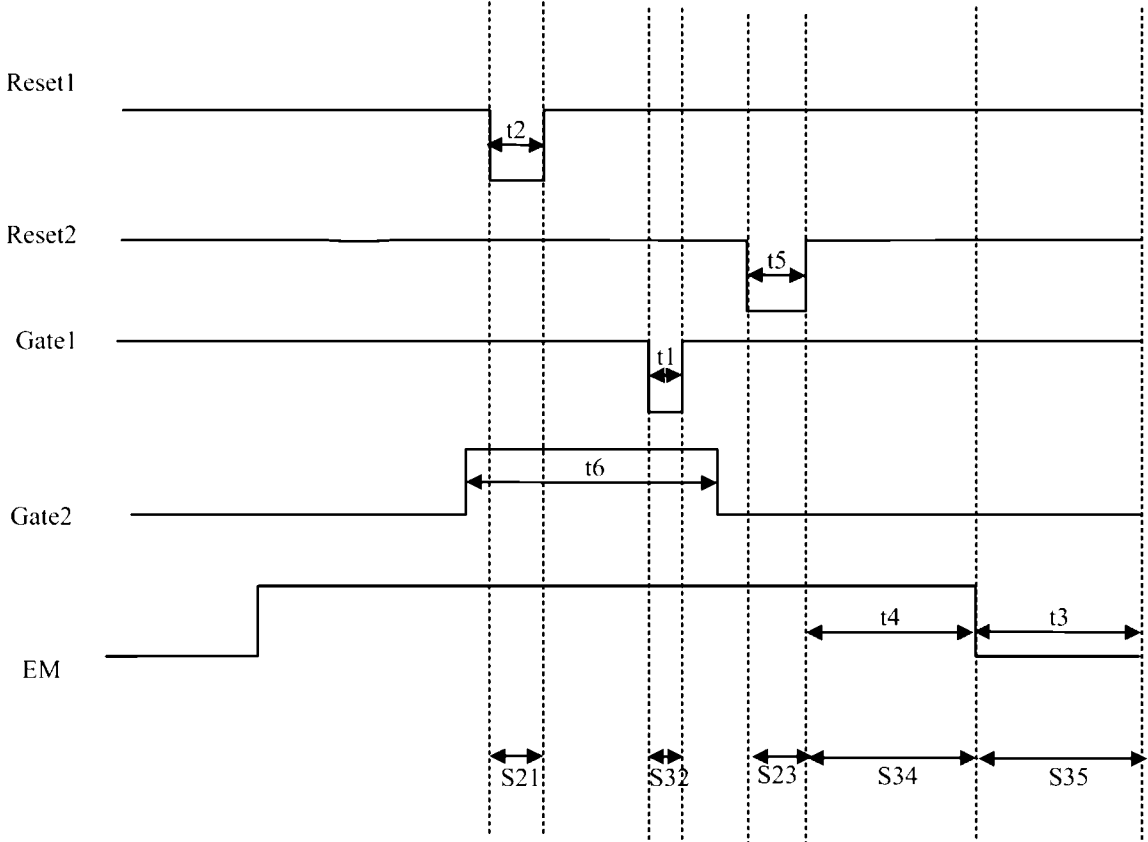


图8

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/140232

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/3225(2016.01)i; G09G3/3208(2016.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC:G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT, CNKI: 显示, 像素, 复位, 重置, 初始化, 补偿, 帧, 有效电平, 正向偏置, 温度, 应力, 扫描; VEN, USTXT, EPTXT, WOTXT: display, pixel, reset, initialization, compensation, frame, significant level, forward bias, temperature, stress, scan

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 115691408 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 03 February 2023 (2023-02-03) description, paragraphs 39-184, and figures 1-10	1-3, 21-24
X	CN 115691411 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 03 February 2023 (2023-02-03) description, paragraphs 107-127, and figures 1-8	1-2, 21-24
X	CN 116110338 A (BOE TECHNOLOGY GROUP CO., LTD.) 12 May 2023 (2023-05-12) description, paragraphs 1-109, and figures 1-4	1, 21-24
A	KR 101408809 B1 (KUMOH NATIONAL INSTITUTE OF TECHNOLOGY INDUSTRY-ACADEMIC COOPERATION FOUNDATION) 02 July 2014 (2014-07-02) entire document	1-24

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

28 August 2024

Date of mailing of the international search report

04 September 2024

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
China No. 6, Xitucheng Road, Jimenqiao, Haidian District,
Beijing 100088

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2023/140232

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	115691408	A	03 February 2023	WO	2023005670	A1	02 February 2023
				US	2024203338	A1	20 June 2024
				US	2024135872	A1	25 April 2024
				US	2024233601	A9	11 July 2024
				US	2024257732	A1	01 August 2024
				US	2024185794	A1	06 June 2024
				US	2024135885	A1	25 April 2024
				US	2024233599	A9	11 July 2024
				WO	2023005641	A1	02 February 2023
				WO	2023004817	A1	02 February 2023
				WO	2023005597	A1	02 February 2023
				WO	2023004949	A1	02 February 2023
				WO	2023005669	A1	02 February 2023
				US	2024153428	A1	09 May 2024
				CN	115691420	A	03 February 2023
				CN	115023756	A	06 September 2022
				CN	115023756	B	20 October 2023
				CN	116210042	A	02 June 2023
				CN	115691419	A	03 February 2023
				CN	115691423	A	03 February 2023
CN	115691411	A	03 February 2023	CN	114258320	A	29 March 2022
				CN	114258320	B	23 August 2022
				WO	2023006100	A1	02 February 2023
				WO	2023004810	A1	02 February 2023
				EP	4300471	A1	03 January 2024
				US	2024078976	A1	07 March 2024
				US	2024169906	A1	23 May 2024
CN	116110338	A	12 May 2023	None			
KR	101408809	B1	02 July 2014	None			

A. 主题的分类

G09G3/3225(2016.01)i; G09G3/3208(2016.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC:G09G

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS,CNXTXT,CNKI:显示, 像素, 复位, 重置, 初始化, 补偿, 帧, 有效电平, 正向偏置, 温度, 应力, 扫描;
VEN,USTXT,EPTXT,WOTXT:display,pixel,reset,initialization,compensation,frame,significant level,forward bias,temperature,
stress,scan

C. 相关文件

类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 115691408 A (京东方科技集团股份有限公司 等) 2023年2月3日 (2023 - 02 - 03) 说明书39-184段、图1-10	1-3, 21-24
X	CN 115691411 A (京东方科技集团股份有限公司 等) 2023年2月3日 (2023 - 02 - 03) 说明书第107-127段、图1-8	1-2, 21-24
X	CN 116110338 A (京东方科技集团股份有限公司) 2023年5月12日 (2023 - 05 - 12) 说明书1-109段、图1-4	1, 21-24
A	KR 101408809 B1 (KUMOH NAT INST TECH ACAD COOP) 2014年7月2日 (2014 - 07 - 02) 全文	1-24

☐ 其余文件在C栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“D” 申请人在国际申请中引证的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2024年8月28日

国际检索报告邮寄日期

2024年9月4日

ISA/CN的名称和邮寄地址

中国国家知识产权局
中国北京市海淀区蓟门桥西土城路6号 100088

授权官员

贺轶

电话号码 (+86) 020-28958180

PCT/ISA/210 表(第2页) (2022年7月)

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2023/140232

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	115691408	A	2023年2月3日	WO	2023005670	A1	2023年2月2日
				US	2024203338	A1	2024年6月20日
				US	2024135872	A1	2024年4月25日
				US	2024233601	A9	2024年7月11日
				US	2024257732	A1	2024年8月1日
				US	2024185794	A1	2024年6月6日
				US	2024135885	A1	2024年4月25日
				US	2024233599	A9	2024年7月11日
				WO	2023005641	A1	2023年2月2日
				WO	2023004817	A1	2023年2月2日
				WO	2023005597	A1	2023年2月2日
				WO	2023004949	A1	2023年2月2日
				WO	2023005669	A1	2023年2月2日
				US	2024153428	A1	2024年5月9日
				CN	115691420	A	2023年2月3日
				CN	115023756	A	2022年9月6日
				CN	115023756	B	2023年10月20日
				CN	116210042	A	2023年6月2日
				CN	115691419	A	2023年2月3日
				CN	115691423	A	2023年2月3日
CN	115691411	A	2023年2月3日	CN	114258320	A	2022年3月29日
				CN	114258320	B	2022年8月23日
				WO	2023006100	A1	2023年2月2日
				WO	2023004810	A1	2023年2月2日
				EP	4300471	A1	2024年1月3日
				US	2024078976	A1	2024年3月7日
CN	116110338	A	2023年5月12日	无			
				无			
KR	101408809	B1	2014年7月2日	无			