



SCHWEIZERISCHE EIDGENOSSENSCHAFT
BUNDESAMT FÜR GEISTIGES EIGENTUM

51 Int. Cl.³: H 03 K 13/32
H 04 L 1/10

Erfindungspatent für die Schweiz und Liechtenstein

Schweizerisch-liechtensteinischer Patentschutzvertrag vom 22. Dezember 1978



12 PATENTSCHRIFT A5

11

640 091

21 Gesuchsnummer: 7485/79

22 Anmeldungsdatum: 15.08.1979

30 Priorität(en): 19.08.1978 DE 2836445

24 Patent erteilt: 15.12.1983

45 Patentschrift
veröffentlicht: 15.12.1983

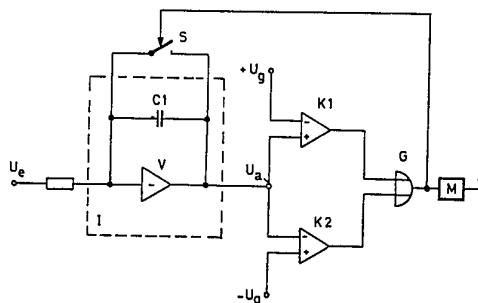
73 Inhaber:
TEKADE Felten & Guillaume
Fernmeldeanlagen GmbH, Nürnberg 1 (DE)

72 Erfinder:
Rainer Drullmann, Nürnberg (DE)
Waldemar Frühauf, Nürnberg (DE)

74 Vertreter:
Patentanwaltsbureau Isler & Schmid, Zürich

54 Schaltungsanordnung zur Fehlererkennung in Digitalsignalen.

57 Zur Fehlererkennung in Digitalsignalen, deren laufende digitale Summe durch eine entsprechende Codierung begrenzt ist, steuert das Digitalsignal (U_e) einen aus einem Verstärker (V) und einem Integrationskondensator (C1) bestehenden analogen Integrator (I) an. Der Integrator (I) hat im Frequenzbereich des Leistungsspektrums des codierten Digitalsignals hinreichend ideale Eigenschaften, aber eine geringe Gleichspannungsverstärkung. Das Ausgangssignal (U_a) des Integrators wird von Vergleichsschaltungen (K1, K2) überwacht, die ein Fehlersignal abgeben, wenn die Grenzen ($+U_g$, $-U_g$), die dem analogen Abbild der durch die Codierung festgelegten Grenzen der laufenden digitalen Summe (RDS) entsprechen, überschritten werden. Das Ausgangssignal (U_a) des Integrators (I) wird mittels einer Begrenzungsschaltung (S) auf diese Grenzen so lange beschränkt, wie eine Überschreitung dieser Grenzen dauern würde. Dies ergibt einen geringen Schaltungsaufwand und im Betrieb eine geringe Leistungsaufnahme.



PATENTANSPRÜCHE

1. Schaltungsanordnung zur Fehlererkennung in Digitalsignalen, deren laufende digitale Summe durch eine entsprechende Codierung begrenzt ist, durch Feststellen von Überschreitungen der zulässigen Werte der laufenden digitalen Summe und Abgabe einer Fehlermeldung bei Überschreitungen der zulässigen Werte, dadurch gekennzeichnet, dass das Digitalsignal einen aus einem Verstärker (V) und einem Integrationskondensator (C1) bestehenden analogen Integrator (I) ansteuert, der im Frequenzbereich des Leistungsspektrums des codierten Digitalsignals angenähert ideale Eigenschaften aufweist, im Gegensatz zu einem idealen Integrator aber eine geringe Gleichspannungsverstärkung hat, dass das Ausgangssignal (U_a) des Integrators von Vergleichsschaltungen (K1, K2) überwacht wird, die ein Fehlersignal abgeben, wenn die Grenzen ($+U_g$, $-U_g$), die dem analogen Abbild der durch die Codierung festgelegten Grenzen der laufenden digitalen Summe (RDS) entsprechen, überschritten werden und wobei das Ausgangssignal (U_a) des Integrators (I) mittels einer Begrenzungsschaltung (S) auf diese Grenzen so lange beschränkt wird, wie eine Überschreitung dieser Grenzen dauern würde.

2. Schaltungsanordnung zur Fehlererkennung in binär codierten Digitalsignalen nach Anspruch 1, dadurch gekennzeichnet, dass der Integrator (I) ein Differenzverstärker ist, mit einem ersten Transistor (T2) und einem zweiten Transistor (T3) mit Kollektorimpedanzen (S1, S2), die über einen Kondensator (C2) miteinander in Verbindung stehen, mit einer Emittterstromquelle (S3) in der gemeinsamen Emittterzuleitung und mit dem Integrationskondensator (C1) zwischen dem Kollektoranschluss des ersten Transistors (T2) und des zweiten Transistors (T3), wobei das binär codierte Digitalsignal (U_e) die Basis des ersten Transistors (T2) ansteuert und an der Basis des zweiten Transistors (T3) eine Referenzspannung (U_{r1}) anliegt, deren Potential in der Mitte zwischen den Spannungspotentialen liegt, die die beiden binären Zustände des Digitalsignals darstellen.

3. Schaltungsanordnung zur Fehlererkennung in ternär codierten Digitalsignalen nach Anspruch 1, dadurch gekennzeichnet, dass der Integrator (I) ein kreuzgekoppelter Differenzverstärker ist, mit einem ersten Transistorpaar (T21, T31) und einem zweiten Transistorpaar (T22, T32), wobei jeweils die Kollektoren der ersten Transistoren (T21, T22) und der zweiten Transistoren (T31, T32) der beiden Transistorpaare miteinander verbunden sind und wobei zwischen diesen beiden Verbindungspunkten der Integrationskondensator (C1) angeordnet ist, mit über einen Kondensator (C2) miteinander in Verbindung stehenden Kollektorimpedanzen (S1, S2) in den Zuleitungen zu den genannten Kollektorverbindungsstellen, mit Emittterstromquellen (S31, S32) in der Emittterzuleitung der beiden Transistorpaare, wobei das ternär codierte Digitalsignal (U_{e1}) die Basis des ersten Transistors (T21) eines Transistorpaares ansteuert und das invertierte ternär codierte Digitalsignal (U_{e2}) die Basis des zweiten Transistors (T32) des anderen Transistorpaares ansteuert und wobei die miteinander verbundenen Basen der beiden anderen Transistoren (T31, T22) an einer Referenzspannung (U_{r2}) anliegen, die in der Mitte zwischen dem Nullpotential und dem positiven Spannungspotential des ternär codierten Digitalsignals liegt.

4. Schaltungsanordnung nach einem der Ansprüche 1, 2 oder 3, dadurch gekennzeichnet, dass die Vergleichsschaltungen (K1, K2) und die Begrenzungsschaltung (S) antiparallel über den Integrationskondensator (C1) geschaltete Basis-Emitter-Strecken von Begrenzungstransistoren (T6, T7) mit Kollektorwiderständen (R6, R7) sind.

5. Schaltungsanordnung nach Anspruch 4, dadurch gekennzeichnet, dass zwischen Basis und Kollektor der

Begrenzungstransistoren (T6, T7) Schottky-Dioden (D3, D4) geschaltet sind und dass die Kollektorwiderstände (R6, R7) der Begrenzungstransistoren hochohmig sind.

6. Schaltungsanordnung nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, dass die Kollektorimpedanzen (S1, S2) über Emittterwiderstände (R4, R5), Kollektor-Basis-Widerstände (R3, R8) und Basisableitwiderstände (R9, R10) gegengekoppelte Transistoren (T4, T5) sind, deren Basisanschlüsse über einen Kondensator (C2) verbunden sind.

7. Schaltungsanordnung nach Anspruch 6, dadurch gekennzeichnet, dass die Kollektor-Basis-Widerstände (R3, R8) hochohmig und die Emittterwiderstände (R4, R5) niederohmig sind.

8. Schaltungsanordnung nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, dass die Emittterstromquellen (S3, S31, S32) einen solchen Temperaturkoeffizienten aufweisen, dass der Temperaturkoeffizient der Basis-Emitter-Strecken der Begrenzungstransistoren (T6, T7) kompensiert wird.

9. Schaltungsanordnung nach einem der Ansprüche 1 bis 8, dadurch gekennzeichnet, dass die Emittterstromquellen (S3, S31, S32) einen als Stromquelle geschalteten Transistor (T1) aufweisen, bei dem zwischen der Basis und dem Fusspunkt seines Emittterwiderstandes (R1) eine erste Diode (D1) angeordnet ist, die die Vorspannung erzeugt und den Temperaturkoeffizienten der Basis-Emitter-Strecke des Transistors (T1) der Emittterstromquellen kompensiert.

10. Schaltungsanordnung nach den Ansprüchen 8 und 9, dadurch gekennzeichnet, dass der ersten Diode (D1) des Transistors (T1) der Emittterstromquellen (S3, S31, S32) eine zweite Diode (D2) in Serie geschaltet ist.

11. Schaltungsanordnung nach einem der Ansprüche 1 bis 10, dadurch gekennzeichnet, dass an den Kollektoren der Begrenzungstransistoren (T6, T7) ein Fehlersignal bei Überschreitung der zulässigen Grenzen ($+U_g$, $-U_g$) abgenommen wird und über ein ODER-Glied (G) einem Monoflop (M) zugeführt wird, das eine Verzögerungszeit (t_1) hat und das in einer Zeit ($+t_1 + t_2$), die grösser als die Verzögerungszeit ist, nicht wieder triggerbar ist.

Die Erfindung betrifft eine Schaltungsanordnung zur Fehlererkennung in Digitalsignalen, deren laufende digitale Summe durch eine entsprechende Codierung begrenzt ist, durch Feststellen von Überschreitungen der zulässigen Werte der laufenden digitalen Summe und Abgabe einer Fehlermeldung bei Überschreitungen der zulässigen Werte.

Eine Begrenzung der laufenden digitalen Summe, im folgenden RDS (running digital sum) genannt, kann nur durch Hinzufügen von Redundanz erreicht werden, da bei einem binären Datensignal die Verteilung der Werte «1» und «0» von der Datenquelle abhängt und nicht eingeschränkt werden darf.

Diese Redundanz kann entweder durch Erhöhung der Stufenzahl des Digitalsignals oder durch Erhöhung der Schrittgeschwindigkeit, d.h. Erhöhung der binären Wortlänge, oder auch durch beide Massnahmen erreicht werden.

Ein Beispiel für die erste Massnahme, die Erhöhung der Stufenzahl, ist der AMI-Code (alternate mark inversion). Bei diesem pseudoternären Code wird jede zweite «1» des binären Signals als negative «1» des ternären Signals gesendet. Damit ist die RDS auf die Werte $+1$, 0 und -1 beschränkt.

Beide Massnahmen werden bei den ternären Blockcodes angewendet. Beim 4B/3T-Code z.B. wird ein Codewort aus vier binären Zeichen durch ein Codewort aus drei ternären Zeichen übertragen. Dabei wird die Schrittgeschwindigkeit nur auf drei Viertel und nicht bis auf zwei Drittel wie beim

3B/2T-Code verringert, so dass noch Redundanz für eine geeignete Codierung verfügbar ist.

Allein die zweite Massnahme, die Erhöhung der binären Wortlänge, wird bei den binären Blockcodes angewendet. Beim 5B/6B-Code z.B. wird ein Codewort von fünf Bit des redundanzfreien Signals durch ein Codewort von sechs Bit dargestellt. Die Schrittgeschwindigkeit pro Bit erhöht sich damit um 20%. Das Codierungsgesetz kann dabei so gestaltet werden, dass nur sieben verschiedene RDS-Werte vorkommen. Betrachtet man die binäre «1» als +1 und die binäre «0» als -1, sind die vorkommenden RDS-Werte -3, -2, -1, 0, 1, 2 und 3. Wenn nun betragsmässig grössere RDS-Werte entstehen, ist das ein Hinweis auf Bitfehler, die durch Störungen oder einen fehlerhaften Zwischenverstärker in das Signal gelangt sind.

Damit ergibt sich bei digitalen Übertragungsstrecken die Möglichkeit, in jedem Zwischenverstärker die Bitfehler rate des Signals zu ermitteln und das Ergebnis auf bekannte Weise einer Endstelle mitzuteilen.

Diese Art der Fehlerüberwachung ist besonders für schnelle digitale Übertragungsstrecken wichtig, da ein Abschalten der Strecke, und damit die Unterbrechung grosser Informationsflüsse, zur Fehlerermittlung nicht notwendig ist.

Für diese Art der Fehlerermittlung wird im allgemeinen ein digitaler Vorwärts/Rückwärts-Zähler verwendet, der beispielsweise bei positiven Zeichen vorwärts und bei negativen Zeichen rückwärts zählt. Sobald der Zählerstand gesetzte Schranken überschreitet, ist ein Bitfehler erkannt. Eine solche Anordnung ist z.B. in der DE-OS 2030763 beschrieben.

Der Aufwand an Digitalschaltkreisen für eine solche Anordnung zur digitalen Fehlererkennung ist allerdings beträchtlich. Ein weiterer Nachteil ist die verhältnismässig hohe Leistungsaufnahme, da bei hohen Übertragungsgeschwindigkeiten, beispielsweise 41 Mbit/s, die Fehlererkennungsschaltung aus Schottky-TTL-Bausteinen aufgebaut sein muss. Die Leistungsaufnahme einer solchen Fehlererkennungsschaltung kann nahezu 1 Watt betragen. Diese Leistung ist aber in ferngespeisten Zwischenverstärkern nur schwer zur Verfügung zu stellen.

Aufgabe der Erfindung ist es deshalb, eine Schaltungsanordnung zur Fehlererkennung der eingangs genannten Art anzugeben, die mit einem geringen Schaltungsaufwand auskommt und eine vergleichsweise geringe Leistungsaufnahme hat.

Die Aufgabe wird durch die im ersten Patentanspruch angegebenen Merkmale gelöst.

Vorteilhafte Ausgestaltungen der Erfindung ergeben sich aus den abhängigen Patentansprüchen und aus der folgenden Beschreibung von Ausführungsbeispielen.

In der Zeichnung zeigt:

Fig. 1 ein Prinzipschaltbild der erfindungsgemässen Anordnung,

Fig. 2 das Prinzip der analogen Fehlererkennung bei einem binär codierten Digitalsignal,

Fig. 3 ein Ausführungsbeispiel für ein binär codiertes Digitalsignal und

Fig. 4 ein Ausführungsbeispiel für ein ternär codiertes Digitalsignal.

Der analoge Integrator I in Fig. 1 besteht aus dem Verstärker V, der hier als Operationsverstärker ausgebildet ist, und dem Integrationskondensator C1. Ein am Eingang des Integrators anliegendes binär codiertes Digitalsignal U_e bewirkt, dass bei einer binären «1» am Eingang das Signal U_a am Ausgang des Integrators um einen bestimmten Betrag positiver wird und dass bei einer binären «0» am Eingang das Signal U_a am Ausgang des Integrators um denselben Betrag negativer wird (vgl. Fig. 2). Wird dem Eingang des Integrators

ein ternär codiertes Digitalsignal zugeführt, wird bei «+1» am Eingang des Ausgangssignal positiver, bei «-1» am Eingang negativer und bleibt bei «0» am Eingang gleich.

Das Ausgangssignal U_a des Integrators I wird den Komparatoren K1, K2 zugeführt. Sobald eine Grenzspannung $+U_g$ überschritten oder $-U_g$ unterschritten wird, wobei $+U_g$ bzw. $-U_g$ dem analogen Abbild der durch die Codierung des Digitalsignals festgelegten Grenzen der RDS entsprechen, spricht einer der Komparatoren K1 oder K2 an. Diese Über- oder Unterschreitung bedeutet, dass ein Zeichenfehler aufgetreten ist. Die Fehlerinformation wird über ein ODER-Glied G zu einer Fehlermeldung zusammengefasst, die am Ausgang des ODER-Gliedes anliegt und nun weiterverarbeitet werden kann. Gleichzeitig wird der Schalter S, der hier symbolisch für eine Begrenzungsschaltung steht, über dem Integrationskondensator C1 so lange geschlossen, bis der Energiebetrag des Fehlerpulses aufgezehrt ist und sich das Signal wieder in den zulässigen Grenzen bewegt. Das heisst, der Schalter S wird so lange geschlossen, wie die durch die Verfälschung des Zeichens aufgetretene Überschreitung der Grenzspannung $+U_g$ bzw. $-U_g$ dauern würde.

Wie aus Fig. 2 ersichtlich ist, erfolgt bei einem binär codierten Digitalsignal beim Auftreten eines Fehlers eine zweimalige Überschreitung der Grenzspannung $+U_g$ bzw. $-U_g$. Es sind dort als Beispiel drei Codeworte, jeweils aus sechs Bit bestehend, eines binären Digitalsignals dargestellt. Die RDS ist hier auf ± 3 bzw. -3 begrenzt. Das entsprechende analoge Abbild dieser Grenzen der RDS ist die Grenzspannung $+U_g$ bzw. $-U_g$. In Zeile a) der Fig. 2 ist die unverfälschte Zeichenfolge und in Zeile b) die mit einem Fehler F beim zweiten Bit des zweiten Codewortes behaftete Zeichenfolge dargestellt. Die durchgezogene Kurve c des Diagramms in Fig. 2 zeigt den Spannungsverlauf U_a am Ausgang des Integrators I der Fig. 1. Infolge des aufgetretenen Fehlers F würde nach einiger Zeit, die von der Statistik des Signals abhängig ist und im Ausführungsbeispiel die Dauer von etwa dreissig Bit nicht übersteigt, der zulässige Spannungswert $+U_g$ zum ersten Mal überschritten (gekennzeichnet mit F1). Mit Hilfe des Komparators K1 und des Schalters S (vgl. Fig. 1) wird U_a aber auf den Wert $+U_g$ begrenzt. Dasselbe geschieht bei der zweiten Überschreitung F2 (vgl. Fig. 2). Die in Fig. 2 gestrichelt eingezeichnete Kurve a zeigt den Spannungsverlauf bei dem Signal ohne Fehler, die punktierte Kurve b den Spannungsverlauf bei dem Signal mit Fehler und ohne Begrenzung, woraus ersichtlich ist, dass ohne Begrenzung der den ursprünglichen RDS-Werten entsprechende Spannungsverlauf nicht mehr erreicht würde. Man muss nun lediglich noch dafür sorgen, dass der zweimalige Fehlerpuls F1, F2 lediglich als ein Fehler registriert wird.

Fig. 3 zeigt ein Ausführungsbeispiel der erfindungsgemässen Anordnung für ein binär codiertes Digitalsignal, entsprechend dem in Fig. 2 dargestellten Prinzip.

Der Operationsverstärker V aus Fig. 1 ist hier in Fig. 3 als Differenzverstärker ausgebildet, bestehend aus den Transistoren T2 und T3, den Kollektorimpedanzen S1 bzw. S2 in den Kollektorzuleitungen von T2 bzw. T3, der Emitterstromquelle S3 in der gemeinsamen Emitterzuleitung der Transistoren T2, T3 und dem die Kollektorimpedanzen verbindenden Kondensator C2. Dieser Kondensator C2 bewirkt, dass die Kollektorimpedanzen S1 und S2 im Frequenzbereich des Leistungsspektrums des codierten Digitalsignals als Konstantstromquellen wirken, für Gleichstrom aber Konstantspannungsquellen darstellen. Der Basis von T2 wird das binär codierte Digitalsignal U_e zugeführt. An der Basis von T3 liegt die Referenzspannung U_{r1} . Das Potential dieser Referenzspannung liegt in der Mitte zwischen dem Spannungspotential einer binären «1» und einer binären «0» des Digitalsignals. Der Integrationskondensator C1 liegt zwischen den

beiden Kollektoren von T2 und T3.

Die Aufgabe der beiden Komparatoren K1 bzw. K2 und des Schalters S in Fig. 1 übernehmen in Fig. 3 die Schaltungsteile K1S bzw. K2S. Die Kollektoren der beiden Transistoren T6 bzw. T7 von K1S bzw. K2S sind über die Kollektorwiderstände R6 bzw. R7 mit der Betriebsspannungsquelle U_b verbunden. Über die Basis-Emitter-Strecken von T6 bzw. T7 ist der Kollektor von T2 mit T3 bzw. T3 mit T2 verbunden, d.h. die Basis-Emitter-Strecken sind antiparallel über den Integrationskondensator C1 geschaltet. Im fehlerfreien Fall bewegt sich die Spannung über dem Integrationskondensator C1 unterhalb der Anlaufspannung der Basis-Emitter-Diode von T6 bzw. T7. Im Falle einer Über- oder Unterschreitung der zulässigen Grenzen, d.h. nach dem Auftreten eines Fehlers, wird der Transistor T6 oder T7 leitend und es wird am Kollektor von T6 oder T7 über das ODER-Glied ein Fehlersignal erzeugt.

Wird hohe Genauigkeit und Geschwindigkeit dieses Ansprechens gewünscht, kann es störend wirken, dass die Basis-Emitter-Dioden von T6 und T7 keine scharfen Knickspannungen haben und dass infolge der Sättigung dieser Transistoren eine Speicherzeit verursacht wird. Ausserdem wird der Integrationskondensator C1 nicht direkt kurzgeschlossen, so dass infolge des dadurch fliessenden Kollektorstroms ein Gleichtaktsprung auftreten kann.

In vorteilhafter Weise werden deshalb zwischen Basis und Kollektor der Begrenzungstransistoren T6 bzw. T7 die Schottky-Dioden D3 bzw. D4 geschaltet. Bei den hier verwendeten npn-Transistoren sind die Schottky-Dioden in Flussrichtung von Basis zu Kollektor geschaltet. Ausserdem werden hochohmige Kollektorwiderstände R6 bzw. R7 (beispielsweise etwa 20 k Ω) verwendet. Sobald nun ein solcher Begrenzungstransistor anspricht, wird der überflüssige Basisstrom über die Schottky-Diode abgeführt und der nahezu konstante Basisstrom bewirkt eine konstante Basis-Emitter-Spannung. Der Integrationskondensator C1 wird so direkt über die Schottky-Diode und die Kollektor-Emitter-Strecke des Transistors entladen. Der entsprechende Transistor gelangt nicht in die Sättigung und der kleine Kollektorstrom verursacht praktisch keine Gleichtaktsstörung.

Die Kollektorimpedanzen S1 bzw. S2 bestehen aus den Transistoren T4 bzw. T5, den mit der Betriebsspannung U_b verbundenen Emitterwiderständen R4 bzw. R5, den Kollektor-Basis-Widerständen R3 bzw. R8 und den Basisableitwiderständen R9 bzw. R10.

Zwischen den Basisanschlüssen der beiden Transistoren T4 und T5 ist der Kondensator C2 angeordnet, um im Frequenzbereich des codierten Digitalsignals eine hohe Verstärkung, für Gleichspannungen, d.h. für die Frequenz $f = 0$, aber eine möglichst geringe Verstärkung zu erhalten. In vorteilhafter Weise sind hierzu die Emitterwiderstände R4 und R5 niederohmig (beispielsweise etwa 150 Ω) und die über den Kondensator C2 miteinander verbundenen Kollektor-Basis-Widerstände R3 und R8 hochohmig (beispielsweise etwa 20 k Ω) ausgeführt.

Durch die Einfügung des Kondensators C2 sind die beiden Transistoren T4 und T5 gleichspannungsmässig entkoppelt und stellen somit für die Frequenz $f = 0$ Konstantspannungsquellen mit dem Innenwiderstand R4 bzw. R5 dar. Infolge der geringen Gleichspannungsverstärkung wird der Einfluss von Unsymmetrien auf die Integratoreigenschaften wesentlich verringert. Im Frequenzbereich, in dem das Leistungsspektrum des codierten Digitalsignals liegt, befinden sich die Basen der beiden Transistoren T4 und T5 jedoch auf gemeinsamem Potential und stellen dann Konstantstromquellen mit einem hohen Ausgangswiderstand dar.

Die Konstantstromquelle S3, die in der gemeinsamen Emitterzuleitung der beiden Transistoren T2 und T3 in Fig. 3

liegt, besteht aus dem Transistor T1, den Widerständen R1, R2 und den Dioden D1, D2. Die Kollektor-Emitter-Strecke des Transistors T1 verbindet die Emitter von T2 und T3 über den Emitterwiderstand R1 mit dem Bezugspunkt der Schaltungsanordnung. Die Basis von T1 ist über den Widerstand R2 an die Betriebsspannung U_b geführt. Die zwischen der Basis von T1 und dem Bezugspunkt der Schaltung angeordnete erste Diode D1 erzeugt die Vorspannung für den Transistor T1 und kompensiert den Temperaturgang der Basis-Emitter-Strecke des als Stromquelle geschalteten Transistors T1.

Um den Temperaturkoeffizienten der Knickspannung der Basis-Emitter-Dioden der Begrenzungstransistoren T6 und T7 zu kompensieren und damit ein Ansprechen von T6 und T7 bei steigender Umgebungstemperatur zu verhindern, ist zwischen der Basis des Transistors T1 und dem Bezugspunkt der Schaltung in Serie zur ersten Diode D1 eine zweite Diode D2 angeordnet. Damit erhält die Emitterstromquelle S3 einen solchen Temperaturkoeffizienten, der bei der Ausgangsspannung des Integrators den Temperaturkoeffizienten der Begrenzungstransistoren T6 und T7 berücksichtigt.

Die an den Kollektoren der Begrenzungstransistoren T6 oder T7 im Fehlerfall anliegenden Fehlersignale werden über die logische ODER-Schaltung G verknüpft, da es zur Ermittlung der Fehlerrate des Digitalsignals belanglos ist, ob es sich um eine Unterschreitung oder eine Überschreitung der maximal zulässigen RDS-Werte handelt, die von einem negativen Fehler (0 statt 1 bei einem binären Signal) oder von einem positiven Fehler (1 statt 0 bei einem binären Signal) herrührt.

Dieser für die Dauer eines Bit am Ausgang der ODER-Schaltung G anliegende Fehlerpuls setzt in Fig. 3 ein Monoflop M mit der Verzögerungszeit t_1 . Dieses Monoflop M ist hier so ausgeführt, dass es erst nach einer Zeit $t_1 + t_2$ erneut von einem Fehlerimpuls getriggert werden kann und somit direkt eine, beispielsweise in CMOS-Technik aufgebaute, Auswerteschaltung angesteuert werden kann, so dass vom Ausgang A des Monoflops M die Fehlermeldung mit einer langsamen und leistungssparenden Logikschaltung weiterverarbeitet werden kann.

Die Verzögerungszeit t_1 des Monoflops M ist für binär codierte Digitalsignale so lang, dass die von einem Fehler F verursachten Überschreitungen F1 und F2 der Grenzspannung $+U_g$ oder $-U_g$ (vgl. Fig. 2) nur als ein Fehler erkannt und gezählt werden. Die Verzögerungszeit t_1 hängt damit von der Statistik des Signals und der verwendeten Codierung ab.

Fig. 4 zeigt ein Ausführungsbeispiel einer Schaltungsanordnung zur Erkennung von Fehlern in ternär codierten Digitalsignalen. Der Hauptunterschied der hier gezeigten Anordnung gegenüber der in Fig. 3 dargestellten besteht darin, dass hier ein kreuzgekoppelter Differenzverstärker verwendet wird. In den gemeinsamen Emitterzuleitungen der beiden Transistoren T21 und T31 bzw. T22 und T32 liegen die Emitterstromquellen S31 bzw. S32. Diese Konstantstromquellen können entsprechend der oben beschriebenen Stromquelle S3 in Fig. 3 ausgestaltet sein. Die Kollektoren von T21 und T22 bzw. von T31 und T32 sind miteinander verbunden. Die beiden Verbindungspunkte der Kollektorzusammenschlüsse sind durch den Integrationskondensator C1 überbrückt. An die Basis des Transistors T21 wird das ternär codierte Digitalsignal U_{e1} geführt und an die Basis des Transistors T32 das invertierte ternäre Digitalsignal U_{e2} . Bei einem ternär codierten Digitalsignal sind die Zeichen $+1, 0, -1$ invers zu den Zeichen $-1, 0, +1$. Die miteinander verbundenen Basen der Transistoren T31 und T22 liegen an der Referenzspannung U_{r2} , die in der Mitte zwischen dem Potential einer «0» und einer «+1» liegt. Die übrigen Schaltungsteile, nämlich die Kollektorimpedanzen S1 und S2, der Kondensator C2, die beiden Vergleichs- und Begrenzungsanordnungen

K1S und K2S, das ODER-Glied G und das Monoflop M sind entsprechend der in Fig. 3 dargestellten Schaltung angeordnet. Das Monoflop M hat hier die Funktion eines Impulsverlängerers, da bei einem ternär codierten Digitalsignal durch einen aufgetretenen Fehler die RDS bzw. Grenzwerte $+U_g$ oder $-U_g$ nur einmal überschritten werden.

Die in Fig. 4 für ein ternär codiertes Digitalsignal gezeigte Schaltungsanordnung arbeitet analog der in Fig. 3 für ein binär codiertes Digitalsignal gezeigten Anordnung. Bei einer ternären «0» erfolgt keine Ladungsveränderung beim Integrationskondensator.

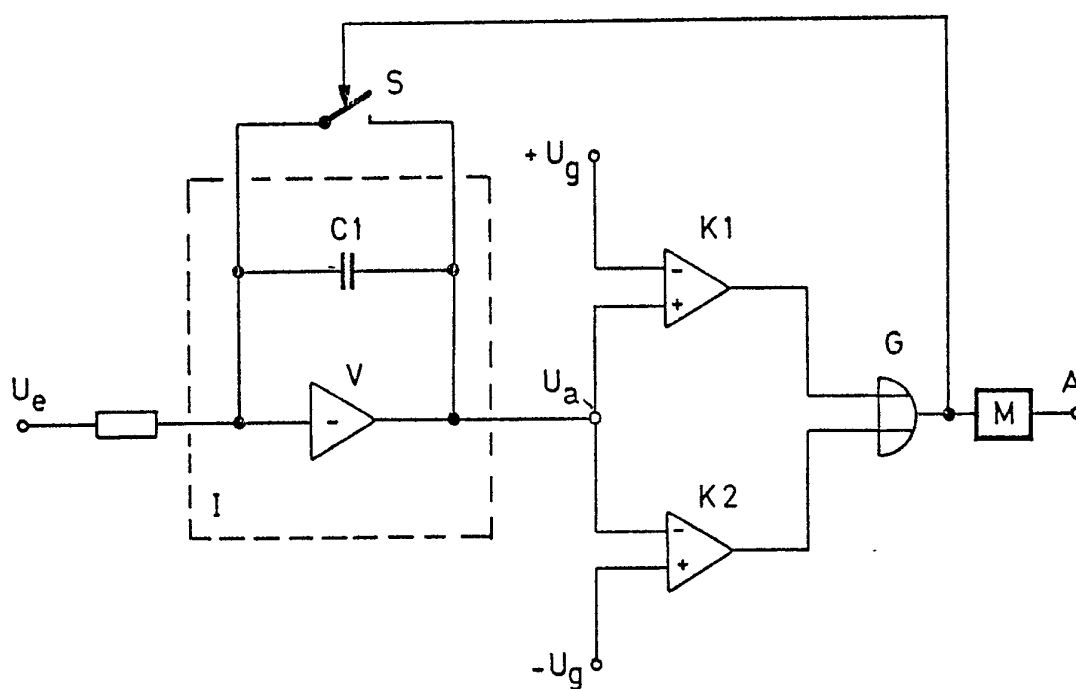


Fig. 1

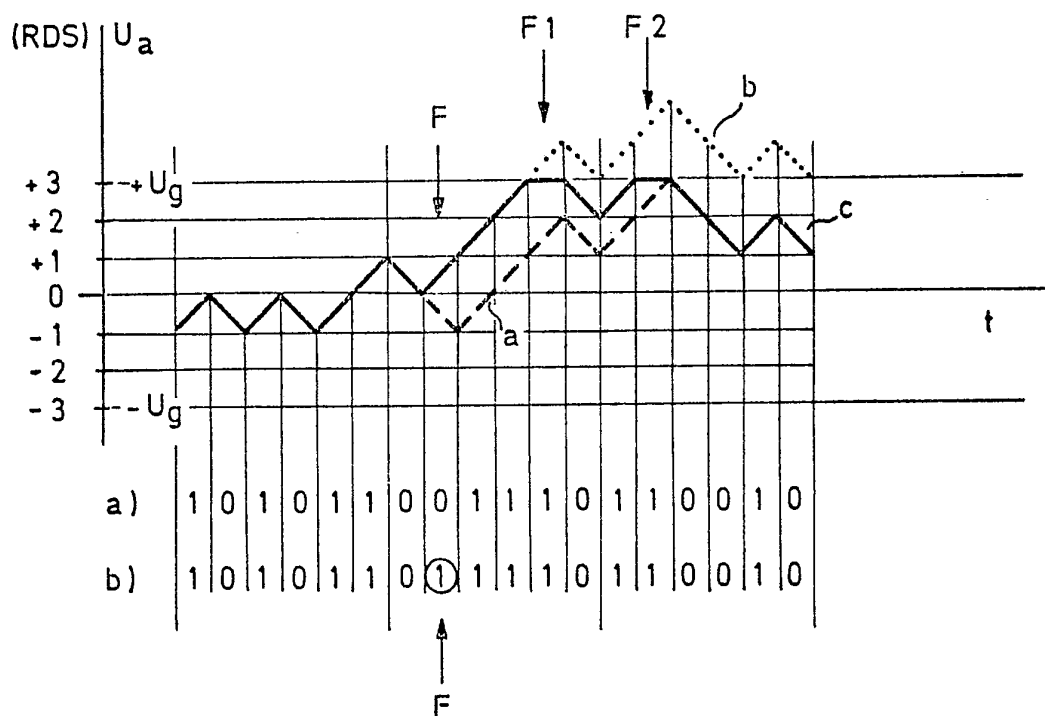


Fig. 2

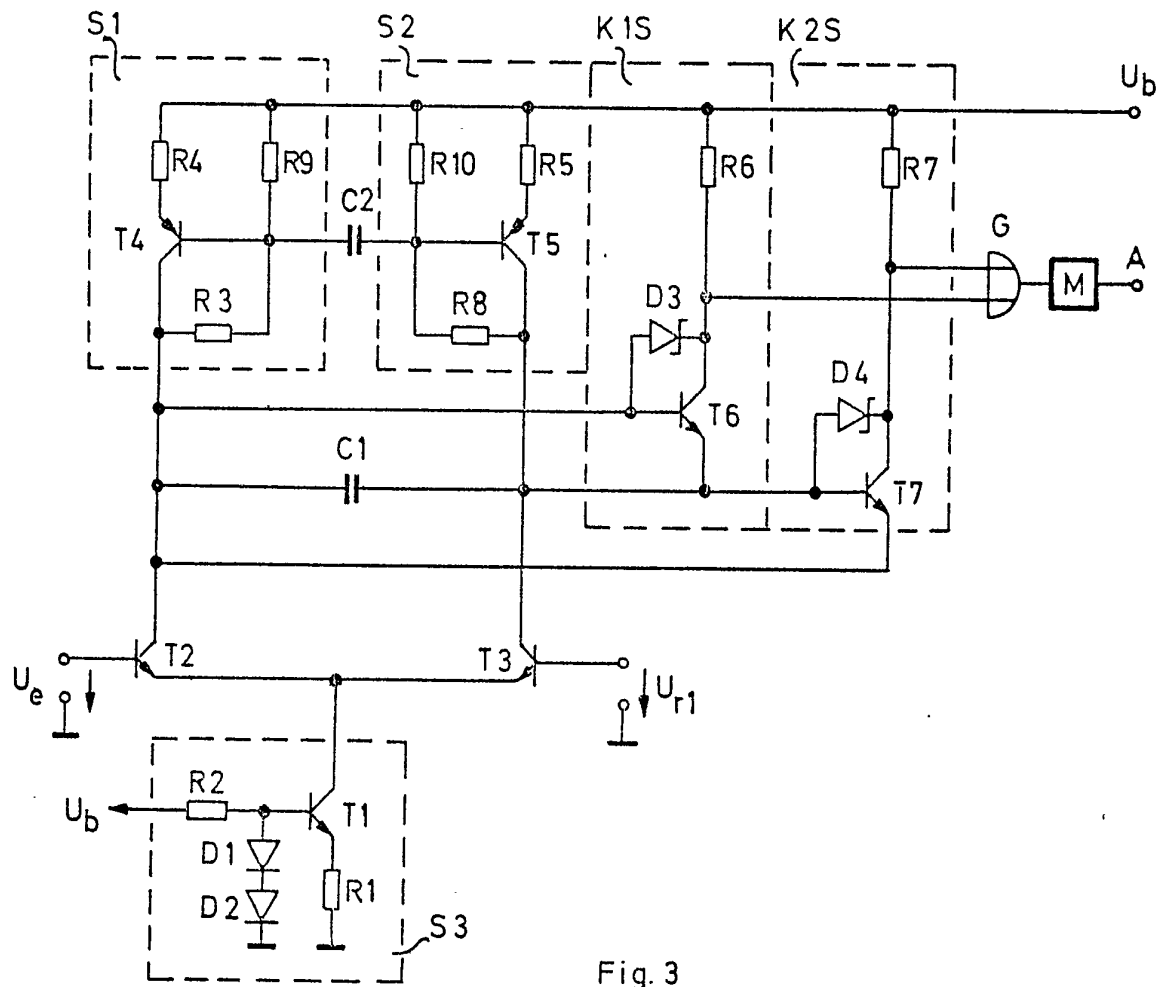


Fig. 3

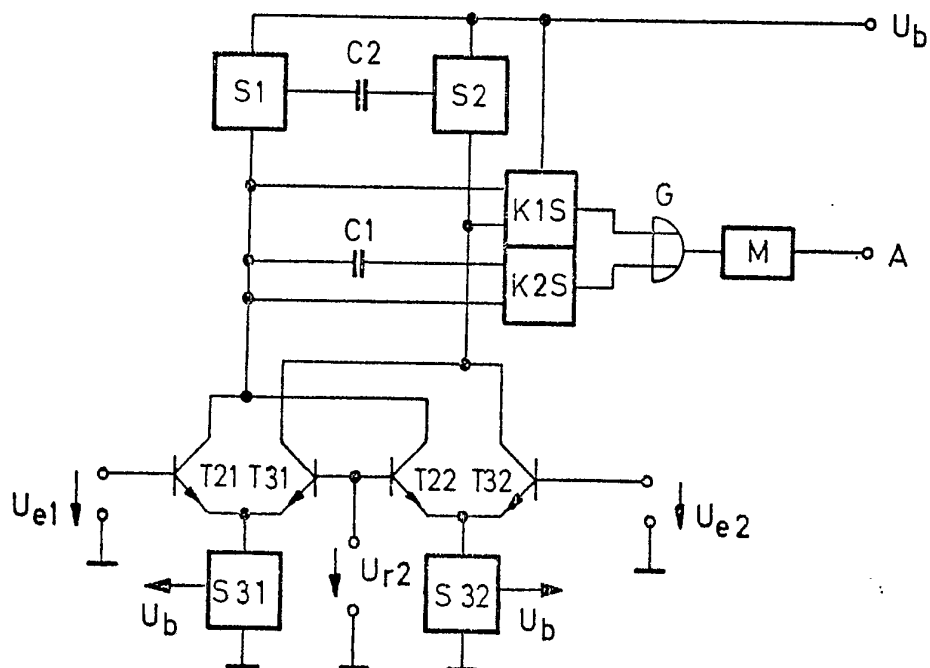


Fig. 4