(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2015년11월12일
(11) 등록번호 10-1568228
(24) 등록일자 2015년11월05일

(51) 국제특허분류(Int. Cl.)
H03M 1/34 (2006.01)
(21) 출원번호 10-2014-0077030
(22) 출원일자 2014년06월24일
심사청구일자 2014년06월24일
(56) 선행기술조사문헌
KR1020090022980 A*
KR1020100122853 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
김철우
서울특별시 성북구 길음로16, 605-1301 (길음동, 길음뉴타운)
박세진
서울특별시 성북구 안암로 145, 미래융합기술관 516호 (안암동5가)
(뒷면에 계속)
(74) 대리인
심경식, 홍성욱

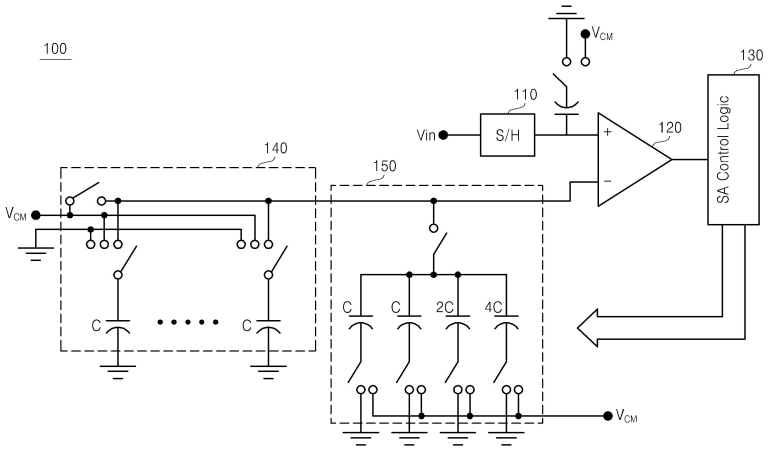
전체 청구항 수 : 총 13 항 심사관 : 조춘근

(54) 발명의 명칭 **전하 공유와 전하 재분배를 기반으로 한 저전력 아날로그 디지털 변환기 및 그 방법**

(57) 요 약

아날로그 디지털 변환기를 제공한다. 본 발명의 아날로그 디지털 변환기는 아날로그 입력신호를 샘플하고 전 과정이 끝날 때까지 그 값을 유지시키는 샘플앤홀드 유닛; 전하공유 및 전하재분배를 거쳐 기준전압을 발생시키는 디지털 아날로그 변환 유닛; 상기 샘플앤홀드에서 샘플된 전압과, 상기 디지털 아날로그 변환 유닛에서 출력된 기준전압을 비교하는 비교기; 및 상기 비교기의 출력에 의거하여 상기 디지털 아날로그 변환 유닛의 동작을 제어하는 제어신호를 출력하는 순차 비교 레지스터 유닛을 포함하되, 상기 디지털 아날로그 변환 유닛은 병렬로 연결된 복수의 단위 커패시터들을 포함하고, 상기 순차 비교 레지스터 유닛에서 출력된 제어신호에 의거하여 인접한 단위 커패시터들 간 전하를 공유하는 전하 공유기; 및 이중으로 가중된 복수의 커패시터들을 포함하고, 상기 순차 비교 레지스터 유닛에서 출력된 제어신호에 의거하여 전하를 재분배하는 전하 재분배기를 포함한다.

대 표 도 - 도2



(72) 발명자

이호규

서울특별시 성북구 안암로 145, 미래융합기술관 516호 (안암동5가)

박윤수

충청남도 예산군 예산읍 사직동길 65, 106호 (삼미맨션)

임채강

인천광역시 남구 한나루로 550번길 91 (주안동)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711000127
부처명	미래창조과학부
연구관리전문기관	한국연구재단
연구사업명	기초연구실지원
연구과제명	그린 스마트패치 및 응용 소프트웨어 연구
기 여 율	1/1
주관기관	고려대학교 산학협력단
연구기간	2013.09.01 ~ 2014.08.31

명 세 서

청구범위

청구항 1

아날로그 디지털 변환기에 있어서,

아날로그 입력신호를 샘플하고 전 과정이 끝날 때까지 그 값을 유지시키는 샘플앤홀드 유닛;

전하공유 및 전하재분배를 거쳐 기준전압을 발생시키는 디지털 아날로그 변환 유닛;

상기 샘플앤홀드에서 샘플된 전압과, 상기 디지털 아날로그 변환 유닛에서 출력된 기준전압을 비교하는 비교기; 및

상기 비교기의 출력에 의거하여 상기 디지털 아날로그 변환 유닛의 동작을 제어하는 제어신호를 출력하는 순차 비교 레지스터 유닛을 포함하고,

상기 디지털 아날로그 변환 유닛은

공통 모드 전압(VCM) 기반 전하 재분배 처리 알고리즘을 적용하여, 최상위 레벨 비트(MSB)부터 n개의 차상위 레벨 비트들을 생성하는 전하 재분배기; 및

상기 전하 재분배기의 전체 전하를 공유하여 n+1번째 상위 레벨 비트를 생성하고, 전하공유동작 원리를 적용하여 n+2번째 상위 레벨 비트부터 최하위 레벨 비트(LSB)를 생성하는 전하 공유기를 포함하는 것을 특징으로 하는 아날로그 디지털 변환기.

청구항 2

제1항에 있어서,

상기 전하 공유기는

병렬로 연결된 복수의 단위 커패시터들을 포함하고, 상기 순차 비교 레지스터 유닛에서 출력된 제어신호에 의거하여 인접한 단위 커패시터들 간 전하를 공유하며,

상기 전하 재분배기는

이중으로 가중된 복수의 커패시터들을 포함하고, 상기 순차 비교 레지스터 유닛에서 출력된 제어신호에 의거하여 전하를 재분배하는 것을 특징으로 하는 아날로그 디지털 변환기.

청구항 3

제2항에 있어서, 상기 전하 공유기는

일단이 접지에 연결된 복수의 단위 커패시터들; 및

상기 단위 커패시터들의 타단에 연결되어 상기 단위 커패시터들을 공통 모드 전압(V_{CM}), 기준전압(V_{DAC}) 또는 접지 중 어느 하나의 단자에 연결시키는 복수의 스위치들로 구성된 제1 스위치부를 포함하며,

상기 스위치의 동작에 의해 인접한 단위 커패시터들간 전하를 공유하는 것을 특징으로 하는 아날로그 디지털 변환기.

청구항 4

제2항에 있어서, 상기 전하 재분배기는

이중으로 가중된 복수의 커패시터들;

상기 커패시터들 각각을 접지 또는 공통 모드 전압(V_{CM}) 중 어느 하나의 단자에 연결시키는 복수의 스위치들로 구성된 제2 스위치부; 및

상기 복수의 커패시터 중 어느 하나를 기준전압(V_{DAC}) 단자에 연결시키는 제3 스위치를 포함하는 것을 특징으로 하는 아날로그 디지털 변환기.

청구항 5

제1항에 있어서, 상기 디지털 아날로그 변환 유닛은

10비트의 해상도를 구현하기 위해 24개의 단위 커패시터 및 35개의 플립플롭을 포함하는 것을 특징으로 하는 아날로그 디지털 변환기.

청구항 6

제5항에 있어서, 상기 전하 공유기는

16개의 단위커패시터와 32개의 플립플롭을 포함하는 것을 특징으로 하는 아날로그 디지털 변환기.

청구항 7

제5항에 있어서, 상기 전하 재분배기는

8개의 단위 커패시터와 3개의 플립플롭을 포함하는 것을 특징으로 하는 아날로그 디지털 변환기.

청구항 8

제1항에 있어서, 상기 비교기는

이진 탐색 방식에 의거하여 상기 샘플된 전압과 상기 기준 전압을 비교하는 것을 특징으로 하는 아날로그 디지털 변환기.

청구항 9

제1항 또는 제8항에 있어서, 상기 비교기는

최상위 비트 출력시 외부의 기준 전압 생성기에서 직접 인가되는 전압의 절반과 상기 샘플된 전압을 비교하는 것을 특징으로 하는 아날로그 디지털 변환기.

청구항 10

전하 재분배기 및 전하 공유기를 포함하는 아날로그 디지털 변환기를 이용한 아날로그 디지털 변환 방법에 있어서,

아날로그 입력 신호를 샘플링하고 저장하는 단계;

상기 전하 재분배기에서 공통 모드 전압(V_{CM}) 기반 전하 재분배 처리 알고리즘을 적용하여 최상위 레벨 비트(MSB)부터 n개의 차상위 레벨 비트들을 생성하는 전하 재분배 처리 단계;

상기 전하 재분배기의 전체 전하를 상기 전하공유기와 공유하여 n+1번째 상위 레벨 비트를 생성하는 제1 전하 공유 단계; 및

상기 전하 공유기에서 전하공유동작 원리만을 적용하여 n+2번째 상위 레벨 비트부터 최하위 레벨 비트(LSB)를 생성하는 제2 전하공유 단계를 포함하는 것을 특징으로 하는 아날로그 디지털 변환 방법.

청구항 11

제10항에 있어서, 상기 전하 재분배 처리 단계는

기준전압 생성기에서 직접 인가된 기준전압의 반과 상기 샘플된 전압을 비교하여 MSB를 생성하는 단계;

상기 생성된 MSB에 의거하여 상기 기준전압을 재설정하는 단계; 및

상기 재설정된 기준전압에 의거하여 차상위 레벨의 비트값을 생성하고, 그 값에 의거하여 기준전압을 재설정하는 과정을 반복하는 단계를 포함하되,

상기 반복 단계는

MSB-3을 생성할 때까지 반복하는 것을 특징으로 하는 아날로그 디지털 변환 방법.

청구항 12

제11항에 있어서, 상기 MSB 생성단계는

상기 샘플된 전압이 상기 기준전압의 반 보다 큰 경우 MSB를 1로 생성하고, 상기 샘플된 전압이 상기 기준전압의 반 보다 작은 경우 MSB를 0으로 생성하는 것을 특징으로 하는 아날로그 디지털 변환 방법.

청구항 13

제11항에 있어서, 상기 기준전압 재설정단계는

상기 MSB가 1이면 상기 기준전압을 이전 기준전압의 3/4로 재설정하고,

상기 MSB가 0이면 상기 기준전압을 이전 기준전압의 1/4로 재설정하는 것을 특징으로 하는 아날로그 디지털 변환 방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 아날로그 디지털 변환기에 관한 것으로서, 보다 상세하게는 스위칭 에너지 소모를 줄이기 위해 전하 공유와 전하 재분배를 기반으로 하는 아날로그 디지털 변환기 및 그 처리방법에 관한 것이다.

배 경 기 술

[0002] 최근 휴대용 기기의 개발이 가속화되고, 휴대용 기기의 사용이 급격히 증가함에 따라 휴대용 기기의 배터리를 장시간 사용할 수 있도록 하기 위한 다양한 기술이 개발되고 있다. 특히, 칩의 면적과 전력의 감소는 회로 설계의 주된 이슈로서, 저전력 설계는 최근 몇 년간 회로 설계 분야의 최대 이슈로 자리매김하고 있다.

[0003] 이러한 저전력 설계는 아날로그 디지털 변환기(Analog Digital Converter, 이하 'ADC'라 칭함)에도 적용되어지고 있다. 도 1a 내지 도 1d는 종래의 실시 예에 따른 ADC에 대한 개략적인 구성도들로서, 도 1a는 종래의 10 비트 축차 근사형 ADC의 구조를 예시하고, 도 1b는 V_{CM}을 기반으로 한 종래의 10 비트 축차 근사형 ADC의 구조를 예시하고, 도 1c는 종래의 1:1 커패시터 비율 10 비트 ADC의 구조를 예시하고, 도 1d는 V_{CM}을 기반으로 한 종래의 1:1 커패시터 비율 10비트 ADC의 구조를 예시하고 있다.

[0004] 먼저, 도 1a를 참조하면, 종래의 10 비트 축차 근사형 ADC(10)는 샘플/홀드 회로(11), 비교기(12), 축차 근사 레지스터(SAR: Successive Approximation Register)(13), 커패시터 디지털-아날로그 변환기(14) 및 스위칭부(15)로 구성된다. 디지털-아날로그 변환기(14)는 이진으로 가중된 커패시터들(C_0, C_1,…, C_9, C_{10}, 이 때, $C_{i+1}=2C_i$ 이고, $C_1= C_0$임)을 사용하여 구현되었고, 각 커패시터들은 스위칭부(15)를 통해 전원 전압(Vdd) 또는 접지로 스위칭 된다. 이 때, 기준 전압을 생성하기 위한 커패시터(C_1,…, C_9, C_{10})들은 2개의 노드에 스위칭 되므로 이는 1개의 인버터로 구현가능하며, 인버터의 구동을 위해서 1개의 플립플롭이 요구된다. 따라서 종래의 N비트 축차 근사형 ADC(10)에는 N개의 플립플롭 및 2^N개의 단위 커패시터가 필요하다. 즉, 도 1a의 예와 같은 종래의 축차 근사형 ADC(10)를 이용하여 10 비트의 해상도를 구현하기 위해서는 2^{10}개(즉, 1024개)의 단위 커패시터 및 10개의 플립플롭이 필요하고, 이로 인해, 실리콘 면적을 크게 차지한다.

[0005] 도 1b를 참조하면, V_{CM}(=전원 전압/2)을 기반으로 한 종래의 10 비트 축차 근사형 ADC(20)는 샘플/홀드 회로(21), 비교기(22), 축차 근사 레지스터(SAR: Successive Approximation Register)(23), 커패시터 디지털-아날로그 변환기(24) 및 스위칭부(25)로 구성된다. 이 때, 커패시터 디지털-아날로그 변환기(24)는 이진으로 가중된 커패시터들(C_0, C_1,…, C_9 이 때, $C_{i+1}=2C_i$ 이고, $C_1= C_0$임)로 구성되며, V_{CM}을 사용함으로써 도 1a의 예와 비교하여 가장 큰 커패시터인 C_{10}를 제거할 수 있다. V_{CM}은 기준 전압인 전원 전압/2를 만들어내기 위해 사용되고 이는

V_{DAC} 노드에 직접 연결 될 수 있기 때문이다. 결과적으로, 도 1b의 예시된 종래의 축차 근사형 ADC(20)를 이용하여 10 비트의 해상도를 구현하기 위해서는 2^9개(즉, 512개)의 단위 커패시터 및 9개의 플립플롭이 필요하다. 이러한 축차 근사형 ADC(20)는 도 1a에 예시된 축차 근사형 ADC(10)와 비교하여 단위 커패시터의 양을 절반으로 줄일 수 있지만, 512개의 단위 커패시터를 구현하기 위해 매우 큰 커패시터 열이 필요하며, 이로 인해, 실리콘 면적을 크게 차지한다.

[0006] 도 1a 및 도 1b에 예시된 축차 근사형 ADC(10, 20)들은 이진으로 가중된 커패시터들을 사용함으로써, 하나의 커패시터는 이전 커패시터의 2배가 되어 전체 커패시터 열이 매우 큰 면적을 차지한다. 한편, 1:1 커패시터 비율로 구성된 축차 근사형 아날로그-디지털 변환기(Custom Integrated Circuits Conference (CICC), 2010 IEEE, vol., no., pp.1-4, 19-22 Sept. 2010 and titled "A low-power area-efficient switching scheme for charge-sharing DACs in SAR ADCs,"에 소개)는 10 비트를 기준으로 했을 때 기존의 구조보다 94%의 면적을 줄일 수 있기 때문에 광범위하게 사용된다. 이와 같이 1:1 커패시터 비율로 구성된 축차 근사형 아날로그-디지털 변환기의 예가 도 1c 및 도 1d에 예시되어 있다.

[0007] 도 1c를 참조하면, 종래의 1:1 커패시터 비율 10 비트 ADC(30)는 샘플/홀드 회로(31), 비교기(32), 축차 근사 레지스터(SAR: Successive Approximation Register)(33), 커패시터 디지털-아날로그 변환기(34) 및 스위칭부(35)로 구성된다. 이 때, 커패시터 디지털-아날로그 변환기(34)는 1:1 커패시터 비율이 적용됨으로써, 64개의 커패시터들(C_1, C_2,…, C_{64}, 이 때, $C_{i+1}=C_i$임)로 구성되며, 각 커패시터들스위칭부(35)는 192개의 스위치가 필요하다. 한편, 10 비트의 동작을 끝내기 위해서는 15번의 클럭 주기가 필요하며, 각각의 커패시터가 전원 전압(Vdd), Vdac, 접지의 세 노드에 스위칭되어야 한다. 따라서 각 커패시터마다 세 단을 구성하기 위해서 최소 2개의 플립플롭이 필요하고, 10 비트 축차 근사형 아날로그-디지털 변환기에는 128개의 플립플롭이 필요하다. 이와 같이 도 1c에 예시된 종래의 ADC(30)는 1:1 커패시터 비율을 적용함으로써, 전체 커패시터의 개수를 줄일 수 있는 반면, 플립플롭의 개수를 크게 증가시킨다. 결과적으로 도 1c에 예시된 종래의 ADC(30)도 회로가 복잡하고 면적이 크다는 단점이 있다. 또한, 이 구조에서는 디지털-아날로그 변환기의 기생 커패시턴스가 축차 근사형 아날로그-디지털 변환기의 이진 행동을 방해(파괴)한다는 문제가 부가적으로 발생한다.

[0008] 도 1d를 참조하면, V_{CM}을 기반으로 한 종래의 1:1 커패시터 비율 10 비트 ADC(40)는 샘플/홀드 회로(41), 비교기(42), 순차 비교 레지스터 유닛(SA: Serial Approximation Control Logic)(43), 커패시터 디지털-아날로그 변환기(44a, 44b) 및 스위칭부(45a, 45b)로 구성된다. 이 때, 디지털-아날로그 변환기(44a, 44a)에는 1:1 비율 커패시터가 들어가고, V_{CM}을 사용함으로써 도 1c의 예와 비교하여 상대적으로 적은 수의 커패시터로 구성된다. 즉, 도 1d의 ADC(40)를 이용하여 10 비트 해상도를 구현하기 위해서는 24개의 단위 커패시터가 필요하다. 한편, 이 구조에서 각 커패시터들은 전원 전압(Vdd), Vcm, Vdac, 접지의 네 노드에 스위칭된다. 따라서, 각 커패시터마다 네 단을 구성하기 위해서는 최소 2개의 플립플롭이 필요하다. 결과적으로 10 비트 축차 근사형 아날로그-디지털 변환기를 위해서는 48개의 플립플롭이 필요하다. 즉, 도 1d에 예시된 ADC(40)는 V_{CM}을 사용함으로써 도 1c의 예와 비교하여 상대적으로 적은 수의 커패시터 및 플립플롭을 사용하지만, 여전히 플립플롭의 개수가 많다는 문제가 있으며, 이 구조 역시 디지털-아날로그 변환기 노드에서의 기생 커패시턴스 문제가 대두된다.

발명의 내용

해결하려는 과제

[0009] 따라서 본 발명은 실리콘 면적을 줄임으로써 전력 소비를 줄일 수 있는 아날로그 디지털 변환기 및 그 처리 방법을 제공하고자 한다.

[0010] 또한, 본 발명은 단위 커패시터와 플립플롭의 개수를 효과적으로 줄일 수 있는 아날로그 디지털 변환기 및 그 처리 방법을 제공하고자 한다.

[0011] 또한 본 발명은 전하 재분배와 전하 공유 기법이 적용된 아날로그 디지털 변환기 및 그 처리 방법을 제공하고자 한다.

과제의 해결 수단

[0012] 상기 목적을 달성하기 위해, 본 발명에서 제공하는 아날로그 디지털 변환기는 아날로그 입력신호를 샘플하고 전 과정이 끝날 때까지 그 값을 유지시키는 샘플앤홀드 유닛; 전하공유 및 전하재분배를 거쳐 기준전압을 발생시키

는 디지털 아날로그 변환 유닛; 상기 샘플앤홀드에서 샘플된 전압과, 상기 디지털 아날로그 변환 유닛에서 출력된 기준전압을 비교하는 비교기; 및 상기 비교기의 출력에 의거하여 상기 디지털 아날로그 변환 유닛의 동작을 제어하는 제어신호를 출력하는 순차 비교 레지스터 유닛을 포함한다.

[0013] 이 때, 상기 디지털 아날로그 변환 유닛은 병렬로 연결된 복수의 단위 커패시터들을 포함하고, 상기 순차 비교 레지스터 유닛에서 출력된 제어신호에 의거하여 인접한 단위 커패시터들 간 전하를 공유하는 전하 공유기; 및 이중으로 가중된 복수의 커패시터들을 포함하고, 상기 순차 비교 레지스터 유닛에서 출력된 제어신호에 의거하여 전하를 재분배하는 전하 재분배기를 포함하는 것이 바람직하다.

[0014] 또한, 상기 전하 공유기는 일단이 접지에 연결된 복수의 단위 커패시터들; 및 상기 단위 커패시터들의 타단에 연결되어 상기 단위 커패시터들을 공통 모드 전압(V_{CM}), 기준전압(V_{DAC}) 또는 접지 중 어느 하나의 단자에 연결시키는 복수의 스위치들로 구성된 제1 스위치부를 포함하며, 상기 스위치의 동작에 의해 인접한 단위 커패시터들 간 전하를 공유하는 것이 바람직하다.

[0015] 또한, 상기 전하 재분배기는 이중으로 가중된 복수의 커패시터들; 상기 커패시터들 각각을 접지 또는 공통 모드 전압(V_{CM}) 중 어느 하나의 단자에 연결시키는 복수의 스위치들로 구성된 제2 스위치부; 및 상기 복수의 커패시터 중 어느 하나를 기준전압(V_{DAC}) 단자에 연결시키는 제3 스위치를 포함하는 것이 바람직하다.

[0016] 한편, 상기 목적을 달성하기 위해, 본 발명에서 제공하는 아날로그 디지털 변환 방법은 전하 재분배기 및 전하 공유기를 포함하는 아날로그 디지털 변환기를 이용한 아날로그 디지털 변환 방법에 있어서, 아날로그 입력 신호를 샘플링하고 저장하는 단계; 상기 전하 재분배기에서 공통 모드 전압(V_{CM}) 기반 전하 재분배 처리 알고리즘을 적용하여 최상위 레벨 비트(MSB)부터 n개의 차상위 레벨 비트들을 생성하는 전하 재분배 처리 단계; 상기 전하 재분배기의 전체 전하를 상기 전하공유기와 공유하여 n+1번째 상위 레벨 비트를 생성하는 제1 전하 공유 단계; 및 상기 전하 공유기에서 전하공유동작 원리만을 적용하여 n+2번째 상위 레벨 비트부터 최하위 레벨 비트(LSB)를 생성하는 제2 전하공유 단계를 포함한다.

[0017] 이 때, 상기 전하 재분배 처리 단계는 기준전압 생성기에서 직접 인가된 기준전압의 반과 상기 샘플된 전압을 비교하여 MSB를 생성하는 단계; 상기 생성된 MSB에 의거하여 상기 기준전압을 재설정하는 단계; 및 상기 재설정된 기준전압에 의거하여 차상위 레벨의 비트값을 생성하고, 그 값에 의거하여 기준전압을 재설정하는 과정을 반복하는 단계를 포함하되, 상기 반복 단계는 MSB-3을 생성할 때까지 반복하는 것이 바람직하다.

[0018] 상기 MSB 생성단계는 상기 샘플된 전압이 상기 기준전압의 반 보다 큰 경우 MSB를 1로 생성하고, 상기 샘플된 전압이 상기 기준전압의 반 보다 작은 경우 MSB를 0으로 생성하고, 상기 기준전압 재설정단계는 상기 MSB가 1이면 상기 기준전압을 이전 기준전압의 3/4로 재설정하고, 상기 MSB가 0이면 상기 기준전압을 이전 기준전압의 1/4로 재설정하는 것이 바람직하다.

발명의 효과

[0019] 본 발명은 전하 재분배와 전하 공유 기법을 사용함으로써 단위 커패시터의 개수와 플립플롭의 개수를 줄일 수 있으며, 이로 인해 실리콘 면적을 줄일 수 있으며, 결과적으로 칩의 생산 단가를 낮추는 효과가 있다. 또한 본 발명은 단위 커패시터의 개수가 줄었으므로 기준 전압을 생성하기 위한 커패시터 타입의 디지털 아날로그 변환기의 스위칭 에너지도 감소하였다. 따라서, 본 발명은 전력 소모도 줄일 수 있는 장점이 있다.

도면의 간단한 설명

[0020] 도 1a 내지 도 1d는 종래의 실시 예에 따른 아날로그 디지털 변환기에 대한 개략적인 구성도들이다.

도 2는 본 발명의 일 실시 예에 따른 아날로그 디지털 변환기에 대한 개략적인 구성도이다.

도 3은 본 발명의 일 실시 예에 따른 아날로그 디지털 변환 방법에 대한 개략적인 처리 흐름도이다.

도 4a 내지 도 4g는 본 발명의 일 실시 예에 따른 아날로그 디지털 변환기를 이용하여 5비트의 해상도를 구현하는 과정을 순차적으로 예시한 도면들이다.

발명을 실시하기 위한 구체적인 내용

[0021] 아래에서는 첨부한 도면을 참고로 하여 본 발명의 실시 예에 대하여 설명하되, 본 발명이 속하는 기술 분야에서

통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시 예에 한정되지 않는다. 한편 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여

[0022] 유사한 부분에 대해서는 유사한 도면 부호를 붙였다. 또한 상세한 설명을 생략하여도 본 기술 분야의 당업자가 쉽게 이해할 수 있는 부분의 설명은 생략하였다.

[0023] 명세서 및 청구범위 전체에서, 어떤 부분이 어떤 구성 요소를 포함한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성 요소를 제외하는 것이 아니라 다른 구성 요소를 더 포함할 수 있는 것을 의미한다.

[0024] 도 2는 본 발명의 일 실시 예에 따른 아날로그 디지털 변환기에 대한 개략적인 구성도이다. 도 2를 참조하면 본 발명의 일 실시 예에 따른 아날로그 디지털 변환기(100)는 샘플/홀드 회로(Sample/Hold)(110), 비교기(comparator)(120), 순차 비교 레지스터 유닛(SA: Serial Approximation Control Logic)(130), 디지털-아날로그 변환 유닛(전하 공유기(140) 및 전하 재분배기(150))을 포함한다.

[0025] 샘플/홀드 회로(Sample/Hold)(110)는 아날로그 입력신호를 샘플하고 전 과정이 끝날 때까지 그 값을 유지시킨다. 즉, 본 발명의 아날로그 디지털 변환기(100)로 입력되는 입력 신호(V_{in})는 샘플/홀드 회로(110)에 포함된 샘플링 커패시터(미도시)에 샘플된다.

[0026] 비교기(comparator)(120)는 두 개의 입력단자를 통해 입력된 신호를 비교하여 그 결과를 순차 비교 레지스터 유닛(SA: Serial Approximation Control Logic)(130)로 출력한다. 이 때, 비교기(120)의 (+)단자에는 샘플/홀드 회로(110)에서 샘플된 전압이 인가되고, 비교기(120)의 (-)단자에는 디지털 아날로그 변환 유닛에서 출력된 전압(V_{DAC})이 인가되어 그 비교 결과가 출력된다. 상기 샘플된 전압과 기준 전압을 비교하기 위해, 비교기(120)는 이진탐색방식을 채택하는 것이 바람직하다. 한편, 비교기(120)는, 최초에 한번, 샘플된 전압을 디지털 아날로그 변환 유닛의 출력신호가 아닌 기준전압의 절반($V_{REF}/2$)과 비교한다. 이 때, 상기 기준전압(V_{REF})은 외부의 기준전압 생성기(미도시)에서 직접 인가되므로, 최상위 비트를 출력하기 위해 디지털 아날로그 변환기에서 요구되는 스위칭 에너지는 없다. 따라서, 이 경우 에너지 절약 효과가 있는 것이다.

[0027] 순차 비교 레지스터 유닛(SA: Serial Approximation Control Logic)(130)는 비교기(120)의 출력에 의거하여 디지털 아날로그 변환 유닛(전하 공유기(140) 및 전하 재분배기(150))의 동작을 제어하는 제어신호를 출력한다. 특히, 순차 비교 레지스터 유닛(SA: Serial Approximation Control Logic)(130)은 디지털-아날로그 변환 유닛(전하 공유기(140) 및 전하 재분배기(150))에 포함된 다양한 스위치들의 동작을 제어하는 제어신호를 출력한다.

[0028] 디지털-아날로그 변환 유닛은 전하 공유기(140) 및 전하 재분배기(150)를 포함하여 전하공유 및 전하재분배를 거쳐 비교기(120)의 (-)단자로 인가될 기준전압(V_{DAC})을 발생시킨다.

[0029] 이 때, 전하 공유기(140)는 병렬로 연결된 복수의 단위 커패시터들을 포함하고, 순차 비교 레지스터 유닛(130)에서 출력된 제어신호에 의거하여 인접한 단위 커패시터들 간 전하를 공유한다. 이를 이해, 복수의 단위 커패시터들은 일단이 접지에 연결되며, 타단에는 스위치가 연결되는데, 상기 복수의 스위치들은 상기 복수의 단위 커패시터들 각각에 연결되어 해당 단위 커패시터들을 공통 모드 전압(V_{CM}), 기준전압(V_{DAC}) 또는 접지 중 어느 하나의 단자에 연결시킨다.

[0030] 한편 전하 재분배기(150)는 이중으로 가중된 복수의 커패시터들(C, C, 2C, 4C)을 포함하고, 순차 비교 레지스터 유닛(130)에서 출력된 제어신호에 의거하여 전하를 재분배한다. 이를 위해, 전하 재분배기(150)는 상기 복수의 커패시터들과, 상기 커패시터들 각각의 일단에 연결되어 상기 커패시터들을 접지 또는 공통 모드 전압(V_{CM}) 중 어느 하나의 단자에 연결시키는 복수의 스위치들과, 상기 복수의 커패시터들의 타단에 공통적으로 연결되어 상기 복수의 커패시터 중 어느 하나를 기준전압(V_{DAC}) 단자에 연결시키는 스위치를 포함한다.

[0031] 이와 같은 본 발명의 아날로그 디지털 변환기를 이용하여 10 비트의 해상도를 구현할 경우, 전하 공유기(140)는 16개의 단위커패시터와 32개의 플립플롭이 필요하고, 전하 재분배기(150)는 8개의 단위 커패시터와 3개의 플립플롭이 필요하다. 따라서, 전체적으로 24개의 단위 커패시터 및 35개의 플립플롭이 필요하다.

[0032] 이는 종래의 실시 예들과 비교할 때, 단위 커패시터와 플립플롭의 수를 동시에 절감하는 효과가 있다.

[0033] 도 3은 본 발명의 일 실시 예에 따른 아날로그 디지털 변환 방법에 대한 개략적인 처리 흐름도이다. 도 2 및 도 3을 참조하면, 도 2에 예시된 본 발명의 아날로그 디지털 변환기를 이용한 아날로그 디지털 변환 방법은 다음과

같다.

[0034] 먼저, 아날로그 신호(V_{in})가 입력되면(S105), 샘플/홀드 회로(110)는 샘플앤 홀딩(sample and holding) 동작에 의해 그 아날로그 입력 신호(V_{in})를 샘플링하고 저장한다(S110).

[0035] 그리고 전하 재분배기(150)에서 공통 모드 전압(V_{CM}) 기반 전하 재분배 처리 알고리즘을 적용하여 최상위 레벨 비트(MSB)부터 n개의 차상위 레벨 비트들(예컨대, MSB-1, MSB-2, MSB-3)을 설정하는 전하 재분배 처리 단계(S115 내지 S140)와, 전하 공유기(140)에서 전하 공유 동작 원리에 의거하여 나머지 비트들을 설정하는 전하 공유 처리 단계(S145 내지 S155)를 수행한다.

[0036] 상기 전하 재분배 처리 단계(S115 내지 S140) 및 전하 공유 처리 단계(S145 내지 S155)의 보다 상세한 처리 과정은 다음과 같다.

[0037] 먼저, 샘플/홀드 회로(110)로부터 샘플된 전압을 수신한 비교기(120)는 기준전압 생성기(미도시)에서 직접 인가된 기준전압의 반($V_{REF}/2$)과 상기 샘플된 전압을 비교하여(S115) 최상위 레벨 비트(MSB)를 설정한다(S120). 이때, 비교기(120)는 상기 샘플된 전압이 상기 기준전압의 반($V_{REF}/2$) 보다 큰 경우 MSB를 1로 생성하고, 상기 샘플된 전압이 상기 기준전압의 반 보다 작은 경우 MSB를 0으로 생성하는 것이 바람직하다.

[0038] 이와 같이 MSB가 설정되면 전하 재분배기(150)는 상기 생성된 MSB에 의거하여 기준전압을 재설정한다(S125). 만약, 상기 MSB가 1이면 전하 재분배기(150)는 기준전압을 이전 기준전압의 3/4로 재설정하고, 상기 MSB가 0이면 전하 재분배기(150)는 상기 기준전압을 이전 기준전압의 1/4로 재설정할 수 있다.

[0039] 이와 같이 기준 전압이 재설정되면, 비교기(120)는 상기 재설정된 기준전압과 샘플 전압을 다시 비교하여(S130) 차상위 레벨 비트(MSB-1)를 설정한다(S135).

[0040] 그리고 현재 설정값이 MSB-3인지 여부를 확인하여(S140) 현재 설정값이 MSB-3이 될 때까지 상기 일련의 과정들(S125 내지 S135)을 반복 수행한다.

[0041] 현재 설정값이 MSB-3이 되면 전하 공유기(140)는 전하 재분배기(150)의 전체 전하를 공유한다(S145). 이러한 과정을 통해 상기 과정(S135)에서 최종적으로 설정한 레벨의 비트(MSB-3) 다음 레벨의 비트(MSB-4)가 설정된다.

[0042] 이와 같이 MSB-4 까지 설정한 후 전하 공유기(140)는 기 저장된 전하공유동작 원리만을 적용하여 MSB-5 부터 최하위 레벨 비트(LSB)를 생성한다(S150, S155).

[0043] 도 4a 내지 도 4g는 본 발명의 일 실시 예에 따른 아날로그 디지털 변환기의 처리 과정의 예를 도시한 도면들로서, 설명의 편의를 위해 5비트의 해상도를 구현하는 과정을 순차적으로 예시하고 있다. 이 때, V_{DAC}에 나타나는 기생 커패시턴스는 무시하였으며, 5비트 해상도를 위해서는 총 7번의 클럭 주기가 필요하므로, 도 4a 부터 도 4g 까지 각 클럭 주기별 회로의 동작 상태를 도시하였다. 특히 전하 공유기(140) 및 전하 재분배기(150) 동작을 상세히 설명하기 위해, 도 4a 및 도 4g에는 전하 공유기(140) 및 전하 재분배기(150)의 동작 상태만을 표시하였으며, 5비트 해상도 구현을 위한 실시 예이므로, 전하 공유기(140)는 4개의 단위 커패시터(C_1, C_2, C_3, C_4), 전하 재분배기(150)는 2개의 커패시터(C_5, C_6)로 구성되는 예를 도시하고 있다.

[0044] 먼저, 도 4a를 참조하면, 첫 번째 클럭에서 공통 모드 전압(Vcm)은 전하 재분배기(150)로 직접 인가되고 전하 재분배기(150)에 포함된 커패시터들(C_5, C_6)은 Vcm으로 연결된다. 따라서 첫 번째 비트(MSB)는 Vcm 기준 전압을 사용해 결정된다. 도면의 예에서, 기준 전압으로 Vcm 하나만 사용하므로, 만약 MSB가 1이면 Vcm만큼의 전압이 샘플된 입력 전압에서 차감된다. 결과적으로 MSB 동작 이후에 샘플된 입력 전압은 Vcm보다 작게 된다. 이 때, 비교기 출력은 [1]이 된다.

[0045] 도 4a에 예시된 바와 같이 전하 재분배가 수행된 후에는 기존의 스위칭 동작이 이루어진다. 즉, 도 4b에 예시된 바와 같이, 2번째 클럭 주기에서 MSB 커패시터(C_6)는 접지에 연결된다. 따라서, Vdac 노드에서의 전압은 1/4이 되고 Vcm만큼 낮아진 입력 전압과 비교된다. 이후로는 전하 공유 커패시터들에 의해 동작이 진행되기 때문에 전하 공유기(140)의 한 커패시터(C_4)가 Vcm으로 충전된다. 이 동작은 전하를 공유하기 위한 동작으로 동작의 중지 없이 계속 진행된다. 여기서 비교기 출력은 [0]이다.

[0046] 도 4c를 참조하면, 3번째 클럭 주기에서 전하 재분배기(150)의 커패시터들(C_5, C_6)은 Vdac 노드에 연결된다. 이

과정에서 Vdac 노드 전압은 1/8이 되고 이 전압이 입력 전압과 비교된다. 비교 결과는 [1]이다. 이 클럭 주기가 끝날 때 전하 재분배기(150)는 Vdac 노드에서 분리되며, 전하 재분배기(150)가 Vdac 노드에서 분리된 상태는 도 4d에 예시되어 있다. 또한, 전하 공유기(140)를 구성하는 두 개의 커패시터(C_3, C_4)가 Vdac 노드에 연결되어 각각 1/8로 충전된다.

[0047] 한편, 4번째, 5번째 클럭 주기 동안에는 전하 공유기(140)의 동작을 개시하기 위해, 전하 공유기(140)를 구성하는 커패시터들을 준비한다. 도 4d를 참조하면, 4번째 클럭 주기에서는 전하 공유기(140)를 구성하는 하나의 커패시터(C_2)가 Vcm으로 충전됨을 알 수 있다. 한편, 도 4e를 참조하면, 5번째 클럭 주기에는 상기 충전된 커패시터(C_2)가 다른 리셋 커패시터(C_1)와 전하를 공유하고 1/4의 기준 전압을 만들어낸다. 이와 같이 도 4d 및 도 4e를 통해 전하 공유기(140)의 모든 커패시터들은 충전 상태에서 다음 단계를 기다린다.

[0048] 도 4f를 참조하면, 상기 도 4e에 예시된 바와 같은 상태에서, 중앙의 두 커패시터들(C_2, C_3)만이 Vdac 단자에 연결되어 서로 전하를 공유하는 경우, 6번째 클럭 주기에서, 두 커패시터들(C_2, C_3)은 이전에 1/4와, 1/8로 서로 다른 값을 가지던 전하가 전하 공유를 수행하여 상기 두 값(1/4와, 1/8)의 중심인 값(3/16)을 기준 전압으로 출력하게 된다. 이제 입력 전압이 비교되고 4번째 비트의 결정이 완료된다. 이 경우에는 비교기의 출력은 [1]이다.

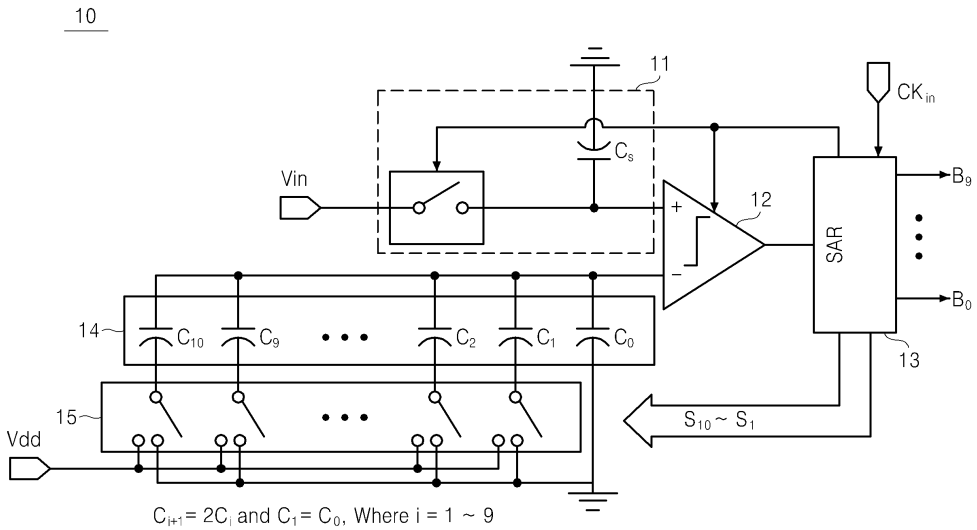
[0049] 마지막으로 도 4g를 참조하면, 7번째 클럭 주기에서는 하나의 3/16 커패시터(C_2)와 1/4 커패시터(C_1)가 전하를 공유해서 그 두 값의 중심인 값(7/32)을 기준 전압을 만들어낸다. 따라서 도 2의 비교기(120)는 상기 기준전압과 샘플전압을 비교 하고, 그 결과에 따라 5번째 비트의 결정이 완료된다. 이 경우에 비교기의 출력은 [1]이다. 이와 같이 하여, 본 발명의 아날로그 디지털 변환기를 이용하여 5비트 해상도를 구현하기 위한 5비트의 디지털 값은 '10111'이 되는 것이다.

[0050] 상술한 예시적인 시스템에서, 방법들은 일련의 단계 또는 블록으로써 순서도를 기초로 설명되고 있지만, 본 발명은 단계들의 순서에 한정되는 것은 아니며, 어떤 단계는 상술한 바와 다른 단계와 다른 순서로 또는 동시에 발생할 수 있다.

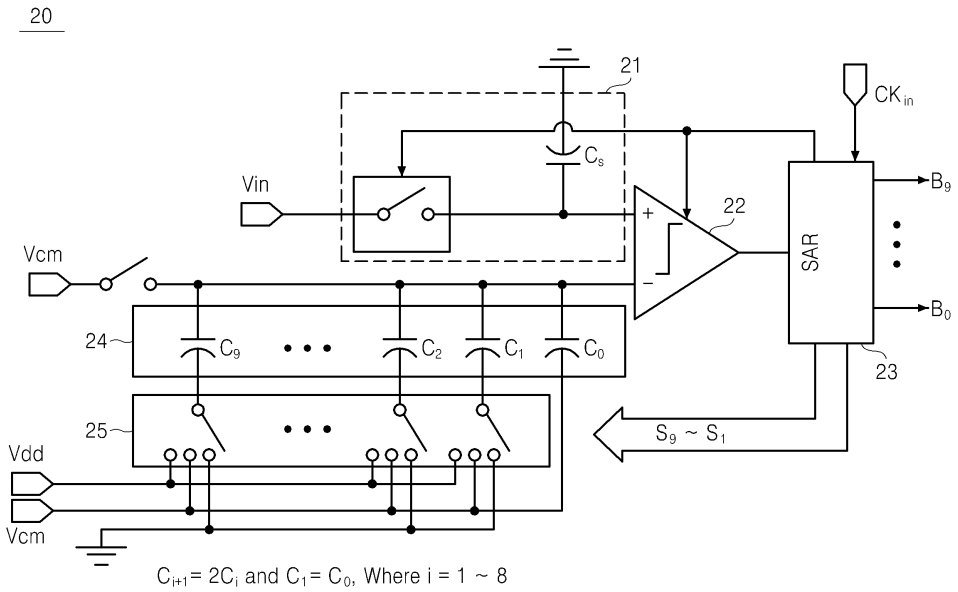
[0051] 또한, 당업자라면 순서도에 나타낸 단계들이 배타적이지 않고, 다른 단계가 포함되거나 순서도의 하나 또는 그 이상의 단계가 본 발명의 범위에 영향을 미치지 않고 삭제될 수 있음을 이해할 수 있을 것이다.

도면

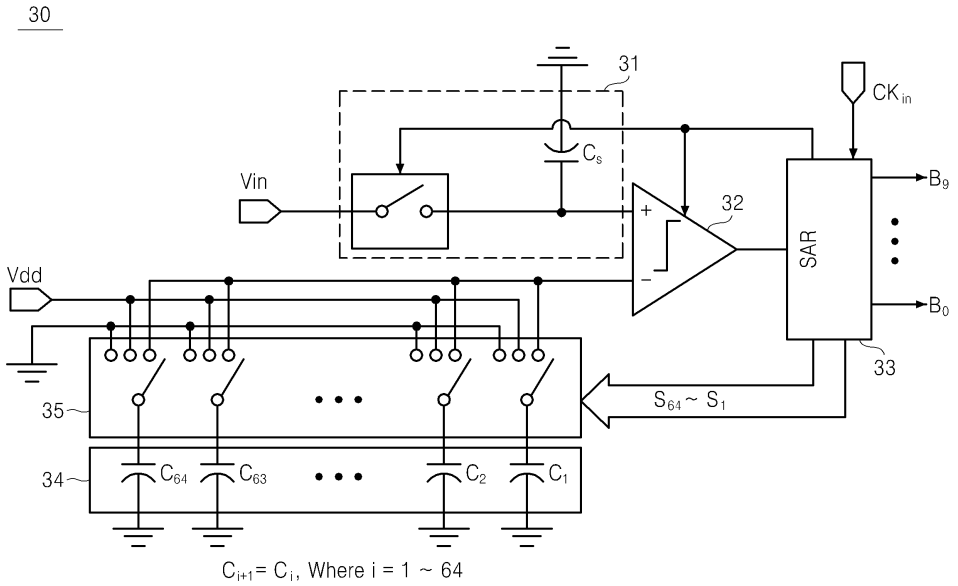
도면1a



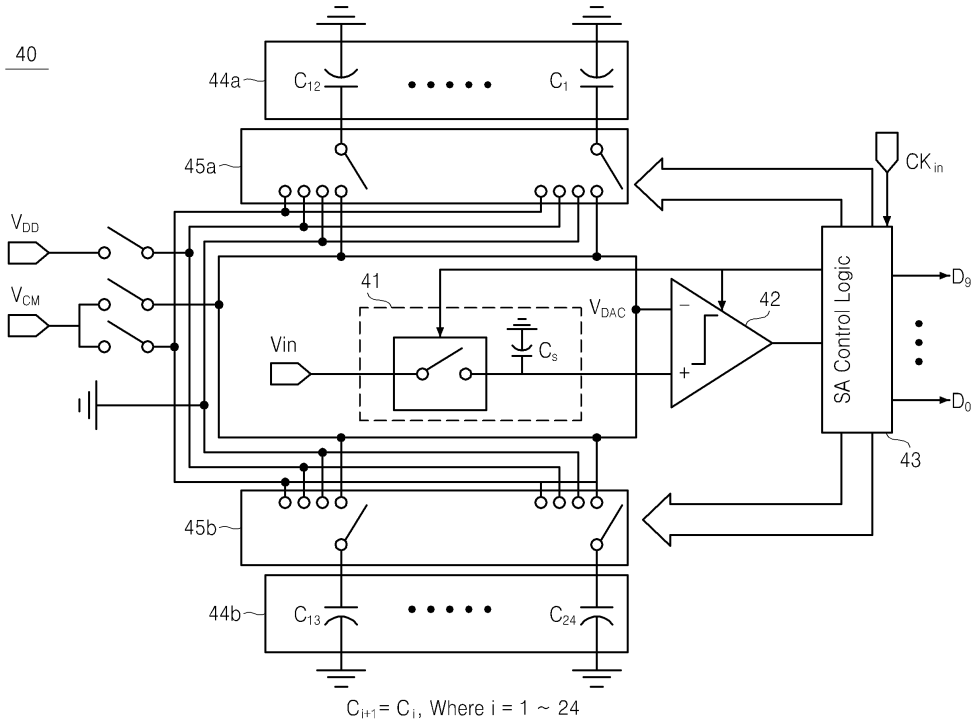
도면1b


20
21
CK in
Cs
Vin
22
B9
Vcm
SAR
B0
24
C9
C2
C1
C0
23
25
S9 ~ S1
Vdd
Vcm
Ci+1 = 2Ci and C1 = C0, Where i = 1 ~ 8

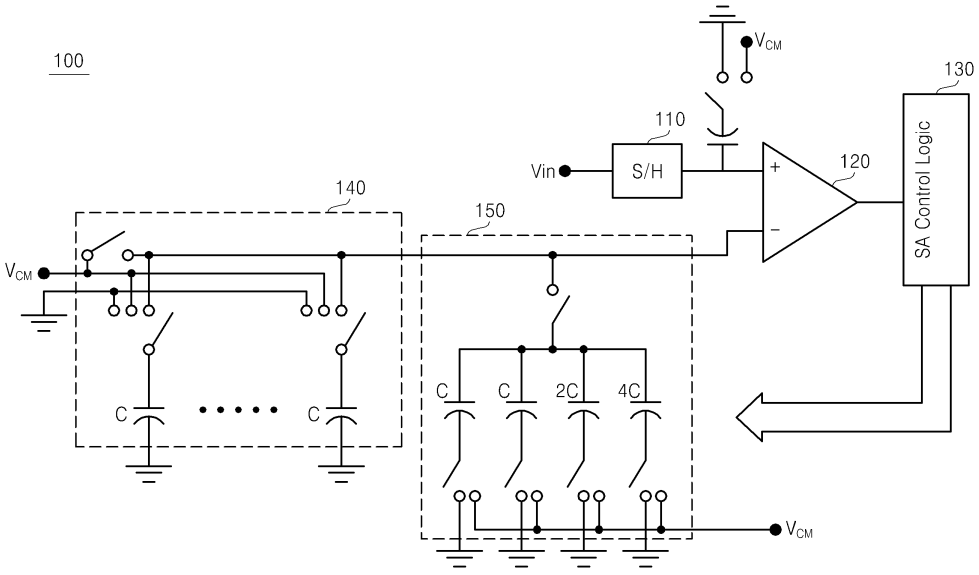
도면1c


30
31
CK in
Cs
Vin
32
B9
SAR
B0
Vdd
33
35
S64 ~ S1
34
C64
C63
C2
C1
Ci+1 = Ci, Where i = 1 ~ 64

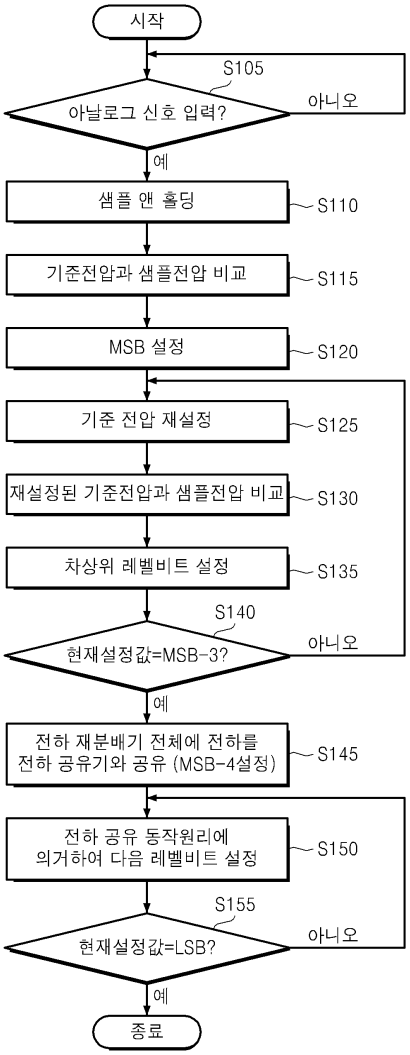
도면1d


40
44a
C12
C1
45a
CKin
VDD
VCM
41
VDAC
42
Vin
Cs
SA Control Logic
D9
D0
43
45b
44b
C13
C24
Ci+1 = Ci, Where i = 1 ~ 24

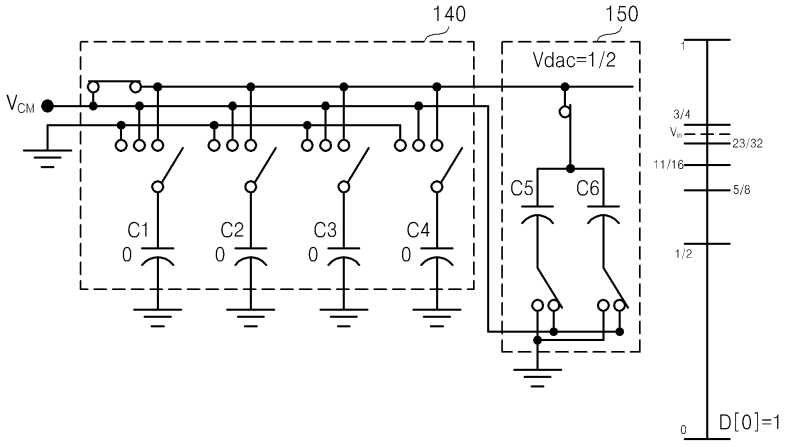
도면2


100
VCM
130
110
Vin
S/H
120
SA Control Logic
140
150
C
C
2C
4C
VCM

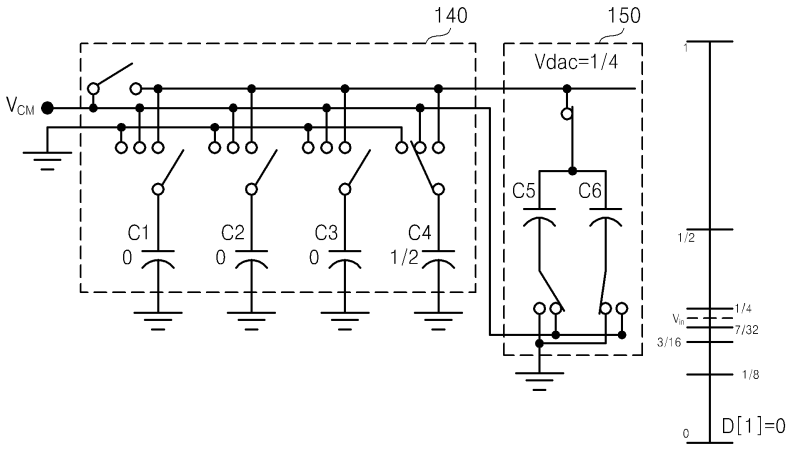
도면3


시작
S105
아날로그 신호 입력?
아니오
예
샘플 앤 홀딩
S110
기준전압과 샘플전압 비교
S115
MSB 설정
S120
기준 전압 재설정
S125
재설정된 기준전압과 샘플전압 비교
S130
차상위 레벨비트 설정
S135
S140
현재설정값=MSB-3?
아니오
예
전하 재분배기 전체에 전하를
전하 공유기와 공유 (MSB-4설정)
S145
전하 공유 동작원리에
의거하여 다음 레벨비트 설정
S150
S155
현재설정값=LSB?
아니오
예
종료

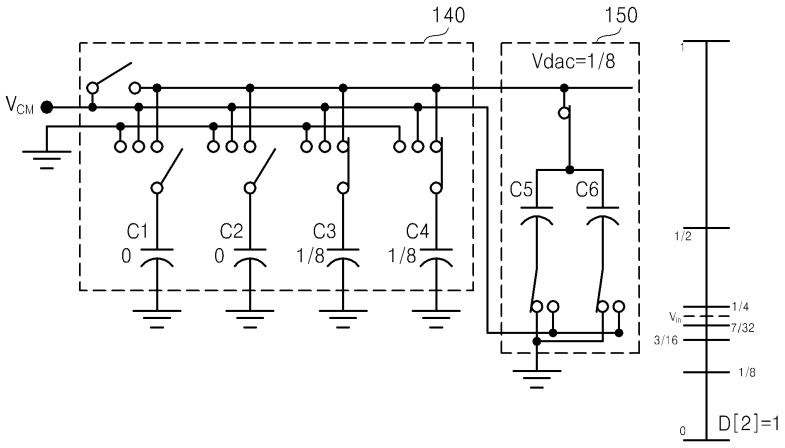
도면4a


140
150
Vdac=1/2
VCM
C1
C2
C3
C4
C5
C6
0
3/4
23/32
11/16
5/8
1/2
D[0]=1

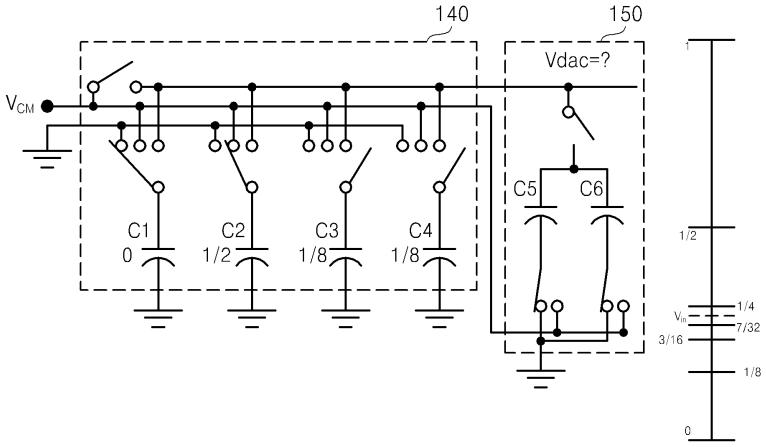
도면4b



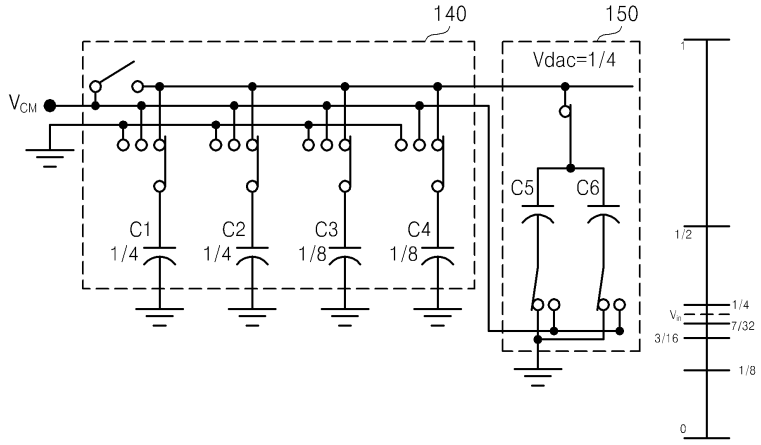
도면4c



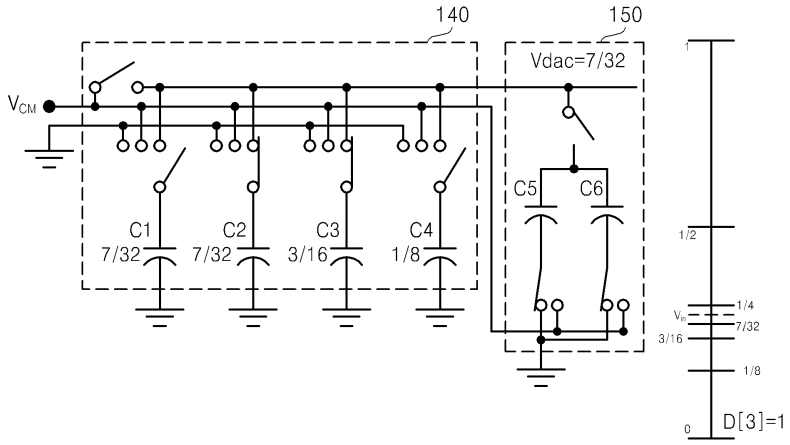
도면4d



도면4e



도면4f



도면4g

