



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0130330
(43) 공개일자 2011년12월05일

(51) Int. Cl.

H03L 7/099 (2006.01) H03L 7/08 (2006.01)

(21) 출원번호 10-2010-0087469

(22) 출원일자 2010년09월07일

심사청구일자 2010년09월07일

(30) 우선권주장

1020100049864 2010년05월27일 대한민국(KR)

(71) 출원인

부경대학교 산학협력단

부산 남구 용당동 산 100번지 부경대학교내

(72) 발명자

최영식

부산광역시 부산진구 개금3동 455 신개금LG아파트
210-303

(74) 대리인

문춘오, 오위환, 정기택

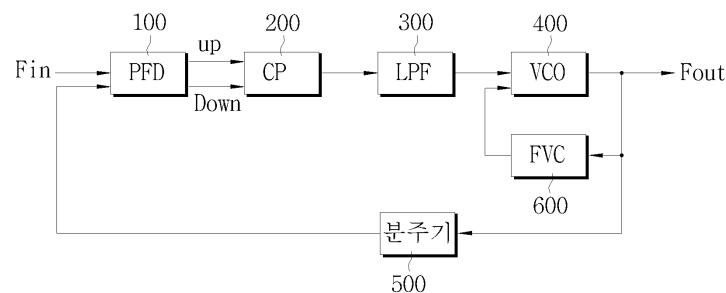
전체 청구항 수 : 총 12 항

(54) 자기잡음제거 전압제어발진기를 이용한 주파수-위상고정루프

(57) 요약

본 발명은 위상고정루프에서 가장 큰 잡음의 원천인 전압제어발진기를 새로운 구조의 자기잡음제거 전압제어발진기(Self-noise suppressing voltage controlled oscillator)로 대체하여 위상고정루프 잡음 특성을 향상시킨 자기잡음제거 전압제어발진기를 이용한 주파수-위상고정루프를 제공하기 위한 것으로서, 주파수-위상고정루프(Frequency-Phase-Locked Loop)에 부여되는 입력클록과 귀환클록의 위상차를 비교하고, 상기 위상차에 따라서 업신호(UP) 또는 다운신호(DOWN)를 출력하는 위상주파수검출기와, 상기 위상주파수검출기에서 출력되는 업신호 및 다운신호에 비례하는 전류를 출력하는 차지 펌프와, 상기 차지 펌프에서 출력되는 전류를 평활하여 전압을 출력하는 루프필터와, 상기 루프필터에서 출력되는 전압에 기초한 주파수를 출력하는 전압제어발진기와, 상기 전압제어발진기의 출력 주파수를 분주하여 상기 위상주파수검출기로 피드백시키는 분주기와, 상기 전압제어발진기에 출력 주파수에 상응하는 전압을 생성하고, 생성된 전압을 상기 전압제어발진기로 피드백시켜 전압제어발진기의 잡음을 제거하는 주파수-전압 변환기를 포함하여 구성되는데 있다.

대표도 - 도2



이 발명을 지원한 국가연구개발사업

과제고유번호 1345096645

부처명 교육과학기술부

연구관리전문기관 한국연구재단

연구사업명 광역경제권선도산업인재양성사업

연구과제명 차량추돌 예방 레이더 고주파 수신 전단부 모듈 설계

기여율 1/1

주관기관 부경대학교 산학협력단

연구기간 2009.09.01 ~ 2010.05.31

특허청구의 범위

청구항 1

주파수-위상고정루프(Frequency-Phase-Locked Loop)에 부여되는 입력클록과 귀환클록의 위상차를 비교하고, 상기 위상차에 따라서 업신호(UP) 또는 다운신호(DOWN)를 출력하는 위상주파수검출기와,
상기 위상주파수검출기에서 출력되는 업신호 및 다운신호에 비례하는 전류를 출력하는 차지 펌프와,
상기 차지 펌프에서 출력되는 전류를 평활하여 전압을 출력하는 루프필터와,
상기 루프필터에서 출력되는 전압에 기초한 주파수를 출력하는 전압제어발진기와,
상기 전압제어발진기의 출력 주파수를 분주하여 상기 위상주파수검출기로 피드백시키는 분주기와,
상기 전압제어발진기에 출력 주파수에 상응하는 전압을 생성하고, 생성된 전압을 상기 전압제어발진기로 피드백시켜 전압제어발진기의 잡음을 제거하는 주파수-전압 변환기를 포함하여 구성되는 것을 특징으로 하는 자기잡음 제거 전압제어발진기를 이용한 주파수-위상고정루프.

청구항 2

제 1 항에 있어서,
상기 전압제어발진기는 링 발진기, LC 발진기 중 어느 하나인 것을 특징으로 하는 자기잡음 제거 전압제어발진기를 이용한 주파수-위상고정루프.

청구항 3

제 1 항에 있어서,
상기 주파수-전압 변환기와 전압제어발진기의 내부 루프는 주파수-위상고정루프 전체의 페루프와는 독립적으로 부귀환 페루프로 구성되는 것을 특징으로 하는 자기잡음 제거 전압제어발진기를 이용한 주파수-위상고정루프.

청구항 4

제 1 항에 있어서, 상기 루프필터는
저항(R_z)과 제 1 캐패시터(C_z)가 직렬 접속된 RC 필터와,
상기 RC 필터와 병렬로 연결된 제 2 캐패시터(C_p)로 연결되는 RC 2차 루프필터로 구성되는 것을 특징으로 하는 자기잡음 제거 전압제어발진기를 이용한 주파수-위상고정루프.

청구항 5

제 1 항에 있어서,
상기 루프필터는 일 단은 전하펌프의 출력단과 접촉되고, 다른 일 단은 접지 전위와 접속되는 하나의 커패시터(C)로 구성되는 것을 특징으로 하는 자기잡음 제거 전압제어발진기를 이용한 주파수-위상고정루프.

청구항 6

제 1 항에 있어서, 상기 루프필터는
저항(R_z)과 제 1 캐패시터(C_z)가 직렬 접속된 RC 필터와,
상기 RC 필터와 병렬로 각각 연결된 제 2 캐패시터(C_p) 및 제 3 캐패시터(C_3)와 상기 제 1 RC 루프필터 및 제 2 RC 루프필터 사이에 저항(R_3)이 직렬로 접속된 RC 2차 루프필터로 구성되는 것을 특징으로 하는 자기잡음 제거 전압제어발진기를 이용한 주파수-위상고정루프.

청구항 7

제 1 항에 있어서, 상기 루프필터는

전하펌프(200)의 출력단과 병렬로 각각 연결된 제 1 캐패시터(C_p) 및 제 2 캐패시터(C_3)와 상기 제 1 캐패시터(C_p) 및 제 2 캐패시터(C_3) 사이에 저항(R_3)이 직렬로 접속된 RC 루프필터로 구성되는 것을 특징으로 하는 자기잡음제거 전압제어발진기를 이용한 주파수-위상고정루프.

청구항 8

제 1 항에 있어서, 상기 루프필터는

전하펌프의 출력단과 병렬로 각각 연결된 제 1 캐패시터(C_p), 제 2 캐패시터(C_3) 및 제 2 캐패시터(C_4)와, 상기 제 1 캐패시터(C_p) 및 제 2 캐패시터(C_3) 사이에 제 1 저항(R_3)이 직렬로 접속되고, 상기 제 2 캐패시터(C_3) 및 제 3 캐패시터(C_4) 사이에 제 2 저항(R_4)이 직렬로 접속된 RC 루프필터로 구성되는 것을 특징으로 하는 자기잡음제거 전압제어발진기를 이용한 주파수-위상고정루프.

청구항 9

제 1 항에 있어서, 상기 주파수-전압 변환기는

드레인 단이 서로 연결되고 일 측이 접지전위와 접속되는 인버터 회로로 구성되며, 게이트 단으로 입력되는 전압제어발진기에서 출력되는 주파수를 통해 스위칭되는 PMOS 트랜지스터 및 게이트 단으로 입력되는 제어신호 생성부에서 생성된 제 2 제어신호를 통해 스위칭되는 NMOS 트랜지스터와,

적어도 하나 이상의 보상 트랜지스터를 양쪽으로 덧붙여 변형시킨 CMOS 트랜스미션 게이트로 구성되며, 일 측은 상기 NMOS 트랜지스터 및 PMOS 트랜지스터의 드레인 단에 연결되고 다른 일 측은 전압제어발진기로 피드백되는 출력단에 연결되며, 게이트 단으로 입력되는 제어신호 생성부에서 생성된 제 1 제어신호 및 제 1 제어신호의 인버터를 통해 스위칭되는 샘플링 스위치와,

상기 샘플링 스위치 앞단과 뒷단에 각각 일 측이 연결되고, 다른 일 측은 접지 전위와 접속되는 두 개의 커패시터를 포함하는 것을 특징으로 하는 자기잡음제거 전압제어발진기를 이용한 주파수-위상고정루프.

청구항 10

제 9 항에 있어서,

상기 제어신호 생성부는 3개의 인버터와 2개의 논리곱 게이트로 구성되며, 상기 전압제어발진기에서 출력되는 주파수를 입력으로 제 1 제어신호($\Phi 1$)와, 상기 제 1 제어신호($\Phi 1$)보다 소정시간 지연되는 제 2 제어신호($\Phi 2$)를 생성하는 것을 특징으로 하는 자기잡음제거 전압제어발진기를 이용한 주파수-위상고정루프.

청구항 11

제 10 항에 있어서,

상기 제어신호 생성부에서 생성되는 제 1 제어신호($\Phi 1$) 및 제 2 제어신호($\Phi 2$)는 서로 중첩되는 부분이 없는 것을 특징으로 하는 자기잡음제거 전압제어발진기를 이용한 주파수-위상고정루프.

청구항 12

제 10 항에 있어서,

상기 제어신호 생성부는 2분주기를 이용하여 전압제어발진기 출력의 하이/로우 비율이 일정하게 유지시키는 것을 특징으로 하는 자기잡음제거 전압제어발진기를 이용한 주파수-위상고정루프.

명세서

기술 분야

본 발명은 기존의 위상고정루프에서 가장 큰 잡음의 원천인 전압제어발진기를 새로운 구조의 자기잡음제거 전압제어발진기(Self-noise suppressing voltage controlled oscillator)로 대체하여 위상고정루프 잡음 특성을 향상시킨 자기잡음제거 전압제어발진기를 이용한 주파수-위상고정루프에 관한 것이다.

배경 기술

[0001]

- [0002] 위상고정루프(PLL : Phase Locked Loop)는 대표적인 피드백 시스템의 하나로서, 이러한 피드백 시스템은 동기식 반도체 메모리장치에서 메모리 컨트롤러와 같은 외부장치로부터 입력되는 외부 클록신호에 동기되어 락킹(locking)된 내부 클록신호를 이용하여 외부의 장치들과 데이터의 전송을 수행한다. 즉, 반도체 메모리와 메모리 컨트롤러간의 안정적인 데이터 전송을 위해서는 기준 클록신호와 데이터 간의 시간적 동기가 매우 중요하다.
- [0003] 이러한 위상고정루프(PLLs)는 통신시스템에서의 주파수 체배기와 집적화된 디지털 칩에서의 고속 클록신호 생성기로 널리 사용되고 있다.
- [0004] 도 1 은 종래의 위상 고정루프의 구조를 나타낸 구성도이다.
- [0005] 도 1과 같이, 위상 고정루프(PLL)는 PLL에 부여되는 입력클록과 귀환클록의 위상차를 비교하고, 상기 위상차에 따라서 업신호(UP) 또는 다운신호(DOWN)를 출력하는 위상주파수검출기(PFD)(10)와, 상기 위상주파수검출기(10)에서 출력되는 업신호 및 다운신호에 비례하는 전류를 출력하는 차지 펌프(CP)(20)와, 상기 차지 펌프(20)에서 출력되는 전류를 평활하여 전압을 출력하는 루프필터(LPF)(30)와, 상기 루프필터에서 출력되는 전압에 기초한 주파수를 출력하는 전압제어발진기(VCO)(40)와, 상기 전압제어발진기(40)의 출력 주파수를 분주하여 상기 위상주파수검출기(10)로 피드백시키는 분주기(50)를 포함하여, PLL로 입력되는 클록신호에 따라 주파수를 변화시키게 된다.
- [0006] 이와 같이 구성되는 일반적인 PLL은, 인가된 기준 클록(또는 입력 클록)의 고주파 지터(Jitter) 성분을 필터링함으로써, 출력될 클록신호에 포함되는 지터 성분이 작아지도록 제어하고 있다.
- [0007] 위상고정루프(PLLs)는 통신시스템에서의 주파수 체배기와 집적화된 디지털 칩에서의 고속 클록신호 생성기로 널리 사용되고 있다. 그리고 전압제어발진기(VCO)는 전압을 조절하여 주파수를 조절함으로써 원하는 주파수의 출력을 얻는 오실레이터 회로이다.
- [0008] 이때, 상기 PLL에 구성되는 전압제어발진기(VCO)(40)는 루프 필터 출력 전압인 제어 전압에 의해 특정 주파수를 생성하는 회로로서, 현재 많이 사용되고 있는 발진기 형태는 LC 발진기 또는 링 발진기가 있다.
- [0009] 상기 LC 발진기는 링 발진기보다 위상잡음 특성이 더 좋기 때문에 통신 시스템에 적합하다. 그러나 일반적인 CMOS 공정에서 인덕터는 표준 소자가 아닐뿐더러 특성이 좋은 주파수를 생성하기 위해 넓은 면적이 필요하기 때문에 전체 칩의 면적이 커져 칩 가격이 상승하게 된다. 또한, 인덕터의 부정확한 소자 변수는 칩으로 구현된 후에 회로 설계자들이 시뮬레이션 결과와 다른 결과를 가질 수도 있는 문제점이 있다.
- [0010] 이에 반해, 링 발진기는 고유의 작은 면적 때문에 디지털 칩에 사용되는 신호 발생기로 적합하다. 즉, 링 발진기는 위상잡음특성이 엄격하지 않는 회로에 사용 할 수 있으며, 표준 CMOS공정으로 쉽게 만들 수 있다. 게다가 링 발진기는 넓은 주파수 동작 범위를 가진다. 그러나 위상잡음과 지터특성은 LC 발진기 보다 좋지 못하여, 다양한 구조의 링 발진기들이 위상잡음과 지터를 개선하기 위해 시도되고 있지만 여전히 LC 발진기에 비해 떨어지는 성능을 가진다.
- [0011] 따라서 링 형태의 발진기가 위상고정루프에서 사용되어질 때, 위상고정루프의 VCO 잡음을 제거하는 일반적인 방법은 넓은 대역폭을 갖게 하는 것이다. 그러나 넓은 대역폭의 위상고정루프는 저역통과 전달특성을 갖는 다른 블록의 잡음이 그대로 출력되는 문제점을 가지고 있다.

발명의 내용

해결하려는 과제

- [0012] 따라서 본 발명은 상기와 같은 문제점을 해결하기 위해 안출한 것으로서, 위상고정루프에서 가장 큰 잡음의 원천인 전압제어발진기를 새로운 구조의 자기잡음제거 전압제어발진기(Self-noise suppressing voltage controlled oscillator)로 대체하여 위상고정루프 잡음 특성을 향상시킨 자기잡음제거 전압제어발진기를 이용한 주파수-위상고정루프를 제공하는데 그 목적이 있다.
- [0013] 본 발명의 다른 목적은 주파수-전압 변환기와 링 발진기로 구성되는 자기잡음제거 전압제어 발진기를 통해 LC 발진기보다 작은 면적으로 넓은 주파수 동작 범위를 가지고 저항 값을 정확하게 구현하게 하여 루프 필터의 커패시터의 용량도 크게 줄여 PLL을 용이하게 하나의 칩으로 구현할 수 있는 주파수-위상고정루프를 제공하는데 있다.

과제의 해결 수단

- [0014] 상기와 같은 목적을 달성하기 위한 본 발명에 따른 자기잡음제거 전압제어발진기를 이용한 주파수-위상고정루프의 특징은 주파수-위상고정루프(Frequency-Phase-Locked Loop)에 부여되는 입력클록과 귀환클록의 위상차를 비교하고, 상기 위상차에 따라서 업신호(UP) 또는 다운신호(DOWN)를 출력하는 위상주파수검출기와, 상기 위상주파수검출기에서 출력되는 업신호 및 다운신호에 비례하는 전류를 출력하는 차지 펌프와, 상기 차지 펌프에서 출력되는 전류를 평활하여 전압을 출력하는 루프필터와, 상기 루프필터에서 출력되는 전압에 기초한 주파수를 출력하는 전압제어발진기와, 상기 전압제어발진기의 출력 주파수를 분주하여 상기 위상주파수검출기로 피드백시키는 분주기와, 상기 전압제어발진기에 출력 주파수에 상응하는 전압을 생성하고, 생성된 전압을 상기 전압제어발진기로 피드백시켜 전압제어발진기의 잡음을 제거하는 주파수-전압 변환기를 포함하여 구성되는데 있다.
- [0015] 바람직하게 상기 전압제어발진기는 링 발진기, LC 발진기 중 어느 하나인 것을 특징으로 한다.
- [0016] 바람직하게 상기 주파수-전압 변환기와 전압제어발진기의 내부 루프는 주파수-위상고정루프 전체의 페루프와는 독립적으로 부귀환 페루프로 구성되는 것을 특징으로 한다.
- [0017] 바람직하게 상기 루프필터는 저항(R_z)과 제 1 캐패시터(C_z)가 직렬 접속된 RC 필터와, 상기 RC 필터와 병렬로 연결된 제 2 캐패시터(C_p)로 연결되는 RC 2차 루프필터로 구성되는 것을 특징으로 한다.
- [0018] 바람직하게 상기 루프필터는 일 단은 전하펌프의 출력단과 접속되고, 다른 일 단은 접지 전위와 접속되는 하나의 커패시터(C)로 구성되는 것을 특징으로 한다.
- [0019] 바람직하게 상기 루프필터는 저항(R_z)과 제 1 캐패시터(C_z)가 직렬 접속된 RC 필터와, 상기 RC 필터와 병렬로 각각 연결된 제 2 캐패시터(C_p) 및 제 3 캐패시터(C_3)와 상기 제 1 RC 루프필터 및 제 2 RC 루프필터 사이에 저항(R_3)이 직렬로 접속된 RC 2차 루프필터로 구성되는 것을 특징으로 한다.
- [0020] 바람직하게 상기 루프필터는 전하펌프(200)의 출력단과 병렬로 각각 연결된 제 1 캐패시터(C_p) 및 제 2 캐패시터(C_3)와 상기 제 1 캐패시터(C_p) 및 제 2 캐패시터(C_3) 사이에 저항(R_3)이 직렬로 접속된 RC 루프필터로 구성되는 것을 특징으로 한다.
- [0021] 바람직하게 상기 루프필터는 전하펌프의 출력단과 병렬로 각각 연결된 제 1 캐패시터(C_p), 제 2 캐패시터(C_3) 및 제 2 캐패시터(C_4)와, 상기 제 1 캐패시터(C_p) 및 제 2 캐패시터(C_3) 사이에 제 1 저항(R_3)이 직렬로 접속되고, 상기 제 2 캐패시터(C_3) 및 제 3 캐패시터(C_4) 사이에 제 2 저항(R_4)이 직렬로 접속된 RC 루프필터로 구성되는 것을 특징으로 한다.
- [0022] 바람직하게 상기 주파수-전압 변환기는 드레인 단이 서로 연결되고 일 측이 접지전위와 접속되는 인버터 회로로 구성되며, 게이트 단으로 입력되는 전압제어발진기에서 출력되는 주파수를 통해 스위칭되는 PMOS 트랜지스터 및 게이트 단으로 입력되는 제어신호 생성부에서 생성된 제 2 제어신호를 통해 스위칭되는 NMOS 트랜지스터와, 적어도 하나 이상의 보상 트랜지스터를 양쪽으로 덧붙여 변형시킨 CMOS 트랜스미션 게이트로 구성되며, 일 측은 상기 NMOS 트랜지스터 및 PMOS 트랜지스터의 드레인 단에 연결되고 다른 일 측은 전압제어발진기로 피드백되는 출력단에 연결되며, 게이트 단으로 입력되는 제어신호 생성부에서 생성된 제 1 제어신호 및 제 1 제어신호의 인버터를 통해 스위칭되는 샘플링 스위치와, 상기 샘플링 스위치 앞단과 뒷단에 각각 일 측이 연결되고, 다른 일 측은 접지 전위와 접속되는 두 개의 커패시터를 포함하는 것을 특징으로 한다.
- [0023] 바람직하게 상기 제어신호 생성부는 3개의 인버터와 2개의 논리곱 게이트로 구성되어, 상기 전압제어발진기에서 출력되는 주파수를 입력으로 제 1 제어신호($\Phi 1$)와, 상기 제 1 제어신호($\Phi 1$)보다 소정시간 지연되는 제 2 제어신호($\Phi 2$)를 생성하는 것을 특징으로 한다.
- [0024] 바람직하게 상기 제어신호 생성부에서 생성되는 제 1 제어신호($\Phi 1$) 및 제 2 제어신호($\Phi 2$)는 서로 중첩되는 부분이 없는 것을 특징으로 한다.
- [0025] 바람직하게 상기 제어신호 생성부는 2분주기를 이용하여 전압제어발진기 출력의 하이/로우 비율이 일정하게 유지시키는 것을 특징으로 한다.

발명의 효과

- [0026] 이상에서 설명한 바와 같은 본 발명에 따른 자기잡음제거 전압제어발진기를 이용한 주파수-위상고정루프는 주파수-전압 변환기와 링 발진기로 구성되는 자기잡음제거 전압제어발진기를 통해 넓은 주파수 동작 범위를 가지고

잡음특성은 LC 발진기와 동등하나 LC 발진기보다 작은 면적으로 구현할 수 있다.

[0027] 또한 자기잡음제거 전압제어 발진기가 전체 PLL에서 저항 역할을 하므로 저항 값을 정확하게 구현하게 해주며 루프 필터의 캐패시터의 용량도 크게 줄여 PLL을 용이하게 하나의 칩으로 구현할 수 있다.

[0028] 그러므로 PLL 칩 크기가 줄어들어 가격 경쟁력을 확보할 수 있는 효과가 있다.

도면의 간단한 설명

[0029] [도 1] 종래의 위상 고정루프의 구조를 나타낸 구성도

[도 2] 본 발명의 실시예에 따른 자기잡음제거 전압제어발진기를 이용한 주파수-위상고정루프의 구조를 나타낸 구성도

[도 3 내지 도 7] 도 2의 루프필터 구조의 바람직한 실시예를 상세히 나타낸 회로도

[도 8a] 도 2의 주파수-전압 변환기(FVC) 구조를 상세히 나타낸 회로도

[도 8b] 주파수-전압 변환기(FVC)에 입력되는 제어신호 생성 회로도

[도 8c] 도 8(b)의 제어신호 생성 회로에서 생성된 제어 신호 타이밍도

[도 9] 본 발명의 실시예에 따른 주파수-위상고정루프에서 루프필터와 주파수-전압 변환기의 출력 신호와 발진의 개념적인 입력 전압을 나타낸 타이밍도

[도 10] 본 발명에 따른 주파수-위상고정루프와 기존의 위상고정루프의 전달 함수를 나타낸 그래프

발명을 실시하기 위한 구체적인 내용

[0030] 본 발명의 다른 목적, 특성 및 이점들은 첨부한 도면을 참조한 실시예들의 상세한 설명을 통해 명백해질 것이다.

[0031] 본 발명에 따른 자기잡음제거 전압제어발진기를 이용한 주파수-위상고정루프의 바람직한 실시예에 대하여 첨부한 도면을 참조하여 설명하면 다음과 같다. 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전하도록하며 통상의 지식을 가진자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 따라서 본 명세서에 기재된 실시예와 도면에 도시된 구성은 본 발명의 가장 바람직한 일 실시예에 불과할 뿐이고 본 발명의 기술적 사상을 모두 대변하는 것은 아니므로, 본 출원시점에 있어서 이들을 대체할 수 있는 다양한 균등물과 변형예들이 있을 수 있음을 이해하여야 한다.

[0032] 도 2는 본 발명의 실시예에 따른 자기잡음제거 전압제어발진기를 이용한 주파수-위상고정루프의 구조를 나타낸 구성도이다.

[0033] 도 2와 같이, 주파수-위상고정루프(Frequency-Phase-Locked Loop)는 주파수-위상고정루프에 부여되는 입력클럭과 귀환클럭의 위상차를 비교하고, 상기 위상차에 따라서 업신호(UP) 또는 다운신호(DOWN)를 출력하는 위상주파수검출기(PFD)(100)와, 상기 위상주파수검출기(100)에서 출력되는 업신호 및 다운신호에 비례하는 전류를 출력하는 차지 펌프(CP)(200)와, 상기 차지 펌프(200)에서 출력되는 전류를 평활하여 전압을 출력하는 루프필터(LPF)(300)와, 상기 루프필터(300)에서 출력되는 전압에 기초한 주파수를 출력하는 전압제어발진기(VCO)(400)와, 상기 전압제어발진기(400)의 출력 주파수를 분주하여 상기 위상주파수검출기(100)로 피드백시키는 분주기(500)와, 상기 전압제어발진기(400)의 출력 주파수에 상응하는 전압을 생성하고, 생성된 전압을 상기 전압제어발진기(400)로 피드백시켜 전압제어발진기(400)의 잡음을 제거하는 주파수-전압 변환기(FVC)(600)를 포함한다. 이때, 상기 전압제어발진기(400)는 링 발진기인 것이 바람직하다.

[0034] 이처럼 상기 주파수-전압 변환기(600)와 전압제어발진기(400)의 내부 루프는 주파수-위상고정루프 전체의 페루프와는 독립적으로 전압제어발진기(400)의 잡음을 제거할 수 있는 부폐환 페루프로 구성된다.

[0035] 도 3 내지 도 7은 도 2의 루프필터 구조의 바람직한 실시예를 상세히 나타낸 회로도이다.

[0036] 먼저, 도 3과 같이, 루프필터(300)는 단순히 하나의 캐패시터(C)로 구성되어, 일 단은 전하펌프(200)의 출력단과 접촉되고, 다른 일 단은 접지 전위와 접속되는 커패시터(C)로 구성된다.

[0037] 이처럼 구성되는 도 3의 루프필터(300)에서 출력되는 전압을 기반으로 전달 함수를 구하면, 다음 수학식 1과 같

이 나타난다.

수학식 1

$$\frac{Q_0}{Q_i} = \frac{\frac{I_P}{2\pi} \frac{1}{SC} \frac{K_{VCO1}}{S}}{1 + \frac{1}{N} \frac{I_P}{2\pi} \frac{1}{SC} \frac{K_{VCO1}}{S} + \frac{K}{SC_Y} K_{VCO2}}$$

[0038]

[0039] 여기서 I_p 는 전하펌프(200)에서 공급되는 전류의 양, K_{VCO1} 과 K_{VCO2} 는 전압제어발진기(400)의 이득이다. C 는 저역 통과필터의 수동소자 값이다. K 는 주파수-전압 변환기(FVC)(600)의 이득이며, C_Y 는 주파수-전압 변환기에 사용된 저역통과필터의 수동소자 값이다. N 은 분주기(500)의 분주비이다.

[0040] 이에 반해 기존의 위상 고정루프는 다음 수학식 2와 같이 전달함수를 나타낸다.

수학식 2

$$\frac{\phi_o}{\phi_i} = \frac{\frac{I_p}{2\pi} \frac{1}{sC_p} \frac{s+z}{s+p} \frac{K_{VCO}}{s}}{1 + \frac{1}{N} \frac{I_p}{2\pi} \frac{1}{sC_p} \frac{s+z}{s+p} \frac{K_{VCO}}{s}}$$

[0041]

[0042] 이때 $z=1/R_zC_z$ 이고 $p=1/R_zC_p$ 이다.

[0043] 여기서 I_p 는 전하펌프(20)에서 공급되는 전류의 양, K_{VCO} 는 전압 제어발진기(40)의 이득이며, R_z 과 C_z , C_p 는 각각 저역통과필터(30)의 수동소자 값이다. N 은 분주기의 분주비이다.

[0044] 이처럼 상기 수학식 1과 수학식 2를 비교하면, 수학식 1의 g 가 수학식 2의 R 과 같은 동등한 변수임을 알 수 있다. 즉 위상 고정루프 관점에서 보면 이 R 역할을 하여 낮은 주파수 값을 가지는 영점을 만들어 줌으로 본 발명에서 제안한 구조가 안정하게 동작됨을 알 수 있다. 또한 전압제어 발진기(400)와 위상 지연단의 이득 값은 공정 변화에 같은 방향으로 움직이므로 공정 변화에 영향을 받지 않는 저항 값을 구현 할 수 있게 해준다.

[0045] 다른 실시예로, 도 4(a)와 같이, 루프필터(300)는 저항(R_z)과 제 1 캐패시터(C_z)가 직렬 접속된 RC 필터와, 상기 RC 필터와 병렬로 연결된 제 2 캐패시터(C_p)로 연결되는 RC 2차 루프필터로 구성된다.

[0046] 이처럼 구성되는 도 3의 루프필터(300)에서 출력되는 전압을 기반으로 전달 함수를 구하면, 다음 수학식 3과 같이 나타난다.

수학식 3

$$\frac{Q_0}{Q_i} = \frac{\frac{I_P}{2\pi} \frac{1}{C_P} \frac{S+Z_1}{S(S+P1)} \frac{K_{VCO1}}{S}}{1 + \frac{1}{N} \frac{I_P}{2\pi} \frac{1}{C_P} \frac{S+Z_1}{S(S+P1)} \frac{K_{VCO1}}{S} + \frac{K}{SC_Y} K_{VCO2}}$$

[0047]

[0048] 이때, $P_1 = \frac{1}{R_2 C_P}$ 이고, $Z_1 = \frac{1}{R_2 C_Z}$ 이다.

[0049] 상기 수학적식 2와 수학적식 3을 비교하면, 주파수-압 변환기가 위상고정루프를 더욱 안정하게 동작하도록 한다. Routh-Hurwitz 안정도 판별법에 의하면 루프필터(300)의 저항(R_z), 제 1 캐패시터(C_z)와 제 2 캐패시터(C_p)의 크기에 관계없이 안정하게 동작한다.

[0050] 따라서 도 4(b)와 같이, 상기 위상주파수검출기(100)가 두 입력 신호의 차이를 감지하면 업/다운 출력 신호를 생성하고, 상기 생성된 업/다운 출력 신호가 차지 펌프(200)의 전류를 상기 루프필터(300)로 흐르게 한다. 이 전류는 상기 루프필터(300)의 저항(R_z) 및 제 1, 2 캐패시터(C_z)(C_p)에 전압이 발생하도록 한다. 이때, 저항(R_z) 값에 비례하는 전압이 “ $V_{proportional}$ ” 이고, 제 1, 2 캐패시터(C_z)(C_p)에 축적되는 전압이 “ $V_{integral}$ ” 일 때, 이 두 전압의 합이 전압제어발진기(400)의 출력 주파수와 위상을 결정한다.

[0051] 또 다른 실시예로, 도 5와 같이, 루프필터(300)는 저항(R_z)과 제 1 캐패시터(C_z)가 직렬 접속된 RC 필터와, 상기 RC 필터와 병렬로 각각 연결된 제 2 캐패시터(C_p) 및 제 3 캐패시터(C_3)와 상기 제 1 RC 루프필터 및 제 2 RC 루프필터 사이에 저항(R_3)이 직렬로 접속된 RC 2차 루프필터로 구성된다.

[0052] 이처럼 구성되는 도 5의 루프필터(300)에서 출력되는 전압을 기반으로 전달 함수를 구하면, 다음 수학적식 4와 같이 나타난다.

수학적식 4

$$\frac{Q_o}{Q_i} = \frac{\frac{I_P}{2\pi} \frac{1}{C_P} \frac{1}{R_3 C_3} \frac{S+Z_1}{S(S+P_1)} \frac{1}{S+P_3} \frac{K_{VCO}}{S}}{1 + \frac{1}{N} \frac{I_P}{2\pi} \frac{1}{C_P} \frac{1}{R_3 C_3} \frac{S+Z_1}{S(S+P_1)} \frac{1}{S+P_3} \frac{K_{VCO}}{S} + \frac{K}{SC_Y} K_{VCO}}$$

[0054] 이때, $P_1 = \frac{1}{R_2 C_P}$ 이고, $Z_1 = \frac{1}{R_2 C_Z}$ 이고, $P_3 = \frac{1}{R_2 C_3}$ 이다.

[0055] 상기 수학적식 2와 수학적식 4를 비교하면, 주파수-전압 변환기가 위상고정루프를 더욱 안정하게 동작하도록 한다.

$P_3 = \frac{1}{R_2 C_3}$ 의 위치를 $P_1 = \frac{1}{R_2 C_P}$ 에 가깝게 하여 잡음 제거를 더 잘할 수 있도록 한다.

[0056] 또 다른 실시예로, 도 6과 같이, 루프필터(300)는 전하펌프(200)의 출력단과 병렬로 각각 연결된 제 1 캐패시터(C_p) 및 제 2 캐패시터(C_3)와 상기 제 1 캐패시터(C_p) 및 제 2 캐패시터(C_3) 사이에 저항(R_3)이 직렬로 접속된 RC 루프필터로 구성된다.

[0057] 이처럼 구성되는 도 6의 루프필터(300)에서 출력되는 전압을 기반으로 전달 함수를 구하면, 다음 수학적식 5와 같이 나타난다.

수학적식 5

$$\frac{Q_o}{Q_i} = \frac{\frac{I_P}{2\pi} \frac{1}{C_P} \frac{1}{R_3 C_3} \frac{1}{S(S + \frac{1}{R_3 C_3})} \frac{K_{VCO}}{S}}{1 + \frac{1}{N} \frac{I_P}{2\pi} \frac{1}{C_P} \frac{1}{R_3 C_3} \frac{1}{S(S + \frac{1}{R_3 C_3})} \frac{K_{VCO}}{S} + \frac{K}{SC_Y} K_{VCO}}$$

[0059] 주파수-전압 변환기가 없는 기존의 위상고정루프 구조에서는 도 6의 루프 필터를 사용하면 위상고정루프가 안정하게 동작을 하지 못한다. 상기 수학적식 2와 수학적식 5를 비교하면, Routh-Hurwitz 안정도 판별법을 사용하여 주

파수-전압 변환기가 포함된 위상고정루프가 안정하게 동작 할 수 있는 조건을 구할 수 있다. 이 구조는 잡음 제거를 더 잘할 수 있도록 한다.

[0060] 또 다른 실시예로, 도 7과 같이, 루프필터(300)는 전하펌프(200)의 출력단과 병렬로 각각 연결된 제 1 캐패시터(C_p), 제 2 캐패시터(C₃) 및 제 2 캐패시터(C₄)와 상기 제 1 캐패시터(C_p) 및 제 2 캐패시터(C₃) 사이에 제 1 저항(R₃)이 직렬로 접속되고, 상기 제 2 캐패시터(C₃) 및 제 3 캐패시터(C₄) 사이에 제 2 저항(R₄)이 직렬로 접속된 RC 루프필터로 구성된다.

[0061] 이처럼 구성되는 도 7의 루프필터(300)에서 출력되는 전압을 기반으로 전달 함수를 구하면, 다음 수학적 식 6과 같이 나타난다.

수학적 식 6

$$Q_0 = \frac{\frac{I_P}{2\pi} \frac{1}{C_P} \frac{1}{R_3 C_3} \frac{1}{R_4 C_4} \frac{1}{S(S+P_3)(S+P_4)} \frac{K_{VCOI}}{S}}{1 + \frac{1}{N} \frac{I_P}{2\pi} \frac{1}{C_P} \frac{1}{R_3 C_3} \frac{1}{R_4 C_4} \frac{1}{S(S+P_3)(S+P_4)} \frac{K_{VCOI}}{S} + \frac{K}{SC_Y} K_{VCOI}}$$

[0062]

$$P_3 = \frac{1}{R_3 C_3} \text{ 이고, } P_4 = \frac{1}{R_4 C_4} \text{ 이다.}$$

[0063]

[0064] 주파수-전압 변환기가 없는 기존의 위상고정루프 구조에서는 도 7의 루프 필터를 사용하면 위상고정루프가 안정하게 동작을 하지 못한다. 상기 수학적 식 2와 수학적 식 6을 비교하면, Routh-Hurwitz 안정도 판별법을 사용하여 주파수-전압 변환기가 포함된 위상고정루프가 안정하게 동작 할 수 있는 조건을 구할 수 있다. 이 구조는 -80dBc/Hz의 기술기로 잡음 제거를 할 수 있도록 한다.

[0065] 도 8(a)는 도 2의 주파수-전압 변환기(FVC) 구조를 상세히 나타낸 회로도이고, 도 8(b)는 주파수-전압 변환기(FVC)에 입력되는 제어신호 생성 회로도이며, 도 8(c)는 도 8(b)의 제어신호 생성 회로에서 생성된 제어 신호 타이밍도이다.

[0066] 도 8(a)와 같이, 주파수-전압 변환기(FVC)(600)는 두 개의 NMOS(mn) 및 PMOS 트랜지스터(mp)와, 두 개의 커패시터(C_x)(C_y)와, 하나의 샘플링 스위치로 구성된다.

[0067] 이때, 상기 두 개의 NMOS 트랜지스터(mn) 및 PMOS 트랜지스터(mp)는 드레인 단이 서로 연결되고 일 측이 접지전위와 접속되는 인버터 회로로 구성되며, 상기 PMOS 트랜지스터(mp)는 게이트 단으로 입력되는 전압제어발진기(400)에서 출력되는 주파수(F_{out})를 통해 스위칭되고, 상기 NMOS 트랜지스터(mn)는 게이트 단으로 입력되는 제어신호 생성부에서 생성된 제 2 제어신호(Φ2)를 통해 스위칭된다.

[0068] 상기 샘플링 스위치는 적어도 하나 이상의 보상 트랜지스터를 양쪽으로 덧붙여 변형시킨 CMOS 트랜스미션 게이트로 구성되며, 일 측은 상기 NMOS 트랜지스터(mn) 및 PMOS 트랜지스터(mp)의 드레인 단에 연결되고 다른 일 측은 전압제어발진기(400)로 피드백되는 출력단에 연결된다. 그리고 게이트 단으로 입력되는 제어신호 생성부에서 생성된 제 1 제어신호(Φ1) 및 제 1 제어신호(Φ1)의 인버터를 통해 스위칭된다.

[0069] 그리고 상기 두 개의 커패시터(C_x)(C_y)는 상기 샘플링 스위치 앞단과 뒷단에 각각 일 측이 연결되고, 다른 일 측은 접지 전위와 접속되어 있다.

[0070] 또한 상기 제어신호 생성부는 도 8(b)와 같이, 3개의 인버터와 2개의 논리곱 게이트로 구성되어, 상기 전압제어발진기(400)에서 출력되는 주파수(F_{out})를 입력으로 도 8(c)와 같이 제 1 제어신호(Φ1)와, 상기 제 1 제어신호(Φ1)보다 소정시간 지연되는 제 2 제어신호(Φ2)를 생성한다. 즉 제 1 제어신호(Φ1) 및 제 2 제어신호(Φ2)를 서로 중첩되는 부분이 없도록 하여 제 1 제어신호(Φ1) 및 제 2 제어신호(Φ2)를 생성한다.

[0071] 이처럼, 상기 제어신호 생성부는 간단한 2분주기를 이용하여 전압제어발진기(400) 출력의 하이/로우 비율이 일정하게 되도록 한다.

- [0072] 이와 같이 구성된 본 발명에 따른 자기잡음제거 전압제어발진기를 이용한 주파수-위상고정루프의 동작을 첨부한 도면을 참조하여 상세히 설명하면 다음과 같다.
- [0073] 도 9 는 본 발명의 실시예에 따른 주파수-위상고정루프에서 루프필터와 주파수-전압 변환기의 출력 신호와 발진의 개념적인 입력 전압을 나타낸 타이밍도이다.
- [0074] 도 9에서 보여주는 것과 같이, 위상주파수검출기(100)에서 출력되는 업신호에 따라 차지 펌프(200)의 전류가 루프필터(300) 내의 제 2 캐패시터(C_p)로 홀러가 전압상승을 가져온다. 그리고 전압이 상승하면 전압제어발진기(400)의 출력 주파수(F_{out})가 증가하는데, 이 증가된 주파수에 의해 주파수-전압 변환기(600)의 출력 전압(V_{FVC})은 하강한다. 그리고 이 출력 전압(V_{FVC})은 전압제어발진기(400)의 출력 주파수(F_{out})를 낮아지게 한다.
- [0075] 한편, 상기 주파수-전압 변환기(600)는 전압제어발진기(400)에서 출력되는 주파수(F_{out})의 값이 로우(low)일 때, PMOS 트랜지스터(mp)가 동작되고, 커패시터 C_x에 전하가 충전된다. 그리고 전압제어발진기(400)에서 출력되는 주파수(F_{out})의 값이 하이(high)일 때, NMOS 트랜지스터(mn)는 동작을 멈추고, 제 1 제어신호(Φ1)에 의해 커패시터 C_x에 충전된 전하가 C_y와 공유하며, 제 2 제어신호(Φ2)에 의해 커패시터 C_x에 있던 전하가 방전된다.
- [0076] 따라서 주파수-전압 변환기(600)의 출력 전압(V_{FVC})은 전압제어발진기(400)에서 출력되는 주파수(F_{out})의 주기에 의해 결정된다. 즉, 상기 주파수(F_{out})가 상승하면 주파수-전압 변환기(600)의 출력 전압은 상승하여 링 발진의 출력 주파수가 감소하도록 한다. 그리고 주파수(F_{out})가 하강하면 주파수-전압 변환기(600)의 출력 전압은 하강하여 링 발진의 출력 주파수가 증가하도록 한다.
- [0077] 이처럼, 링 발진기 출력 주파수가 변하면 주파수-전압 변환기(600)는 보상기로 동작하여 잡음을 줄이는 역할을 하게 된다.
- [0078] 다음 수학적 7을 이용하여 기존의 RC 루프 필터를 가진 위상고정루프(PLL) 전달함수와 본 발명에 따른 주파수-위상고정루프(F-PLL)의 전달함수를 비교하면 다음과 같은 유효 저항(R)을 구할 수 있다.

수학적 7

$$R = N \cdot \frac{2\pi}{I_p} \cdot \frac{K}{C_y} \cdot \frac{K_{vco2}}{K_{vco1}}$$

- [0079]
- [0080] 여기서, N은 분주비, I_p는 전하펌프의 전류, K는 주파수-전압 변환기의 이득, K_{vco2}는 주파수-전압 변환기(600)에 의한 발진기 이득이며, K_{vco1}은 루프 필터에 의한 발진기 이득이다.
- [0081] 이때, 상기 주파수-전압 변환기(600)의 이득(K)은 다음 수학적 8을 통해 계산된다.

수학적 8

$$K = I_{FVC} \frac{T_{out}}{2} \frac{1}{K' + 1}$$

- [0082]
- [0083] 여기서 I_{FVC}는 C_x로 공급되는 전류이며, T_{out}은 PMOS 트랜지스터(mp)에 인가되는 입력신호의 주기, K'는 C_x와 C_y와의 비율이다.
- [0084] 이처럼, 본 발명에 따른 주파수-위상고정루프에서 전압-주파수 변환기(600)는 루프필터(300)의 유효 저항(R)의 역할도 하고, 위상고정루프에서 가장 잡음원인 전압제어발진기(400)의 잡음도 줄여주는 기능도 가지고 있다.
- [0085] 도 10 은 본 발명에 따른 주파수-위상고정루프와 기존의 위상고정루프의 전달 함수를 나타낸 그래프이다.

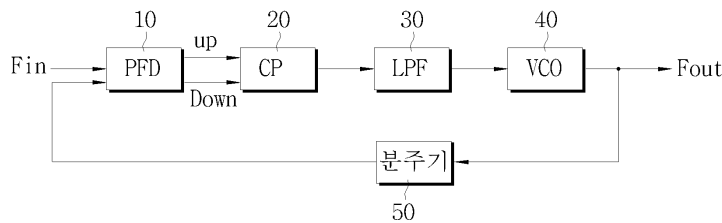
[0086] 도 10과 같이, 본 발명에 따른 주파수-위상고정루프의 전달함수는 기존의 위상고정루프의 전달함수의 크기보다 대역폭 근처에서 최대 25dB 이상의 작은 값을 가지는 것을 알 수 있다. 이는 본 발명의 구조가 대역폭 근처의 주파수 영역에서는 모든 잡음들의 크기를 줄일 수 있다는 것을 뜻한다.

[0087] 그러므로 전압제어발진기(400)를 제외한 잡음을 줄이기 위해 전체 위상고정루프를 좁은 대역폭을 가지게 하고 링 발진기인 전압제어발진기(400)와 주파수-전압 변환기(600) 루프는 넓은 대역폭을 갖게 하여 전압제어발진기(400) 잡음을 줄일 수 있다.

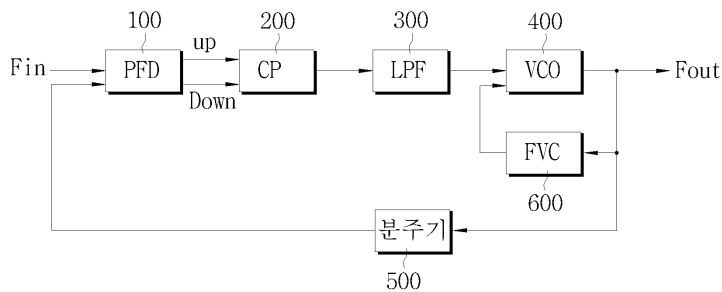
[0088] 상기에서 설명한 본 발명의 기술적 사상은 바람직한 실시예에서 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술적 분야의 통상의 지식을 가진자라면 본 발명의 기술적 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다. 따라서 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

도면

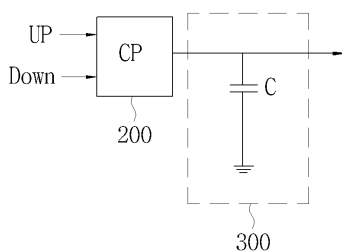
도면1



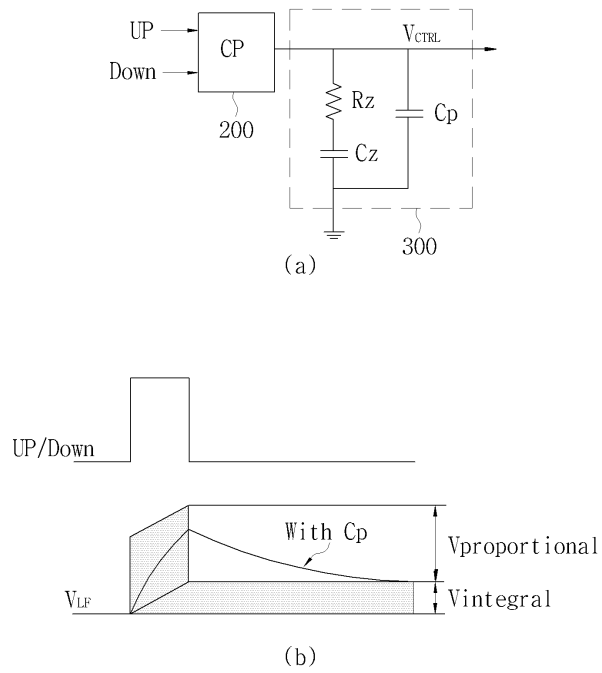
도면2



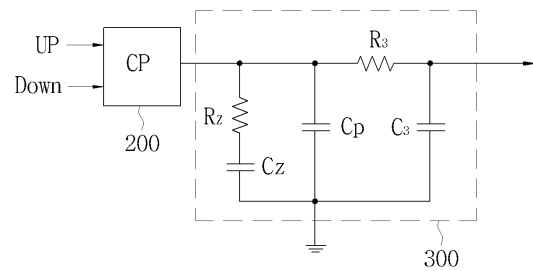
도면3



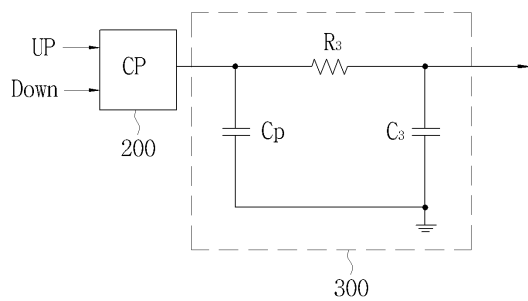
도면4



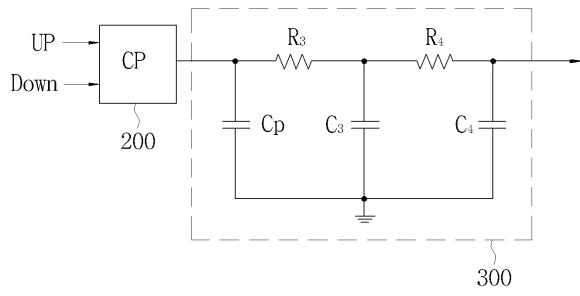
도면5



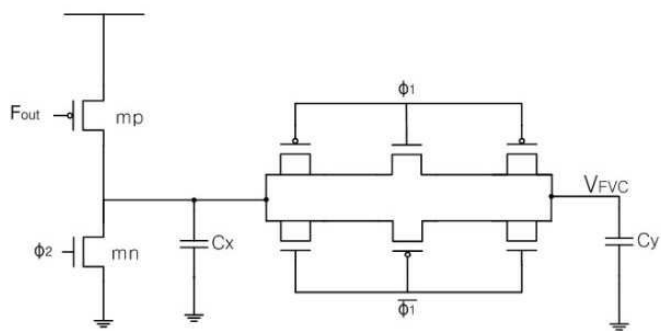
도면6



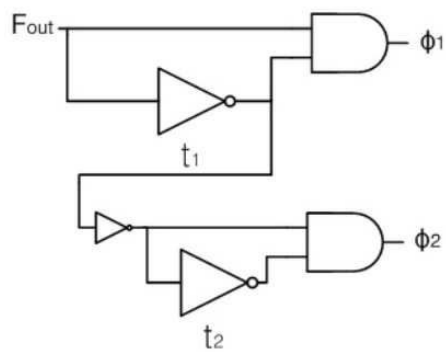
도면7



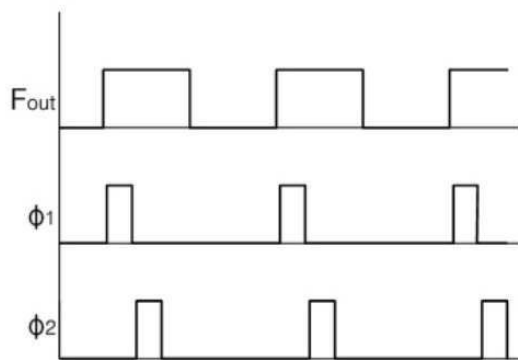
도면8



(a)

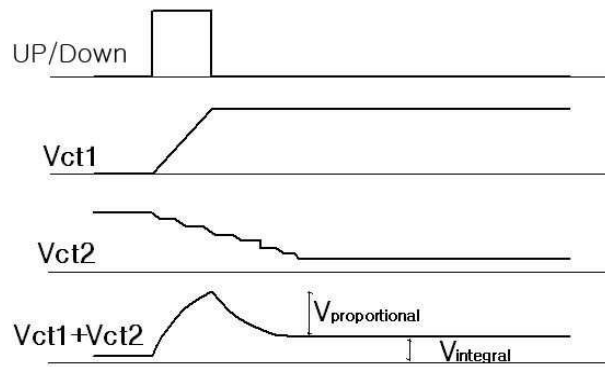


(b)



(c)

도면9



도면10

