



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

242 368

(11) (B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 26 03 84
(21) PV 2127-84

(51) Int. Cl.⁴
H 03 K 5/00

(40) Zveřejněno 31 08 85
(45) Vydáno 01 12 87

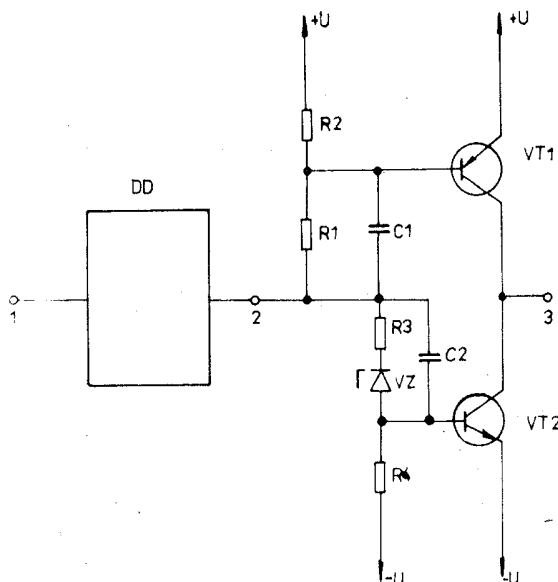
(75)
Autor vynálezu

TAUŠ VIKTOR ing. CSc., PRAHA;
HEJČ IVAN ing., ROZTOKY U PRAHY

(54)

Zapojení převodníku nesymetrických logických
úrovní na symetrické logické úrovně

Řešení se týká zapojení převodníku nesymetrických logických úrovní na logické úrovně symetrické vůči nulovému napětí. Je-li na vstupní svorce 1 úroveň log 0, je na výstupní svorce 3 převodníku napětí blízké napětí kladné svorky $\pm U$ zdroje. Je-li na vstupní svorce 1 úroveň log 1, je na výstupní svorce 3 převodníku napětí záporné svorky $-U$ zdroje. Buzení prvního tranzistoru VT1 se provádí z prvního odporového děliče, sestaveného z prvního a druhého odporu R_1 , R_2 , který je proudově dimenzován vzhledem k požadované zátěži zesilovače DD a k požadovaným spínacím časům. Tento proud tvoří převážnou většinu spotřeby převodníku. Oba kondenzátory C_1 , C_2 mají za úkol urychlit budicí průběhy. Zapojení převodníku je výhodné použít v systémech pro přenos dat s vysokou přenosovou rychlostí a v obvodech, kde se požaduje minimální spotřeba.



Vynález se týká zapojení nesymetrických logických úrovní na symetrické logické úrovni.

Úkolem převodníku je zajistit převedení logických úrovní nesymetrických vůči nulovému napětí např. z logiky TTL na logické úrovni, které jsou symetrické vůči nulovému napětí např. pro obvody logiky CMOS.

Znamé zapojení převádí vůči nulovému napětí nesymetrické úrovni v obvodu, kde vstupní signál TTL budí přes odpor bázi prvního tranzistoru typu npn, jehož emitor je spojen s nulovým napětím a jehož kolektor je přes odporový dělič připojen na kladnou svorku $+U$ zdroje. Ze středu tohoto odporového děliče je buzena báze druhého tranzistoru typu pnp, jehož emitor je připojen na kladnou svorku $+U$ zdroje a jehož kolektor je přes třetí odpor připojen na zápornou svorku $-U$ zdroje. Je-li první tranzistor vstupní logickou úrovní TTL sepnut, je na jeho kolektoru napětí blízké nulovému napětí. Z kolektoru prvního tranzistoru je přes dělič buzen do báze druhý tranzistor, který je nyní též otevřen a na jeho kolektoru je tudíž napětí blízké kladnému napětí $+U$ zdroje. Je-li první tranzistor vstupní logickou úrovní rozepnut, je stejným způsobem rozepnut i druhý tranzistor a na jeho kolektoru je napětí $-U$ zdroje. Nevýhodou tohoto známého zapojení je, že vzhledem k požadovaným krátkým spínacím časům je nutné volit velké spínací proudy obou tranzistorů, což je v rozporu s požadovanou minimální spotřebou převodníku.

Účelem vynálezu je odstranit uvedené nevýhody. Podle podstaty vynálezu se toho dosahuje tím, že na první vstupní svorku převodníku je připojen vstup integrovaného zesilovače, na jehož výstupní

svorku je připojen první odpor. Jeho druhý konec je přes druhý odpor připojen na kladnou svorku zdroje a též na třetí odpor, jehož druhý konec je připojen na katodu Zenerovy diody, jejíž anoda je připojena na čtvrtý odpor, jehož druhý konec je připojen na zápornou svorku zdroje. Paralelně k prvnímu odporu je připojen první kondenzátor a paralelně k sériově spojenému třetímu odporu a Zenerově diodě je připojen druhý kondenzátor. Ke středu mezi prvním a druhým odporem je připojena báze prvního tranzistoru typu pnp, jehož emitor je připojen na kladnou svorku zdroje a jehož kolektor je připojen na výstupní svorku převodníku. Ke středu mezi Zenerovou diodou a čtvrtým odporem je připojena báze druhého tranzistoru typu npn, jehož emitor je připojen na zápornou svorku zdroje a jehož kolektor je též připojen na výstupní svorku převodníku.

Výhodou zapojení podle vynálezu je jeho minimální spotřeba. Ta je dána zejména minimální spotřebou obou tranzistorů zapojených proudově v sérii, které jsou buzeny tak, že jeden tranzistor je vždy otevřen a druhý uzavřen. Dílčí proud prochází oběma sériově zapojenými tranzistory pouze v přechodových okamžicích.

Příklad zapojení převodníku nesymetrických logických úrovní na symetrické logické úrovně je dále popsán pomocí výkresu. Na vstupní svorku 1 převodníku je připojen vstup integrovaného zesilovače DD. Zesilovač DD je napájen z neznázorněné svorky kladného zdroje a z neznázorněné svorky nulového napětí. Na výstupní svorku 2 zesilovače DD je připojen první odpor R1, který je přes druhý odpor R2 připojen na kladnou svorku +U zdroje, paralelně k prvnímu odporu R1 je připojen první kondenzátor C1. Na výstupní svorku 2 zesilovače DD je dále připojen třetí odpor R3, který je přes Zenerovu diodu VZ a přes čtvrtý odpor R4 připojen na zápornou svorku -U zdroje. Paralelně k sériově zapojenému třetímu odporu R3 a Zenerově diodě VZ je připojen druhý kondenzátor C2. Na střed mezi propojeným prvním odporem R1 a druhým odporem R2 je připojena báze prvního tranzistoru VT1 typu pnp. Emitor prvního tranzistoru VT1 je připojen na kladnou svorku +U zdroje a jeho kolektor je připojen na výstupní svorku 3 převodníku. Na střed mezi propojenou Zenerovou diodou VZ a čtvrtým odporem R4 je připojena báze druhého tranzistoru VT2 typu npn. Emitor druhého tranzistoru VT2 typu npn je připojen na zápornou svorku -U zdroje a jeho kolektor je též připojen na výstupní svorku 3 převodníku.

Na vstupní svorku 1 převodníku, který je dále funkčně popsán bez zátěže tvořené obvykle vstupem navazujícího obvodu CMOS, přicházejí vstupní logické úrovně v logice TTL. Je-li na vstupní svorce 1 úroveň log 0, je na výstupní svorce 2 zesilovače DD napětí blízké nulovému napětí a proud z výstupní svorky 2 zesilovače DD se uzavírá přes první a druhý odpor R1 a R2 do kladné svorky +U zdroje. Napětí vzniklé na druhém odporu R2 budí bázi prvního tranzistoru VT1, který je tím otevřen, a na jeho kolektoru a tudíž i na výstupní svorce 3 převodníku je napětí blízké napětí na kladné svorce +U zdroje. Napětí blízké nulovému napětí na výstupní svorce 2 zesilovače DD způsobuje, že se uzavírá i proud přes třetí odpor R3, Zenerovu diodu VZ a čtvrtý odpor R4 do záporné svorky -U zdroje. Třetí a čtvrtý odpor R3, R4 a Zenerovo napětí Zenerovy diody VZ jsou voleny tak, aby v tomto případě procházel minimální proud tímto děličem a aby vzniklé napětí na čtvrtém odporu R4, přivedené na bázi druhého tranzistoru VT2 typu npn, druhý tranzistor VT2 ještě neotevřelo. Druhý tranzistor VT2 je uzavřen a na jeho kolektoru, který je spojen s kolektorem prvního tranzistoru VT1 a s výstupní svorkou 3 převodníku, je napětí blízké napětí kladné svorky +U zdroje.

Je-li na vstupní svorce 1 převodníku a tudíž i na vstupní svorce zesilovače DD úroveň log 1, je na výstupní svorce 2 zesilovače DD napětí blízké napětí na kladné svorce +U zdroje. Uzavírá se proud v obvodu: výstupní svorka 2 zesilovače DD, třetí odpor R3, Zenerova dioda VZ, čtvrtý odpor R4, záporná svorka -U zdroje. Třetí a čtvrtý odpor R3 a R4 a Zenerovo napětí Zenerovy diody VZ jsou pro tento případ voleny tak, že napětí vzniklé na čtvrtém odporu R4 otvírá přes připojenou bázi druhý tranzistor VT2. Na kolektoru otevřeného druhého tranzistoru VT2 a tudíž i na kolektoru uzavřeného prvního tranzistoru VT1 a na výstupní svorce 3 převodníku je napětí blízké napětí záporné svorky -U zdroje.

První a druhý kondenzátor C1, C2, které jsou připojeny paralelně k prvnímu odporu R1, resp. k sériové kombinaci třetího odporu R3 a Zenerovy diody VZ, mají za úkol funkčně urychlit buzení obou tranzistorů VT1 a VT2 v přechodových stavech.

První tranzistor VT1 se budí z prvního odporového děliče sestaveného z prvního a druhého odporu R1, R2, který je proudově dimenzován z hlediska povolené zátěže zesilovače DD i z hlediska požadovaných spínacích časů. Tento proud tvoří převážnou většinu

spotřeby převodníku, neboť odporový dělič sestavený z třetího odporu R3, Zenerovy diody VZ a čtvrtého odporu R4 pro buzení druhého tranzistoru VT2 je dimenzován na malý báze proud druhého tranzistoru VT2. Oba kondenzátory C1, C2 jsou malých hodnot a mají za úkol urychlit budicí průběhy.

Zapojení převodníku podle vynálezu je výhodné použít všude tam, kde se jedná o převedení nesymetrických úrovní např. logiky TTL na logické úrovně symetrické vůči nulovému napětí např. logiky CMOS. A to zejména pro přenos logických úrovní s vysokou přenosovou rychlostí a v obvodech, kde se požaduje minimální spotřeba.

P Ř E D M Ě T V Y N Á L E Z U

Zapojení převodníku nesymetrických logických úrovní na symetrické logické úrovně vůči nulovému napětí, vyznačené tím, že na vstupní svorku (1) převodníku je připojen vstup integrovaného zesilovače (DD), na jehož výstupní svorku (2) je připojen první odpor (R1), jehož druhý konec je přes druhý odpor (R2) připojen na kladnou svorku (+U) zdroje a též na třetí odpor (R3), jehož druhý konec je připojen na katodu Zenerovy diody (VZ), jejíž anoda je připojena na čtvrtý odpor (R4), jehož druhý konec je připojen na zápornou svorku (-U) zdroje, přičemž paralelně k prvnímu odporu (R1) je připojen první kondenzátor (C1), paralelně k sériově spojenému třetímu odporu (R3) s Zenerovou diodou (VZ) je připojen druhý kondenzátor (C2), zatímco ke středu mezi prvním a druhým odporem (R1, R2) je připojena báze prvního tranzistoru (VT1) typu pnp, jehož emitor je připojen na kladnou svorku (+U) zdroje a jehož kolektor je připojen na výstupní svorku (3) převodníku, přičemž ke středu mezi Zenerovou diodou (VZ) a čtvrtým odporem (R4) je připojena báze druhého tranzistoru (VT2) typu npn, jehož emitor je připojen na zápornou svorku (-U) zdroje a jehož kolektor je též připojen na výstupní svorku (3) převodníku.

1 výkres

