(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2024 年 8 月 8 日 (08.08.2024)

WIPO | PCT

(10) 国际公布号
WO 2024/159658 A1

(51) 国际专利分类号:
G11C 5/02 (2006.01)

(21) 国际申请号: PCT/CN2023/095112

(22) 国际申请日: 2023 年 5 月 18 日 (18.05.2023)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202310115188.3 2023年2月2日 (02.02.2023) CN

(71) 申请人: 长鑫存储技术有限公司 (**CHANGXIN MEMORY TECHNOLOGIES, INC.**) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(72) 发明人: 巴杭天 (**BA, Hangtian**); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。罗怡菲 (**LUO, Yifei**); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(74) 代理人: 上海晨皓知识产权代理事务所（普通合伙） (**SHANGHAI CHENHAO INTELLECTUAL PROPERTY LAW FIRM GENERAL PARTNERSHIP**); 中国上海市黄浦区制造局路787号二幢202B室, Shanghai 200011 (CN)。

(81) 指定国(除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA,

(54) **Title:** MEMORY CIRCUIT AND MEMORY LAYOUT

(54) 发明名称: 存储器电路以及存储器版图

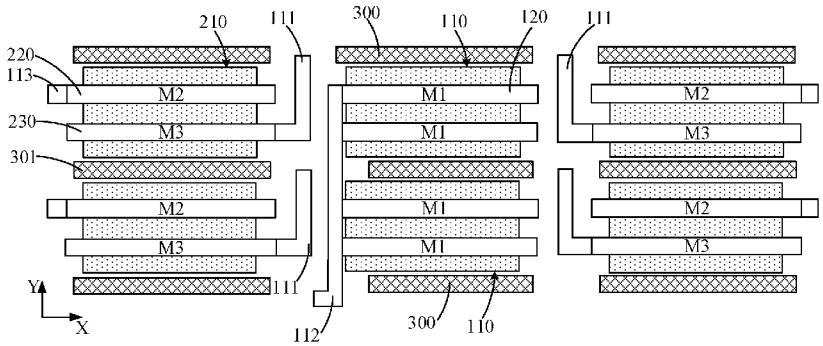


图 8

(57) **Abstract:** Disclosed are a memory circuit and a memory layout. The memory layout comprises an amplifier module comprising a plurality of amplifier units. Each amplifier unit comprises a first transistor, a second transistor and a third transistor. Two first transistors constitute a first transistor group. A second transistor and a third transistor connected to a first transistor constitute a second transistor group. Second transistor groups are respectively arranged on two opposite sides of the first transistor group in a second direction. In the second direction, for the two first transistors of the first transistor group, one of the first transistors is connected to the second transistor and the third transistor in the second transistor group on the adjacent side, and the other first transistor is connected to the second transistor and the third transistor in the second transistor group on the adjacent other side.

(57) 摘要: 公开了一种存储器电路以及存储器版图。该存储器版图包括：包括多个放大单元的放大模块。每一放大单元包括：第一晶体管、第二晶体管以及第三晶体管。两个第一晶体管组成一个第一晶体管组。与第一晶体管相连接的第二晶体管和第三晶体管组成一个第二晶体管组，第一晶体管组沿第二方向上的相对两侧均设置有一第二晶体管组，且沿第二方向上，第一晶体管组的两个第一晶体管中，一个第一晶体管与相邻一侧的第二晶体管组内的第二晶体管和第三晶体管相连接，另一个第一晶体管与相邻另一侧的第二晶体管组内的第二晶体管和第三晶体管相连接。

WO 2024/159658 A1

[见续页]

PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明，要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

存储器电路以及存储器版图

交叉引用

[0001] 本公开要求于 2023 年 02 月 02 日递交的名称为“存储器电路以及存储器版图”、申请号为 202310115188.3 的中国专利申请的优先权，其通过引用被全部并入本公开。

技术领域

[0002] 本公开实施例涉半导体技术领域，特别涉及一种存储器电路以及存储器版图。

背景技术

[0003] 动态随机存取存储器（Dynamic Random Access Memory，DRAM）通过向存储单元的电容器中存储电荷以完成对存储器的数据写入操作，通过读取存储单元的电容器中的电荷以完成对存储器的数据读出操作。

[0004] 存储器的电路设计以及存储器的版图设计是实现集成电路制造所必不可少的设计环节，它不仅关系到集成电路的功能是否正确，而且也会极大程度地影响集成电路的性能、成本以及功耗。目前的存储器的电路结构以及存储器的版图布局有待改进。

发明内容

[0005] 本公开实施例一方面提供一种存储器电路，包括：放大模块，放大模块包括多个元件相同的放大单元，每一放大单元串接于对应的一组本地数据线和互补本地数据线之间，以放大本地数据线和互补本地数据线之间的电压差；每一放大单元包括：第一晶体管、第二晶体管以及第三晶体管，其中，第一晶体管的源极用于接收供电电压，第一晶体管的栅极用于接收读出控制信号，第一晶体管的漏极分别与第二晶体管的源极以及第三晶体管的源极相连接，第二晶体管的漏极与本地数据线相连接，第三晶体管的漏极与互补本地数据线相连接，且第二晶体管的漏极与第三晶体管的栅极相连接，第三晶体管的漏极与第二晶体管的栅极相连接。

[0006] 本公开实施例另一方面提供一种存储器版图，包括：放大模块，放大模块包括多个元件相同的放大单元，每一放大单元串接于对应的一组本地数据线和互补本地数据线之间，以放大本地数据线和互补本地数据线之间的电压差；每一放大单元包括：第一晶体管、第二晶体管以及第三晶体管，其中，第一晶体管的漏极分别与第二晶体管的源极以及第三晶体管的源极相连接；两个第一晶体管组成一个第一晶体管组，多个第一晶体管组沿第一方向排布；与第一晶体管相连接的第二晶体管和第三晶体管组成一个第二晶体管组，第一晶体管组沿第

二方向上的相对两侧均设置有一第二晶体管组，且沿第二方向上，第一晶体管组的两个第一晶体管中，一个第一晶体管与相邻一侧的第二晶体管组内的第二晶体管和第三晶体管相连接，另一个第一晶体管与相邻另一侧的第二晶体管组内的第二晶体管和第三晶体管相连接，第二方向垂直于第一方向。

[0007] 在一些实施例中，第一晶体管组中的两个第一晶体管具有一共用的第一有源区，第二晶体管组中的一个第二晶体管和一个第三晶体管具有一共用的第二有源区。

[0008] 在一些实施例中，沿第二方向上，位于第一晶体管组相对两侧的两个第二晶体管组中，一个第二晶体管组所对应的第二有源区与另一个第二晶体管组所对应的第二有源区在第二方向上相互对齐。

[0009] 在一些实施例中，第二有源区包括依次间隔排布的第一漏区、共源区以及第二漏区，其中，第一漏区为第二晶体管的漏极，第二漏区为第三晶体管的漏极，共源区为第二晶体管和第三晶体管共用的源极；存储器版图还包括：多个第一走线，一第一走线用于连接第一晶体管的漏极和一相邻的共源区。

[0010] 在一些实施例中，沿第二方向上，位于第一晶体管组相对两侧的两个第二晶体管组中，一个第二晶体管组的第二晶体管与另一个第二晶体管组的第二晶体管在第二方向上相互对齐，一个第二晶体管组的第三晶体管与另一个第二晶体管组的第三晶体管在第二方向上相互对齐。

[0011] 在一些实施例中，还包括：多个第一导电部，第一导电部位于第二晶体管组与第一晶体管组之间，且第一导电部与相邻的第二晶体管的栅极电连接，或者第一导电部与相邻的第三晶体管的栅极电连接。

[0012] 在一些实施例中，还包括：与第一晶体管的栅极电连接的第二导电部，第二导电部沿第一方向延伸，且部分第二导电部至少位于第一导电部与第一晶体管组之间；沿第二方向上，第一导电部远离邻近的第二晶体管组的一侧至邻近的第二晶体管组的长度为第一长度，第二导电部远离邻近的第一晶体管组的一侧至邻近的第一晶体管组的长度为第二长度，第一长度大于第二长度。

[0013] 在一些实施例中，还包括：第三导电部，第三导电部位于第二晶体管组的远离第一晶体管组的一侧，且第三导电部与相邻的第二晶体管组中未与第一导电部相连接的栅极相连接。

[0014] 在一些实施例中，存储器版图还包括：开关控制区，开关控制区包括放大模块，沿第二方向上，放大模块具有相对的第一侧和第二侧，第一侧至相邻的开关控制区边缘的长度

与第二侧至相邻的开关控制区边缘的长度相同。

附图说明

[0015] 一个或多个实施例通过与之对应的附图中的图片进行示例性说明，这些示例性说明并不构成对实施例的限定，除非有特别申明，附图中的图不构成比例限制；为了更清楚地说明本公开实施例或传统技术中的技术方案，下面将对实施例中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本公开的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

[0016] 图 1 为一种存储器电路的部分等效电路结构示意图；

[0017] 图 2 为相关技术中一种放大模块的部分电路结构示意图；

[0018] 图 3 为本公开一实施例提供的一种放大模块的部分电路结构示意图；

[0019] 图 4 为本公开一实施例提供的一种存储器版图的结构示意图；

[0020] 图 5 为本公开一实施例提供的一种第一晶体管组的结构示意图；

[0021] 图 6 为本公开一实施例提供的一种第二晶体管组的结构示意图；

[0022] 图 7 为本公开一实施例提供的另一种存储器版图的结构示意图；

[0023] 图 8 为本公开一实施例提供的另一种存储器版图的结构示意图。

具体实施方式

[0024] 由背景技术可知，目前存储器的电路结构以及存储器的版图布局有待改进。

[0025] 图 1 为一种存储器电路的部分等效电路结构示意图。

[0026] 存储器包括多个存储阵列，每个存储阵列中都包含多个存储单元，存储单元可以是一开关晶体管和一单元电容器构成的 1T1C(1transistor 1capacitance)结构。此外，参考图 1，存储器还可以包括感测放大器 10、输入/输出电路 11、放大模块 12、预充电单元 14 以及本地放大器 13。放大模块 12 也可以被称之为中间放大模块。

[0027] 开关晶体管中源极或漏极其中一者连接单元电容器，另一者连接位线 BL/互补位线 BLB，字线 WL 连接开关晶体管的栅极，用于选择导通相应开关晶体管的栅极，使单元电容器与位线 BL/互补位线 BLB 连接，从而实现将位线 BL/互补位线 BLB 中的电信号写入单元电容器中，或实现将单元电容器中的电信号读出到位线 BL/互补位线 BLB 中。

[0028] 感测放大器 10 连接在位线 BL 和互补位线 BLB 之间，感测放大器 10 用于放大位线

BL 和互补位线 BLB 之间的电压差。

[0029] 输入/输出电路 11 包括：输入/输出晶体管，输入/输出晶体管源极或漏极其中一者连接位线 BL/互补位线 BLB，另一者连接本地数据线 LIO/互补本地数据线 LIOB，输入/输出晶体管的栅极用于接收列选择信号 CSL，并根据列选择信号 CSL，选择导通与列选择信号 CSL 相应的输入/输出晶体管，以使位线 BL/互补位线 BLB 与本地数据线 LIO/互补本地数据线 LIOB 连接，从而实现位线 BL/互补位线 BLB 与本地数据线 LIO/互补本地数据线 LIOB 的数据传递。

[0030] 本地数据线 LIO 通过本地放大器 13 连接全局数据线 Yio，从而实现本地数据线 LIO 与全局数据线 Yio 之间的数据传输，互补本地数据线 LIOB 通过本地放大器 13 连接互补全局数据线 YioN，以实现互补本地数据线 LIOB 与互补全局数据线 YioN 之间的数据传输。

[0031] 预充电单元 14 串接于本地数据线 LIO 和互补本地数据线 LIOB 之间，以使本地数据线 LIO 和互补本地数据线 LIOB 预充电至中间电位。

[0032] 存储器电路包括多组本地数据线 LIO 以及互补本地数据线 LIOB，本地数据线 LIO 以及互补本地数据线 LIOB 上的信号在传输过程中，可能由于线路之间的干扰等原因造成一定的损耗，进而使得信号失真，影响存储器的性能，放大模块 12 串接于本地数据线 LIO 和互补本地数据线 LIOB 之间，用于对本地数据线 LIO 以及互补本地数据线 LIOB 之间的电压差进行放大，以弥补信号传输过程中造成的损耗，进而提高存储器电路系统的稳定性。

[0033] 图 2 为相关技术中一种放大模块的部分电路结构示意图。

[0034] 参考图 1 和图 2，相关技术中，放大模块 12 包括多个第一晶体管 m1、多个第二晶体管 m2 以及多个第三晶体管 m3，第一晶体管 m1、第二晶体管 m2 以及第三晶体管 m3 均为 PMOS（Positive channel Metal Oxide Semiconductor，P 沟道金属氧化物半导体）管。第二晶体管 m2 和第三晶体管 m3 组成一个晶体管组 15，第一晶体管 m1 的源极用于接收供电电压 VCC，第一晶体管 m1 的栅极用于接收读出控制信号 RdEnN，晶体管组 15 中，第二晶体管 m2 的漏极与相应的本地数据线 LIO 相连接，第三晶体管 m3 的漏极与相应的互补本地数据线 LIOB 相连接，且第二晶体管 m2 的漏极与第三晶体管 m3 的栅极相连接，第三晶体管 m3 的漏极与第二晶体管 m2 的栅极相连接。其中，第一晶体管 m1 的数量和晶体管组 15 的数量不同，即第一晶体管 m1 的数量可以小于或大于晶体管组 15 的数量，例如，放大模块 12 可以包括 4 个第一晶体管 m1、8 个第二晶体管 m2 以及 8 个第三晶体管 m3，即放大模块 12 包括 4 个第一晶体管 m1 和 8 个晶体管组 15，由于第二晶体管 m2 与第三晶体管 m3 组成的晶体管组 15 与第一晶体管 m1 并非一一对应的关系，所以通常利用一条导线引出至少一个第一晶体管 m1 的漏极或者将多个并联的第一晶体管 m1 的漏极相连接，再将多个晶体管组 15 分

别与第一晶体管的引出线相连接，相当于多个晶体管 15 共用同一第一晶体管 m1 或者说共用多个第一晶体管 m1 构成的晶体管组。如此，不仅无法实现第一晶体管 m1 对晶体管组 15 的一对一控制，也不利于第一晶体管 m1 与晶体管组 15 在存储器的版图布局中实现对称排布。

[0035] 为解决上述问题，本公开实施例提供了一种存储器电路以及存储器版图，存储器电路中的放大模块包括多个元件相同的放大单元，存储器包括多组本地数据线和互补本地数据线，每一组本地数据线和互补本地数据线之间均串接有对应的一组放大单元，每个放大单元中均包括第一晶体管、第二晶体管以及第三晶体管，不同放大单元中的晶体管相互独立，即不共用，若定义同一放大单元内的第二晶体管和第三晶体管为一晶体管组，利用第一晶体管分别向第二晶体管的源极以及第三晶体管的源极传输电压信号，即实现一个第一晶体管对相应的一个晶体管组的一对一控制，有利于提高控制存储器电路的精确性。存储器版图中，使两个第二晶体管组对称分布在第一晶体管组的两侧，有利于提高存储器版图布局的对称性。此外，第一晶体管组中的一个第一晶体管与位于第一晶体管组一侧的第二晶体管和第三晶体管相连接，第一晶体管组中的另一个第一晶体管与位于第一晶体管组另一侧的第二晶体管和第三晶体管相连接，使得第一晶体管组与两侧的第二晶体管组之间的两条连线分别朝远离第一晶体管组的相对两侧延伸，有利于进一步提高存储器版图布局的对称性，进而有利于提升存储器的性能。

[0036] 下面将结合附图对本公开各实施例进行详细的阐述。然而，本领域的普通技术人员可以理解，在本公开各实施例中，为了使读者更好地理解本公开实施例而提出了许多技术细节。但是，即使没有这些技术细节和基于以下各实施例的种种变化和修改，也可以实现本公开实施例所要求保护的技术方案。

[0037] 图 3 为本公开一实施例提供的一种放大模块的部分电路结构示意图。需要说明的是，图 3 对多组本地数据线与互补本地数据线进行了省略，仅对一组本地数据线与互补本地数据线进行了图示。

[0038] 参考图 1 和图 3，本公开实施例一方面提供一种存储器电路，包括：放大模块 12，放大模块 12 包括多个元件相同的放大单元 20，每一放大单元 20 串接于对应的一组本地数据线 LIO 和互补本地数据线 LIOB 之间，以放大本地数据线 LIO 和互补本地数据线 LIOB 之间的电压差。

[0039] 存储器电路中，由于噪声等信号干扰因素的存在，可能导致本地数据线 LIO 或者互补本地数据线 LIOB 所传输的信号产生一定的损耗，使得本地数据线 LIO 或者互补本地数据线 LIOB 所传输的信号失真，信号失真可能降低存储器的性能，甚至导致读出错误的数据，放大模块 12 用于对本地数据线 LIO 以及互补本地数据线 LIOB 之间的电压差进行放大，以

弥补信号传输规程中造成的损耗，进而提高存储器电路系统的稳定性。

[0040] 放大模块 12 中放大单元 20 的数量由成组的本地数据线 LIO 以及互补本地数据线 LIOB 的数量所决定，在一个例子中，存储器电路可以包括 8 组本地数据线 LIO 以及互补本地数据线 LIOB，则相应的，放大模块 12 包括 8 个放大单元 20。

[0041] 参考图 3，每一放大单元 20 包括：第一晶体管 M1、第二晶体管 M2 以及第三晶体管 M3，第一晶体管 M1、第二晶体管 M2 以及第三晶体管 M3 均为 PMOS 管。放大模块 12 中，第一晶体管 M1 的数量与第二晶体管 M2 的数量以及第三晶体管 M3 的数量均相同。第一晶体管 M1 的源极用于接收供电电压 VCC，第一晶体管 M1 的栅极用于接收读出控制信号 RdEnN，第一晶体管 M1 的漏极分别与第二晶体管 M2 的源极以及第三晶体管 M3 的源极相连接。若定义放大单元 20 内的第二晶体管 M2 和第三晶体管 M3 组成一个晶体管组 16，读出控制信号有效时，放大模块 12 中的一个第一晶体管 M1 向一个晶体管组 16 传输供电电压 VCC，即实现第一晶体管 M1 对晶体管组 16 的一对一控制，有利于提高控制存储器电路的精确性。

[0042] 继续参考图 3，第二晶体管 M2 的漏极与相应的本地数据线 LIO 相连接，第三晶体管 M3 的漏极与相应的互补本地数据线 LIOB 相连接，且第二晶体管 M2 的漏极与第三晶体管 M3 的栅极相连接，第三晶体管 M3 的漏极与第二晶体管 M2 的栅极相连接。当第一晶体管 M1 的栅极接收到的读出控制信号有效时，第一晶体管 M1 导通，将供电电压 VCC 传输至第二晶体管 M2 的源极以及第三晶体管 M3 的源极，若本地数据线 LIO 传输高电平信号，互补本地数据线 LIOB 传输低电平信号，与本地数据线 LIO 相连接的第三晶体管 M3 的栅极接收到高电平信号，第三晶体管 M3 截止，与互补本地数据线 LIOB 相连接的第二晶体管 M2 的栅极接收到低电平信号，第二晶体管 M2 导通，并将供电电压 VCC 传输至本地数据线 LIO，通过正反馈对本地数据线 LIO 所传输的高电平信号进行放大。

[0043] 上述实施例提供的存储器电路中，放大模块 12 包括多个元件相同的放大单元 20，放大单元 20 中的第一晶体管 M1 对晶体管组 16 进行一对一控制，进而实现放大单元 20 对相应的一组本地数据线 LIO 以及互补本地数据线 LIOB 进行放大，有利于提高控制存储器电路的精确性。

[0044] 本公开实施例另一方面还提供一种存储器版图，存储器版图可以应用于上述实施例提供的存储器电路，下面将结合附图对本公开实施例提供存储器版图进行详细说明，需要说明的是，与前述实施例相同或相应的部分可以参考前述实施例，以下将不做赘述。

[0045] 图 4 为本公开一实施例提供的一种存储器版图的结构示意图；图 5 为本公开一实施例提供的一种第一晶体管组的结构示意图；图 6 为本公开一实施例提供的一种第二晶体管组

的结构示意图；图 7 为本公开一实施例提供的另一种存储器版图的结构示意图；图 8 为本公开一实施例提供的另一种存储器版图的结构示意图。

[0046] 参考图 1、图 3 以及图 4，存储器版图包括：放大模块 12，放大模块 12 包括多个元件相同的放大单元 20，每一放大单元 20 串接于对应的一组本地数据线 LIO 和互补本地数据线 LIOB 之间，以放大本地数据线 LIO 和互补本地数据线 LIOB 之间的电压差；每一放大单元 20 包括：第一晶体管 M1、第二晶体管 M2 以及第三晶体管 M3，其中，第一晶体管 M1 的漏极分别与第二晶体管 M2 的源极以及第三晶体管 M3 的源极相连接。

[0047] 放大模块 12 用于对本地数据线 LIO 以及互补本地数据线 LIOB 之间的电压差进行放大，以弥补信号传输规程中造成的损耗，进而保证提高存储器电路系统的稳定性。放大模块 12 中，放大单元 20 与本地数据线 LIO 以及互补本地数据线 LIOB 的连接关系、放大单元 20 中第一晶体管 M1、第二晶体管 M2 以及第三晶体管 M3 的连接关系可以参考前述实施例以及图 1 和图 3。

[0048] 参考图 4，存储器版图中，两个相互独立的第一晶体管 M1 组成一个第一晶体管组 100，多个第一晶体管组 100 沿第一方向 Y 排布。

[0049] 在一些实施例中，第一方向 Y 可以为存储器版图中位线的延伸方向。

[0050] 参考图 3 和图 4，与第一晶体管 M1 相连接的第二晶体管 M2 和第三晶体管 M3 组成一个第二晶体管组 200，第一晶体管组 100 沿第二方向 X 上的相对两侧均设置有一第二晶体管组 200，且沿第二方向 X 上，第一晶体管组 100 的两个第一晶体管 M1 中，一个第一晶体管 M1 与相邻一侧的第二晶体管组 200 内的第二晶体管 M2 和第三晶体管 M3 相连接，另一个第一晶体管 M1 与相邻另一侧的第二晶体管组 200 内的第二晶体管 M2 和第三晶体管 M3 相连接，第二方向 X 垂直于第一方向 Y。如此，两个第二晶体管组 200 对称分布在第一晶体管组 100 的两侧，有利于提高存储器版图布局的对称性。此外，位于第一晶体管组 100 的相对两侧的不同第二晶体管组 200 中，第二晶体管 M2 朝向第三晶体管 M3 的方向相反，第一晶体管组 100 与两侧的第二晶体管组 200 之间的两条连线分别朝远离第一晶体管组 100 的相对两侧延伸，有利于进一步提高存储器版图布局的对称性，进而有利于提升存储器的性能。

[0051] 需要说明的是，沿第二方向上，位于第一晶体管组 100 相对两侧的两个第二晶体管组 200 为第一晶体管组 100 所对应的两个第二晶体管组 200，第一晶体管组 100 至所对应的两个第二晶体管组 200 距离均相同。

[0052] 在一些实施例中，参考图 4，第一晶体管组 100 中的两个第一晶体管 M1 具有一共用的第一有源区 110。如此，可以在有限的空间内，使第一晶体管 M1 的尺寸最大化，有利于提升存储器的性能，并且，有利于改善同一第一晶体管组 100 中，两个第一晶体管 M1 之间

的间隔区域对空间的浪费，有利于提升版图的利用效率。在另一些实施例中，参考图 5，第一晶体管组 100 中的两个第一晶体管 M1 的有源区 121 相互分立设置。

[0053] 参考图 4，第一晶体管组 100 中的两个第一晶体管 M1 具有一共用的第一有源区 110，第一有源区 110 包括共源区 131 以及与共源区 131 间隔排布且位于共源区 131 两侧的漏区 130，其中，漏区 130 为第一晶体管 M1 的漏极，共源区 131 为两个第一晶体管 M1 共用的源极。

[0054] 在一些实施例中，参考图 4，第二晶体管组 200 中的一个第二晶体管 M2 和一个第三晶体管 M3 具有一共用的第二有源区 210。如此，可以在有限的空间内，使第二晶体管 M2 的尺寸以及第三晶体管 M3 的尺寸最大化，有利于提升存储器的性能，并且，有利于改善同一第二晶体管组 200 中，第二晶体管 M2 与第三晶体管 M3 之间的间隔区域对空间的浪费，有利于提升版图的利用效率。在另一些实施例中，参考图 6，第二晶体管组 200 中，第二晶体管 M2 的有源区 221 和第三晶体管 M3 的有源区 231 相互分立设置。

[0055] 在一些实施例中，参考图 4，第一晶体管组 100 的两个第一晶体管 M1 的栅极 120 在第一有源区 110 上沿第一方向 Y 间隔排布，第二晶体管组 200 的第二晶体管 M2 的栅极 220 和第三晶体管 M3 的栅极 230 在第二有源区 210 上沿第一方向 Y 间隔排布，且第一晶体管 M1 的栅极 120、第二晶体管 M2 的栅极 220 以及第三晶体管 M3 的栅极 230 均沿第二方向 X 延伸。

[0056] 在一些实施例中，参考图 4，沿第二方向 X 上，位于第一晶体管组 100 相对两侧的两个第二晶体管组 200 中，一个第二晶体管组 200 所对应的第二有源区 210 与另一个第二晶体管组 200 所对应的第二有源区 210 在第二方向 X 上相互对齐。即位于第一晶体管组 100 两侧的两个第二晶体管组 200 中，一个第二晶体管组 200 指向另一个第二晶体管组 200 的方向平行于第二方向 X。可以理解的是，在另一些实施例中，位于第一晶体管组 100 两侧的两个第二晶体管组 200 中，一个第二晶体管组 200 指向另一个第二晶体管组 200 的方向也可以与第二方向 X 不同，即两个第二晶体管组 200 呈角对角对称分布。

[0057] 参考图 7，在一些实施例中，第二有源区 210 包括依次间隔排布的第一漏区 I、共源区 II 以及第二漏区 III，其中，第一漏区 I 为第二晶体管 M2 的漏极，第二漏区 III 为第三晶体管 M3 的漏极，共源区 II 为第二晶体管 M2 和第三晶体管 M3 共用的源极；存储器版图还包括：多个第一走线 101，一第一走线 101 用于连接第一晶体管 M1 的漏极和一相邻的共源区 II。如此，由第一晶体管组 100 引出的两条第一走线 101 分别向第一晶体管组 100 的相对两侧延伸，即第一晶体管组 100 引出的两条第一走线 101 也呈对称分布，有利于提升存储器版图布局的对称性，进而有利于提升存储器的性能。

[0058] 需要说明的是，第一走线 101 为位于第一导电层的导线，第一导电层位于第一晶体

管组以及第二晶体管组的上方，且第一走线 101 通过导电插塞与第一晶体管 M1 的漏极相连接，以及通过导电插塞与共源区 II 连接。

[0059] 在一些实施例中，参考图 7，沿第二方向 X 上，位于第一晶体管组 100 相对两侧的两个第二晶体管组 200 中，一个第二晶体管组 200 的第二晶体管 M2 与另一个第二晶体管组 200 的第二晶体管 M2 在第二方向 X 上相互对齐，一个第二晶体管组 200 的第三晶体管 M3 与另一个第二晶体管组 200 的第三晶体管 M3 在第二方向 X 上相互对齐。即位于第一晶体管组 100 相对两侧的两个第二晶体管组 200 中，一个第二晶体管组 200 的第二晶体管 M2 与另一个第二晶体管组 200 的第二晶体管 M2 以 A-A1 为对称轴对称分布，A-A1 可以是沿第一方向 Y 排布的不同第一晶体管组 100 的中心点连线的延长线。

[0060] 在一些实施例中，参考图 4，沿第二方向 X 上，位于第一晶体管组 100 相对两侧的两个第二晶体管组 200 中，一个第二晶体管组 200 的第二晶体管 M2 与另一个第二晶体管组 200 的第三晶体管 M3 在第二方向 X 上相互对齐。即位于第一晶体管组 100 相对两侧的两个第二晶体管组 200 中，不同第二晶体管组 200 中的两个第二晶体管 M2 呈角对角对称分布。

[0061] 在一些实施例中，参考图 7，存储器版图还包括：多个第一导电部 111，第一导电部 111 位于第二晶体管组 200 与第一晶体管组 100 之间，且第一导电部 111 与相邻的第二晶体管 M2 的栅极 220 电连接，或者第一导电部 111 与相邻的第三晶体管 M3 的栅极 230 电连接。需要说明的是，图 7 以第一导电部 111 与相邻的第三晶体管 M3 的栅极 230 电连接为例进行了图示。可以理解的是，由于与第一晶体管组 100 相对应的两个第二晶体管组 200 呈对称分布，因此，位于第一晶体管 M1 两侧的两个第一导电部 111 也呈对称分布，有利于提升存储器版图布局的对称性，进而有利于提升存储器的性能。

[0062] 在一些实施例中，参考图 7，存储器版图还包括：与第一晶体管 M1 的栅极 120 电连接的第二导电部 112，第二导电部 112 沿第一方向 Y 延伸，且部分第二导电部 112 至少位于第一导电部 111 与第一晶体管组 100 之间；沿第二方向 X 上，第一导电部 111 远离邻近的第二晶体管组 200 的一侧至邻近的第二晶体管组 200 的长度为第一长度 L1，第二导电部 112 远离邻近的第一晶体管组 100 的一侧至邻近的第一晶体管组 100 的长度为第二长度 L2，第一长度 L1 大于第二长度 L2。由于第一晶体管组 100 和第二晶体管组 200 之间的空间有限，将第二导电部 112 设置在距离第一晶体管组 100 较近的位置，有利于实现将第一导电部 111 设置在距离第二晶体管组 200 较远的位置，从而减弱因第一导电部 111 和第二晶体管 M2 的栅极 220 过近所造成的影响，提升器件性能。并且，将第一导电部 111 和第二导电部 112 均设置在第一晶体管组 100 和第二晶体管组 200 之间，有利于提升版图的利用率。

[0063] 在一些实施例中，第二导电部 112 的端部具有与第二导电部 112 相连接的弯折部 114。

弯折部 114 增大了第二导电部 112 的尺寸，具有弯折部 114 的第二导电部 112 使得导电插塞可以设置在弯折部 114 以及第二导电部 112 上，相较于仅在第二导电部 112 上设置导电插塞，有利于增大导电插塞的尺寸，进而有利于降低导电插塞的导通电阻，提升存储器的性能。

[0064] 在一些实施例中，参考图 8，第二晶体管组 200 沿第一方向 Y 的两侧具有设置在衬底上的第一冗余栅极 301，第一冗余栅极 301 用于平衡区域内的重量分布。示例性的，第一冗余栅极 301 的材料与第二晶体管 M2 的栅极 220 以及第三晶体管 M3 的栅极 230 的材料相同，均为多晶硅，从而平衡包含上下相邻两个第二晶体管组 200 在内的整个区域的多晶硅的重量分布；此外，在工艺过程中在第一方向 Y 的边缘位置设置第一冗余栅极 301，还可以提升第二晶体管 M2 和第三晶体管 M3 的栅极位置的准确度，减弱光学邻近效应的影响。在一些实施例中，第三晶体管 M3 的栅极 230 沿第二方向 X 的一侧连接有第一导电部 111，使第一导电部 111 设置在距离第二晶体管组 200 较远的位置，有利于避免第一导电部 111 距离第二晶体管 M2 的栅极 220 过近，进而有利于减小第一导电部 111 对第二晶体管 M2 的栅极 220 造成的影响，即减弱信号串扰。可以理解的是，冗余栅极 301 不连接电源信号。

[0065] 在一些实施例中，参考图 8，第一晶体管组 100 沿第一方向 Y 的两侧具有设置在衬底上的第二冗余栅极 300，第二冗余栅极 300 用于平衡区域内的重量分布。示例性的，第二冗余栅极 300 的材料与第一晶体管 M1 的栅极 120 的材料相同，均为多晶硅，从而平衡包含上下相邻两个第一晶体管组 100 在内的整个区域的多晶硅的重量分布；此外，在工艺过程中在第一方向 Y 的边缘位置设置第二冗余栅极 300，还可以提升第一晶体管 M1 的栅极 120 的位置的准确度，减弱光学邻近效应的影响。在一些实施例中，第二冗余栅极 300 沿第二方向 X 的一侧具有第二导电部 112，由于第二导电部 112 设置在距离第一晶体管组 100 较近的位置，因此，为了避免第二导电部 112 距离第二冗余栅极 300 过近，沿第二方向 X 上，可以缩短部分第二冗余栅极 300 的尺寸，将沿第二方向 X 的一侧具有第二导电部 112 的部分第二冗余栅极 300 邻近第二导电部 112 的一端设置为距离第二导电部 112 较远的状态，如此，有利于避免第二冗余栅极 300 对第二导电部 112 造成影响。在一些实施例中，在第二方向 X 上，第二冗余栅极 300 与第二导电部 112 的距离等于上述第一长度，或者等于第一长度与第二长度的差值。

[0066] 在一些实施例中，参考图 7 或图 8，存储器版图还包括：第三导电部 113，第三导电部 113 位于第二晶体管组 200 的远离第一晶体管组 100 的一侧，且第三导电部 113 与相邻的第二晶体管组 200 中未与第一导电部 111 相连接的栅极相连接。可以理解的是，由于与第一晶体管组 100 相对应的两个第二晶体管组 200 对称分布在第一晶体管组 100 的两侧，因此，位于第一晶体管 M1 两侧的两个第三导电部 113 也对称分布在第一晶体管组 100 的两侧，有利于提升存储器版图布局的对称性，进而有利于提升存储器的性能。

[0067] 在一些实施例中，存储器版图还包括：开关控制区，开关控制区包括放大模块 12，沿第二方向 X 上，放大模块 12 具有相对的第一侧和第二侧，第一侧至相邻的开关控制区边缘的长度与第二侧至相邻的开关控制区边缘的长度相同。如此，沿第二方向 X 上，放大模块 12 两侧剩余的开关控制区也呈对称分布，有利于提高存储器版图布局的对称性，进而有利于提升存储器的性能。

[0068] 上述实施例提供的存储器版图中，使两个第二晶体管组对称分布在第一晶体管组的两侧，有利于提高存储器版图布局的对称性。此外，第一晶体管组中的一个第一晶体管与位于第一晶体管组一侧的第二晶体管和第三晶体管相连接，第一晶体管组中的另一个第一晶体管与位于第一晶体管组另一侧的第二晶体管和第三晶体管相连接，使得第一晶体管组与两侧的第二晶体管组之间的两条连线分别朝远离第一晶体管组的相对两侧延伸，有利于进一步提高存储器版图布局的对称性，进而有利于提升存储器的性能。

[0069] 本领域的普通技术人员可以理解，上述各实施方式是实现本公开的具体实施例，而在实际应用中，可以在形式上和细节上对其作各种改变，而不偏离本公开的精神和范围。任何本领域技术人员，在不脱离本公开的精神和范围内，均可作各自变动与修改，因此本公开的保护范围应当以权利要求限定的范围为准。

权 利 要 求 书

1. 一种存储器电路，包括：

放大模块（12），所述放大模块（12）包括多个元件相同的放大单元（20），每一所述放大单元（20）串接于对应的一组本地数据线（LIO）和互补本地数据线（LIOB）之间，以放大所述本地数据线（LIO）和所述互补本地数据线（LIOB）之间的电压差；

每一所述放大单元（20）包括：第一晶体管（M1）、第二晶体管（M2）以及第三晶体管（M3），其中，所述第一晶体管（M1）的源极用于接收供电电压（VCC），所述第一晶体管（M1）的栅极用于接收读出控制信号（RdEnN），所述第一晶体管（M1）的漏极分别与所述第二晶体管（M2）的源极以及所述第三晶体管（M3）的源极相连接，所述第二晶体管（M2）的漏极与所述本地数据线（LIO）相连接，所述第三晶体管（M3）的漏极与所述互补本地数据线（LIOB）相连接，且所述第二晶体管（M2）的漏极与所述第三晶体管（M3）的栅极相连接，所述第三晶体管（M3）的漏极与所述第二晶体管（M2）的栅极相连接。

2. 一种存储器版图，包括：

放大模块（12），所述放大模块（12）包括多个元件相同的放大单元（20），每一所述放大单元（20）串接于对应的一组本地数据线（LIO）和互补本地数据线（LIOB）之间，以放大所述本地数据线（LIO）和所述互补本地数据线（LIOB）之间的电压差；

每一所述放大单元（20）包括：第一晶体管（M1）、第二晶体管（M2）以及第三晶体管（M3），其中，所述第一晶体管（M1）的漏极分别与所述第二晶体管（M2）的源极以及所述第三晶体管（M3）的源极相连接；

两个所述第一晶体管（M1）组成一个第一晶体管组（100），多个所述第一晶体管组（100）沿第一方向（Y）排布；与所述第一晶体管（M1）相连接的所述第二晶体管（M2）和所述第三晶体管（M3）组成一个第二晶体管组（200），所述第一晶体管组（100）沿第二方向（X）上的相对两侧均设置有一所述第二晶体管组（200），且沿第二方向（X）上，所述第一晶体管组（100）的两个所述第一晶体管（M1）中，一个所述第一晶体管（M1）与相邻一侧的所述第二晶体管组（200）内的所述第二晶体管（M2）和所述第三晶体管（M3）相连接，另一个所述第一晶体管（M1）与相邻另一侧的所述第二晶体管组（200）内的所述第二晶体管（M2）和所述第三晶体管（M3）相连接，所述第二方向（X）垂直于所述第一方向（Y）。

3. 根据权利要求 2 所述存储器版图，其中，所述第一晶体管组（100）中的两个所述第一晶

体管（M1）具有一共用的第一有源区（110），所述第二晶体管组（200）中的一个所述第二晶体管（M2）和一个所述第三晶体管（M3）具有一共用的第二有源区（210）。

4. 根据权利要求 3 所述存储器版图，其中，沿所述第二方向（X）上，位于所述第一晶体管组（100）相对两侧的两个所述第二晶体管组（200）中，一个所述第二晶体管组（200）所对应的所述第二有源区（210）与另一个所述第二晶体管组（200）所对应的所述第二有源区（210）在所述第二方向（X）上相互对齐。

5. 根据权利要求 3 所述存储器版图，其中，所述第二有源区（210）包括依次间隔排布的第一漏区（I）、共源区（II）以及第二漏区（III），其中，所述第一漏区（I）为所述第二晶体管（M2）的漏极，所述第二漏区（III）为所述第三晶体管（M3）的漏极，所述共源区（II）为所述第二晶体管（M2）和所述第三晶体管（M3）共用的源极；

所述存储器版图还包括：多个第一走线（101），一所述第一走线（101）用于连接所述第一晶体管（M1）的漏极和一相邻的所述共源区（II）。

6. 根据权利要求 2 所述存储器版图，其中，沿所述第二方向（X）上，位于所述第一晶体管组（100）相对两侧的两个所述第二晶体管组（200）中，一个所述第二晶体管组（200）的所述第二晶体管（M2）与另一个所述第二晶体管组（200）的所述第二晶体管（M2）在所述第二方向(X)上相互对齐，一个所述第二晶体管组(200)的所述第三晶体管(M3)与另一个所述第二晶体管组（200）的所述第三晶体管（M3）在所述第二方向（X）上相互对齐。

7. 根据权利要求 2 所述存储器版图，其中，还包括：多个第一导电部（111），所述第一导电部（111）位于所述第二晶体管组（200）与所述第一晶体管组（100）之间，且所述第一导电部（111）与相邻的所述第二晶体管（M2）的栅极（220）电连接，或者所述第一导电部（111）与相邻的所述第三晶体管（M3）的栅极（230）电连接。

8. 根据权利要求 7 所述存储器版图，其中，还包括：与所述第一晶体管(M1)的栅极(120)电连接的第二导电部（112），所述第二导电部（112）沿所述第一方向（Y）延伸，且部分所述第二导电部（112）至少位于所述第一导电部（111）与所述第一晶体管组（100）之间；

沿所述第二方向（X）上，所述第一导电部（111）远离邻近的所述第二晶体管组（200）的一侧至邻近的所述第二晶体管组(200)的长度为第一长度(L1)，所述第二导电部(112)远离邻近的所述第一晶体管组（100）的一侧至邻近的所述第一晶体管组（100）的长度为第二长度（L2），所述第一长度（L1）大于所述第二长度（L2）。

9. 根据权利要求 7 所述存储器版图，其中，还包括：第三导电部（113），所述第三导电部（113）位于所述第二晶体管组（200）的远离所述第一晶体管组（100）的一侧，且所述第三导电部（113）与相邻的所述第二晶体管组（200）中未与所述第一导电部（111）相连接的栅极相连接。

10. 根据权利要求 2 所述存储器版图，其中，所述存储器版图还包括：开关控制区，所述开关控制区包括所述放大模块（12），沿所述第二方向（X）上，所述放大模块（12）具有相对的第一侧和第二侧，所述第一侧至相邻的所述开关控制区边缘的长度与所述第二侧至相邻的所述开关控制区边缘的长度相同。

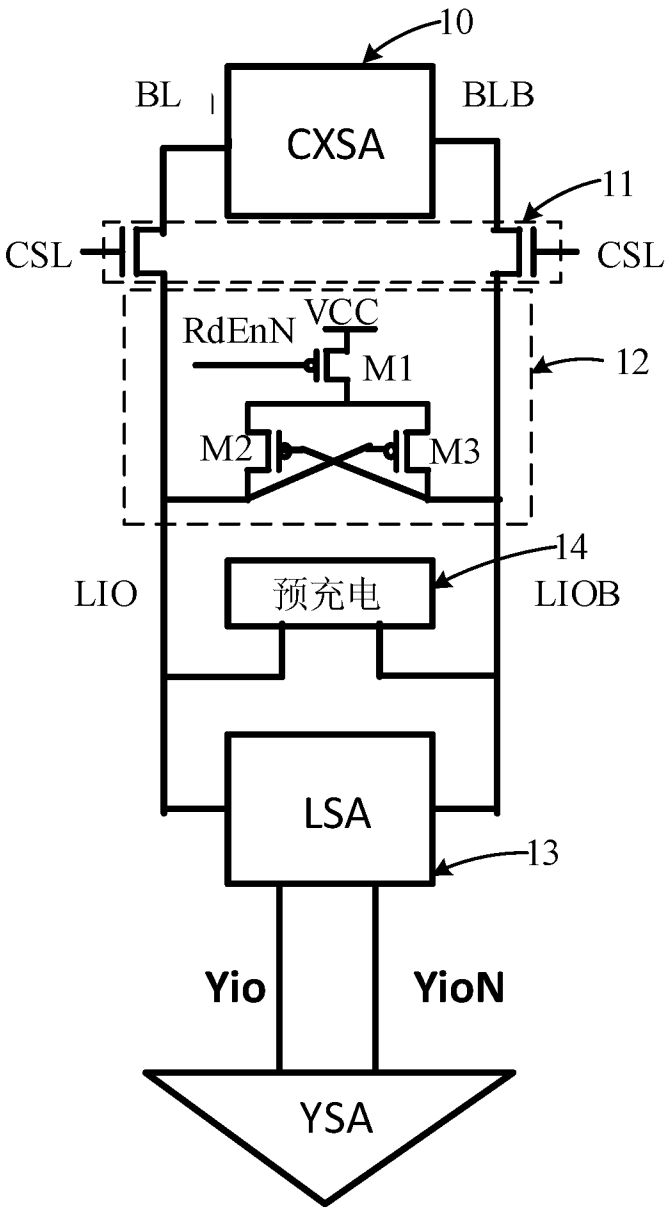

10
BL
CXSA
BLB
11
CSL
CSL
RdEnN
VCC
M1
12
M2
M3
14
LIO
预充电
LIOB
LSA
13
Yio
YioN
YSA

图 1

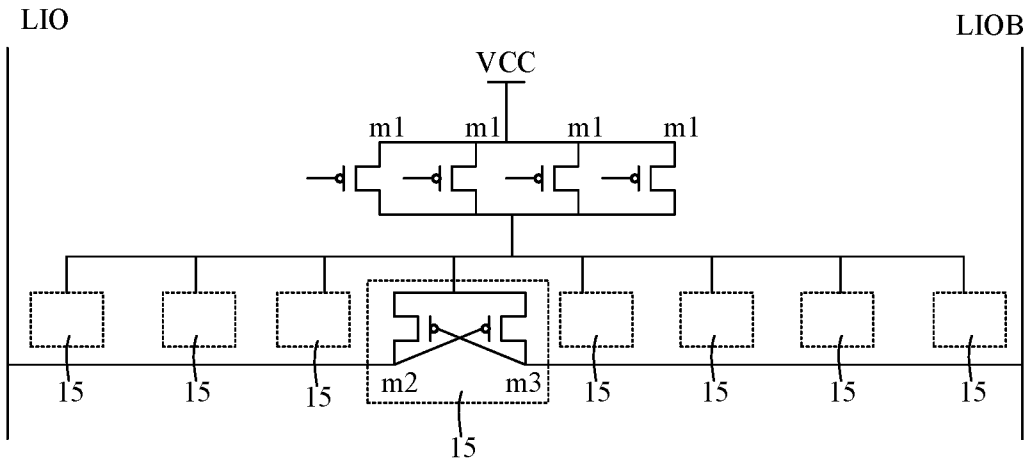

LIO
LIOB
VCC
m1
m1
m1
m1
15
15
15
m2
m3
15
15
15
15
15

图 2

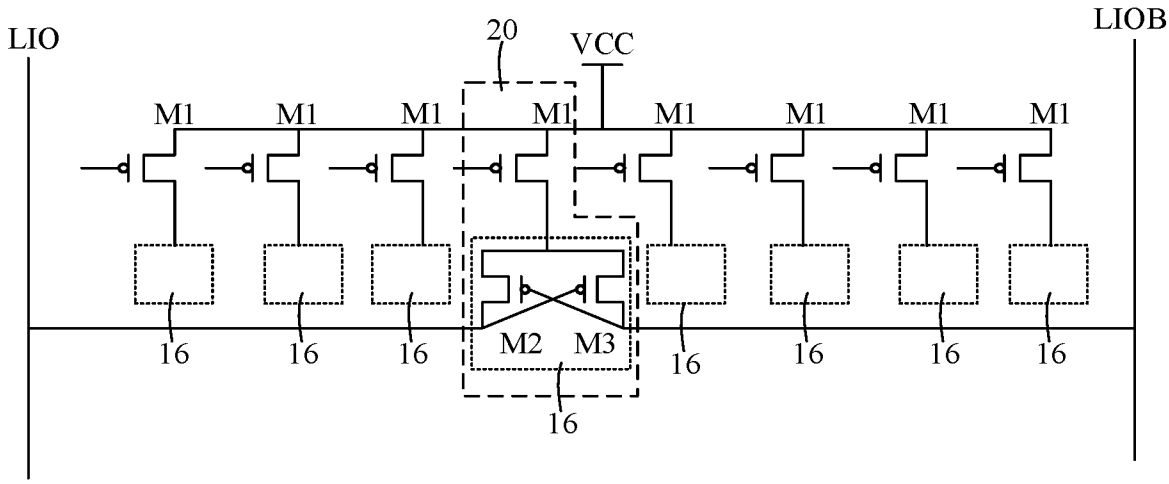

LIO
LIOB
20
VCC
M1
M1
M1
M1
M1
M1
M1
M1
16
16
16
M2
M3
16
16
16
16
16

图 3

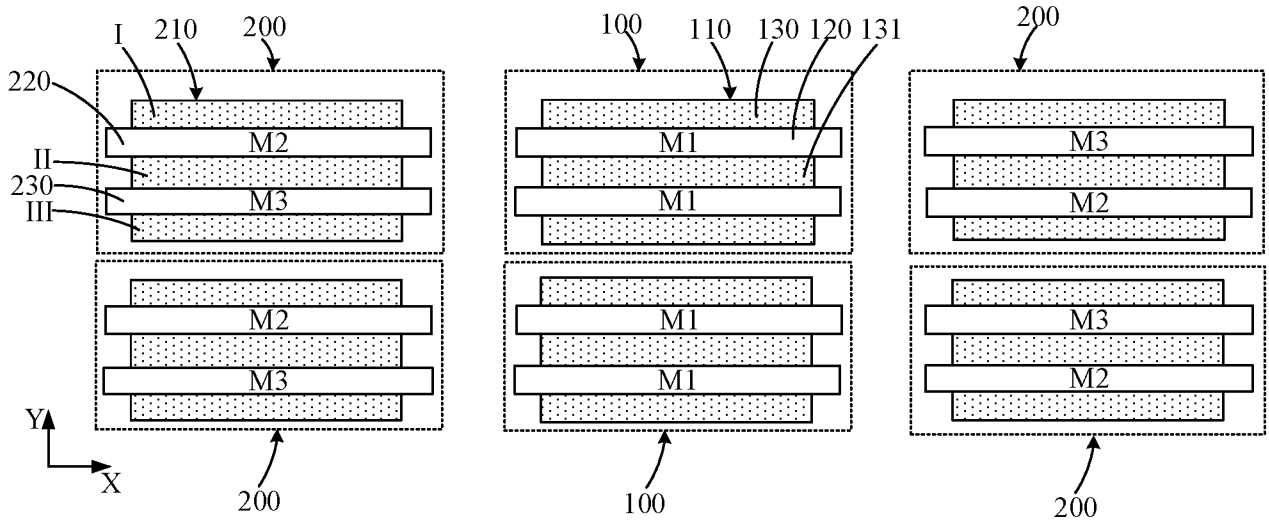

I
210
200
220
II
230
III
M2
M3
M2
M3
Y
X
200
100
110
130
120
131
M1
M1
M1
M1
100
200
M3
M2
M3
M2
200

图 4

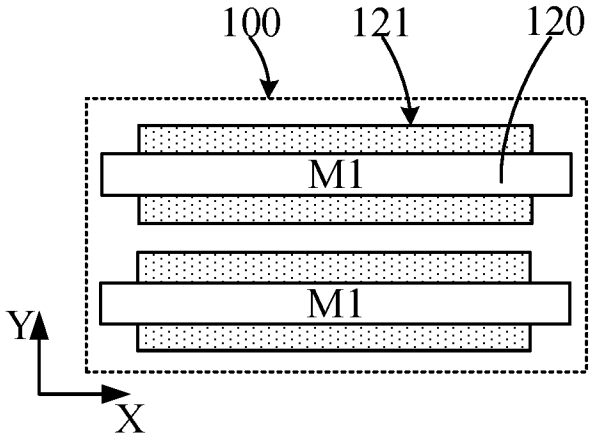

100
121
120
M1
M1
Y
X

图 5

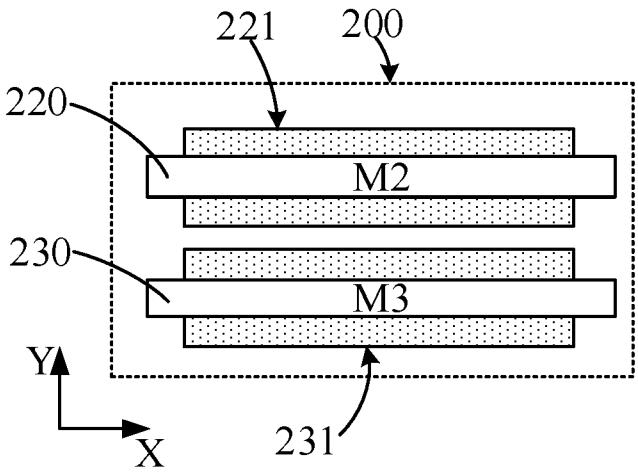

221
200
220
M2
230
M3
Y
X
231

图 6

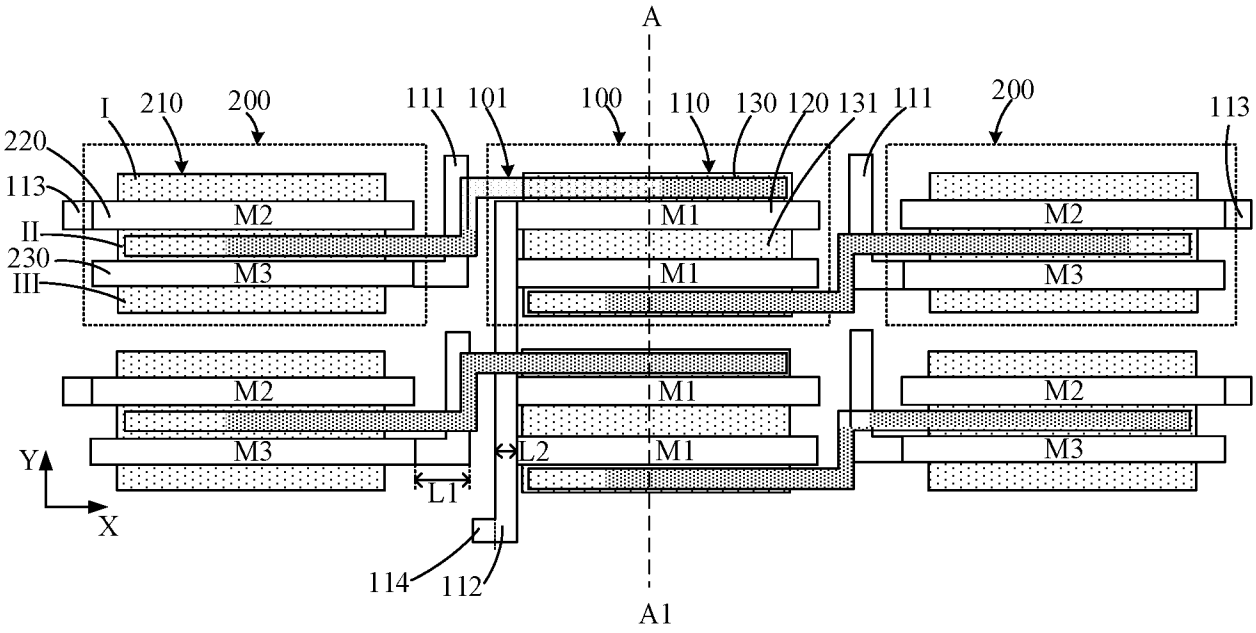

A
I
210
200
111
101
100
110
130
120
131
111
200
113
220
113
II
230
III
M2
M3
M1
M1
M2
M3
M2
M3
M1
M1
M2
M3
Y
X
L1
L2
114
112
A1

图 7

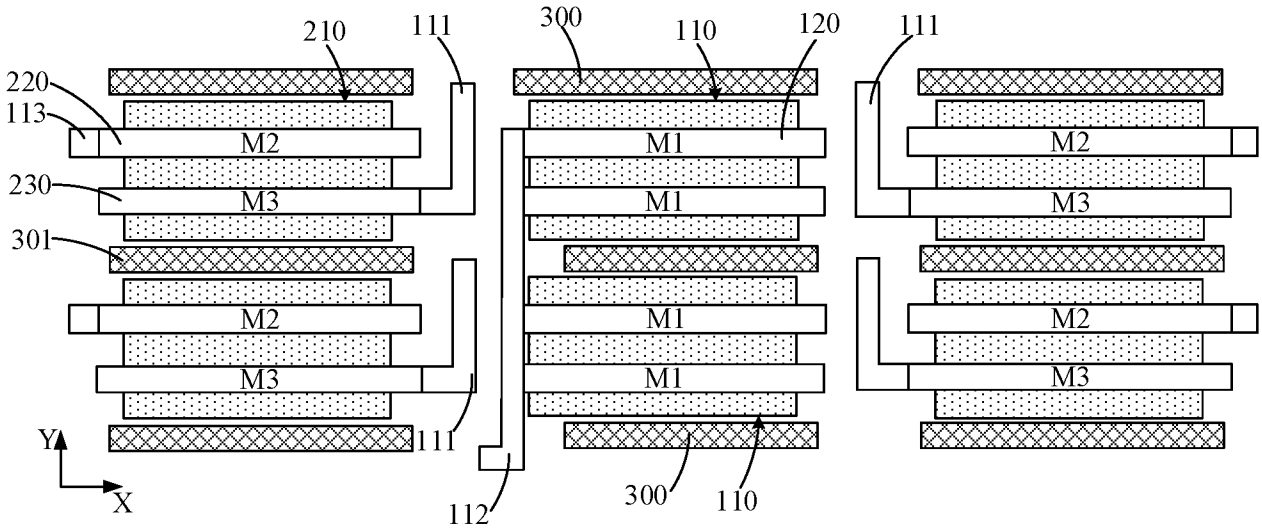

210
111
300
110
120
111
220
113
230
301
M2
M3
M2
M3
M1
M1
M1
M1
M2
M3
M2
M3
Y
X
111
112
300
110

图 8

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2023/095112

A. CLASSIFICATION OF SUBJECT MATTER

G11C 5/02(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

VEN, CNABS, CNTXT, WOTXT, USTXT, CNKI, IEEE: 存储器电路, 放大模块, 晶体管, 栅极, 本地数据线, 漏极, 电压差, memory circuits, amplification modules, transistor, gate, local data lines, drain, voltage differences

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 115148252 A (ZHEJIANG LIJI STORAGE TECHNOLOGY CO., LTD.) 04 October 2022 (2022-10-04) description, paragraphs [0029]-[0032], and figures 6-7	1-10
A	CN 114446336 A (SAMSUNG ELECTRONICS CO., LTD.) 06 May 2022 (2022-05-06) entire document	1-10
A	CN 115482843 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 16 December 2022 (2022-12-16) entire document	1-10
A	US 2023016209 A1 (CHANGXIN MEMORY TECHNOLOGIES, INC.) 19 January 2023 (2023-01-19) entire document	1-10

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"D" document cited by the applicant in the international application
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
19 July 2023	**24 July 2023**

Name and mailing address of the ISA/CN	Authorized officer
China National Intellectual Property Administration (ISA/CN) **China No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088**	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2023/095112

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
CN 115148252 A	04 October 2022	None	
CN 114446336 A	06 May 2022	DE 102021118560 A1	05 May 2022
		US 2022139429 A1	05 May 2022
		TW 202219948 A	16 May 2022
		TWI 788042 B	21 December 2022
		KR 20220059749 A	10 May 2022
CN 115482843 A	16 December 2022	None	
US 2023016209 A1	19 January 2023	None	

国际检索报告

国际申请号
PCT/CN2023/095112

A. 主题的分类

G11C 5/02(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: G11C

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

VEN, CNABS, CNTXT, WOTXT, USTXT, CNKI, IEEE：存储器电路, 放大模块, 晶体管, 栅极, 本地数据线, 漏极, 电压差, memory circuits, amplification modules, transistor, gate, local data lines, drain, voltage differences

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	CN 115148252 A (浙江力积存储科技有限公司) 2022年10月4日 (2022-10-04) 说明书第[0029]-[0032]段、附图6-7	1-10
A	CN 114446336 A (三星电子株式会社) 2022年5月6日 (2022-05-06) 全文	1-10
A	CN 115482843 A (长鑫存储技术有限公司) 2022年12月16日 (2022-12-16) 全文	1-10
A	US 2023016209 A1 (CHANGXIN MEMORY TECHNOLOGIES, INC.) 2023年1月19日 (2023-01-19) 全文	1-10

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：
“A” 认为不特别相关的表示了现有技术一般状态的文件
“D” 申请人在国际申请中引证的文件
“E” 在国际申请日的当天或之后公布的在先申请或专利
“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）
“O” 涉及口头公开、使用、展览或其他方式公开的文件
“P” 公布日先于国际申请日但迟于所要求的优先权日的文件
“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件
“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性
“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性
“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2023年7月19日	2023年7月24日

ISA/CN的名称和邮寄地址	受权官员
中国国家知识产权局 中国北京市海淀区蓟门桥西土城路6号 100088	吴卿 电话号码 (+86) 010-53961436

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2023/095112

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	115148252	A	2022年10月4日	无			
CN	114446336	A	2022年5月6日	DE	102021118560	A1	2022年5月5日
				US	2022139429	A1	2022年5月5日
				TW	202219948	A	2022年5月16日
				TWI	788042	B	2022年12月21日
				KR	20220059749	A	2022年5月10日
CN	115482843	A	2022年12月16日	无			
US	2023016209	A1	2023年1月19日	无			