



(21)申請案號：105134835

(22)申請日：中華民國 105 (2016) 年 10 月 27 日

(51)Int. Cl. : **G09G3/3225 (2016.01)**

(30)優先權：2015/10/30 日本

2015-215229

(71)申請人：精工愛普生股份有限公司 (日本) SEIKO EPSON CORPORATION (JP)
日本

(72)發明人：太田人嗣 OTA, HITOSHI (JP) ; 野澤陵一 NOZAWA, RYOICHI (JP)

(74)代理人：陳長文

申請實體審查：無 申請專利範圍項數：9 項 圖式數：35 共 98 頁

(54)名稱

光電裝置、電子機器及光電裝置之驅動方法

ELECTRO-OPTICAL DEVICE, ELECTRONIC APPARATUS, AND METHOD OF DRIVING
ELECTRO-OPTICAL DEVICE

(57)摘要

本發明之目的在於防止因伴隨資料信號之變動而產生之雜訊所造成之顯示品質之降低。

連接於驅動電晶體 121 之閘極層 GTdr 之第 2 資料傳送線 14-2 係較閘極層 GTdr 形成於更上層，傳送電容 133 係較第 2 資料傳送線 14-2 形成於更上層。被供給資料信號之第 1 資料傳送線 14-1 係較傳送電容 133 形成於更上層。

A second data transfer line that is coupled to a gate layer of a drive transistor is formed in a layer higher than the gate layer, and a transfer capacitor is formed in a layer higher than a layer having the second data transfer line. A first data transfer line to which a data signal is supplied is formed in a layer higher than a layer having the transfer capacitor.

指定代表圖：

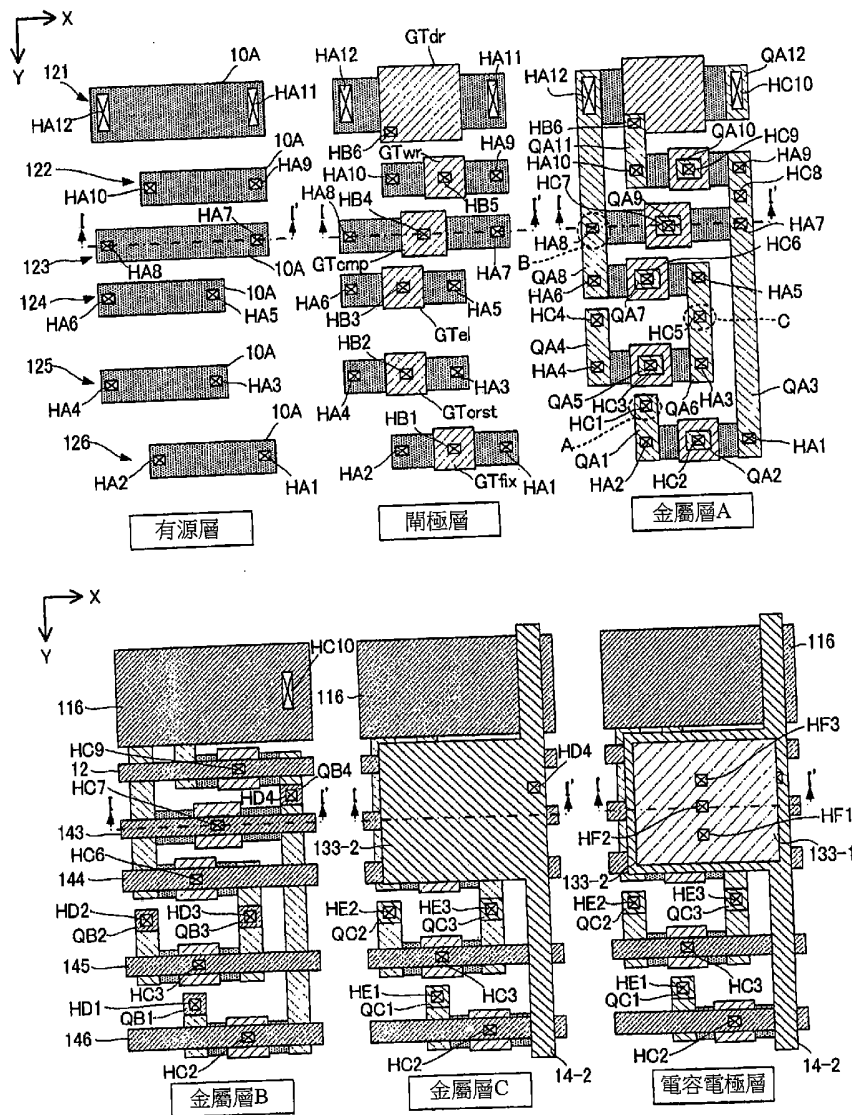


圖 15

符號簡單說明：

10A . . . 主動區域

12 . . . 掃描線

14-2 . . . 第 2 資料
傳送線

116 . . . 供電線

121 . . . 電晶體

122 . . . 電晶體

123 . . . 電晶體

124 . . . 電晶體

125 . . . 電晶體

126 . . . 電晶體

133-1 . . . 第 1 電極

133-2 . . . 第 2 電極

143 . . . 控制線

144 . . . 控制線

145 . . . 控制線

146 . . . 控制線

GTcmp . . . 閘極層

GTdr . . . 閘極層

GTel . . . 閘極層

GTfix . . . 閘極層

GTorst . . . 閘極層

GTwr . . . 閘極層

HA1~HA12 . . . 導
通孔

HB1~HB6 . . . 導通
孔

HC1~HC10 . . . 導
通孔

HD1~HD4 . . . 導通
孔

HE1~HE3 . . . 導通
孔

HF1~HF3 . . . 導通
孔

QA1~QA12 . . . 中
繼電極

QB1~QB4 . . . 中繼
電極

QC1~QC3 . . . 中繼
電極

X . . . 方向

Y . . . 方向

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

光電裝置、電子機器及光電裝置之驅動方法

ELECTRO-OPTICAL DEVICE, ELECTRONIC APPARATUS, AND
METHOD OF DRIVING ELECTRO-OPTICAL DEVICE

【技術領域】

本發明係關於一種光電裝置、電子機器及光電裝置之驅動方法。

【先前技術】

近年來，已提出各種使用所謂有機發光二極體(以下，稱為OLED(Organic Light Emitting Diode：有機發光二極體)元件等發光元件之光電裝置。於該光電裝置之一般構成中，對應於掃描線與資料線之交叉，包含發光元件或電晶體等之像素電路係與應顯示之圖像之像素對應而設。

於此種構成中，若將與像素之灰階位準相應之電位之資料信號施加至該電晶體之閘極，則該電晶體將與閘極/源極間之電壓相應之電流供給至發光元件。藉此，該發光元件係以與灰階位準相應之亮度發光。

於將電晶體使用於發光強度之調節之驅動方式中，若設置於各像素之驅動電晶體之臨限值電壓不均一，則流動於發光元件之電流不均一，故而令顯示圖像之畫質降低。因此，為了防止畫質之降低，必須補償驅動電晶體之臨限值電壓之不均一。因此，提出有如下一種裝置，其係為了將驅動電晶體之閘極電壓調整為臨限值電壓，而於驅動電晶體之閘極與汲極或源極之間設置補償用電晶體，且於驅動電晶體

之閘極連接耦合電容(例如參照專利文獻1)。於該裝置中，於資料線與驅動電晶體之閘極配線之間，連接取樣電晶體，於取樣電晶體之閘極與驅動電晶體之閘極之間連接耦合電容，使資料信號之電位降低耦合電壓量。

[先前技術文獻]

[專利文獻]

[專利文獻1]日本專利特開2010-048899號公報

【發明內容】

[發明所欲解決之問題]

然而，於如專利文獻1般使用增益電容之裝置中，若資料線、取樣電晶體、增益電容、及連接於驅動電晶體之閘極之配線等形成於同層，則伴隨振幅較大之資料信號之電位變動而產生之雜訊會對驅動電晶體之閘極配線等造成影響，而有使顯示品質降低之虞。

本發明係鑑於上述狀況而完成者，其目的在於即便於將振幅較大之資料信號供給至資料線之情形時，仍可防止因伴隨資料信號之變動而產生之雜訊所造成之顯示品質之降低。

[解決問題之技術手段]

為了達成上述目的，本發明之一態樣之光電裝置其特徵在於包含：第1導電層；第2導電層；第3導電層；第1電容，其具有連接於上述第2導電層之第4導電層、及上述第3導電層與上述第4導電層之間之介電體膜；及像素電路，其係與上述第3導電層及上述第1導電層對應而設；且上述第2導電層係較形成上述第3導電層之層形成於更上層。

根據該態樣，像素電路係與作為第3導電層之一例之第2資料傳送線、及作為第1導電層之一例之掃描線對應而設。作為第2導電層之一例之第1資料傳送線係對複數個像素電路共通而設置，若將經由第2資料傳送線而連接於相同之第1資料傳送線之像素電路之集合設為像

素行，將較該像素行所包含之像素電路之個數少之個數之像素電路設為一個區塊，則第2資料傳送線係相對於各區塊而設。於此種像素電路中，被供給振幅較大之資料信號之第1資料傳送線，係較形成被供給藉由第1電容而壓縮之信號之第2資料傳送線之層形成於更上層。因此，可抑制第1資料傳送線之電位變動之對第2資料傳送線之影響，可提高顯示品質。

本發明之另一態樣之光電裝置其特徵在於，上述第3導電層係較形成上述電晶體之源極電極之層形成於更上層。根據該態樣，作為第3導電層之一例之第2資料傳送線係作為相對於電晶體之源極電極之屏蔽層而發揮功能，可降低來自其他配線之雜訊之影響。

本發明之另一態樣之光電裝置其特徵在於，上述第1電容之上述第4導電層係形成於與上述第2導電層不同之層，上述第1電容之上述第5導電層係形成於與上述第4導電層不同之層。根據該態樣，因作為第1電容之第4導電層之一例之第1電極係形成於與作為第2導電層之一例之第1資料傳送線不同之層，再者，作為第1電容之第5導電層之一例之第2電極係形成於與第1電極不同之層，故即便於對第1資料傳送線供給振幅較大之資料信號之情形時，仍可抑制電位變動對第1電容之影響。

本發明之另一態樣之光電裝置其特徵在於，連接於上述複數個電晶體中之驅動上述發光元件之電晶體之電流端之電源線係較上述第3導電層形成於更下層。根據該態樣，電源線係作為屏蔽層而發揮功能，可抑制電位變動對其他元件之影響。

本發明之特徵在於，驅動上述發光元件之電晶體係由上述電源線覆蓋。根據該態樣，電源線係作為屏蔽層而發揮功能，可抑制電位變動對驅動發光元件之電晶體之影響。

本發明之特徵在於，上述第1電容係設置於上述第3導電層各

者。根據該態樣，即便於對第1資料傳送線供給振幅較大之資料信號之情形時，仍可抑制電位變動對作為第3導電層之一例之各第2資料傳送線之影響。

為了達成上述目的，本發明之一態樣之電子機器其特徵在於包含上述各態樣之任一者之光電裝置。根據該態樣，可提供一種包含上述各態樣之任一者之光電裝置之電子機器。

【圖式簡單說明】

圖1係顯示本發明之第1實施形態之光電裝置之構成之立體圖。

圖2係顯示該光電裝置之構成之方塊圖。

圖3係用以說明該光電裝置之解多工器與資料傳送電路之構成之電路圖。

圖4係顯示該光電裝置之像素電路之構成之電路圖。

圖5係說明該光電裝置所特有之構成之圖。

圖6係說明作為比較例而顯示之先前之構成之圖。

圖7係顯示該光電裝置之動作之時序圖。

圖8係該光電裝置之動作說明圖。

圖9係顯示該光電裝置之動作之時序圖。

圖10係該光電裝置之動作說明圖。

圖11係該光電裝置之動作說明圖。

圖12係該光電裝置之動作說明圖。

圖13係顯示該光電裝置之動作之時序圖。

圖14係該光電裝置之動作說明圖。

圖15係形成於基板上之各要件之說明圖。

圖16係形成於基板上之各要件之說明圖。

圖17係發光裝置之剖視圖。

圖18係形成於本發明之第2實施形態之光電裝置之基板上之各要

件之說明圖。

圖19係形成於基板上之各要件之說明圖。

圖20係發光裝置之剖視圖。

圖21係形成於基板上之各要件之說明圖。

圖22係形成於基板上之各要件之說明圖。

圖23係顯示本發明之第3實施形態之光電裝置之像素電路之構成之電路圖。

圖24係形成於基板上之各要件之說明圖。

圖25係形成於基板上之各要件之說明圖。

圖26係發光裝置之剖視圖。

圖27係顯示本發明之第4實施形態之光電裝置之像素電路之構成的電路圖。

圖28係形成於基板上之各要件之說明圖。

圖29係形成於基板上之各要件之說明圖。

圖30係發光裝置之剖視圖。

圖31係顯示變化例之像素電路之構成之電路圖。

圖32係顯示變化例之像素電路之構成之電路圖。

圖33係顯示變化例之像素電路之第1資料傳送線、傳送電容、第2資料傳送線及像素電路之關係之圖。

圖34係顯示HMD之外觀構成之圖。

圖35係顯示HMD之光學構成之圖。

【實施方式】

< 第1實施形態 >

圖1係顯示本發明之第1實施形態之光電裝置1之構成之立體圖。光電裝置1係例如於頭戴式顯示器中顯示圖像之微顯示器。

如圖1所示，光電裝置1具備顯示面板2、及控制顯示面板2之動

作之控制電路3。顯示面板2具備複數個像素電路、及驅動該像素電路之驅動電路。於本實施形態中，顯示面板2所具備之複數個像素電路及驅動電路係形成於矽基板，於像素電路，使用發光元件之一例即OLED。又，顯示面板2係例如被收納至於顯示部開口之框狀之殼體82，且連接FPC(Flexible Printed Circuits：可撓性印刷電路)基板84之一端。

於FPC基板84，藉由COF(Chip On Film：薄膜覆晶)技術而安裝有半導體晶片之控制電路3，且設置有複數個端子86，連接於省略圖示之高階電路。

圖2係顯示實施形態之光電裝置1之構成之方塊圖。如上所述，光電裝置1具備顯示面板2、及控制電路3。

對控制電路3，由省略圖示之高階電路，與同步信號同步而供給數位之圖像資料Vdata。此處，所謂圖像資料Vdata，係將應顯示於顯示面板2(嚴格而言，為後述之顯示部100)之圖像之像素之灰階位準例如以8位元規定之資料。又，所謂同步信號，係包含垂直同步信號、水平同步信號、及點時脈信號之信號。

控制電路3係基於同步信號，產生各種控制信號，並將該各種控制信號供給至顯示面板2。具體而言，控制電路3係對顯示面板2，供給控制信號Ctr、正邏輯之控制信號Gini、與之處於邏輯反轉關係之負邏輯之控制信號/Gini、正邏輯之控制信號Gcpl、與之處於邏輯反轉關係之負邏輯之控制信號/Gcpl、控制信號Sel(1)、Sel(2)、Sel(3)、及相對於該等信號處於邏輯反轉關係之控制信號/Sel(1)、/Sel(2)、/Sel(3)。

此處，所謂控制信號Ctr，係包含脈衝信號、或時脈信號、啟動信號等複數個信號之信號。

另，有將控制信號Sel(1)、Sel(2)、Sel(3)統稱為控制信號Sel，將

控制信號/Sel(1)、/Sel(2)、/Sel(3)統稱為控制信號/Sel之情形。

又，控制電路3包含電壓產生電路31。電壓產生電路31係對顯示面板2供給各種電位。具體而言，控制電路3係對顯示面板2供給重設電位Vorst及初始電位Vini等。

再者，控制電路3係基於圖像資料Vdata，產生類比之圖像信號Vid。具體而言，於控制電路3，設置有將圖像信號Vid所顯示之電位、及顯示面板2所具備之發光元件(後述之OLED130)之亮度建立對應關係而記憶之對照表。且，控制電路3係藉由參照該對照表而產生顯示與圖像資料Vdata所規定之發光元件之亮度對應之電位之圖像信號Vid，並將該圖像信號Vid供給至顯示面板2。

如圖2所示，顯示面板2具備顯示部100、及驅動該顯示部100之驅動電路(資料傳送線驅動電路5及掃描線驅動電路6)。

於顯示部100，與應顯示之圖像之像素對應之像素電路110係排列成矩陣狀。詳細而言，於顯示部100中，M列掃描線12係於圖中於橫向(X方向)延伸而設，又，每3行而組群化之(3N)行第1資料傳送線14-1係於圖中於縱向(Y方向)延伸，且與各掃描線12相互保持電性絕緣而設。

另，為了避免圖式之繁雜化而未於圖2中予以圖示，相對於各條第1資料傳送線14-1，第2資料傳送線14-2可電性連接且於縱向(Y方向)延伸而設(例如參照圖4)。且，與M列掃描線12及(3N)行第2資料傳送線14-2對應地，設置有像素電路110。因此，於本實施形態中，像素電路110係以縱M列×橫(3N)行排列成矩陣狀。

此處，M、N皆為自然數。為了區分掃描線12及像素電路110之矩陣中之列(row)，有於圖中自上側起依序稱為1、2、3、…、(M-1)M列之情形。同樣地，為了區分第1資料傳送線14-1及像素電路110之矩陣之行(column)，有於圖中自左側起依序稱為1、2、3、…、(3N-1)、

(3N)行之情形。

此處，為了將第1資料傳送線14-1之組群一般化而進行說明，若將1以上之任意整數表示為 n ，則第 $(3n-2)$ 行、第 $(3n-1)$ 行及第 $(3n)$ 行之第1資料傳送線14-1屬於自左側數起第 n 個組群。

另，與相同列之掃描線12及屬於相同組群之3行第2資料傳送線14-2對應之3個像素電路110，係分別與R(紅色)、G(綠色)、B(藍色)之像素對應，表現該等3像素所應顯示之彩色圖像之1點。亦即，於本實施形態中，成為藉由與RGB對應之OLED之發光而以加法混色表現1點之彩色之構成。

又，如圖2所示，於顯示部100中， $(3N)$ 行供電線(重設電位供給線)16係於縱向延伸，且與各掃描線12相互保持電性絕緣而設。對各供電線16，共通地供給特定之重設電位Vorst。此處，為了區分供電線16之行，有於圖中自左側起依序稱為第1、2、3、 $\dots$ 、 $(3N)$ 行之供電線16之情形。第1行～第 $(3N)$ 行之供電線16之各者係與第1行～第 $(3N)$ 行之第1資料傳送線14-1(第2資料傳送線14-2)之各者對應而設。

掃描線驅動電路6係根據控制信號Ctr，產生用以於1個訊框期間內於每1列依序掃描M條掃描線12之掃描信號Gwr。此處，將供給至第1、2、3、 $\dots$ 、M列之掃描線12之掃描信號Gwr，分別記作Gwr(1)、Gwr(2)、Gwr(3)、 $\dots$ 、Gwr(M-1)、Gwr(M)。

另，掃描線驅動電路6係除掃描信號Gwr(1)～Gwr(M)以外，亦於每列產生與該掃描信號Gwr同步之各種控制信號並供給至顯示部100，但於圖2中省略圖示。又，所謂訊框期間，係指光電裝置1顯示1個片段(節)圖像所需之期間，若例如同步信號所包含之垂直同步信號之頻率為120 Hz，則係其1週期之8.3毫秒之期間。

資料傳送線驅動電路5具備與 $(3N)$ 行第1資料傳送線14-1之各者1對1對應而設之 $(3N)$ 個資料傳送電路DT、設置於構成各組群之3行第1

資料傳送線14-1各者之 N 個解多工器DM、及資料信號供給電路70。

資料信號供給電路70係基於由控制電路3供給之圖像信號 V_{id} 與控制信號 C_{tr} ，產生資料信號 $V_d(1)$ 、 $V_d(2)$ 、 $\dots$ 、 $V_d(N)$ 。亦即，資料信號供給電路70係基於將資料信號 $V_d(1)$ 、 $V_d(2)$ 、 $\dots$ 、 $V_d(N)$ 分時多工而得之圖像信號 V_{id} ，產生資料信號 $V_d(1)$ 、 $V_d(2)$ 、 $\dots$ 、 $V_d(N)$ 。且，資料信號供給電路70係對與第1、2、 $\dots$ 、 N 個組群對應之解多工器DM，分別供給資料信號 $V_d(1)$ 、 $V_d(2)$ 、 $\dots$ 、 $V_d(N)$ 。

圖3係用以說明解多工器DM與資料傳送電路DT之構成之電路圖。另，圖3係代表性顯示屬於第 n 個組群之解多工器DM、及連接於該解多工器DM之3個資料傳送電路DT。另，於以下，有將屬於第 n 個組群之解多工器DM記作DM(n)之情形。

於以下，除圖2外亦一面參照圖3，一面就解多工器DM及資料傳送電路DT之構成進行說明。

如圖3所示，解多工器DM係設置於每行之傳輸閘極34之集合體，亦係對構成各組群之3行依序供給資料信號者。此處，與屬於第 n 個組群之 $(3n-2)$ 、 $(3n-1)$ 、 $(3n)$ 行對應之傳輸閘極34之輸入端係相互共通連接，對其共通端子分別供給資料信號 $V_d(n)$ 。於第 n 個組群中設置於左端行即 $(3n-2)$ 行之傳輸閘極34，係於控制信號 $Se1(1)$ 為H位準時(控制信號/ $Se1(1)$ 為L位準時)接通(導通)。同樣地，於第 n 個組群中設置於中央行即 $(3n-1)$ 行之傳輸閘極34，係於控制信號 $Se1(2)$ 為H位準時(控制信號/ $Se1(2)$ 為L位準時)接通，於第 n 個組群中設置於右端行即 $(3n)$ 行之傳輸閘極34，係於控制信號 $Se1(3)$ 為H位準時(控制信號/ $Se1(3)$ 為L位準時)接通。

資料傳送電路DT係如下之電路：於每行具有保持電容(第3電容)41、傳輸閘極45、及傳輸閘極42之組，且將於後述之初始化期間及補償期間自各行之傳輸閘極34之輸出端輸出之資料信號之電位，蓄

積於保持電容(第3電容)41，將於後述之寫入期間蓄積於保持電容(第3電容)41之資料信號之電位，傳送至傳送電容133。

各行之傳輸閘極45之源極或汲極係電性連接於第1資料傳送線14-1。又，控制電路3係對各行之傳輸閘極45之閘極，共通地供給控制信號/Gini。傳輸閘極45係將第1資料傳送線14-1與初始電位Vini之供給線，於控制信號/Gini為L位準時電性連接，於控制信號/Gini為H位準時設為電性非連接。另，對初始電位Vini之供給線61，自控制電路3供給特定之初始電位Vini。

保持電容41具有2個電極。保持電容41之一電極係經由節點h而電性連接於傳輸閘極42之輸入端。又，傳輸閘極42之輸出端係電性連接於第1資料傳送線14-1。

控制電路3係對各行之傳輸閘極42，共通地供給控制信號Gcpl及控制信號/Gcpl。因此，各行之傳輸閘極42係於控制信號Gcpl為H位準時(控制信號/Gcpl為L位準時)一齊接通。

各行之保持電容41之一電極係經由節點h而電性連接於傳輸閘極34之輸出端、及傳輸閘極42之輸入端。且，於傳輸閘極34接通時，對保持電容41之一電極，經由傳輸閘極34之輸出端而供給資料信號Vd(n)。亦即，保持電容41係於一電極被供給資料信號Vd(n)。

又，各行之保持電容41之另一電極係共通地連接於被供給固定電位即電位Vss之供電線63。此處，電位Vss亦可為相當於邏輯信號即掃描信號或控制信號之L位準者。另，將保持電容41之電容值設為Crf。

參照圖4，就像素電路110等進行說明。為了一般性顯示像素電路110所排列之列，而將1以上M以下之任意整數表示為m。又，將1以上M以下且連續之任意整數表示為m1、m2。亦即，m係包含m1或m2之一般化之概念。

關於各像素電路110，因若自電性而言則為相互相同之構成，故於此處，以位於第 m 列且位於第 n 個組群中之左端行之第 $(3n-2)$ 行之第 m 列 $(3n-2)$ 行之像素電路110為例進行說明。

如圖4所示，於第1資料傳送線14-1，電性連接有傳送電容(第1電容)133之第1電極133-1、及第1電晶體126之源極或汲極之一者。又，傳送電容133之第2電極133-2與第1電晶體126之源極或汲極之另一者係電性連接於第2資料傳送線14-2。

即，於第1資料傳送線14-1與第2資料傳送線14-2之間，並聯連接有傳送電容133與第1電晶體126。

又，像素電路110係相對於第2資料傳送線14-2而連接。亦即，對像素電路110，經由第1資料傳送線14-1及第2資料傳送線14-2，供給與指定灰階相應之灰階電位。

於本實施形態中，對一條第2資料傳送線14-2電性連接1個像素電路110。

但，本發明並非限定於此種構成，亦可對一條第2資料傳送線14-2電性連接 Nb 個像素電路110。即，複數個像素電路110可共用一條第2資料傳送線14-2、一個傳送電容133、及第1電晶體126。

圖5係說明本實施形態所特有之構成之圖。於本實施形態中，於第1資料傳送線14-1，如圖5所示般，分別經由傳送電容133而連接兩條以上之第2資料傳送線14-2。

此處，將經由第2資料傳送線14-2與傳送電容133而連接於相同之第1資料傳送線14-1之像素電路110之集合，稱為「像素行」(圖5之像素行P)。又，將特定數之像素電路110之集合稱為「區塊」(圖5之區塊B)。

如圖5所示，像素行P包含複數個區塊B，各區塊B包含複數個像素電路110。即，於本實施形態中，第2資料傳送線14-2係相對於與像

素行P所包含之像素電路110之個數相等之個數之像素電路110而設。

相對於此，先前之構成係圖6所示者。圖6係說明作為比較例而顯示之先前之構成之圖。如該圖所示，於先前之構成中，第2資料傳送線14-2係相對於像素行P而設，於其端部設置有傳送電容133與第1資料傳送線14-1。即，於先前之構成中，相對於一個像素行P(所包含之所有像素電路110)，設置一條第1資料傳送線14-1與一條第2資料傳送線14-2。該點係與參照圖5說明之本實施形態所特有之構成，亦即將第2資料傳送線14-2以構成像素行P之區塊B為單位分割而設置複數個之點明顯不同。

然而，如下述之(式1)所示，將以連接於一條第2資料傳送線14-2之像素電路110之列數Nb除顯示部100之像素電路110之總列數M後所得之值設為K。換言之，第2資料傳送線14-2係被分割為以Nb除M後所得之值之K條，對1條第2資料傳送線14-2連接Nb個像素電路110。

[數1]

$$K = \frac{M}{Nb} \quad \cdot \cdot \cdot (式1)$$

於本實施形態中，相對於一條第1資料傳送線14-1，設置K(K≥2)×Nb條第2資料傳送線14-2。換言之，一個像素行P具備K個區塊B。又，第1資料傳送線14-1係與M列(M個)像素電路110對應而設，第2資料傳送線14-2係與Nb列(Nb個)像素電路110對應而設。因此，第2資料傳送線14-2較第1資料傳送線14-1短。

於本實施形態中，Nb之值為1。另，作為1以上K以下之任意整數，使用k。

以後，與自第1列數起第m個列之各像素電路110對應之第1電晶體126係作為自第1列數起第m個之第1電晶體126，且被供給控制信號

Gfix(m)。

像素電路110包含P通道MOS型之電晶體121~125、OLED130、及像素電容132。對第m列像素電路110，供給掃描信號Gwr(m)、控制信號Gcmp(m)、Gel(m)、Gorst(m)。此處，掃描信號Gwr(m)、控制信號Gcmp(m)、Gel(m)、Gorst(m)係分別與第m列對應且藉由掃描線驅動電路6供給者。

另，於圖2中省略圖示，但如圖4所示般，於顯示面板2(顯示部100)，設置有於橫向(X方向)延伸之M列控制線143(第1控制線)、於橫向延伸之M列控制線144(第2控制線)、於橫向延伸之M列控制線145(第3控制線)、及於橫向延伸之K列控制線146(第4控制線)。

且，掃描線驅動電路6係對第m列控制線143供給控制信號Gcmp(m)，對第m列控制線144供給控制信號Gel(m)，對第m列控制線145供給控制信號Gorst(m)，對第m列控制線146供給控制信號Gfix(m)。

亦即，掃描線驅動電路6係對位於第m列之像素電路，分別經由第m列掃描線12、控制線143、144、145，而供給掃描信號Gwr(m)、控制信號Gel(m)、Gcmp(m)、Gorst(m)。又，對位於第m列之第1電晶體126，經由第m列控制線146而供給控制信號Gfix(m)。

於以下，有將掃描線12、控制線143、控制線144、控制線145、及控制線146，統稱為「控制線」之情形。亦即，於本實施形態之顯示面板2，於各列設置有包含掃描線12之4條控制線，且於每1列設置有1條控制線146。

像素電容132及傳送電容133分別具有2個電極。傳送電容133係包含第1電極133-1與第2電極133-2之靜電電容。

第2電晶體122係閘極電性連接於第m列掃描線12，源極或汲極之一者電性連接於第2資料傳送線14-2。又，第2電晶體122係源極或汲

極之另一者分別電性連接於驅動電晶體121之閘極與像素電容132之一電極。亦即，第2電晶體122係電性連接於驅動電晶體121之閘極與傳送電容133之第2電極133-2之間。且，第2電晶體122係作為控制驅動電晶體121之閘極與連接於第 $(3n-2)$ 行之第2資料傳送線14-2之傳送電容133之第2電極133-2之間之電性連接的電晶體而發揮功能。

驅動電晶體121係其源極電性連接於供電線116，其汲極電性連接於第3電晶體123之源極或汲極之一者與第4電晶體124之源極。

此處，對供電線116，供給於像素電路110中成為電源之高位側之電位 V_{el} 。該驅動電晶體121係作為流通與驅動電晶體121之閘極及源極間之電壓相應之電流之驅動電晶體而發揮功能。

第3電晶體123係閘極電性連接於控制線143，被供給控制信號 $G_{cmp}(m)$ 。該第3電晶體123係作為控制驅動電晶體121之閘極與汲極之間之電性連接之開關電晶體而發揮功能。因此，第3電晶體123係用以經由第2電晶體122使驅動電晶體121之閘極及汲極之間導通之電晶體。另，雖於第3電晶體123之源極及汲極之一者與驅動電晶體121之閘極之間連接有第2電晶體122，但亦可解釋為第3電晶體123之源極及汲極之一者電性連接於驅動電晶體121之閘極。

第4電晶體124係閘極電性連接於控制線144，被供給控制信號 $G_{el}(m)$ 。又，第4電晶體124係汲極分別電性連接於第5電晶體125之源極與OLED130之陽極130a。該第4電晶體124係作為控制驅動電晶體121之汲極與OLED130之陽極之間之電性連接的開關電晶體而發揮功能。再者，雖於驅動電晶體121之汲極與OLED130之陽極之間連接有第4電晶體124，但亦可解釋為驅動電晶體121之汲極電性連接於OLED130之陽極。

第5電晶體125係閘極電性連接於控制線145，被供給控制信號 $G_{orst}(m)$ 。又，第5電晶體125之汲極係電性連接於第 $(3n-2)$ 行供電線

16而保持為重設電位 V_{orst} 。該第5電晶體125係作為控制供電線16與OLED130之陽極130a之間之電性連接之開關電晶體而發揮功能。

第1電晶體126係閘極電性連接於控制線146，被供給控制信號 $G_{fix}(k)$ 。又，第1電晶體126係源極或汲極之一者與第2資料傳送線14-2電性連接，且經由第2資料傳送線14-2而電性連接於傳送電容133之第2電極133-2及第3電晶體123之源極或汲極之另一者。又，第1電晶體126係源極或汲極之另一者與第 $(3n-2)$ 行之第1資料傳送線14-1電性連接。

該第1電晶體126係主要作為控制第1資料傳送線14-1與第2資料傳送線14-2之間之電性連接之開關電晶體而發揮功能。

此處，第1電晶體126及傳送電容133係由連接於相同之第2資料傳送線14-2之 Nb 個像素電路110共用。於本實施形態中，如圖4所示，於1條相同之第2資料傳送線14-2連接有各列之像素電路110。

另，於本實施形態中，因顯示面板2形成於矽基板，故關於電晶體121~126之基板電位係設為電位 V_{el} 。又，上述之電晶體121~126之源極、汲極亦可根據電晶體121~126之通道類型、電位之關係而對調。又，電晶體可為薄膜電晶體，亦可為場效電晶體。

像素電容132係一電極電性連接於驅動電晶體121之閘極 g ，另一電極電性連接於供電線116。因此，像素電容132係作為保持驅動電晶體121之閘極/源極間之電壓之保持電容而發揮功能。另，將像素電容132之電容值記作 C_{pix} 。

另，作為像素電容132，可使用寄生於驅動電晶體121之閘極 g 之電容，亦可使用藉由於矽基板中以互不相同之導電層夾持絕緣層而形成之電容。

傳送電容133係第1電極133-1經由第1資料傳送線14-1及傳輸閘極42而電性連接於保持電容41之一電極。又，傳送電容133係第2電極

133-2經由第2資料傳送線14-2及第2電晶體122而電性連接於驅動電晶體121之閘極g。因此，傳送電容133係於後述之補償期間，作為使閘極g之電位，相對於第1資料傳送線14-1及第1電極133-1之電位之變化量，位準移位將傳送電容133與保持電容41之電容比相乘後所得之值之傳送電容而發揮功能。詳細後述。另，將傳送電容133之電容值記作C1。

又，於本實施形態中，於被供給重設電位Vorst之供電線16與第1資料傳送線14-1之間，設置有屏蔽電容134。傳送電容133係包含第1電極134-1與第2電極134-2之靜電電容。屏蔽電容134係作為屏蔽第1資料傳送線14-1之屏蔽電容而發揮功能。另，將屏蔽電容134之電容值記作C2。

OLED130之陽極130a係對每一像素電路110個別設置之像素電極。相對於此，OLED130之陰極係跨及像素電路110全體共通地設置之共通電極118，保持為於像素電路110中成為電源之低位側之電位Vct。OLED130係於上述矽基板中，由陽極130a與具有光透過性之陰極夾持白色有機EL層之元件。且，於OLED130之出射側(陰極側)重疊有與RGB之任一者對應之彩色濾光片。另，亦可調整隔著白色有機EL層配置之2個反射層間之光學距離而形成腔室構造，而設定自OLED130所發出之光之波長。該情形時，可具有彩色濾光片，亦可不具有彩色濾光片。

於此種OLED130中，若電流自陽極130a流入至陰極，則自陽極130a注入之電洞與自陰極注入之電子於有機EL層再結合而產生激子，而產生白色光。於此時產生之白色光成為透過與矽基板(陽極130a)相反側之陰極，經過彩色濾光片之著色，而被觀察者側所視認之構成。

參照圖7就光電裝置1之動作進行說明。圖7係用以說明光電裝置

1之各部之動作之時序圖。如該圖所示，掃描線驅動電路6係將掃描信號Gwr(1)～Gwr(M)依序切換為L位準，且於1訊框期間於每1水平掃描期間(H)依序掃描第1～M列之掃描線12。

於1水平掃描期間(H)之動作係跨及各列之像素電路110為共通。因此關於以下，於水平掃描第m1列之水平掃描期間，特別著眼於m1列(3n-2)行之像素電路110而說明動作。

於本實施形態中，第m1列之水平掃描期間若大致區分，則分為圖7中(a)所示之初始化期間、(b)所示之補償期間、(c)所示之寫入期間、及(d)所示之非發光期間。又，下一水平掃描期間係繼續(d)所示之非發光期間，進而下一水平掃描期間成為(e)所示之發光期間，於經過1訊框期間後再度到達第m1列之水平掃描期間。因此，若以時間順序而言，成為初始化期間→補償期間→寫入期間→非發光期間→發光期間之循環之重複。

圖8係說明發光期間之像素電路110等之動作之圖。另，於圖8中，以粗線顯示動作說明中較重要之電流路徑，於斷開狀態之電晶體或傳輸閘極上，以粗線標註「X」符號(於以下之圖9、圖10、圖11、及圖14中亦為相同)。

<初始化期間>

如圖7所示，於第m1列之初始化期間，掃描信號Gwr(m1)係H位準，控制信號Gel(m1)係H位準，控制信號Gcmp(m1)係H位準，控制信號Gfix(m1)係L位準。控制信號Gorst(m1)係L位準。

因此，如圖8所示，於m1列(3n-2)行之像素電路110中，第5電晶體125、第1電晶體126接通，另一方面，驅動電晶體121、第2電晶體122、第3電晶體123、第4電晶體124斷開。藉此，因供給至OLED130之電流之路徑被遮斷，故OLED130成為斷開(非發光)狀態。

如圖8所示，藉由第5電晶體125接通，OLED130之陽極130a與供

電線16電性連接，陽極130a之電位被設定為重設電位Vorst。

此處，於初始化期間，於資料傳送電路DT中，因控制信號/Gini成為L位準，控制信號Gini成為H位準，故如圖8所示，傳輸閘極45接通，因控制信號Gcpl成為L位準，控制信號/Gcpl成為H位準，故如圖8所示，傳輸閘極42斷開。又，因控制信號Gfix(k)為L位準，故第1電晶體126接通。因此，如圖8所示，連接於傳送電容133之第1電極133-1之第1資料傳送線14-1被設定為初始電位Vini，且第1資料傳送線14-1與第2資料傳送線14-2電性連接，傳送電容133之第2電極133-2亦被設定為初始電位Vini。藉此，將傳送電容133初始化。

又，於初始化期間之解多工器DM(n)中，因控制信號Sel(1)成為H位準，控制信號/Sel(1)成為L位準，故如圖8所示，傳輸閘極34接通。藉此，於電容值Crf之保持電容41寫入灰階電位。

另外，於本實施形態中，連接m1列(3n-2)行之像素電路110之第2資料傳送線14-2、與連接m2列(3n-2)行之像素電路110之第2資料傳送線14-2不同。因此，於第m1列之初始化期間使用藉由控制信號Gfix(m1)而控制之第1電晶體126，如圖9所示，於第m2列之初始化期間使用藉由控制信號Gfix(m2)而控制之第1電晶體126。

<補償期間>

若結束初始化期間則補償期間開始。於第m1列之補償期間，掃描信號Gwr(m1)係L位準，控制信號Gel(m1)係H位準，控制信號Gcmp(m1)係L位準，控制信號Gfix(m1)係H位準。控制信號Gorst(m1)係L位準。

因此，如圖10所示，於m1列(3n-2)行之像素電路110中，第2電晶體122、第3電晶體123、第5電晶體125接通，另一方面，第4電晶體124、第1電晶體126斷開。此時，驅動電晶體121之閘極g係經由第2電晶體122與第3電晶體123而連接(二極體連接)於自身之汲極，於驅動

電晶體121中流動汲極電流而將閘極g充電。

亦即，驅動電晶體121之汲極與閘極g係連接於第2資料傳送線14-2，若將驅動電晶體121之臨限值電壓設為 V_{th} ，則驅動電晶體121之閘極g之電位 V_g 漸近於 $(V_{el}-V_{th})$ 。

此處，於補償期間之資料傳送電路DT中，因控制信號/Gini成為L位準，控制信號Gini成為H位準，故如圖10所示，傳輸閘極45接通，因控制信號Gcpl成為L位準，控制信號/Gcpl成為H位準，故傳輸閘極42斷開。此時，因如上述般與先前之構成相比第2資料傳送線14-2較短，故對隨附於第2資料傳送線14-2之寄生電容之充電或放電所需之時間縮短，補償期間本身被縮短。

又，於補償期間之解多工器DM(n)中，因控制信號Sel(1)成為H位準，控制信號/Sel(1)成為L位準，故如圖10所示，傳輸閘極34接通。藉此，於電容值Crf之保持電容41寫入灰階電位。

另，因第4電晶體124斷開，故驅動電晶體121之汲極係與OLED130電性非連接。又，與初始化期間相同，藉由第5電晶體125接通，OLED130之陽極130a與供電線16電性連接，陽極130a之電位被設定為重設電位Vorst。

< 寫入期間 >

若結束補償期間，則寫入期間開始。於第m1列之寫入期間，掃描信號Gwr(m1)係L位準，控制信號Gel(m1)係H位準，控制信號Gcmp(m1)係H位準，控制信號Gfix(m1)係H位準。控制信號Gorst(m1)係L位準。

因此，如圖11所示，於m1列(3n-2)行之像素電路110中，電晶體122、125接通，另一方面，電晶體123、124、126斷開。

此處，於寫入期間之資料傳送電路DT中，因控制信號/Gini成為H位準，故如圖11所示，傳輸閘極45斷開，因控制信號Gcpl成為H位

準，故如圖11所示，傳輸閘極42接通。因此，解除對第1資料傳送線14-1及第1電極133-1之初始電位 V_{ini} 之供給，且對第1資料傳送線14-1及第1電極133-1連接電容值 C_{rf} 之保持電容41之一電極，而對該第1電極133-1供給灰階電位。且，灰階電位被位準移位後之信號，係被供給至驅動電晶體121之閘極，而被寫入至像素電容132。如此，於本實施形態中，使用資料傳送電路DT之傳輸閘極42及保持電容41、以及傳送電容133，進行灰階電位之位準移位。

另，於寫入期間之解多工器DM(n)中，因控制信號Sel(1)成為L位準，故如圖11所示，傳輸閘極34斷開。

另，因第4電晶體124斷開，故驅動電晶體121之汲極係與OLED130電性非連接。又，與初始化期間相同，藉由第5電晶體125接通，OLED130之陽極130a與供電線16電性連接，陽極130a之電位被初始化為重設電位Vorst。

另，於開始第m列之寫入期間之前(初始化期間、補償期間之期間)，若以第n個組群而言，則控制電路3係將資料信號Vd(n)依序切換為與m列(3n-2)行、m列(3n-1)行、m列(3n)行之像素之灰階位準相應之電位。

另一方面，控制電路3係配合資料信號之電位之切換而將控制信號Sel(1)、Sel(2)、Sel(3)依序排他地設為H位準。雖省略圖示，但控制電路3針對與控制信號Sel(1)、Sel(2)、Sel(3)處於邏輯反轉關係之控制信號/Sel(1)、/Sel(2)、/Sel(3)亦進行輸出。藉此，於解多工器DM中，於各組群中傳輸閘極34係分別以左端行、中央行、右端行之順序接通。

然而，於左端行之傳輸閘極34藉由控制信號Sel(1)、/Sel(1)而接通時，若將第1資料傳送線14-1及第1電極133-1之電位之變化量設為 ΔV ，則第2資料傳送線14-2及驅動電晶體121之閘極g之電位之變化量

ΔV_g 係可以下述(式2)表示。但，傳送電容133之電容值C1係可與像素電路110之列數成比例而調整電容值，設為每1列之電容C1a。又，將隨附於每1列之第2資料傳送線14-2之寄生電容之電容值設為C3a。又，如上述般，將連接於一條第2資料傳送線14-2之像素電路110之列數表示為Nb。

[數2]

$$\Delta V_g = \frac{Nb \cdot C1a}{Nb \cdot C1a + Nb \cdot C3a + C_{pix}} \Delta V \quad \dots (式2)$$

此處，將 ΔV 與 ΔV_g 之比，如下述之(式3)所示般設為壓縮率R。

[數3]

$$R = \frac{Nb \cdot C1a}{Nb \cdot C1a + Nb \cdot C3a + C_{pix}} \quad \dots (式3)$$

即，寫入期間之驅動電晶體121之閘極g之電位 V_g 成為自補償期間之電位 V_g ，位準移位對第1資料傳送線14-1及第1電極133-1之電位之變化量 ΔV 乘以R後所得之值(經資料壓縮)之值。若結束該寫入期間，則後述之發光期間開始。

根據上述之(式2)所示之關係，對一條第2資料傳送線14-2連接之像素電路110之個數Nb越多(1區塊內所包含之像素電路110之個數Nb越多)，則 ΔV_g 與 ΔV 為越相近之值。換言之，Nb值越大，則(式4)所示之R越接近於1。

此處，較佳為連接於第2資料傳送線14-2之像素電路110之個數Nb(1區塊內所包含之像素電路110之個數Nb)係鑑於完成補償動作所需之時間與資料壓縮之壓縮率而決定。以下，具體地進行說明。

首先，就完成補償動作所需之時間進行說明。較佳為將結束補償期間之時點之驅動電晶體121之閘極g之電位 V_g (補償點)設定為灰階

電壓之中間灰階時，因Nb值越小，則隨附於驅動電晶體121之閘極g之寄生電容越小，故會導致補償期間極其短，其結果為受到掃描信號Gwr(m)之上升(下降)之鈍化之影響，而有於供給掃描信號Gwr(m)之側與被供給之側補償期間不同之虞。該情形時，需要可消除該顧慮之程度之驅動能力高之掃描線驅動電路6。

又，關於資料壓縮之壓縮率，係如(式2)所示，Nb值越小則壓縮率越大，反之，Nb值越大則壓縮率越小。

因此，較佳為鑑於完成補償動作所需之時間與資料壓縮之壓縮率，將Nb值決定為適當之值。於例如總列數M為720列之情形時，亦可將Nb設為90個，將總區塊數K設為8個。

<非發光期間>

如圖7之時序圖所示，若掃描信號Gwr(m1)自L位準上升至H位準而結束寫入期間，則1水平掃描期間(H)之剩餘之期間及下一1水平掃描期間(H)成為非發光期間。於非發光期間，所有電晶體斷開，控制信號Gorst(m1)為L位準。

<發光期間>

若結束非發光期間，則發光期間開始。如圖7之時序圖所示，於第m1列之發光期間，掃描信號Gwr(m1)係H位準，控制信號Gel(m1)係L位準，控制信號Gcmp(m1)係H位準，控制信號Gfix(m1)係H位準。控制信號Gorst(m1)係H位準。

因此，如圖12所示，於m1列(3n-2)行之像素電路110中，第4電晶體124接通，另一方面，第2電晶體122、第3電晶體123、第5電晶體125、第1電晶體126斷開。藉此，驅動電晶體121係將與藉由像素電容132所保持之電壓，亦即與閘極/源極間之電壓Vgs相應之驅動電流Ids，供給至OLED130。即，OLED130係由驅動電晶體121供給與相應於各像素之指定灰階之灰階電位相應之電流，且以與該電流相應之亮

度發光。

此處，於發光期間，於資料傳送電路DT中，因控制信號/Gini成為H位準，控制信號Gini成為L位準，故如圖12所示，傳輸閘極45斷開，因控制信號Gcpl成為L位準，控制信號/Gcpl成為H位準，故傳輸閘極42斷開。又，於發光期間之解多工器DM(n)中，因控制信號Sel(1)成為L位準，控制信號/Sel(1)成為H位準，故傳輸閘極34斷開。

另，由於第m1列之發光期間係水平掃描第m1列以外之期間，故傳輸閘極34、傳輸閘極42、傳輸閘極45係配合該等列之動作而接通或斷開，故而第1資料傳送線14-1及第2資料傳送線14-2之電位適當變動。尤其，於第1電晶體126、第2電晶體122、及第3電晶體123斷開之情形時，第2資料傳送線14-2成為浮動狀態，電位容易變動。

因此，於本實施形態中，於一個區塊B之發光期間，設定如下之期間：藉由使第1電晶體126接通，而將第1資料傳送線14-1與第2資料傳送線14-2設為導通狀態，而對第2資料傳送線14-2供給初始電位Vini。

若將第m1列或第m2列等之像素電路110所屬之區塊設為區塊B(m)，則區塊B(m)之下一區塊即區塊B(n)之初始化期間於區塊B(m)中為發光期間。於本實施形態中，例如，若將上述區塊B(m)之下一區塊B(n)作為一區塊，將上述區塊B(m)作為另一區塊，則於一區塊即區塊B(n)之初始化期間，即另一區塊即區塊B(m)之發光期間，使第1電晶體126接通而將第1資料傳送線14-1與第2資料傳送線14-2設為導通狀態，而對第2資料傳送線14-2供給初始電位Vini。

如圖13所示，於時刻t1至時刻t4之期間，於區塊B(m)中執行初始化期間、補償期間、寫入期間之處理。

於時刻t5至時刻t6，於區塊B(m)之下一區塊即區塊B(n)中執行初始化期間之處理，但該期間於區塊B(m)中為發光期間。但，於本實施

形態中，於區塊B(n)中執行初始化期間之處理時，以區塊B(m)為首且於其他區塊B中，將控制信號Gfix設為L位準。其結果，如圖14所示，第1電晶體126接通，以區塊B(m)為首且於其他區塊B中，第1資料傳送線14-1與第2資料傳送線14-2成為導通狀態，而對第2資料傳送線14-2供給初始電位Vini。

以下，同樣地，於區塊B(n)中執行初始化期間之處理之時刻t8至時刻t9之期間、時刻t11至時刻t12之期間、及時刻t14至時刻t15之期間中，以區塊B(m)為首且於其他區塊B中，將控制信號Gfix設為L位準。其結果，如圖14所示，第1電晶體126接通，以區塊B(m)為首且於其他區塊B中，第1資料傳送線14-1與第2資料傳送線14-2成為導通狀態，而對第2資料傳送線14-2供給初始電位Vini。

如以上般，根據本實施形態，因將於發光期間中成為浮動節點之第2電晶體122之傳送電容133側之第2資料傳送線14-2，於在其他區塊進行初始化期間之處理之期間設定為固定電位之初始電位Vini，故可抑制第2資料傳送線14-2之電位接近於電源電壓。其結果，第2電晶體122不會接通，而於像素電容132中保持電壓，不會發生顯示不良。

<構造>

其次，於以下詳細說明本實施形態之光電裝置1之具體之構造。另，於以下之說明所參照之各圖式中，為了便於說明，使各要件之尺寸或比例尺與實際之光電裝置1不同。圖15及圖16係著眼於像素電路110之一個而圖示形成光電裝置1之各要件之各階段之基板10之表面狀況之俯視圖。圖17係光電裝置1之剖視圖。與包含圖15及圖16之I-I'線之剖面對應之剖視圖相當於圖17。另，雖為圖15及圖16之俯視圖，但自將各要件之視覺把握容易化之觀點而言，對與圖17共通之各要件簡單附加與圖17相同態樣之陰影線。

如自圖15之顯示有源層之部分及圖17所理解般，於以矽等半導

體材料形成之基板10之表面，形成有像素電路110之各電晶體121、122、123、124、125、126之主動區域10A(源極/汲極區域)。對主動區域10A注入離子。像素電路110之各電晶體121、122、123、124、125、126之有源層係存在於源極區域與汲極區域之間，被注入與主動區域10A不同種類之離子，但為方便起見，與主動區域10A記載為一體。

如自圖15之顯示閘極層之部分及圖17所理解般，形成主動區域10A之基板10之表面係由絕緣膜L0(閘極絕緣膜)被覆，各電晶體121、122、123、124、125、126之閘極層GT(GTdr、GTwr、GTcmp、GTel、GTorst、GTfix)形成於絕緣膜L0之面上。各電晶體121、122、123、124、125、126之閘極層GT係隔著絕緣膜L0而與有源層對向。

如自圖17所理解般，於形成有各電晶體121、122、123、124、125、126之閘極層GT之絕緣膜L0之面上，形成交替地積層複數個絕緣層L(LA~LH)與複數個導電層(配線層)之多層配線層。各絕緣層L係以例如矽化合物(典型而言為氮化矽或氧化矽)等絕緣性之無機材料形成。另，於以下之說明中，將藉由選擇性去除導電層(單層或複數層)而於相同步驟中統一形成複數個要件之關係，記作「自同層起形成」。

絕緣層LA係形成於形成有各電晶體121、122、123、124、125、126之閘極層GT之絕緣膜L0之面上。如自圖15之顯示金屬層A之部分及圖17所理解般，於絕緣層LA之面上，形成有複數個中繼電極QA(QA1~QA12)。

如自圖15之顯示金屬層A之部分及圖17所理解般，中繼電極QA1係經由貫通絕緣膜L0與絕緣層LA之導通孔HA2，而對形成第1電晶體126之汲極區域或源極區域之主動區域10A導通。中繼電極QA2係經由貫通絕緣層LA之導通孔HB1，而對第1電晶體126之閘極層GTfix導

通。中繼電極QA3係經由貫通絕緣膜L0與絕緣層LA之導通孔HA1，而對形成第1電晶體126之汲極區域或源極區域之主動區域10A導通。又，中繼電極QA3係經由貫通絕緣膜L0與絕緣層LA之導通孔HA7，而對形成第3電晶體123之汲極區域或源極區域之主動區域10A導通。再者，中繼電極QA3係經由貫通絕緣膜L0與絕緣層LA之導通孔HA9，而對形成第2電晶體122之汲極區域或源極區域之主動區域10A導通。如以上般，中繼電極QA3係源極電極，且為與形成第1電晶體126之汲極區域或源極區域之主動區域10A、形成第3電晶體123之汲極區域或源極區域之主動區域10A、及形成第2電晶體122之汲極區域或源極區域之主動區域10A直接相接而形成之電極。

中繼電極QA4係經由貫通絕緣膜L0與絕緣層LA之導通孔HA4，而對形成第5電晶體125之汲極區域或源極區域之主動區域10A導通。中繼電極QA5係經由貫通絕緣層LA之導通孔HB2，而對第5電晶體125之閘極層GTorst導通。中繼電極QA6係經由貫通絕緣層LA與絕緣膜L0之導通孔HA3，而對形成第5電晶體125之汲極區域或源極區域之主動區域10A導通。

又，中繼電極QA6係經由貫通絕緣層LA與絕緣膜L0之導通孔HA5，而對形成第4電晶體124之汲極區域或源極區域之主動區域10A導通。中繼電極QA7係經由貫通絕緣層LA之導通孔HB3，而對第4電晶體124之閘極層GTel導通。中繼電極QA8係經由貫通絕緣層LA與絕緣膜L0之導通孔HA6，而對形成第4電晶體124之汲極區域或源極區域之主動區域10A導通。又，中繼電極QA8係經由貫通絕緣層LA與絕緣膜L0之導通孔HA8，而對形成第3電晶體123之汲極區域或源極區域之主動區域10A導通。再者，中繼電極QA8係經由貫通絕緣層LA與絕緣膜L0之導通孔HA12，而對形成驅動電晶體121之汲極區域或源極區域之主動區域10A導通。如以上般，中繼電極QA6係源極電極，且為與

形成第4電晶體124之汲極區域或源極區域之主動區域10A直接相接而形成之電極。又，中繼電極QA8亦為源極電極，且為與形成第4電晶體124之汲極區域或源極區域之主動區域10A、形成第3電晶體123之汲極區域或源極區域之主動區域10A、及形成驅動電晶體121之汲極區域或源極區域之主動區域10A直接相接而形成之電極。

中繼電極QA9係經由貫通絕緣層LA之導通孔HB4而對第3電晶體123之閘極層GTcmp導通。中繼電極QA10係經由貫通絕緣層LA之導通孔HB5而對第2電晶體122之閘極層GTwr導通。中繼電極QA11係經由貫通絕緣層LA與絕緣膜L0之導通孔HA10，而對形成第2電晶體122之汲極區域或源極區域之主動區域10A導通。又，中繼電極QA11係經由貫通絕緣層LA之導通孔HB6而對驅動電晶體121之閘極層GTdr導通。中繼電極QA12係經由貫通絕緣層LA與絕緣膜L0之導通孔HA11，而對形成驅動電晶體121之汲極區域或源極區域之主動區域10A導通。

絕緣層LB係形成於形成有複數個中繼電極QA(QA1、QA2、QA3、QA4、QA5、QA6、QA7、QA8、QA9、QA10、QA11、QA12)之絕緣層LA之面上。如自圖15之顯示金屬層B之部分及圖17所理解般，於絕緣層LB之面上，形成有掃描線12、供電線116、複數條控制線143~146、及複數個中繼電極QB(QB1、QB2、QB3、QB4)。

如自圖15之顯示金屬層B之部分及圖17所理解般，作為第1導電線之一例之掃描線12係經由貫通絕緣層LB之導通孔HC9而對第2電晶體122之閘極層GTwr導通。掃描線12係跨及複數個像素電路110，沿第2電晶體122之通道長度之方向(X方向)延伸。

供電線116係經由多層配線層內之配線(省略圖示)，而對被供給高位側之電源電位 V_{el} 之安裝端子導通。供電線116係以例如含有銀或鋁之導電材料，形成為例如100 nm左右之膜厚。供電線116係經由貫通絕緣層LB之導通孔HC10，而對形成驅動電晶體121之汲極區域或源

極區域之主動區域10A導通。供電線116係跨及複數個像素電路110，沿驅動電晶體121之通道長度之方向(X方向)延伸。供電線116係因絕緣層LC，自後述之傳送電容133之第2電極133-2電性絕緣。

控制線143係如圖15之顯示金屬層B之部分及圖17所理解般，經由貫通絕緣層LB之導通孔HC7、中繼電極QA9、及貫通絕緣層LA之HB4，而對第3電晶體123之閘極層GTcmp導通。又，控制線143係沿第3電晶體123之通道長度之方向(X方向)延伸。

控制線144係如圖15之顯示金屬層B之部分及圖17所理解般，經由貫通絕緣層LB之導通孔HC6、中繼電極QA7、及貫通絕緣層LA之HB3，而對第4電晶體124之閘極層GTel導通。又，控制線144係沿第4電晶體124之通道長度之方向(X方向)延伸。

控制線145係經由貫通絕緣層LB之導通孔HC3、中繼電極QA5、及貫通絕緣層LA之HB2，而對第5電晶體125之閘極層GTorst導通。又，控制線145係沿第5電晶體125之通道長度之方向(X方向)延伸。

控制線146係經由貫通絕緣層LB之導通孔HC2、中繼電極QA2、及貫通絕緣層LA之HB1，而對第1電晶體126之閘極層GTfix導通。又，控制線146係沿第1電晶體126之通道長度之方向(X方向)延伸。

中繼電極QB1係如自圖15之金屬層B及金屬層A之部分所理解般，經由貫通絕緣層LB之導通孔HC1而對中繼電極QA1導通。中繼電極QB2係經由貫通絕緣層LB之導通孔HC4而對中繼電極QA4導通。中繼電極QB3係經由貫通絕緣層LB之導通孔HC5而對中繼電極QA6導通。中繼電極QB4係經由貫通絕緣層LB之導通孔HC8而對中繼電極QA3導通。

絕緣層LC係形成於形成有掃描線12、複數條控制線143~146、及複數個中繼電極QB(QB1、QB2、QB3、QB4)之絕緣層LB之面上。如自圖15之金屬層C之部分及圖17所理解般，於絕緣層LC之面上，形

成有第2資料傳送線14-2、傳送電容133之第2電極133-2、及複數個中繼電極QC(QC1、QC2、QC3)。

作為第3導電層之一例之第2資料傳送線14-2係跨及複數個像素電路110而沿Y方向延伸。第2資料傳送線14-2係經由貫通絕緣層LC之導通孔HD4、中繼電極QB4、貫通絕緣層LB之導通孔HC8、及中繼電極QA3，而對形成第2電晶體122之汲極區域或源極區域之主動區域10A導通。又，第2資料傳送線14-2係對形成第3電晶體123之汲極區域或源極區域之主動區域10A、及形成第1電晶體126之汲極區域或源極區域之主動區域10A導通。

作為傳送電容(第1電容)133之第5導電層之一例之第2電極133-2係於像素電路110中，覆蓋掃描線12、控制線143、及控制線144之矩形之電極，與第2資料傳送線14-2形成為一體。

如自圖15及圖17所理解般，中繼電極QC1係經由貫通絕緣層LC之導通孔HD1而對中繼電極QB1導通。中繼電極QC2係經由貫通絕緣層LC之導通孔HD2而對中繼電極QB2導通。中繼電極QC3係經由貫通絕緣層LC之導通孔HD3而對中繼電極QB3導通。

絕緣層LD係形成於形成有第2資料傳送線14-2、傳送電容133之第2電極133-2、及複數個中繼電極QC(QC1、QC2、QC3)之絕緣層LC之面上。如自圖15之電容電極層之部分及圖17所理解般，於絕緣層LD之面上，形成有傳送電容133之第1電極133-1。

作為傳送電容(第1電容)133之第4導電層之一例之第1電極133-1係介隔絕緣層LD而與第2電極133-2對向之矩形之電容電極。第1電極133-1係介隔絕緣層LD而與第2電極133-2對向。如此，傳送電容133係包含金屬之第1電極133-1、絕緣層LD、金屬之第2電極133-2，具有MIM(Metal-Insulator-Metal：金屬-絕緣體-金屬)構造。因此，傳送電容133容易大電容化。又，因傳送電容133形成於像素電路110之顯示

區域內，故可謀求光電裝置之小型化。

絕緣層LE係形成於形成有傳送電容133之第1電極133-1之絕緣層LD之面上。如自圖16之金屬層D之部分及圖17所理解般，於絕緣層LE之面上，形成有第1資料傳送線14-1、供電線16、及中繼電極QD1。

作為第2導電層之一例之第1資料傳送線14-1係跨及複數個像素電路110而沿Y方向延伸。第1資料傳送線14-1係經由貫通絕緣層LE之導通孔HF1、HF2、HF3，而對傳送電容133之第1電極133-1導通。又，第1資料傳送線14-1係經由貫通絕緣層LE及絕緣層LD之導通孔HE1、中繼電極QC1、貫通絕緣層LC之導通孔HD1、中繼電極QB1、貫通絕緣層LB之導通孔HC1、中繼電極QA1、以及貫通絕緣層LA及絕緣膜L0之導通孔HA2，而對形成第1電晶體126之汲極區域或源極區域之主動區域10A導通。

作為第6導電層之供電線16係跨及複數個像素電路110而沿Y方向延伸。供電線16係經由貫通絕緣層LE及絕緣層LD之導通孔HE2、中繼電極QC2、貫通絕緣層LC之導通孔HD2、中繼電極QB2、貫通絕緣層LB之導通孔HC4、中繼電極QA4、以及貫通絕緣層LA及絕緣膜L0之導通孔HA4，而對形成第5電晶體125之汲極區域或源極區域之主動區域10A導通。中繼電極QD1係經由貫通絕緣層LE之導通孔HE3，而對中繼電極QC3導通。

又，供電線16係與第1資料傳送線14-1形成於同層，且介隔絕緣層LF，於與第1資料傳送線14-1之間具有特定間隙而配置。如此般形成屏蔽電容(第2電容)134，第1資料傳送線14-1係由作為屏蔽線之供電線16屏蔽。

絕緣層LF係形成於形成有第1資料傳送14-1、供電線16、中繼電極QD1之絕緣層LE之面上。如自圖16之反射層之部分及圖17所理解

般，於絕緣層LF之面上，形成有反射層50。反射層50係對每個像素電路110個別形成。反射層50係以例如含有銀或鋁之光反射性之導電材料，形成為例如100 nm左右之膜厚。如自圖16之反射層之部分及圖17所理解般，反射層50係經由貫通絕緣層LF之導通孔HG1而對中繼電極QD1導通。中繼電極QD1係經由導通孔HE3、中繼電極QC3、導通孔HD3、中繼電極QB3、導通孔HC5、中繼電極QA6、導通孔HA5、及導通孔HA3，而與第4電晶體124之汲極區域或源極區域、及第5電晶體125之汲極區域或源極區域導通。

於形成有反射層50之絕緣層LF之面上，如圖17所示般，形成光路調整層LG。光路調整層LG係規定各像素電路110之共振構造之共振波長(亦即顯示色)之光透過性之膜體。如下般設定：於顯示色相同之像素中，共振構造之共振波長大致相同，於顯示色不同之像素中，共振構造之共振波長不同。

如圖16之像素電極層之部分及圖17所示，於光路調整層LG之面上，形成有每個像素電路110之陽極130a。陽極130a係以例如ITO(Indium Tin Oxide：氧化銦錫)等光透過性之導電材料形成。陽極130a係經由貫通光路調整層LG之導通孔HH1，而與反射層50導通。因此，陽極130a係經由反射層50而與第4電晶體124之汲極區域或源極區域、及第5電晶體125之汲極區域或源極區域導通。

於形成有陽極130a之光路調整層LG之面上，如圖16之像素定義膜之部分及圖17所例示般，跨及基板10之全域而形成像素定義膜51。像素定義膜51係以例如矽化合物(典型而言為氮化矽或氧化矽)等絕緣性之無機材料形成。如自圖16之像素定義膜之部分所理解般，於像素定義膜51，形成有與各陽極130a對應之開口部51A。像素定義膜51中之開口部51A之內周緣附近之區域係重疊於陽極130a之周緣。亦即，開口部51A之內周緣係於俯視下位於陽極130a之周緣之內側。各開口

部51A係平面形狀(矩形狀)或尺寸共通，且跨及X方向及Y方向之各者而以共通之間距排列成矩陣狀。如自以上之說明所理解般，像素定義膜51係於俯視下形成為格柵狀。另，開口部51A之平面形狀或尺寸亦可為若顯示色相同則相同，於顯示色不同之情形時不同。又，開口部51A之間距亦可為於顯示色相同之開口部彼此中相同，於顯示色不同之開口部間不同。

此外，雖省略詳細之說明，但於陽極130a之上層，亦積層有發光功能層、OLED130之陰極、及密封體，於形成有以上各要件之基板10之表面，例如以接著劑接合密封基板(省略圖示)。密封基板係用以屏蔽基板10上之各要件之光透過性之板狀構件(例如玻璃基板)。另，亦可於密封基板之表面或密封體之表面，於每個像素電路110形成彩色濾光片。

又，雖省略圖示，但於像素電路110中形成有作為其他電源線層之共通電極118。共通電極118係經由多層配線層內之配線(省略圖示)，而對被供給低位側之電源電位 V_{ct} 之安裝端子導通。供電線116及被供給低位側之電源電位 V_{ct} 之共通電極118係以例如含有銀或鋁之導電材料，形成為例如100 nm左右之膜厚。共通電極118係與陽極130a導通。

如上述般，為了提高供給至驅動電晶體121之閘極 g 之電位 V_g 之資料壓縮率，較理想為增大傳送電容(第1電容)133，但根據本實施形態，因藉由形成於各不相同之層之第1電極133-1、第2電極133-2、及該等電極間之絕緣層LD而形成傳送電容133，採用MIM(Metal-Insulator-Metal)構造，故可防止晶片面積之增大，且可進行傳送電容133之大電容化。又，傳送電容133因較形成第2電晶體122及第3電晶體123之源極電極之層形成於更上層，故形成於像素電路110之顯示區域內，可防止晶片面積之增大。

又，關於屏蔽電容(第2電容)134，係藉由介隔絕緣層LF，以特定間隙配置第1資料傳送線14-1與作為屏蔽線之供電線16而形成。因此，屏蔽電容134因藉由2條平行之配線形成，故於Y方向上具有特定長度，可確保特定之電容。又，因關於屏蔽電容134亦形成於像素電容110之顯示區域內，故可防止晶片面積之增大。

於本實施例中，於每個像素電路110形成傳送電容133，但亦可於第2資料傳送線14-2各者形成傳送電容133。可進一步防止晶片面積之增大。

如自圖15至圖17所理解般，於本實施形態中，所供給之信號之振幅較大之第1資料傳送線14-1係較被供給壓縮後之信號之第2資料信號線14-2形成於更上層。即，可減輕供給至第1資料傳送線14-1之振幅較大之信號對驅動電晶體121之閘極之影響，抑制驅動電晶體121之閘極之電位之變動，而提高顯示品質。

又，如自圖15及圖17所理解般，於本實施形態中，第2資料傳送線14-2係較形成驅動電晶體121、第1電晶體126、第2電晶體122、及第3電晶體123之源極電極之層形成於更上層。因此，可防止晶片面積之增大。

再者，如自圖15及圖17所理解般，因連接於驅動電晶體121之第2電流端之作為電源線之供電線116係較第2資料傳送線14-2形成於更下層，故供電線116作為屏蔽層發揮功能，可更進一步有效地抑制驅動電晶體121之閘極之電位之變動，而提高顯示品質。

又，如自圖15所理解般，因驅動電晶體121係由作為電源線之供電線116覆蓋，故供電線116係作為屏蔽層發揮功能，可更進一步有效地抑制驅動電晶體121之閘極之電位之變動，而提高顯示品質。

如自圖15至圖17所理解般，傳送電容133之第1電極133-1與第2電極133-2係形成於與形成第1資料傳送線14-1之層不同之層。因此，即

便於為了確保較小面積之程度之電容而薄化絕緣層之情形時，仍可不發生短路地形成具有均等之層間之傳送電容133。

如圖15之金屬層A之部分所示，以虛線之橢圓A顯示第1電晶體126與第1資料傳送線14-1之連接位置，以虛線之橢圓B顯示驅動電晶體121之第1電流端與第3電晶體123之連接位置。又，以虛線之橢圓C顯示第4電晶體124與作為發光元件之OLED130之連接位置。若如此般顯示，則如下般設定：於像素電路之俯視下，顯示第1電晶體126與第1資料傳送線14-1之連接位置之虛線之橢圓A，係較顯示驅動電晶體121之第1電流端與第3電晶體123之連接位置之虛線之橢圓B，更靠近顯示第4電晶體124與作為發光元件之OLED130之連接位置之虛線之橢圓C。

對第1資料傳送線14-1供給振幅較高之信號，於第1電晶體126與第1資料傳送線14-1之連接位置(橢圓A)，有產生雜訊之可能性。但，第1電晶體126與第1資料傳送線14-1之連接位置(橢圓A)，係於像素電路之俯視下，設定於較第4電晶體124與作為發光元件之OLED130之連接位置(橢圓C)，距驅動電晶體121之第1電流端與第3電晶體123之連接位置(橢圓B)更遠之位置。因此，即便於第1電晶體126與第1資料傳送線14-1之連接位置(橢圓A)產生雜訊，仍可抑制雜訊對驅動電晶體121之影響，而可提高顯示品質。

又，第1電晶體126與第1資料傳送線14-1之連接位置(橢圓A)、驅動電晶體121之第1電流端與第3電晶體123之連接位置(橢圓B)、及第4電晶體124與作為發光元件之OLED130之連接位置(橢圓C)之各者，係配置於該像素電路110之作為電源線之供電線116與於Y方向上相鄰之區塊之像素電路110之作為電源線之供電線116之間。因此，供電線116成為屏蔽層，可降低雜訊之影響。

又，如圖15所示，第1電晶體126與第1資料傳送線14-1之連接位

置(橢圓A)，係配置於連接於與作為重設電位供給線之供電線16連接之第5電晶體125之閘極層GTorst之控制線145、與連接於第1電晶體126之閘極層GTfix之控制線146之間。因此，即便對第1資料傳送線14-1供給振幅高之信號而產生雜訊，控制線145與控制線146亦作為屏蔽層發揮功能，可降低雜訊對驅動電晶體121之影響。

又，如圖15所示，第4電晶體124與作為發光元件之OLED130之連接位置(橢圓C)，係配置於連接於與作為重設電位供給線之供電線16連接之第5電晶體125之閘極層GTorst之控制線145、與連接於第4電晶體124之閘極層GTel之控制線144之間。因此，即便對第1資料傳送線14-1供給振幅高之信號而產生雜訊，控制線145與控制線144亦作為屏蔽層發揮功能，可降低雜訊對驅動電晶體121之影響。

< 第2實施形態 >

其次，就本發明之第2實施形態，參照附加圖式之圖18至圖20進行說明。另，對與第1實施形態之共通部位，標註相同符號並省略說明。

本實施形態之電路係與圖4所示之第1實施形態之電路相同。本實施形態係如圖18至圖20所示般，各電晶體之俯視上之配置與第1實施形態不同。但，各配線之層上之位置關係與第1實施形態相同。

於本實施形態中，亦如自圖18及圖20所理解般，傳送電容(第1電容)133係由金屬之第1電極133-1、絕緣層LD、及金屬之第2電極133-2形成，藉由MIM(Metal-Insulator-Metal)構造形成。因此，可進行傳送電容133之大電容化，可提高供給至驅動電晶體121之閘極g之電位Vg之資料壓縮率。又，傳送電容133因較形成有第2電晶體122及第3電晶體123之源極電極之層形成於更上層，故形成於像素電路110之顯示區域內，可防止晶片面積之增大。

如自圖19及圖20所理解般，關於屏蔽電容(第2電容)134，係藉由

介隔絕緣層LF，以特定間隙配置第1資料傳送線14-1與作為屏蔽線之供電線16而形成。因此，屏蔽電容134因藉由2條平行之配線形成，故於Y方向上具有特定長度，可確保特定之電容。又，因關於屏蔽電容134亦形成於像素電路110之顯示區域內，故可防止晶片面積之增大。

於本實施例中，亦於每個像素電路110形成傳送電容133，但亦可於第2資料傳送線14-2各者形成傳送電容133。可進一步防止晶片面積之增大。

如自圖18至圖20所理解般，於本實施形態中，所供給之信號之振幅較大之第1資料傳送線14-1係較被供給壓縮後之信號之第2資料信號線14-2形成於更上層。即，可減輕供給至第1資料傳送線14-1之振幅大之信號對驅動電晶體121之閘極之影響，抑制驅動電晶體121之閘極之電位之變動，而提高顯示品質。

又，如自圖18及圖20所理解般，於本實施形態中，第2資料傳送線14-2係較形成驅動電晶體121、第1電晶體126、第2電晶體122、及第3電晶體123之源極電極之層形成於更上層。因此，可防止晶片面積之增大。

圖18所示之中繼電極QA3係源極電極，且為與形成第1電晶體126之汲極區域或源極區域之主動區域10A、形成第3電晶體123之汲極區域或源極區域之主動區域10A、及形成第2電晶體122之汲極區域或源極區域之主動區域10A直接相接而形成之電極。

又，圖18所示之中繼電極QA8亦為源極電極，且為與形成第4電晶體124之汲極區域或源極區域之主動區域10A、形成第3電晶體123之汲極區域或源極區域之主動區域10A、及形成驅動電晶體121之汲極區域或源極區域之主動區域10A直接相接而形成之電極。

再者，圖18所示之中繼電極QA11亦為源極電極，且為與形成第2電晶體122之汲極區域或源極區域之主動區域10A直接相接而形成之

電極。再者，如自圖18及圖20所理解般，因連接於驅動電晶體121之第2電流端之作為電源線之供電線116係較第2資料傳送線14-2形成於更下層，故供電線116係作為屏蔽層發揮功能，可更進一步有效地抑制驅動電晶體121之閘極之電位之變動，而提高顯示品質。

又，如自圖18所理解般，因驅動電晶體121係由作為電源線之供電線116覆蓋，故供電線116係作為屏蔽層發揮功能，可更進一步有效地抑制驅動電晶體121之閘極之電位之變動，而提高顯示品質。

如自圖18至圖20所理解般，傳送電容133之第1電極133-1與第2電極133-2係形成於與形成第1資料傳送線14-1之層不同之層。因此，即便於為了確保較小面積之程度之電容而薄化絕緣層之情形時，仍可不发生短路地形成具有均等之層間之傳送電容133。

如圖18之金屬層A之部分所示，以虛線之橢圓A顯示第1電晶體126與第1資料傳送線14-1之連接位置，以虛線之橢圓B顯示驅動電晶體121之第1電流端與第3電晶體123之連接位置。又，以虛線之橢圓C顯示第4電晶體124與作為發光元件之OLED130之連接位置。若如此般顯示，則於一個像素電路110內觀察之情形時，顯示第1電晶體126與第1資料傳送線14-1之連接位置之虛線之橢圓A，係較顯示第4電晶體124與作為發光元件之OLED130之連接位置之虛線之橢圓C，更靠近顯示驅動電晶體121之第1電流端與第3電晶體123之連接位置之虛線之橢圓B。

然而，如圖21及圖22所示，於在Y方向及X方向上相鄰之不同之像素電路110間觀察之情形時，顯示第1電晶體126與第1資料傳送線14-1之連接位置之虛線之橢圓A，係較顯示驅動電晶體121之第1電流端與第3電晶體123之連接位置之虛線之橢圓B，更靠近顯示第4電晶體124與作為發光元件之OLED130之連接位置之虛線之橢圓C。

因此，即便對第1資料傳送線14-1供給振幅較高之信號，而於第1

電晶體126與第1資料傳送線14-1之連接位置(橢圓A)產生雜訊，仍可抑制雜訊對驅動電晶體121之影響，而可提高顯示品質。

又，如圖21及圖22所示，於在Y方向及X方向上相鄰之不同之像素電路110間觀察之情形時，顯示第1電晶體126與第1資料傳送線14-1之連接位置之虛線之橢圓A，係配置於連接於第5電晶體125之閘極之控制線145與連接於驅動電晶體121之閘極之掃描線12之間。因此，驅動電晶體126之閘極係配置於控制線145與掃描線12之間，由控制線145與掃描線12屏蔽。其結果，即便對第1資料傳送線14-1供給振幅較高之信號，而於第1電晶體126與第1資料傳送線14-1之連接位置(橢圓A)產生雜訊，仍可抑制雜訊對驅動電晶體121之影響，而可提高顯示品質。

又，如圖18所示，第1電晶體126與第1資料傳送線14-1之連接位置(橢圓A)、驅動電晶體121之第1電流端與第3電晶體123之連接位置(橢圓B)、及第4電晶體124與作為發光元件之OLED130之連接位置(橢圓C)之各者係配置於該像素電路110之作為電源線之供電線116、與於Y方向上相鄰之區塊之像素電路110之作為電源線之供電線116之間。因此，供電線116成為屏蔽層，可降低雜訊之影響。

又，如圖18所示，第1電晶體126與第1資料傳送線14-1之連接位置(橢圓A)係配置於連接於第3電晶體123之閘極層GTcmp之控制線143、與連接於第1電晶體126之閘極層GTfix之控制線146之間。因此，即便對第1資料傳送線14-1供給振幅較高之信號而產生雜訊，控制線143與控制線146亦作為屏蔽層發揮功能，可降低雜訊對驅動電晶體121之影響。

又，如圖18所示，第4電晶體124與作為發光元件之OLED130之連接位置(橢圓C)，係配置於連接於與作為重設電位供給線之供電線16連接之第5電晶體125之閘極層GTorst之控制線145、與連接於第4電

晶體124之閘極層GTel之控制線144之間。因此，即便對第1資料傳送線14-1供給振幅較高之信號而產生雜訊，控制線145與控制線144亦作為屏蔽層發揮功能，可降低雜訊對驅動電晶體121之影響。

< 第3實施形態 >

其次，就本發明之第3實施形態，參照附加圖式之圖23至圖26進行說明。於上述之各實施形態中，使用6個電晶體，但於本實施形態中，使用5個電晶體。

< 電路圖 >

如圖23所示，於本實施形態中，未設置第5電晶體125之構成係與上述之各實施形態不同。又，於第1電晶體126之汲極或源極，連接有被供給初始電位Vini之供電線17。又，對第1資料傳送線14-1，經由傳輸閘極45，供給將第1資料傳送線14-1初始化之電壓Vref。電壓Vref亦可與初始電位Vini相同。

本實施形態之動作係與上述之各實施形態相同，因將於發光期間中成為浮動節點之第2電晶體122之傳送電容133側之第2資料傳送線14-2，於在其他區塊進行初始化期間之處理之期間設定為固定電位之初始電位Vini，故可抑制第2資料傳送線14-2之電位接近於電源電壓。其結果，第2電晶體122不會接通，而於像素電容132中保持電壓，不會發生顯示不良。

< 構造 >

其次，於以下詳細說明第3實施形態之光電裝置1之具體之構造。另，於以下之說明所參照之各圖式中，為了便於說明，使各要件之尺寸或比例尺與實際之光電裝置1不同。圖24及圖25係著眼於像素電路110之一個而圖示形成光電裝置1之各要件之各階段之基板10之表面狀況之俯視圖。圖26係光電裝置1之剖視圖。與包含圖24及圖25之I-I'線之剖面對應之剖視圖相當於圖26。另，雖圖24及圖25為俯視

圖，但自將各要件之視覺把握容易化之觀點而言，對與圖26共通之各要件簡單附加與圖26相同態樣之陰影線。

如自圖26及圖24之有源層之部分所理解般，於以矽等半導體材料形成之基板10之表面，形成有像素電路110之各電晶體121、122、123、124、126之主動區域10A(源極/汲極區域)。對主動區域10A注入離子。像素電路110之各電晶體121、122、123、124、126之有源層係存在於源極區域與汲極區域之間，被注入與主動區域10A不同種類之離子，但為方便起見，與主動區域10A記載為一體。又，於本實施形態中，於構成像素電容132之區域亦形成有主動區域10A，於主動區域10A注入雜質而將其連接於電源。且，構成將主動區域10A作為一電極、將介隔絕緣層而形成之電容電極作為另一電極之所謂MOS電容。又，構成像素電容132之區域之主動區域10A亦作為電源電位部而發揮功能。如自圖24之有源層之部分所理解般，第3電晶體123之主動區域10A係於設置有導通孔HA13之部分，與第2電晶體122之主動區域10A相連。因此，第3電晶體123之電流端亦作為第2電晶體122之電流端而發揮功能。如自圖24之閘極層之部分及圖26所理解般，形成有主動區域10A之基板10之表面係由絕緣膜L0(閘極絕緣膜)被覆，各電晶體121、122、123、124、126之閘極層GT(GTdr、GTwr、GTcmp、GTel、GTfix)形成於絕緣膜L0之面上。各電晶體121、122、123、124、126之閘極層GT係隔著絕緣膜L0而與有源層對向。

又，如圖24之閘極層之部分所例示般，驅動電晶體121之閘極層GTdr係延伸至形成於構成電容元件之區域之主動區域10A而形成，構成像素電容132。

如自圖26所理解般，於形成有各電晶體121、122、123、124、126之閘極層GT及像素電容132之絕緣膜L0之面上，形成交替地積層複數個絕緣層L(LA~LH)與複數個導電層(配線層)之多層配線層。各

絕緣層L係以例如矽化合物(典型而言為氮化矽或氧化矽)等絕緣性之無機材料形成。另，於以下之說明中，將藉由選擇性去除導電層(單層或複數層)而於相同步驟中統一形成複數個要件之關係記作「自同層起形成」。

絕緣層LA係形成於形成有各電晶體121、122、123、124、126之閘極層GT之絕緣膜L0之面上。如自圖24之金屬層A之部分及圖26所理解般，於絕緣層LA之面上，供電線116、與複數個中繼電極QA(QA13、QA14、QA15、QA16、QA17、QA18、QA19、QA20、QA21)係自同層起形成。

又，如自圖24所理解般，於本實施形態中，第2資料傳送線14-2係較形成驅動電晶體121、第1電晶體126、第2電晶體122、及第3電晶體123之源極電極之層形成於更上層。因此，可防止晶片面積之增大。

圖24所示之中繼電極QA13係源極電極，且為與形成第2電晶體122之汲極區域或源極區域之主動區域10A直接相接而形成之電極。

又，圖24所示之中繼電極QA15亦為源極電極，且為與形成第3電晶體123之汲極區域或源極區域之主動區域10A、形成第4電晶體124之汲極區域或源極區域之主動區域10A、及形成驅動電晶體121之汲極區域或源極區域之主動區域10A直接相接而形成之電極。

再者，圖24所示之中繼電極QA17亦為源極電極，且為與形成第3電晶體123之汲極區域或源極區域之主動區域10A、形成第2電晶體122之汲極區域或源極區域之主動區域10A、及形成第1電晶體126之汲極區域或源極區域之主動區域10A直接相接而形成之電極。

如自圖24之金屬層A之部分及圖26所理解般，供電線116係經由貫通絕緣層LA與絕緣膜L0之導通孔HA16，而對形成驅動電晶體121之源極區域或汲極區域之主動區域10A導通。又，供電線116係經由

貫通絕緣層LA與絕緣膜L0之導通孔HA15，而對形成像素電容132之主動區域10A導通。供電線116係跨及複數個像素電路110，沿驅動電晶體121之通道寬度之方向(X方向)延伸。供電線116係經由多層配線層內之配線(省略圖示)，而對被供給高位側之電源電位 V_{el} 之安裝端子導通。另，雖省略圖示，但於像素電路110之周邊區域內亦形成其他電源線層。該電源線層係經由多層配線層內之配線(省略圖示)，而對被供給低位側之電源電位 V_{ct} 之安裝端子導通。供電線116及被供給低位側之電源電位 V_{ct} 之電源線層係以例如含有銀或鋁之導電材料，形成為例如100 nm左右之膜厚。

驅動電晶體121之閘極層GTdr係經由中繼電極QA13、貫通絕緣層LA之導通孔HB13、及貫通絕緣層LA與絕緣膜L0之導通孔HA14，而對形成第2電晶體122之源極區域或汲極區域之主動區域10A導通。

於驅動電晶體121與第3電晶體123及第4電晶體124之導通部、第3電晶體123與第1電晶體126之導通部之各者中，中繼電極QA15、中繼電極QA17係與供電線116形成於同層。又，於第2電晶體122之閘極層GTwr、第3電晶體123之閘極層GTcmp、第4電晶體124之閘極層GTel、及第1電晶體126之閘極層GTfix之導通部，中繼電極QA14、中繼電極QA16、中繼電極QA19、及中繼電極QA18係與供電線116形成於同層。再者，於第4電晶體124之源極區域或汲極區域之導通部、及第1電晶體126之源極區域或汲極區域之導通部，中繼電極QA20、及中繼電極QA21係與供電線116形成於同層。

如自圖24之金屬層A之部分及圖26所理解般，中繼電極QA15係經由貫通絕緣膜L0與絕緣層LA之導通孔HA17，而對形成驅動電晶體121之汲極區域或源極區域之主動區域10A導通。又，中繼電極QA15係經由貫通絕緣膜L0與絕緣層LA之導通孔HA18，而對形成第3電晶體123之汲極區域或源極區域之主動區域10A導通。再者，中繼電極

QA15係經由貫通絕緣膜L0與絕緣層LA之導通孔HA19，而對形成第4電晶體124之汲極區域或源極區域之主動區域10A導通。

中繼電極QA17係經由貫通絕緣膜L0與絕緣層LA之導通孔HA13，而對形成第2電晶體122與第3電晶體123之汲極區域或源極區域之主動區域10A導通。又，中繼電極QA17係經由貫通絕緣膜L0與絕緣層LA之導通孔HA21，而對形成第1電晶體126之汲極區域或源極區域之主動區域10A導通。

中繼電極QA20係經由貫通絕緣膜L0與絕緣層LA之導通孔HA20，而對形成第4電晶體124之汲極區域或源極區域之主動區域10A導通。中繼電極QA21係經由貫通絕緣膜L0與絕緣層LA之導通孔HA22，而對形成第1電晶體126之汲極區域或源極區域之主動區域10A導通。又，中繼電極QA21係與被供給初始電位之供電線17連接。

絕緣層LB係形成於形成有供電線116、與複數個中繼電極QA(QA13、QA14、QA15、QA16、QA17、QA18、QA19、QA20、QA21)之絕緣層LA之面上。如自圖24之金屬層B之部分及圖26所理解般，於絕緣層LB之面上，掃描線12、第3電晶體123之控制線143、第4電晶體124之控制線144、第1電晶體126之控制線146、及複數個中繼電極QB(QB5、QB6)係自同層起形成。

如自圖24之金屬層B之部分及圖26所理解般，作為第1導電層之一例之掃描線12係於每個像素電路110，經由形成於絕緣層LB之導通孔HC15而對中繼電極QA14導通。因此，如自圖24及圖26所理解般，掃描線12係經由貫通絕緣層LB之導通孔HC15、中繼電極QA14、及貫通絕緣層LA之導通孔HB15，而對第2電晶體122之閘極層GTwr導通。掃描線12係跨及複數個像素電路110而於X方向以直線狀延伸，且因絕緣層LC而自第1電容133及第2資料傳送線14-2電性絕緣。

如自圖24所理解般，控制線143係就每個像素電路110，經由形成

於絕緣層LB之導通孔HC14而對中繼電極QA16導通。因此，如自圖24至圖26所理解般，控制線143係經由貫通絕緣層LB之導通孔HC14、中繼電極QA16、及貫通絕緣層LA之導通孔HB14，而對第3電晶體123之閘極層GTcmp導通。控制線143係跨及複數個像素電路110而於X方向以直線狀延伸，且藉由絕緣層LC而自第1電容133及第2資料傳送線14-2電性絕緣。

如自圖24所理解般，控制線144係就每個像素電路110，經由形成於絕緣層LB之導通孔HC11而對中繼電極QA19導通。因此，如自圖24至圖26所理解般，控制線144係經由貫通絕緣層LB之導通孔HC11、中繼電極QA19、及貫通絕緣層LA之導通孔HB16，而對第4電晶體124之閘極層GTel導通。控制線144係跨及複數個像素電路110而於X方向以直線狀延伸，且因絕緣層LC而自第1電容133及第2資料傳送線14-2電性絕緣。

如自圖24所理解般，控制線146係就每個像素電路110，經由形成於絕緣層LB之導通孔HC13而對中繼電極QA18導通。因此，如自圖24至圖26所理解般，控制線146係經由貫通絕緣層LB之導通孔HC13、中繼電極QA18、及貫通絕緣層LA之導通孔HB17，而對第1電晶體126之閘極層GTfix導通。控制線146係跨及複數個像素電路110而於X方向以直線狀延伸，且藉由絕緣層LC而自第1電容133及第2資料傳送線14-2電性絕緣。

中繼電極QB5係就每個像素電路110，經由形成於絕緣層LB之導通孔HC12而對中繼電極QA17導通。因此，如自圖24至圖26所理解般，中繼電極QB5係經由貫通絕緣層LB之導通孔HC12、中繼電極QA17、以及貫通絕緣膜L0及絕緣層LA之導通孔HA21，而對形成第1電晶體126之汲極區域或源極區域之主動區域10A導通。

中繼電極QB6係就每個像素電路110，經由形成於絕緣層LB之導

通孔HC16而對中繼電極QA20導通。因此，如自圖24至圖26所理解般，中繼電極QB6係經由貫通絕緣層LB之導通孔HC16、中繼電極QA20、以及貫通絕緣膜L0及絕緣層LA之導通孔HA20，而對形成第4電晶體124之汲極區域或源極區域之主動區域10A導通。

絕緣層LC係形成於形成有掃描線12、第3電晶體123之控制線143、第4電晶體124之控制線144、第1電晶體126之控制線146、及複數個中繼電極QB(QB5、QB6)之絕緣層LB之面上。如自圖24及圖26所理解般，於絕緣層LC之面上，第2資料傳送線14-2、與該第2資料傳送線14-2形成為一體之傳送電容133之第2電極133-2、及中繼電極QC4係自同層起形成。

作為第3導電層之一例之第2資料傳送線14-2係跨及複數個像素電路110而沿Y方向延伸。第2資料傳送線14-2係經由貫通絕緣層LC之導通孔HD5、中繼電極QB5、貫通絕緣層LB之導通孔HC12、中繼電極QA17、以及貫通絕緣膜L0及絕緣層LA之導通孔HA21，而對形成第1電晶體126之汲極區域或源極區域之主動區域10A導通。又，第2資料傳送線14-2係經由貫通絕緣層LC之導通孔HD5、中繼電極QB5、貫通絕緣層LB之導通孔HC12、中繼電極QA17、以及貫通絕緣膜L0及絕緣層LA之導通孔HA13，而對形成第3電晶體123及第2電晶體122之汲極區域或源極區域之主動區域10A導通。

作為傳送電容133(第1電容)之第5導電層之一例之第2電極133-2係於像素電路110中，覆蓋掃描線12、控制線143、及控制線146之矩形之電極，且與第2資料傳送線14-2形成為一體。

絕緣層LD係形成於形成有第2資料傳送線14-2、傳送電容133之第2電極133-2、及中繼電極QC4之絕緣層LC之面上。如自圖24之電容電極層之部分及圖26所理解般，於絕緣層LD之面上，形成有傳送電容133之第1電極133-1。

作為傳送電容133(第1電容)之第4導電層之一例之第1電極133-1係介隔絕緣層LD而與第2電極133-2對向之矩形之電容電極。第1電極133-1係介隔絕緣層LD而與第2電極133-2對向。如此，因傳送電容133係藉由MIM(Metal-Insulator-Metal)構造形成，故可大電容化。

絕緣層LE係形成於形成有傳送電容133之第1電極133-1之絕緣層LD之面上。如自圖25之金屬層D之部分及圖26所理解般，於絕緣層LE之面上，形成有第1資料傳送線14-1、供電線16、及中繼電極QD2。

作為第2導電層之一例之第1資料傳送線14-1係跨及複數個像素電路110而沿Y方向延伸。第1資料傳送線14-1係經由貫通絕緣層LE之導通孔HF4、HF5、HF6，而對傳送電容133之第1電極133-1導通。

作為第6導電層之一例之供電線16係跨及複數個像素電路110而沿Y方向延伸。供電線16係與第1資料傳送線14-1形成於同層，且介隔絕緣層LF，於與第1資料傳送線14-1之間具有特定間隙而配置。如此般形成屏蔽電容134，第1資料傳送線14-1係由供電線16屏蔽。

中繼電極QD2係經由貫通絕緣層LE及絕緣層LD之導通孔HE4而對中繼電極QC4導通。因此，中繼電極QD2係經由貫通絕緣層LE及絕緣層LD之導通孔HE4、中繼電極QC4、貫通絕緣層LC之導通孔HD6、中繼電極QB6、貫通絕緣層LB之導通孔HC16、中繼電極QA20、及貫通絕緣膜L0與絕緣層LA之導通孔HA20，而對形成第4電晶體124之汲極區域或源極區域之主動區域10A導通。

絕緣層LF係形成於形成有第1資料傳送線14-1、供電線16、及中繼電極QD2之絕緣層LE之面上。如自圖25之反射層之部分及圖26所理解般，於絕緣層LF之面上，形成有反射層50。反射層50係對每個像素電路100個別形成。反射層50係以例如含有銀或鋁之光反射性之導電材料，形成為例如100 nm左右之膜厚。如自圖25及圖26所理解般，

反射層50係經由貫通絕緣層LF之導通孔HG2而對中繼電極QD2導通。因此，反射層50係經由中繼電極QD2而與形成第4電晶體124之汲極區域或源極區域之主動區域10A導通。

於形成有反射層50之絕緣層LF之面上，如圖26所示般，形成光路調整層LG。光路調整層LG係規定各像素電路110之共振構造之共振波長(亦即顯示色)之光透過性之膜體。如下般設定：於顯示色相同之像素中，共振構造之共振波長大致相同，於顯示色不同之像素中，共振構造之共振波長不同。

如圖25之像素電極層之部分及圖26所示般，於光路調整層LG之面上，形成有每個像素電路110之陽極130a。陽極130a係以例如ITO(Indium Tin Oxide)等光透過性之導電材料形成。陽極130a係經由貫通光路調整層LG之導通孔HH2，而與反射層50導通。因此，陽極130a係經由反射層50而與形成第4電晶體124之汲極區域或源極區域之主動區域10A導通。

於形成有陽極130a之光路調整層LG之面上，如圖26之像素定義膜之部分及圖26所例示般，跨及基板10之全域而形成像素定義膜51。像素定義膜51係以例如矽化合物(典型而言為氮化矽或氧化矽)等絕緣性之無機材料形成。如自圖26之像素定義膜之部分所理解般，於像素定義膜51，形成有與各陽極130a對應之開口部51A。像素定義膜51中之開口部51A之內周緣附近之區域係重疊於陽極130a之周緣。亦即，開口部51A之內周緣係於俯視下位於陽極130a之周緣之內側。各開口部51A係平面形狀(矩形狀)或尺寸共通，且跨及X方向及Y方向之各者而以共通之間距排列成矩陣狀。如自以上之說明所理解般，像素定義膜51係於俯視下形成為格柵狀。另，開口部51A之平面形狀或尺寸亦可為若顯示色相同則相同，於顯示色不同之情形時不同。又，開口部51A之間距亦可為於顯示色相同之開口部彼此中相同，於顯示色不同

之開口部間不同。

此外，雖省略詳細之說明，但於陽極130a之上層，亦積層有發光功能層、OLED130之陰極、及密封體，於形成有以上各要件之基板10之表面，例如以接著劑接合密封基板(省略圖示)。密封基板係用以屏蔽基板10上之各要件之光透過性之板狀構件(例如玻璃基板)。另，亦可於密封基板之表面或密封體之表面，於每個像素電路110形成彩色濾光片。

又，雖省略圖示，但於像素電路110中形成有作為其他電源線層之共通電極118。共通電極118係經由多層配線層內之配線(省略圖示)，而對被供給低位側之電源電位 V_{ct} 之安裝端子導通。供電線116及被供給低位側之電源電位 V_{ct} 之共通電極118係例如以含有銀或鋁之導電材料，形成為例如100 nm左右之膜厚。共通電極118係與陽極130a導通。

為了提高供給至驅動電晶體121之閘極 g 之電位 V_g 之資料壓縮率，較理想為增大傳送電容(第1電容)133，但根據本實施形態，因藉由MIM(Metal-Insulator-Metal)構造而形成傳送電容133，故可進行傳送電容133之大電容化。又，傳送電容133因較形成第2電晶體122及第3電晶體123之源極電極之層形成於更上層，故形成於像素電路110之顯示區域內，可防止晶片面積之增大。

又，關於屏蔽電容(第2電容)134，係藉由介隔絕緣層LF，以特定間隙配置第1資料傳送線14-1與作為屏蔽線之供電線16而形成。因此，屏蔽電容134因藉由2條平行之配線形成，故於Y方向上具有特定長度，可確保特定之電容。又，因關於屏蔽電容134亦形成於像素電路110之顯示區域內，故可防止晶片面積之增大。

於本實施例中，於每個像素電路110形成傳送電容133，但亦可於第2資料傳送線14-2各者形成傳送電容133。可進一步防止晶片面積之

增大。

如自圖24至圖26所理解般，於本實施形態中，所供給之信號之振幅較大之第1資料傳送線14-1係較被供給壓縮後之信號之第2資料信號線14-2形成於更上層。即，可減輕供給至第1資料傳送線14-1之振幅較大之信號對驅動電晶體121之閘極之影響，抑制驅動電晶體121之閘極之電位之變動，而提高顯示品質。

又，如自圖24及圖26所理解般，於本實施形態中，第2資料傳送線14-2係較形成驅動電晶體121、第1電晶體126、第2電晶體122、及第3電晶體123之源極電極之層形成於更上層。因此，可防止晶片面積之增大。

再者，如自圖24及圖26所理解般，因連接於驅動電晶體121之第2電流端之作為電源線之供電線116係較第2資料傳送線14-2形成於更下層，故供電線116作為屏蔽層發揮功能，可更進一步有效地抑制驅動電晶體121之閘極之電位之變動，而提高顯示品質。

又，如自圖24所理解般，因驅動電晶體121係由作為電源線之供電線116覆蓋，故供電線116係作為屏蔽層發揮功能，可更進一步有效地抑制驅動電晶體121之閘極之電位之變動，而提高顯示品質。

如自圖24至圖26所理解般，傳送電容133之第1電極133-1與第2電極133-2係形成於與形成第1資料傳送線14-1之層不同之層。因此，即便於為了確保較小面積之程度之電容而薄化絕緣層之情形時，仍可不发生短路地形成具有均等之層間之傳送電容133。

<第4實施形態>

其次，就本發明之第4實施形態，參照附加圖式之圖27至圖30進行說明。另，對與第3實施形態之共通部位，標註相同符號並省略說明。

<電路圖>

本實施形態之電路係如圖27所示般，與第3實施形態同樣地由5個電晶體構成，但未設置供電線17。取而代之，第1電晶體126之汲極或源極係連接於第1資料傳送線14-1，對第1資料傳送線14-1，經由傳輸閘極45，供給初始電位Vini。其他構成係與第3實施形態相同。

本實施形態之動作係與上述之各實施形態相同，因將於發光期間中成為浮動節點之第2電晶體122之傳送電容133側之第2資料傳送線14-2，於在其他區塊進行初始化期間之處理之期間設定為固定電位之初始電位Vini，故可抑制第2資料傳送線14-2之電位接近於電源電位。其結果，第2電晶體122不會接通，而於像素電容132中保持電壓，不會發生顯示不良。

<構造>

於本實施形態中，如圖28所示，第2資料傳送線14-2之配置與形狀不同於第3實施形態。又，構成第1電晶體126之汲極或源極之節點區域10A，係經由導通孔HA22、中繼電極QA22、導通孔HD7、中繼電極QB8，而與第1資料傳送線14-1連接。其他構造係與第3實施形態相同。

為了提高供給至驅動電晶體121之閘極g之電位Vg之資料壓縮率，較理想為增大傳送電容(第1電容)133，但根據本實施形態，因藉由MIM(Metal-Insulator-Metal)構造而形成傳送電容133，故可進行傳送電容133之大電容化。又，傳送電容133因較形成第2電晶體122及第3電晶體123之源極電極之層形成於更上層，故形成於像素電路110之顯示區域內，可防止晶片面積之增大。

圖28所示之中繼電極QA13係源極電極，且為與形成第2電晶體122之汲極區域或源極區域之主動區域10A直接相接而形成之電極。

又，圖28所示之中繼電極QA15亦為源極電極，且為與形成第3電晶體123之汲極區域或源極區域之主動區域10A、形成第4電晶體124

之汲極區域或源極區域之主動區域10A、及形成驅動電晶體121之汲極區域或源極區域之主動區域10A直接相接而形成之電極。

再者，圖28所示之中繼電極QA17亦為源極電極，且為與形成第3電晶體123之汲極區域或源極區域之主動區域10A、形成第2電晶體122之汲極區域或源極區域之主動區域10A、及形成第1電晶體126之汲極區域或源極區域之主動區域10A直接相接而形成之電極。

又，關於屏蔽電容(第2電容)134，係藉由介隔絕緣層LF，以特定間隙配置第1資料傳送線14-1與作為屏蔽線之供電線16而形成。因此，屏蔽電容134因藉由2條平行之配線形成，故於Y方向上具有特定長度，可確保特定之電容。又，因關於屏蔽電容134亦形成於像素電路110之顯示區域內，故可防止晶片面積之增大。

於本實施例中，於每個像素電路110形成傳送電容133，但亦可於第2資料傳送線14-2各者形成傳送電容133。可進一步防止晶片面積之增大。

如自圖28至圖30所理解般，於本實施形態中，所供給之信號之振幅較大之第1資料傳送線14-1係較被供給壓縮後之信號之第2資料信號線14-2形成於更上層。即，可減輕供給至第1資料傳送線14-1之振幅較大之信號對驅動電晶體121之閘極之影響，抑制驅動電晶體121之閘極之電位之變動，而提高顯示品質。

又，如自圖28及圖30所理解般，於本實施形態中，第2資料傳送線14-2係較形成驅動電晶體121、第1電晶體126、第2電晶體122、及第3電晶體123之源極電極之層形成於更上層。因此，可防止晶片面積之增大。

再者，如自圖28及圖30所理解般，因連接於驅動電晶體121之第2電流端之作為電源線之供電線116係較第2資料傳送線14-2形成於更下層，故供電線116作為屏蔽層發揮功能，可更進一步有效地抑制驅

動電晶體121之閘極之電位之變動，而提高顯示品質。

又，如自圖28所理解般，因驅動電晶體121係由作為電源線之供電線116覆蓋，故供電線116係作為屏蔽層發揮功能，可更進一步有效地抑制驅動電晶體121之閘極之電位之變動，而提高顯示品質。

如自圖28至圖30所理解般，傳送電容133之第1電極133-1與第2電極133-2係形成於與形成第1資料傳送線14-1之層不同之層。因此，即便於為了確保較小面積之程度之電容而薄化絕緣層之情形時，仍可不发生短路地形成具有均等之層間之傳送電容133。

如圖28之金屬層A之部分所示，以虛線之橢圓A顯示第1電晶體126與第1資料傳送線14-1之連接位置，以虛線之橢圓B顯示驅動電晶體121之第1電流端與第3電晶體123之連接位置。又，以虛線之橢圓C顯示第4電晶體124與作為發光元件之OLED130之連接位置。若如此般顯示，則於一個像素電路110內觀察之情形時，顯示第1電晶體126與第1資料傳送線14-1之連接位置之虛線之橢圓A，係較顯示驅動電晶體121之第1電流端與第3電晶體123之連接位置之虛線之橢圓B，更靠近顯示第4電晶體124與作為發光元件之OLED130之連接位置之虛線之橢圓C。

因此，即便對第1資料傳送線14-1供給振幅較高之信號，而於第1電晶體126與第1資料傳送線14-1之連接位置(橢圓A)產生雜訊，仍可抑制雜訊對驅動電晶體121之影響，而可提高顯示品質。

又，如圖28所示，第1電晶體126與第1資料傳送線14-1之連接位置(橢圓A)、驅動電晶體121之第1電流端與第3電晶體123之連接位置(橢圓B)、及第4電晶體124與作為發光元件之OLED130之連接位置(橢圓C)之各者，係配置於該像素電路110之作為電源線之供電線116與於Y方向上相鄰之區塊之像素電路110之作為電源線之供電線116之間。因此，供電線116成為屏蔽層，可降低雜訊之影響。

<變化例>

本發明並非限定於上述之實施形態，而可進行例如如下述般之各種變形。又，下述之變形之態樣可將任意選擇之一或複數個進行適當組合。

<變化例1>

於上述之實施形態中，於各像素電路110中第3電晶體123係連接於驅動電晶體121之汲極與第2資料傳送線14-2之間，但亦可如圖31所示般連接於驅動電晶體121之汲極與閘極g之間。

<變化例2>

於第1實施形態中，藉由對第1資料傳送線14-1，經由傳輸閘極45供給初始電位Vini，將第1電晶體126接通，而對第2資料傳送線14-2供給初始電位Vini。但，亦可如圖32所示般，設置供給初始電位Vini之供電線17，並連接第1電晶體126之汲極或源極與供電線17。於該情形時，藉由將第1電晶體126接通，而自供電線17對第2資料傳送線14-2供給初始電位Vini。

<變化例3>

於上述之實施形態之電路圖中，將第1電晶體126與傳送電容133於每個像素電路110以一對一對應而設置，但亦可如圖33所示般，將第1電晶體126與傳送電容133以相對於Nb個像素電路110各一個之比例設置。

<變化例4>

於上述之實施形態中，採用將第1資料傳送線14-1每3行組群化，且於各組群中依序選擇第1資料傳送線14-1而供給資料信號之構成，構成組群之資料線數只要為「2」以上「3n」以下之特定數即可。例如，構成組群之資料線數可為「2」，亦可為「4」以上。

又，亦可為不進行組群化，亦即不使用解多工器DM而對各行之

第1資料傳送線14-1一齊以線順序供給資料信號之構成。

<變化例5>

於上述之實施形態中，將電晶體121～126統一設為P通道型，但亦可統一設為N通道型。又，亦可適當組合P通道型及N通道型。

例如，將電晶體121～126統一設為N通道型之情形時，只要將與上述之實施形態之資料信號Vd(n)正負反轉之電位，供給至各像素電路110即可。又，該情形時，電晶體121～126之源極及汲極係與上述之實施形態及變化例成為反轉之關係。

<變化例6>

於上述之實施形態及變化例中，作為光電元件而例示發光元件即OLED，但只要為例如無機發光二極體或LED(light Emitting Diode：發光二極體)等以與電流相應之亮度發光者即可。

<應用例>

其次，就應用實施形態等或應用例之光電裝置1之電子機器進行說明。光電裝置1係面向像素為小尺寸且高精細之顯示之用途。因此，作為電子機器，列舉頭戴式顯示器為例進行說明。

圖34係顯示頭戴式顯示器之外觀之圖，圖35係顯示其光學性之構成之圖。

首先，如圖34所示般，自外觀而言，頭戴式顯示器300係與一般之眼鏡同樣地，具有邊撐310、鼻樑架320、透鏡301L、301R。又，頭戴式顯示器300係如圖35所示般，於鼻樑架320附近即透鏡301L、301R之內側(圖中下側)，設置有左眼用之光電裝置1L與右眼用之光電裝置1R。

光電裝置1L之圖像顯示面係以於圖35中成為左側之方式配置。藉此，光電裝置1L之顯示圖像係經由光學透鏡302L，沿圖中9點鐘方向出射。半反射鏡303L係使光電裝置1L之顯示圖像沿6點鐘方向反

射，另一方面，使自12點鐘方向入射之光透過。

光電裝置1R之圖像顯示面係以成為與光電裝置1L相反之右側之方式配置。藉此，光電裝置1R之顯示圖像係經由光學透鏡302R，沿圖中3點鐘方向出射。半反射鏡303R係使光電裝置1R之顯示圖像沿6點鐘方向反射，另一方面，使自12點鐘方向入射之光透過。

於該構成中，頭戴式顯示器300之佩戴者可於使光電裝置1L、1R之顯示圖像與外部情形重合之透視狀態下進行觀察。

又，於該頭戴式顯示器300中，若使伴隨視差之雙眼圖像中之左眼用圖像顯示於光電裝置1L，使右眼用圖像顯示於光電裝置1R，則對於佩戴者，可感知到所顯示之圖像猶如具有縱深或立體感(3D顯示)。

另，關於光電裝置1，除頭戴式顯示器300以外，亦可應用於攝像機或透鏡更換式之數位相機等之電子式取景器。

【符號說明】

1	光電裝置
1L	光電裝置
1R	光電裝置
2	顯示面板
3	控制電路
5	資料傳送線驅動電路
6	掃描線驅動電路
10	基板
10A	主動區域
12	掃描線
14-1	第1資料傳送線
14-2	第2資料傳送線

16	供電線
17	供電線
31	電壓產生電路
34	傳輸閘極
41	保持電容
42	傳輸閘極
45	傳輸閘極
50	反射層
51	像素定義膜
51A	開口部
61	供給線
63	供電線
70	資料信號供給電路
82	殼體
84	FPC基板
86	端子
100	顯示部
110	像素電路
116	供電線
118	共通電極
121	電晶體
122	電晶體
123	電晶體
124	電晶體
125	電晶體
126	電晶體

130	OLED
130a	陽極
132	像素電容
133	傳送電容
133-1	第1電極
133-2	第2電極
134	屏蔽電容
134-1	第1電極
134-2	第2電極
143	控制線
144	控制線
145	控制線
146	控制線
300	顯示器
301L	透鏡
301R	透鏡
302L	光學透鏡
302R	光學透鏡
303L	半反射鏡
303R	半反射鏡
310	邊撐
320	鼻樑架
B	區塊
B(m)	區塊
B(n)	區塊
C1	電容值

C2	電容值
Cpix	電容值
Cr _f	電容值
C _{tr}	控制信號
DM(1)~DM(N)	解多工器
DT	資料傳送電路
G _{cmp} (m)	控制信號
G _{cpl}	控制信號
G _{el} (m)	控制信號
G _{fix} (k)	控制信號
G _{fix} (m)	控制信號
G _{ini}	控制信號
G _{orst} (m)	控制信號
GT	閘極層
G _{Tcmp}	閘極層
G _{Tdr}	閘極層
G _{Tel}	閘極層
G _{Tfix}	閘極層
G _{Torst}	閘極層
G _{Twr}	閘極層
G _{wr} (1)~G _{wr} (M)	掃描信號
g	閘極
HA1~HA23	導通孔
HB1~HB6	導通孔
HB13~HB17	導通孔
HC1~HC16	導通孔

HD1 ~ HD6	導通孔
HE1 ~ HE6	導通孔
HF1 ~ HF6	導通孔
HG1 ~ HG2	導通孔
HH1 ~ HH2	導通孔
h	節點
Ids	驅動電流
L0	絕緣膜
L(LA ~ LH)	絕緣層
P	像素行
QA1 ~ QA22	中繼電極
QB1 ~ QB8	中繼電極
QC1 ~ QC6	中繼電極
QD1 ~ QD2	中繼電極
Sel	控制信號
t0 ~ t15	時刻
Vct	電源電位
Vd(1) ~ Vd(N)	資料信號
Vdata	圖像資料
Vel	電源電位
Vid	圖像信號
Vini	初始電位
Vorst	重設電位
Vref	電壓
Vss	電位
X	方向

Y	方向
/Gcpl	控制信號
/Gini	控制信號
/Sel	控制信號

※ 申請案號： **105134835**

※ 申請日： **105/10/27**

※IPC 分類： **G09G 3/3225** (2016.01)

【發明名稱】

光電裝置、電子機器及光電裝置之驅動方法

ELECTRO-OPTICAL DEVICE, ELECTRONIC APPARATUS, AND
METHOD OF DRIVING ELECTRO-OPTICAL DEVICE

【中文】

本發明之目的在於防止因伴隨資料信號之變動而產生之雜訊所造成之顯示品質之降低。

連接於驅動電晶體121之閘極層GTdr之第2資料傳送線14-2係較閘極層GTdr形成於更上層，傳送電容133係較第2資料傳送線14-2形成於更上層。被供給資料信號之第1資料傳送線14-1係較傳送電容133形成於更上層。

【英文】

A second data transfer line that is coupled to a gate layer of a drive transistor is formed in a layer higher than the gate layer, and a transfer capacitor is formed in a layer higher than a layer having the second data transfer line. A first data transfer line to which a data signal is supplied is formed in a layer higher than a layer having the transfer capacitor.

【代表圖】

【本案指定代表圖】：第（15）圖。

【本代表圖之符號簡單說明】：

10A	主動區域
12	掃描線
14-2	第2資料傳送線
116	供電線
121	電晶體
122	電晶體
123	電晶體
124	電晶體
125	電晶體
126	電晶體
133-1	第1電極
133-2	第2電極
143	控制線
144	控制線
145	控制線
146	控制線
GTcmp	閘極層
GTdr	閘極層
GTel	閘極層
GTfix	閘極層
GTorst	閘極層
GTwr	閘極層
HA1～HA12	導通孔

HB1～HB6	導通孔
HC1～HC10	導通孔
HD1～HD4	導通孔
HE1～HE3	導通孔
HF1～HF3	導通孔
QA1～QA12	中繼電極
QB1～QB4	中繼電極
QC1～QC3	中繼電極
X	方向
Y	方向

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

申請專利範圍

1. 一種光電裝置，其特徵在於包含：

第1導電層；

第2導電層；

第3導電層；

第1電容，其具有連接於上述第2導電層之第4導電層、及上述第3導電層與上述第4導電層之間之介電體膜；及

像素電路，其係與上述第3導電層及上述第1導電層對應而設；且

上述第2導電層係較形成有上述第3導電層之層形成於更上層。

2. 如請求項1之光電裝置，其中

上述第3導電層係較形成有電晶體之源極電極之層形成於更上層。

3. 如請求項1或2之光電裝置，其中

於上述第2導電層，分別經由上述第1電容而連接有二個以上之上述第3導電層，若將經由上述第3導電層而連接於相同之上述第2導電層之上述像素電路之集合設為像素行，將較上述像素行所包含之上述像素電路之個數少之個數之上述像素電路設為一個區塊，則上述第3導電層係相對於各區塊而設。

4. 如請求項1至3中任一項之光電裝置，其中

上述第1電容之上述第4導電層係形成於與上述第2導電層不同之層，上述第1電容之上述第3導電層係形成於與上述第4導電層不同之層。

5. 如請求項1至4中任一項之光電裝置，其中

上述像素電路具有：

複數個電晶體，其等包含驅動電晶體；及
發光元件。

6. 如請求項5之光電裝置，其中

連接於上述複數個電晶體中之上述驅動電晶體之電流端之電源線係較上述第3導電層形成於更下層。

7. 如請求項6之光電裝置，其中

上述驅動電晶體之閘極電極係由上述電源線覆蓋。

8. 如請求項1至7中任一項之光電裝置，其中

上述第1電容係設置於上述第3導電層各者。

9. 一種電子機器，其特徵在於包含：

如請求項1至8中任一項之光電裝置。

圖式

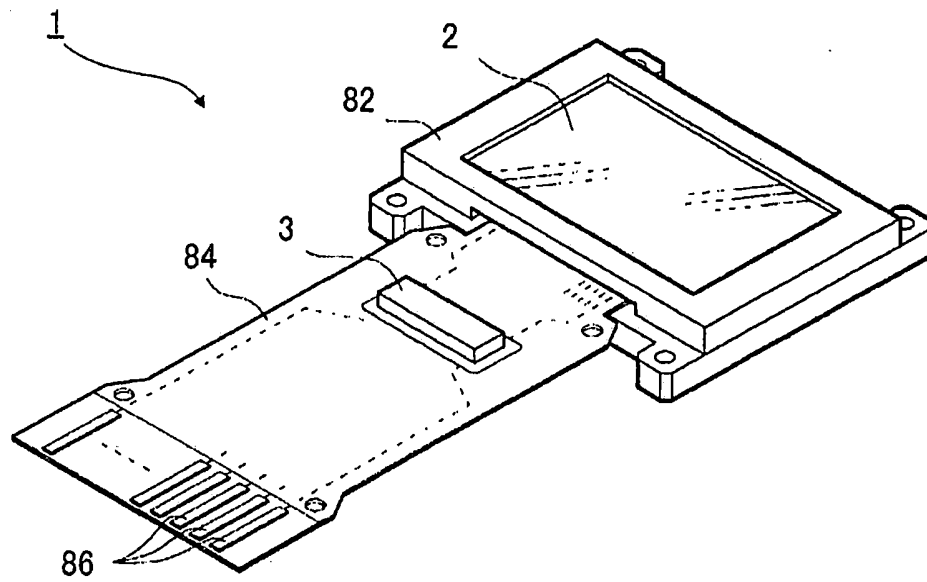


圖 1

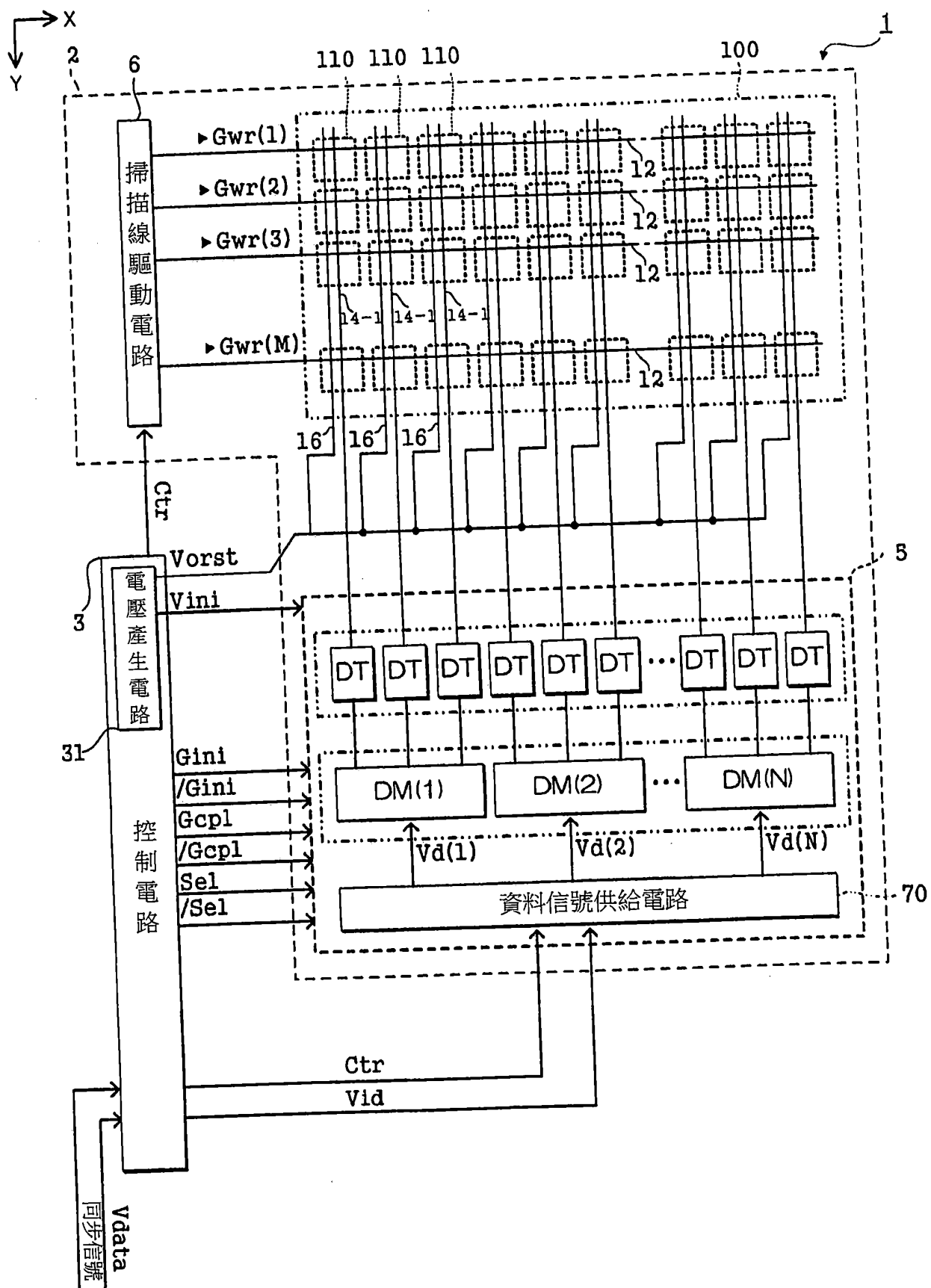


圖 2

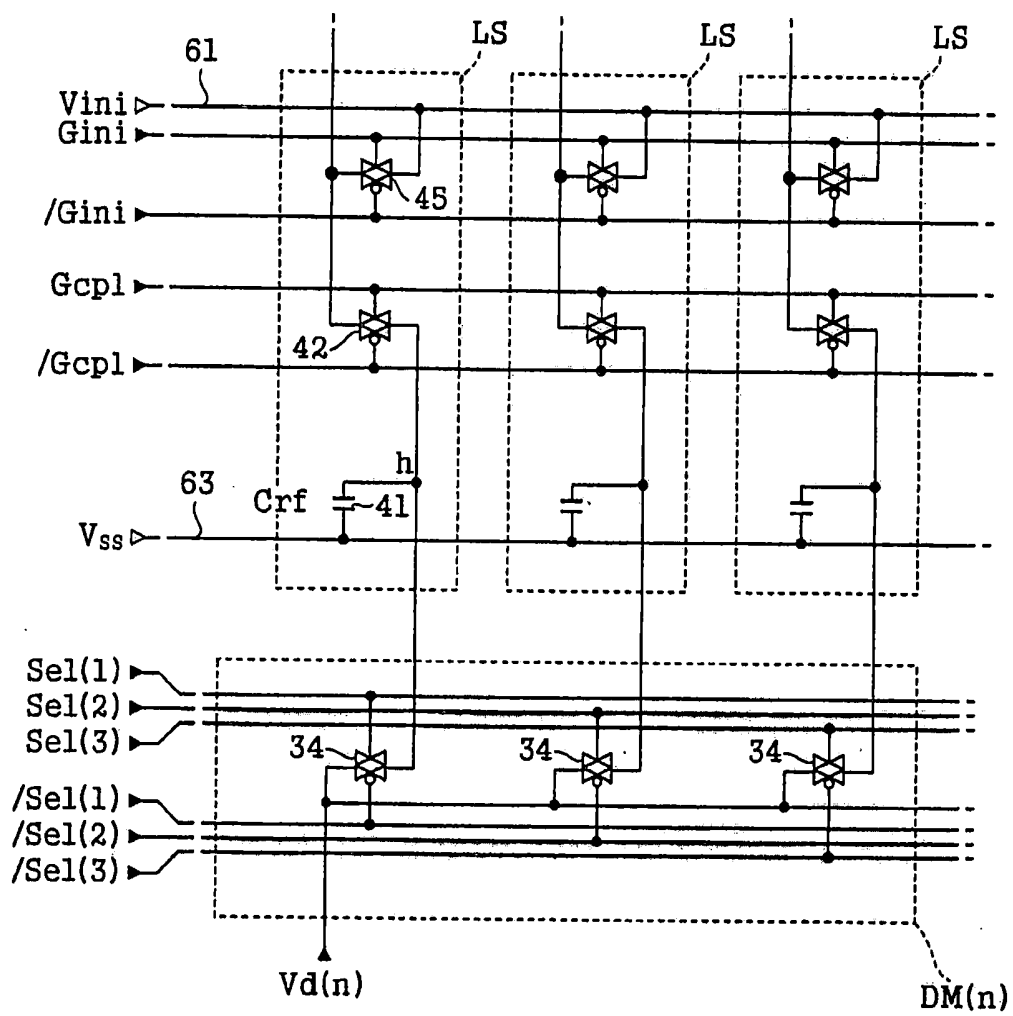


圖 3

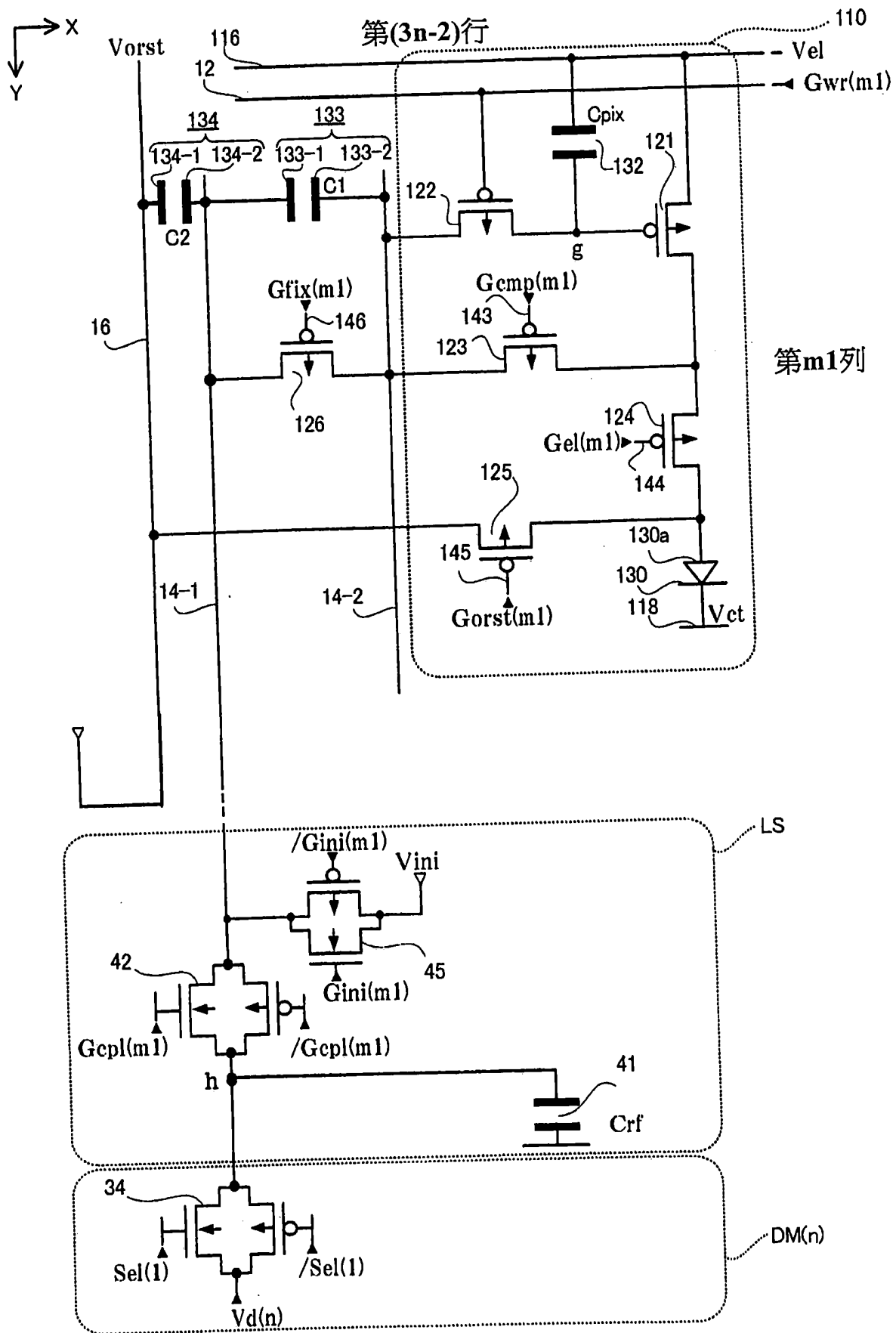


圖 4

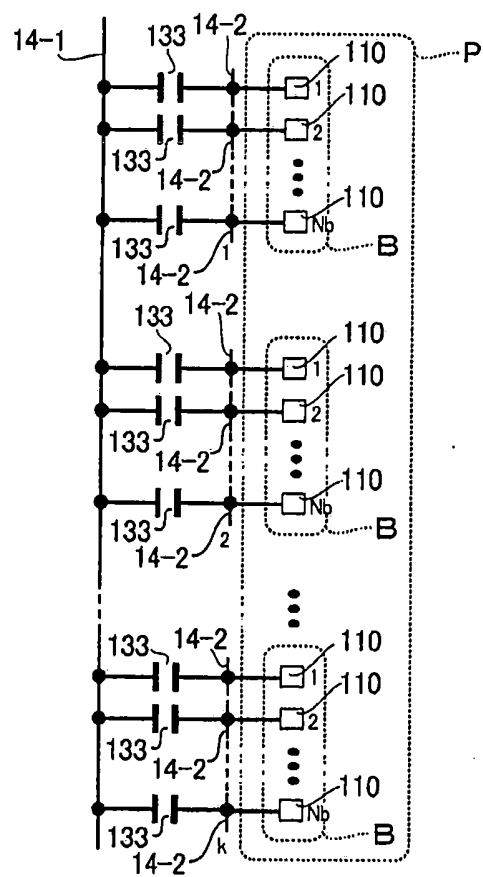


圖 5

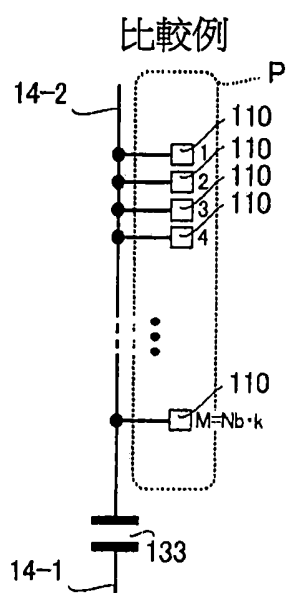


圖 6

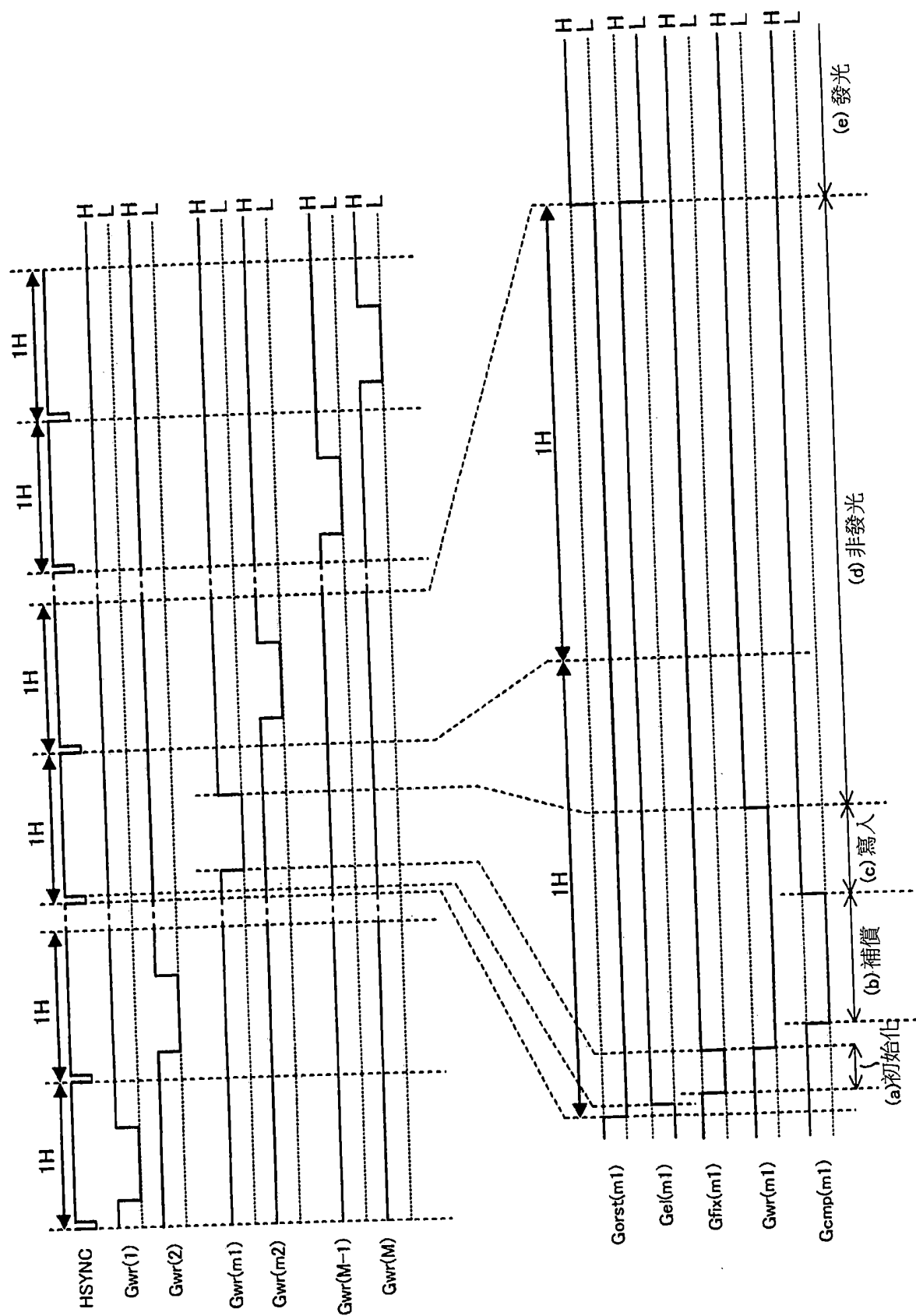


圖 7

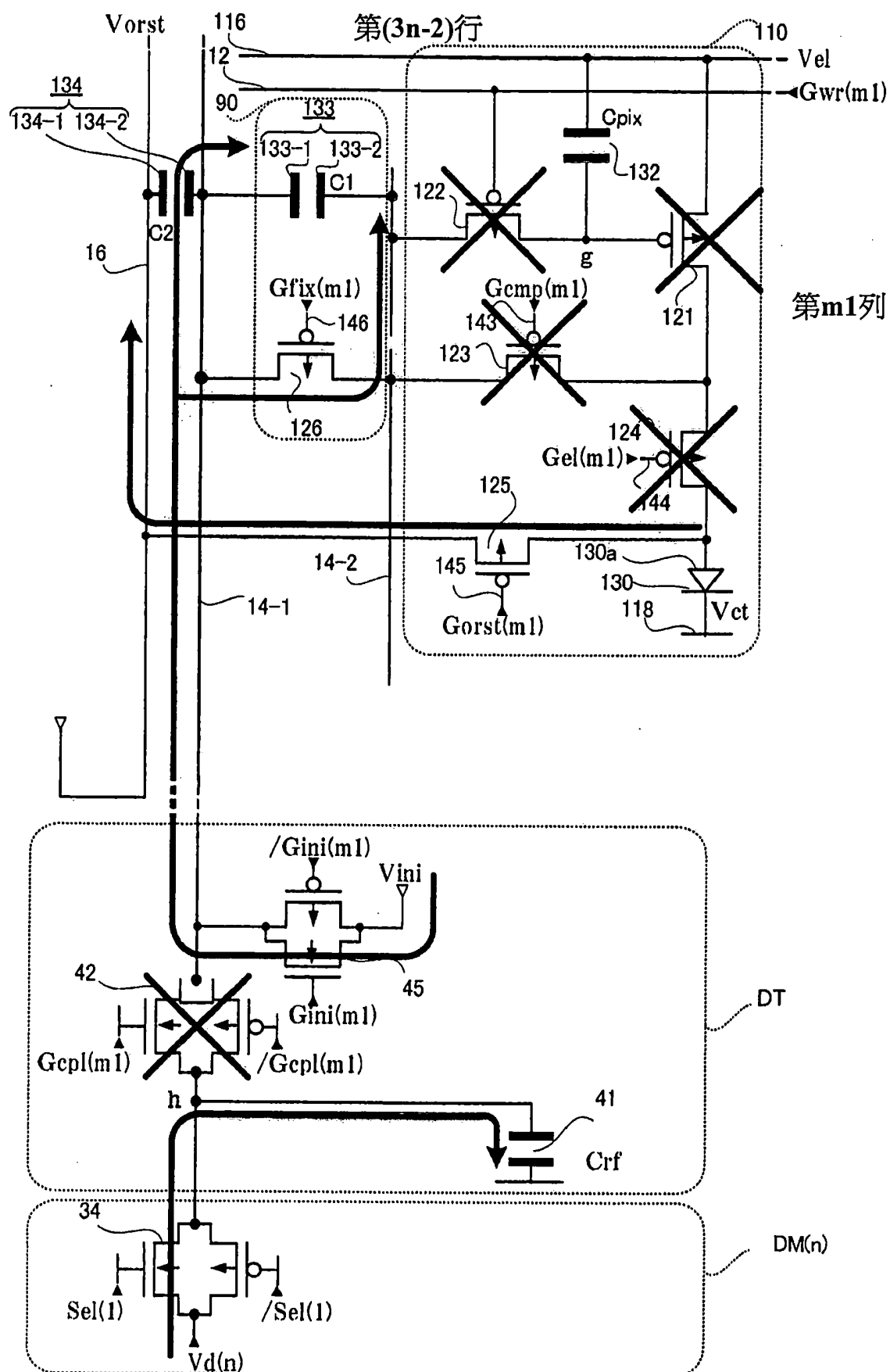


圖 8

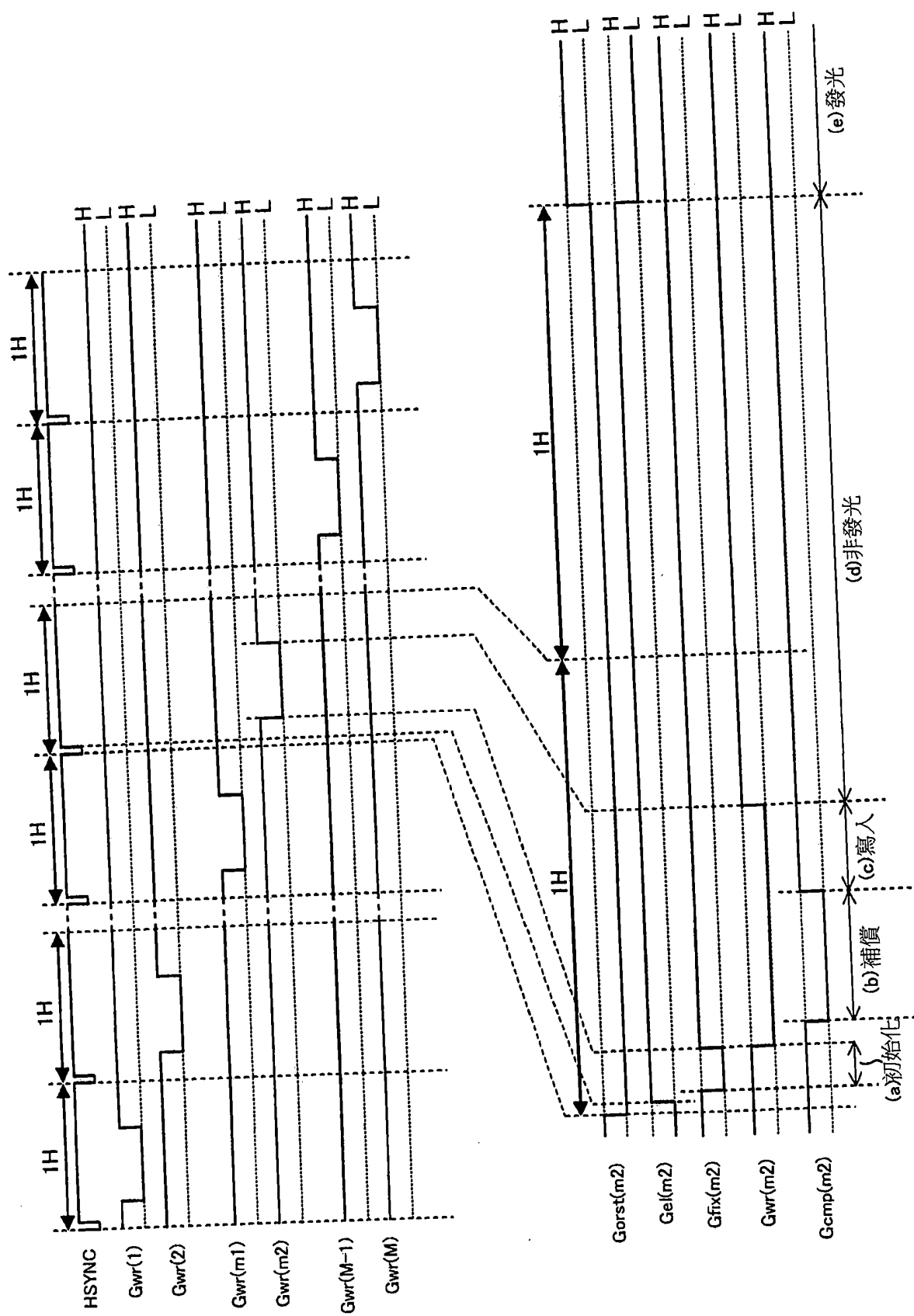


圖 9

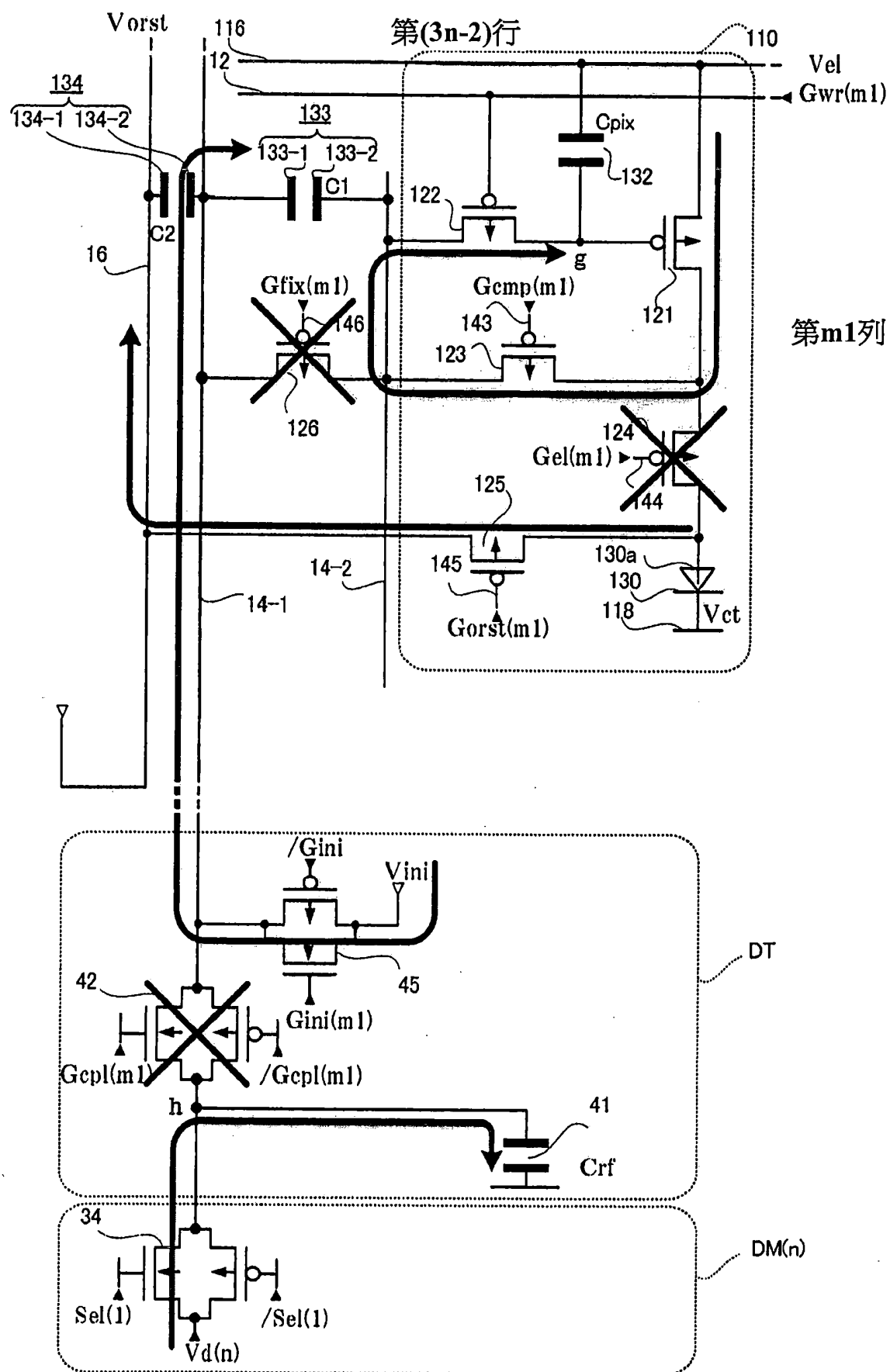


圖 10

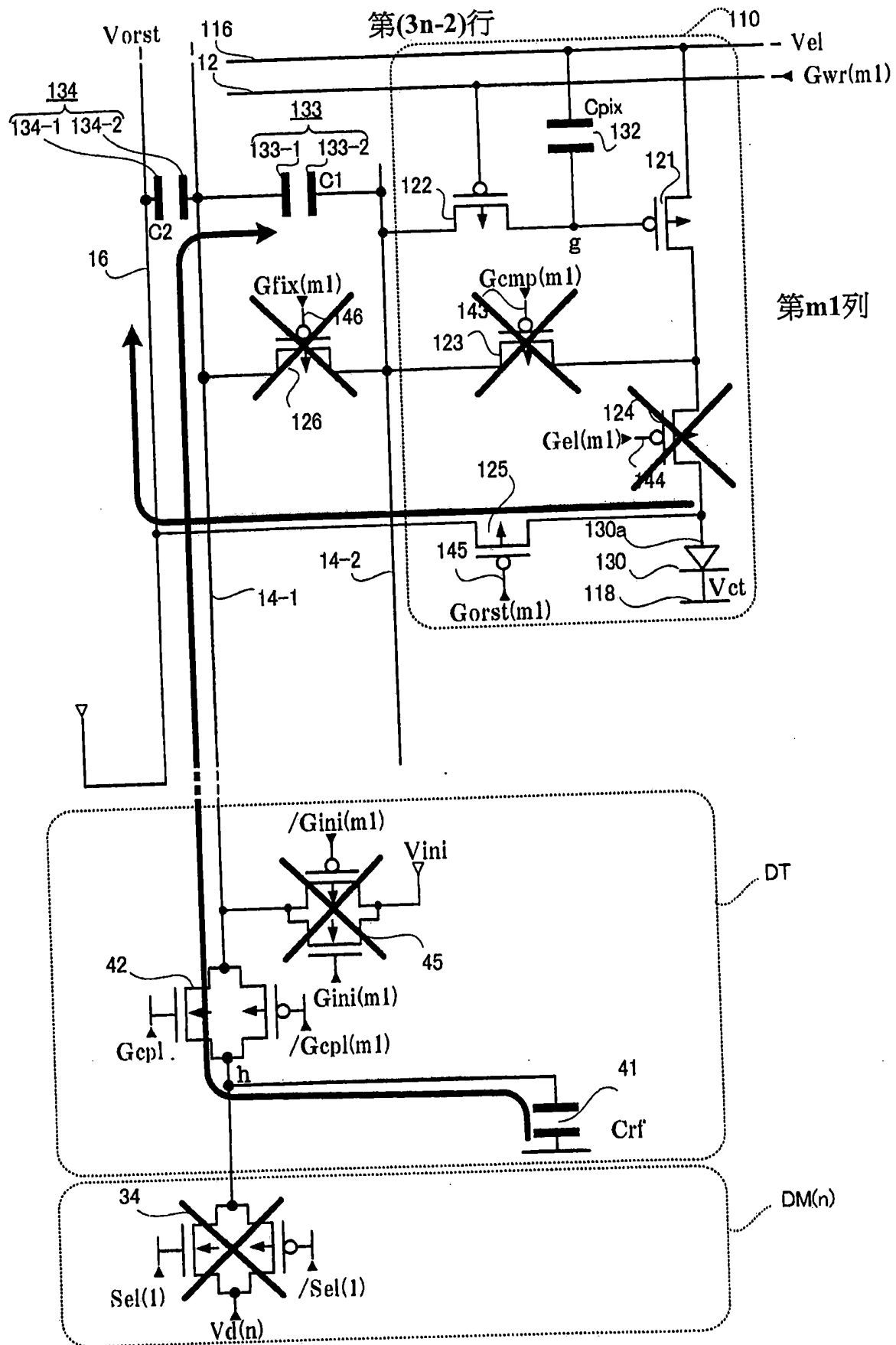
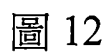


圖 11



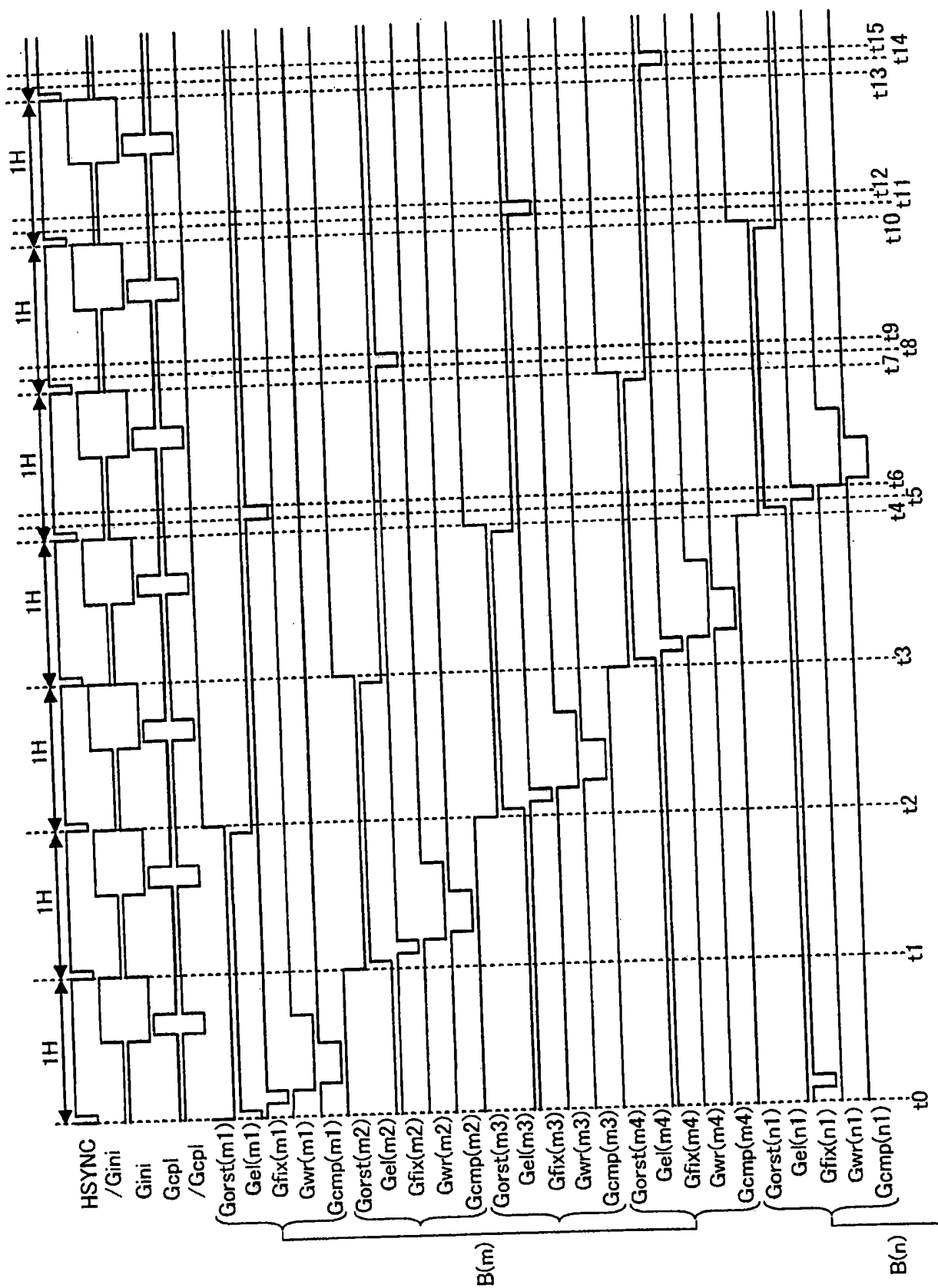


圖 13

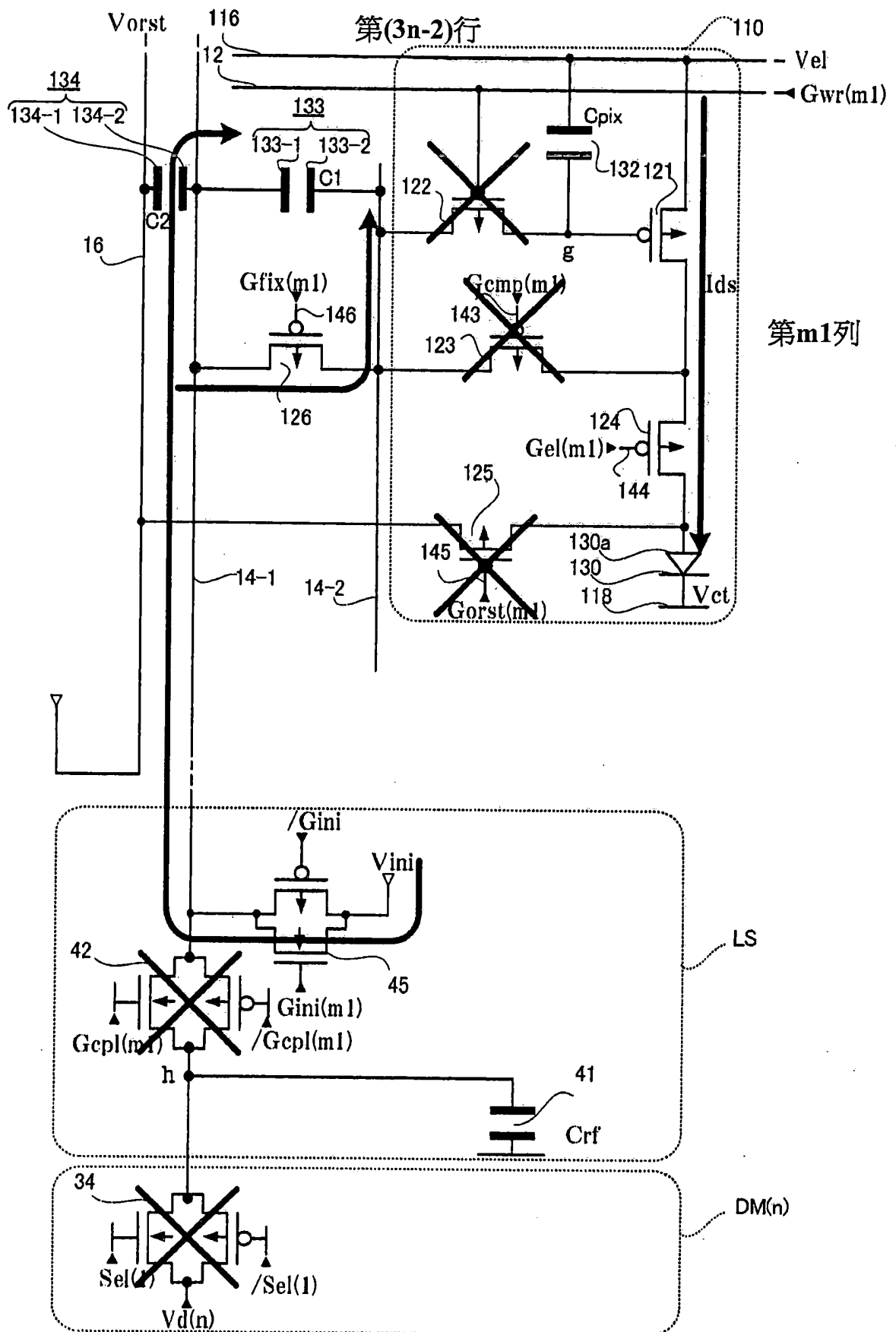


圖 14

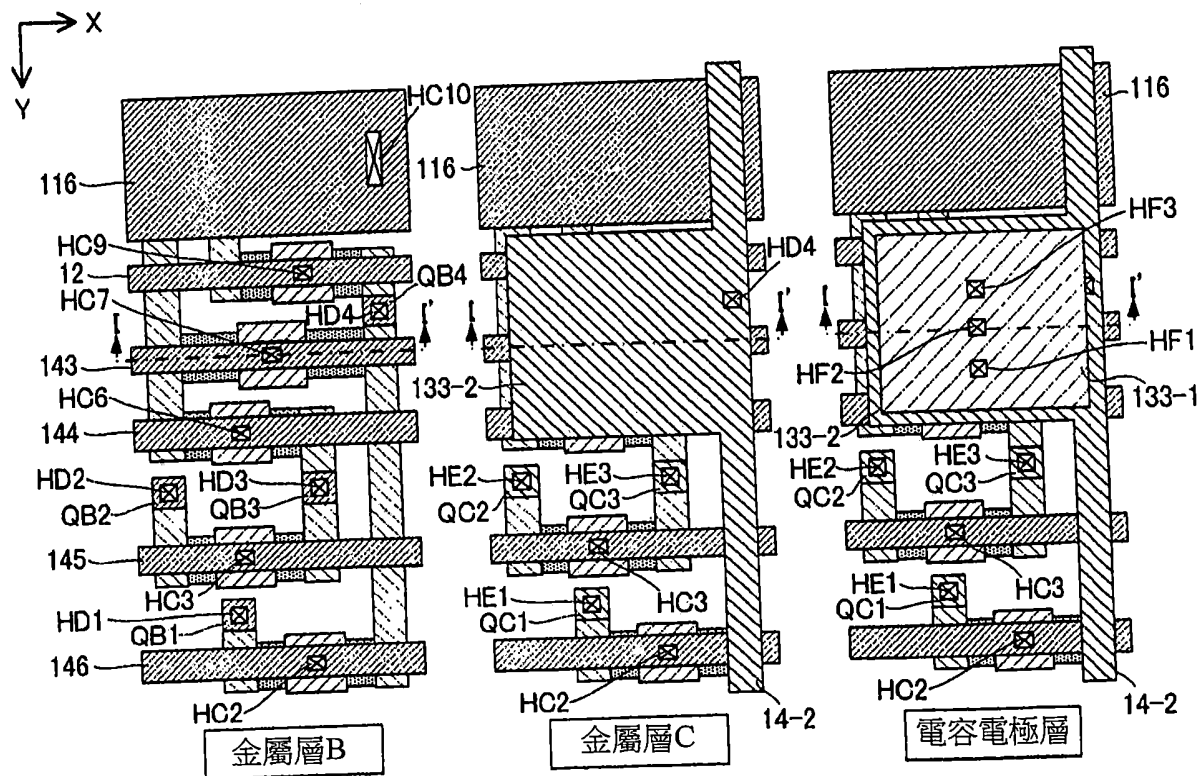
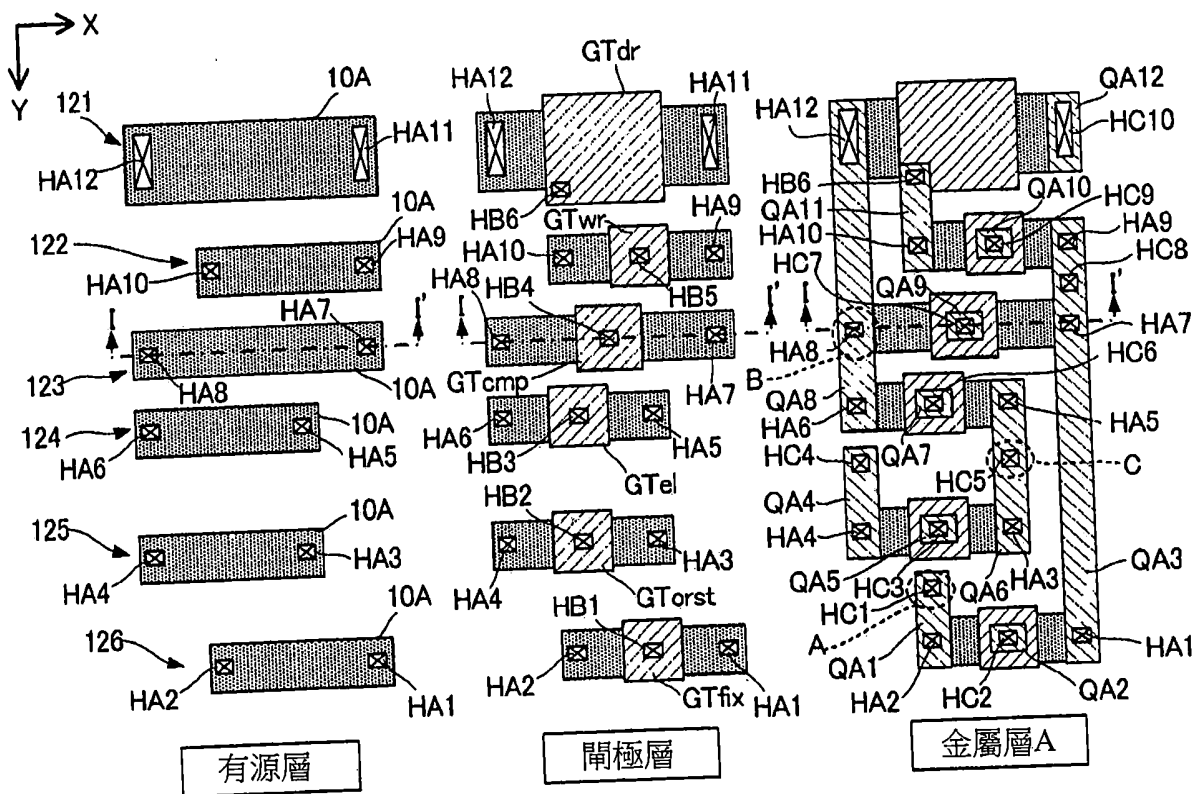


圖 15

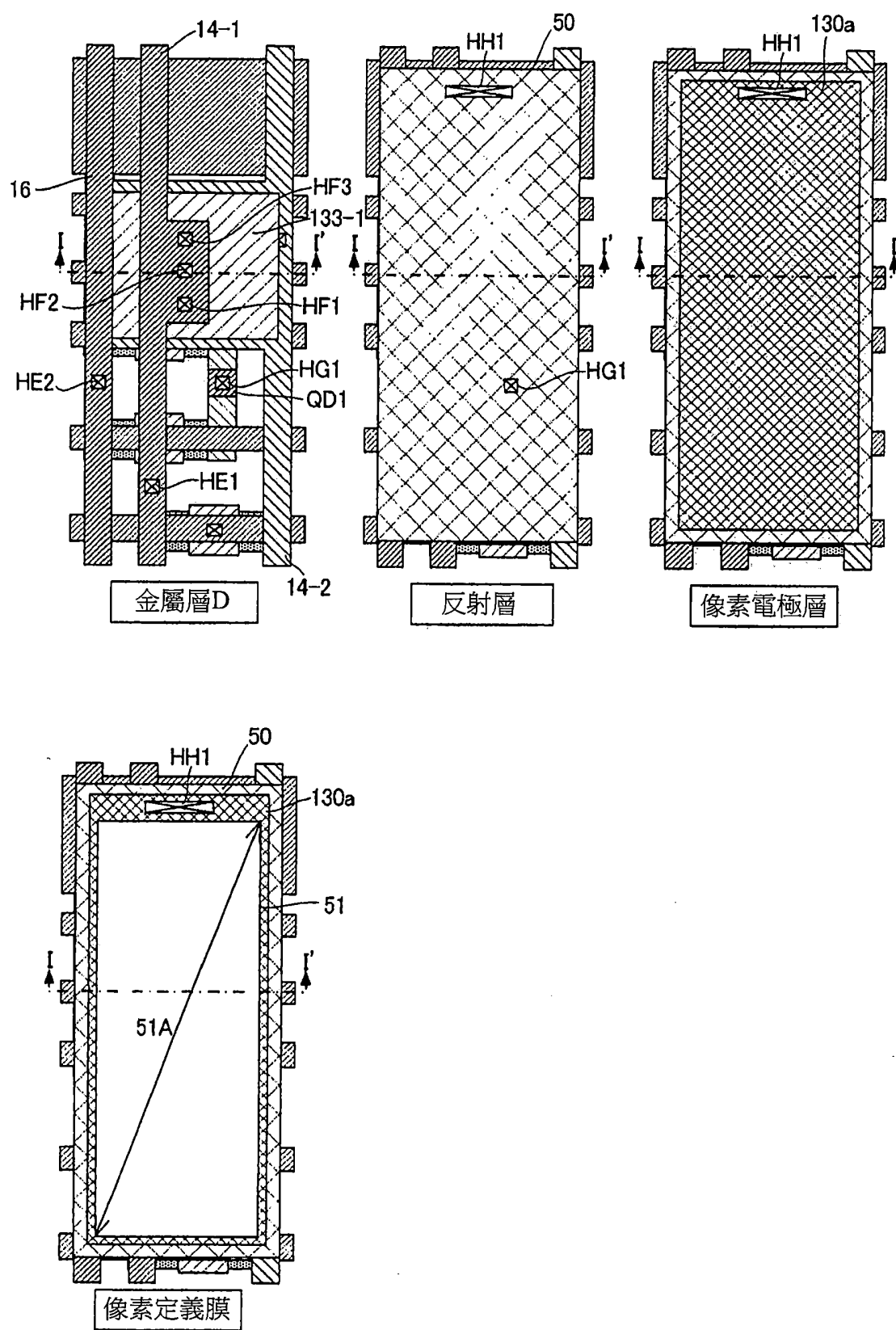


圖 16

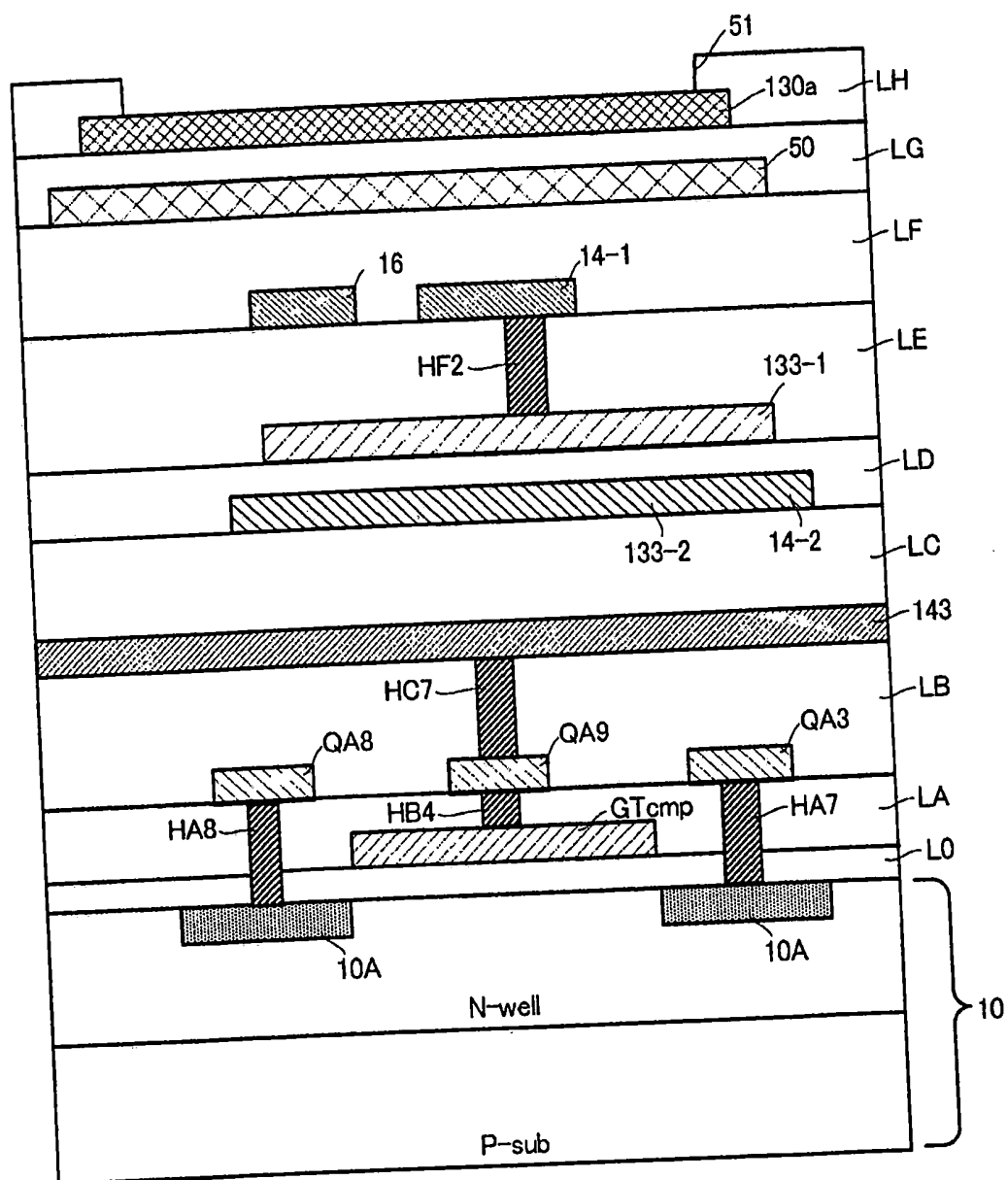
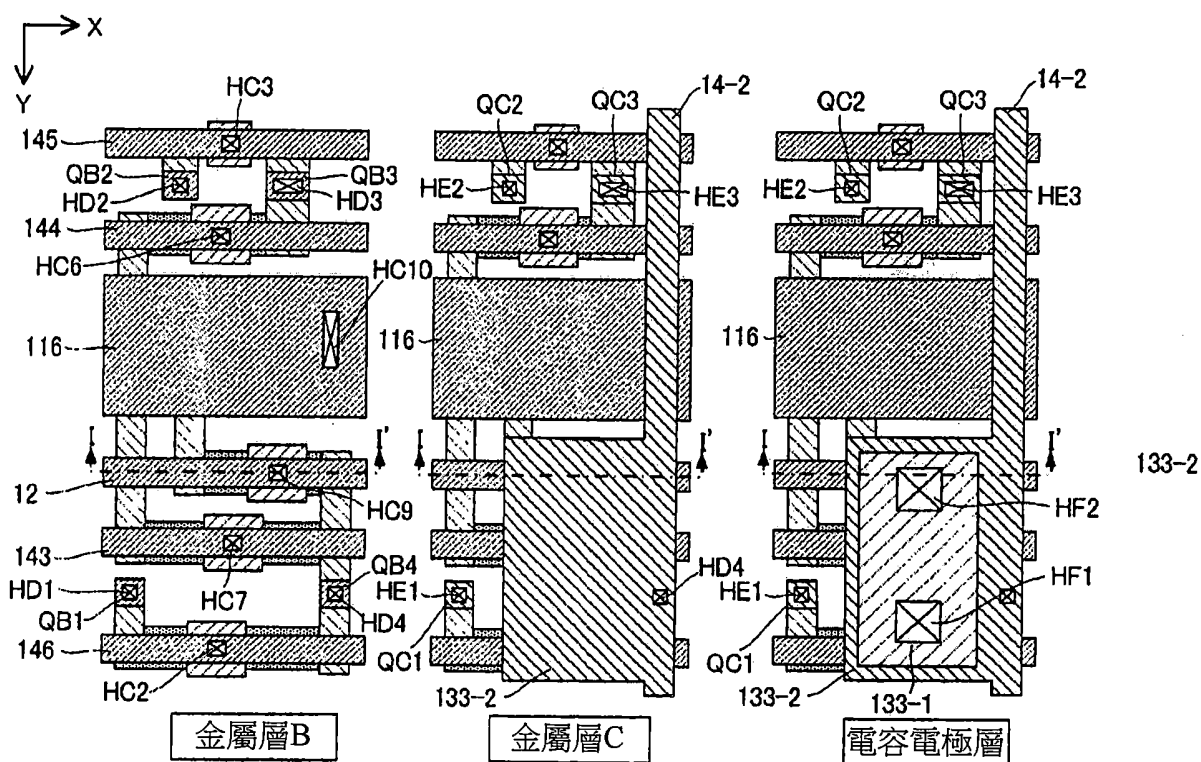


圖 17



- 17 -

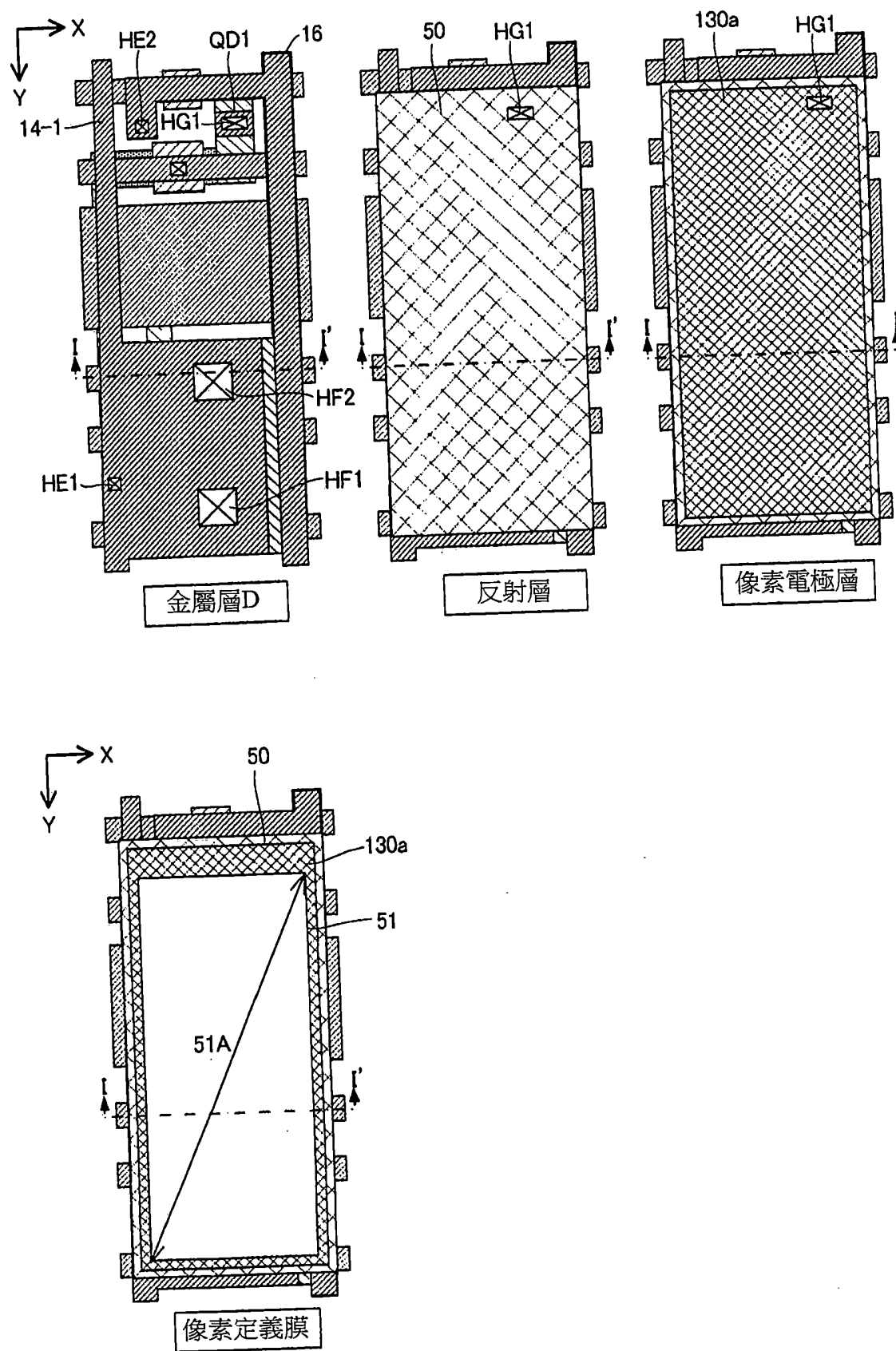


圖 19

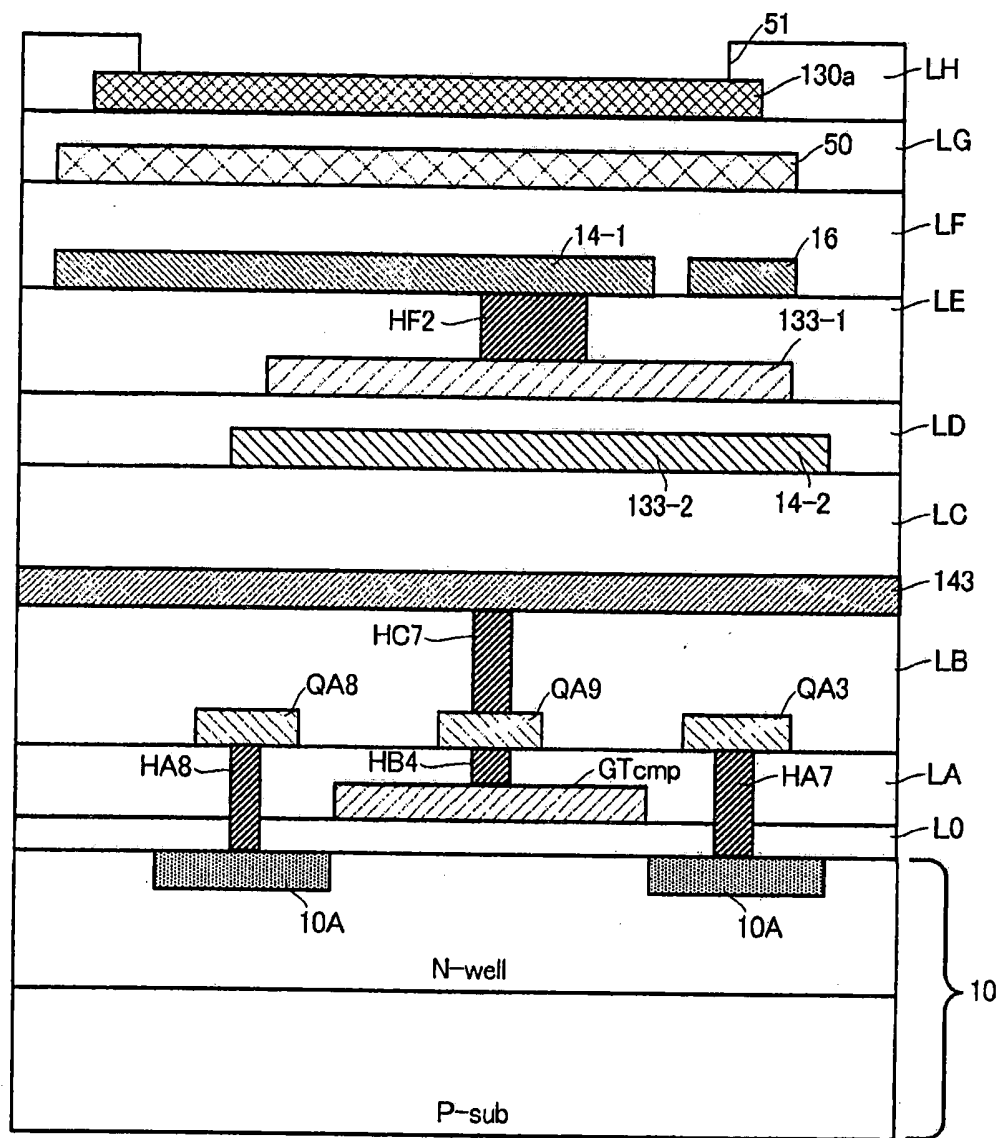


圖 20

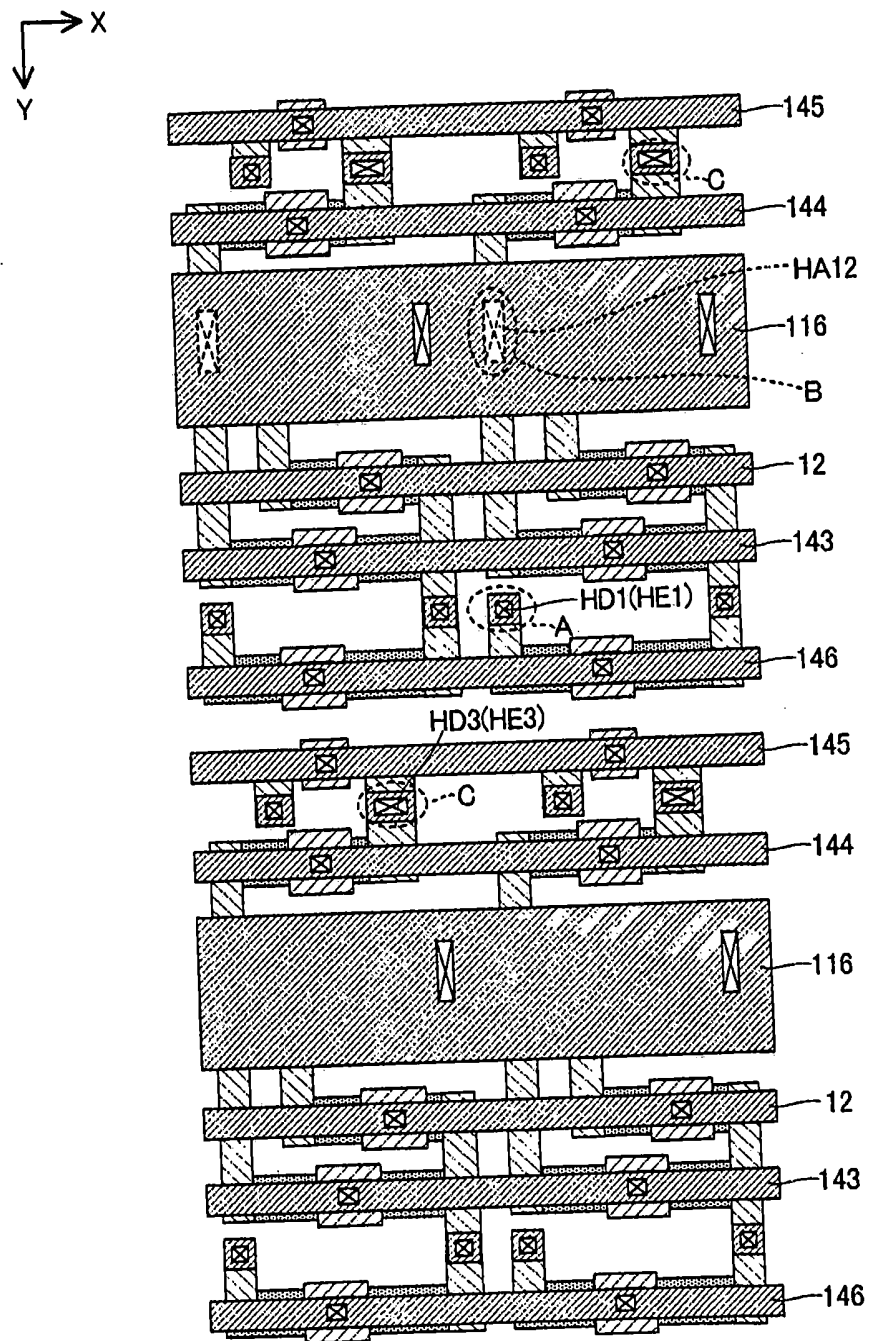


圖 21

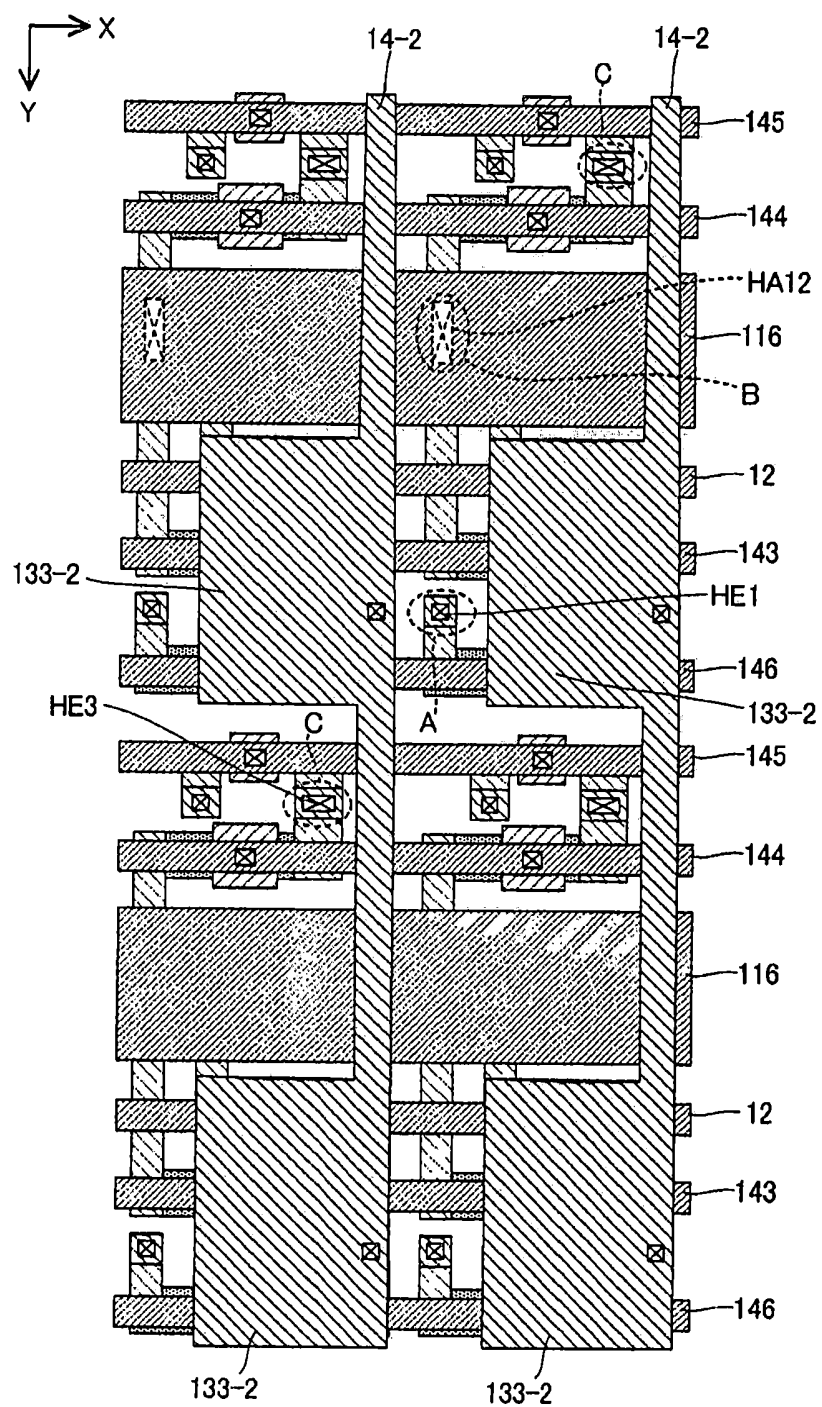


圖 22

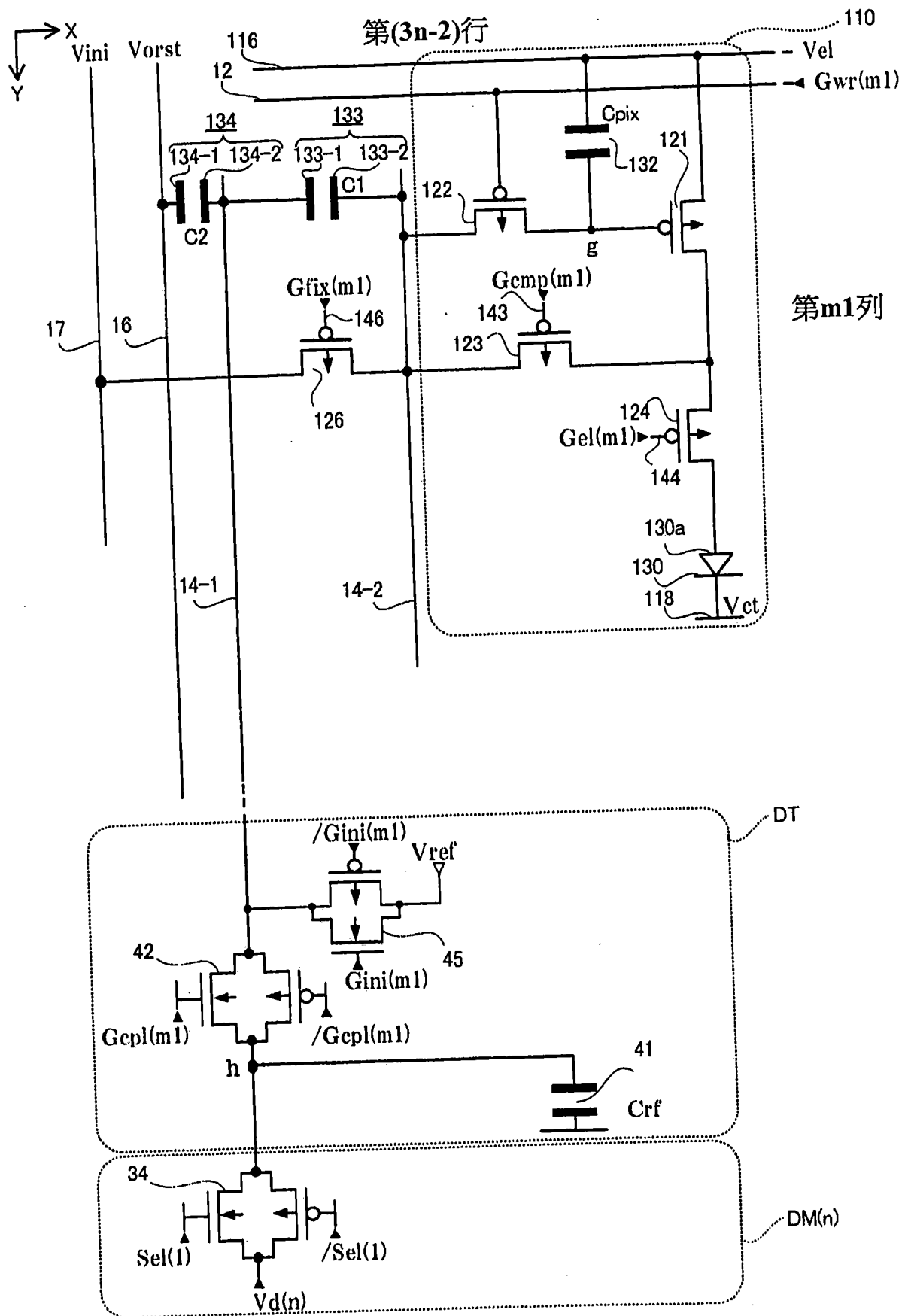
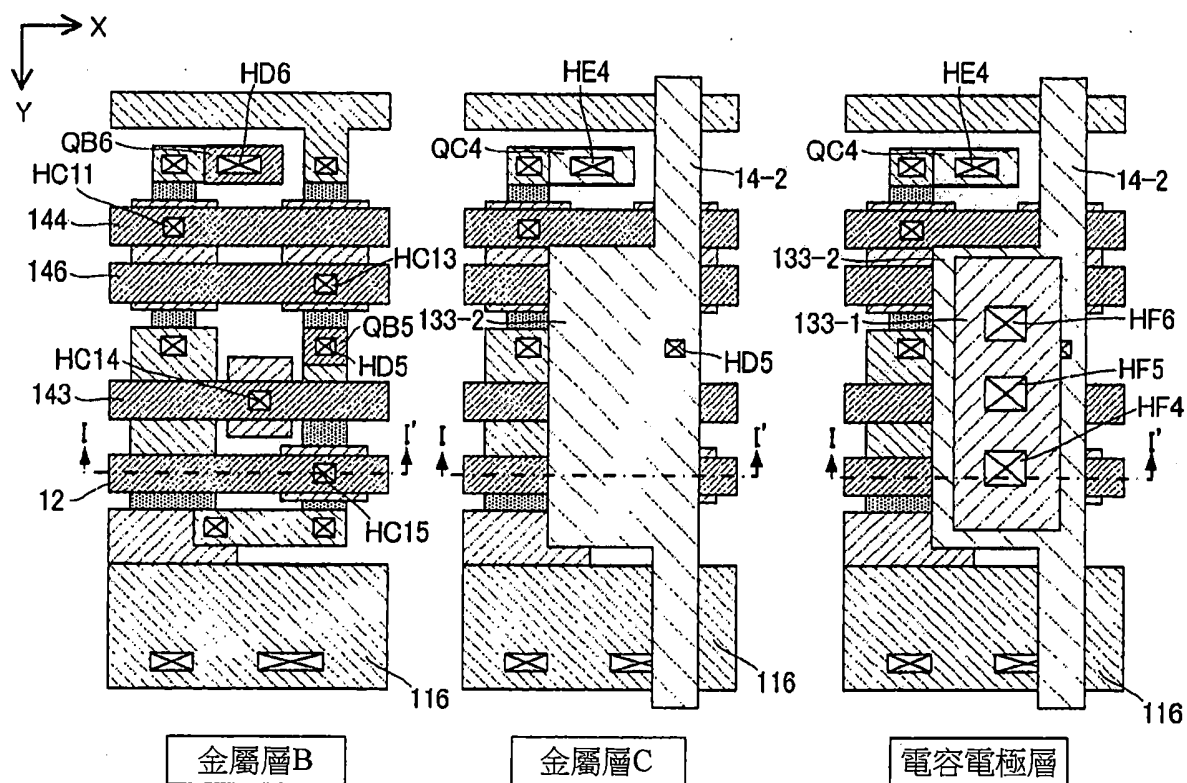


圖 23



- 23 -

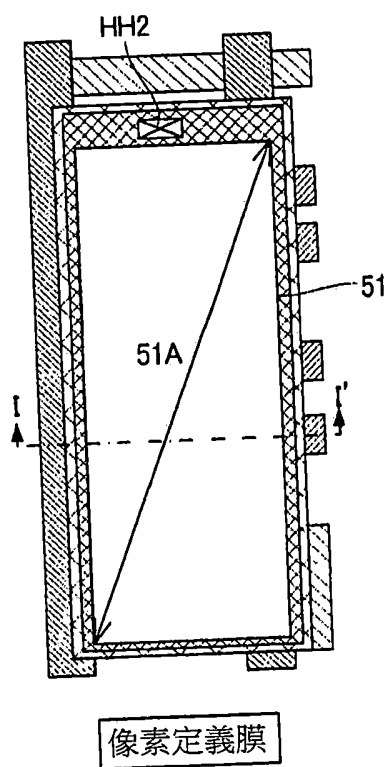
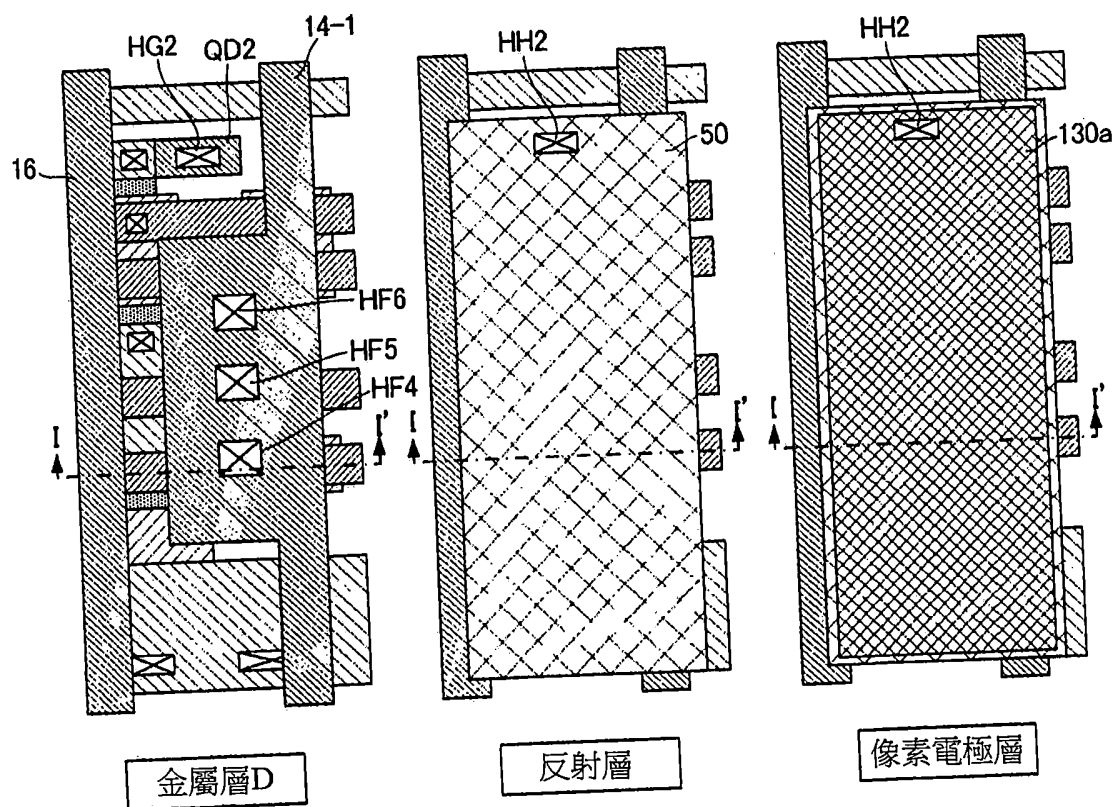


圖 25

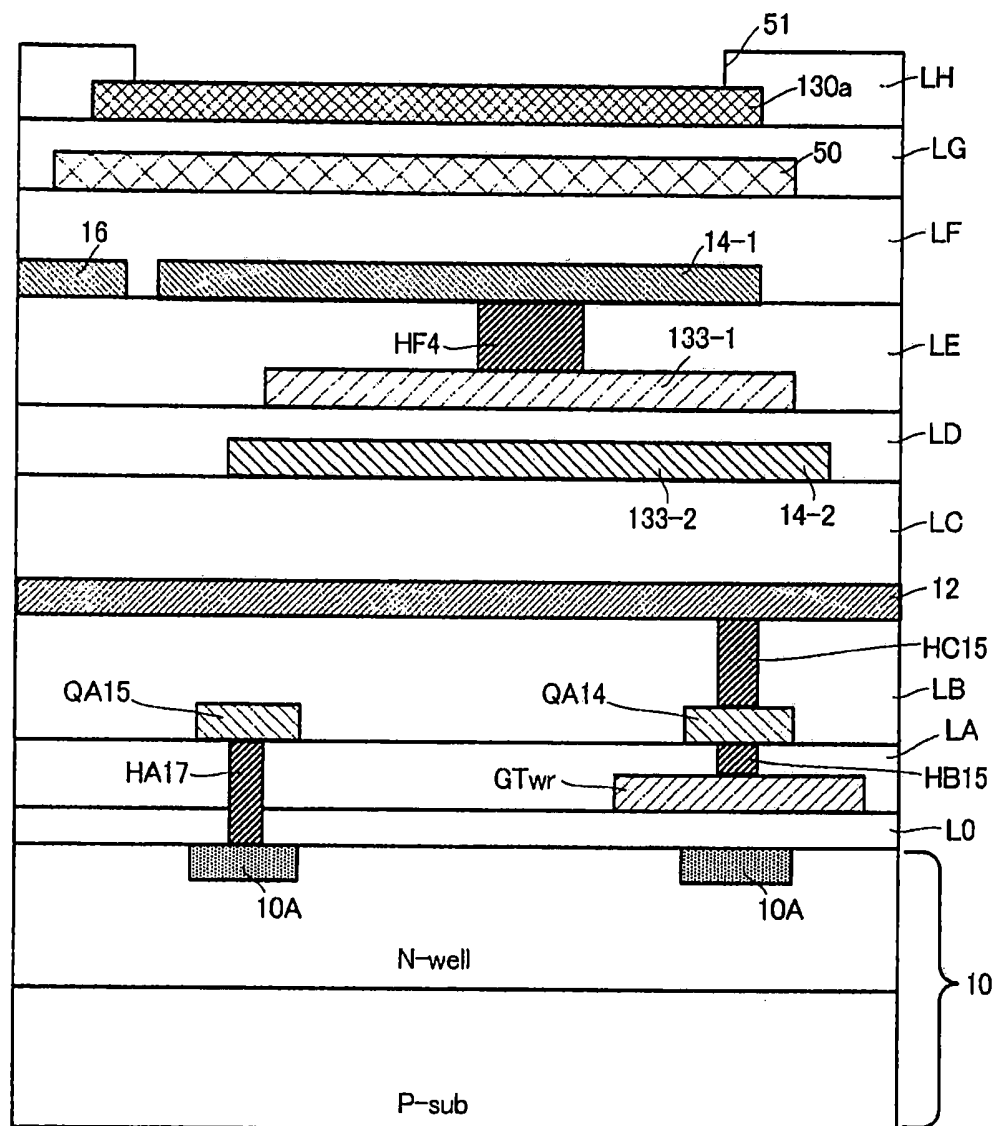


圖 26

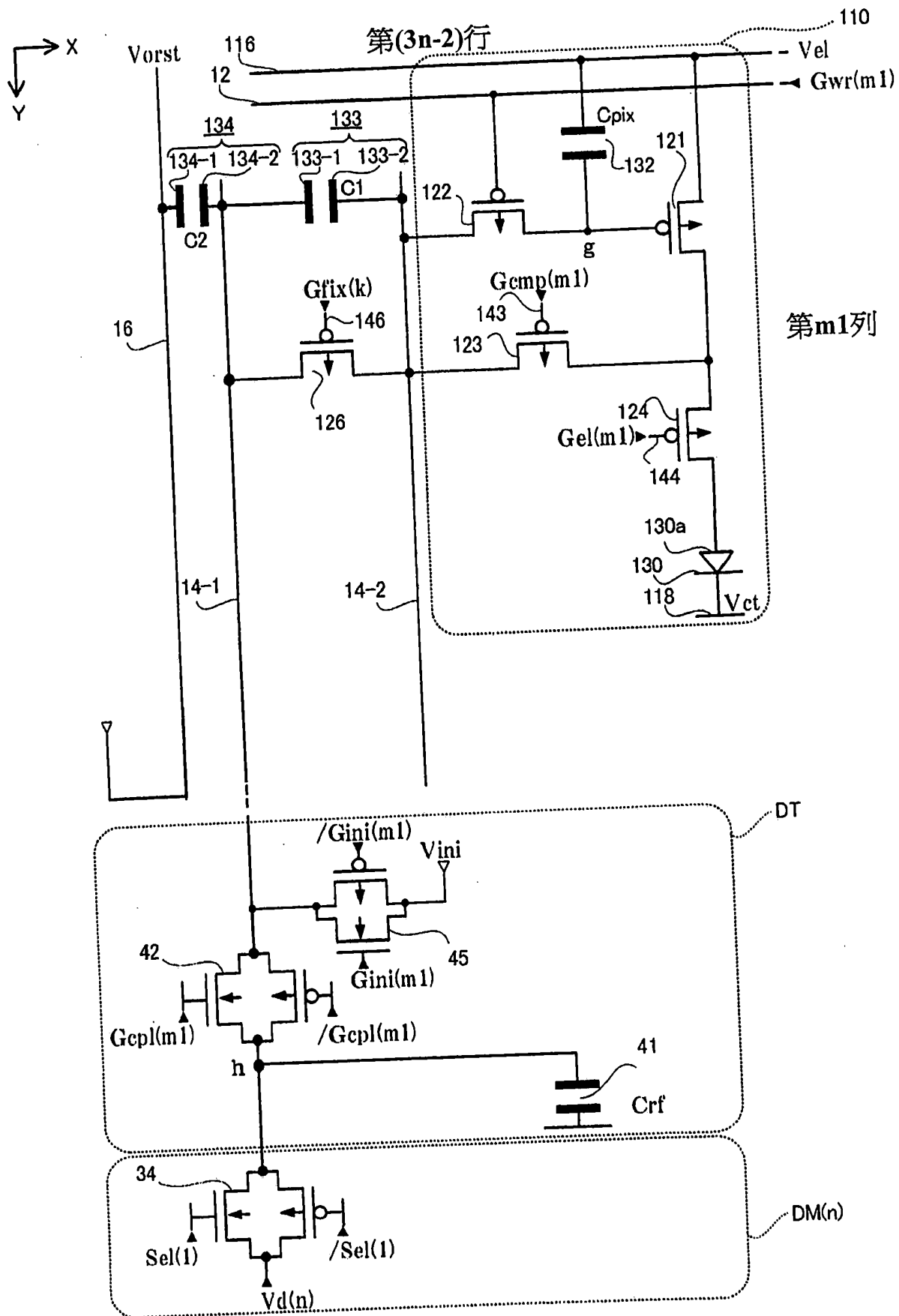
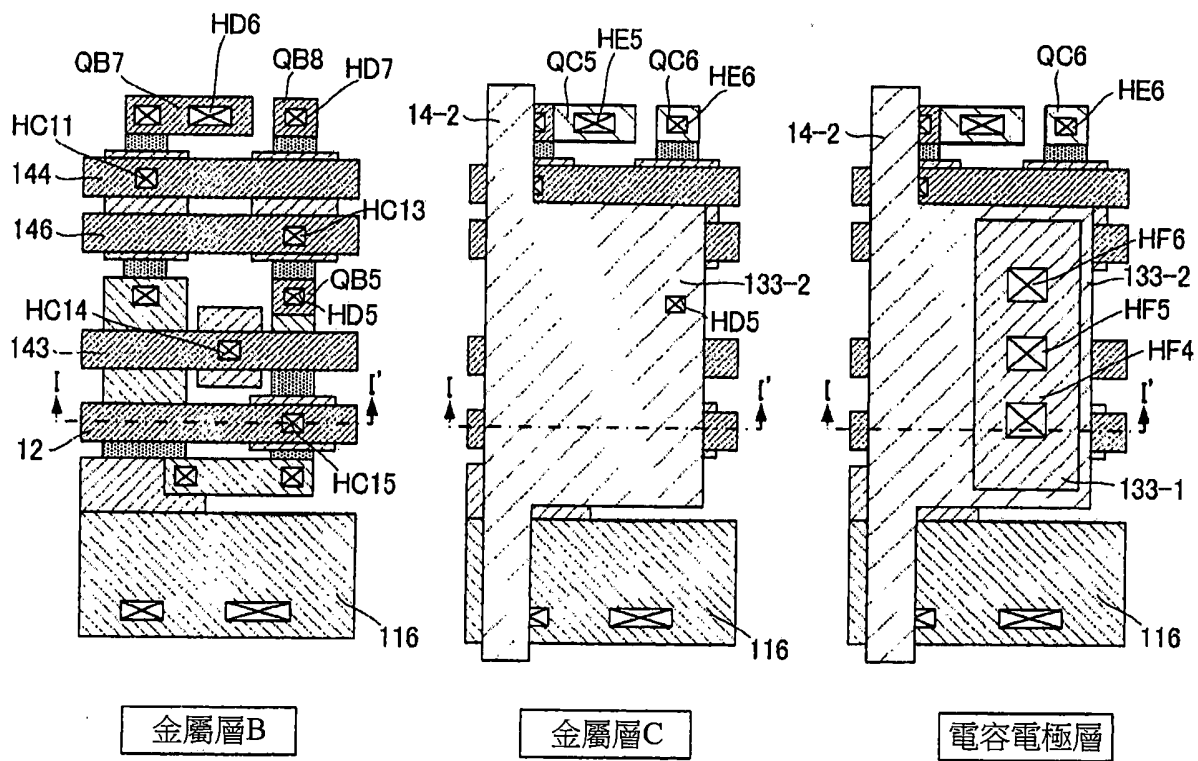


圖 27



- 27 -

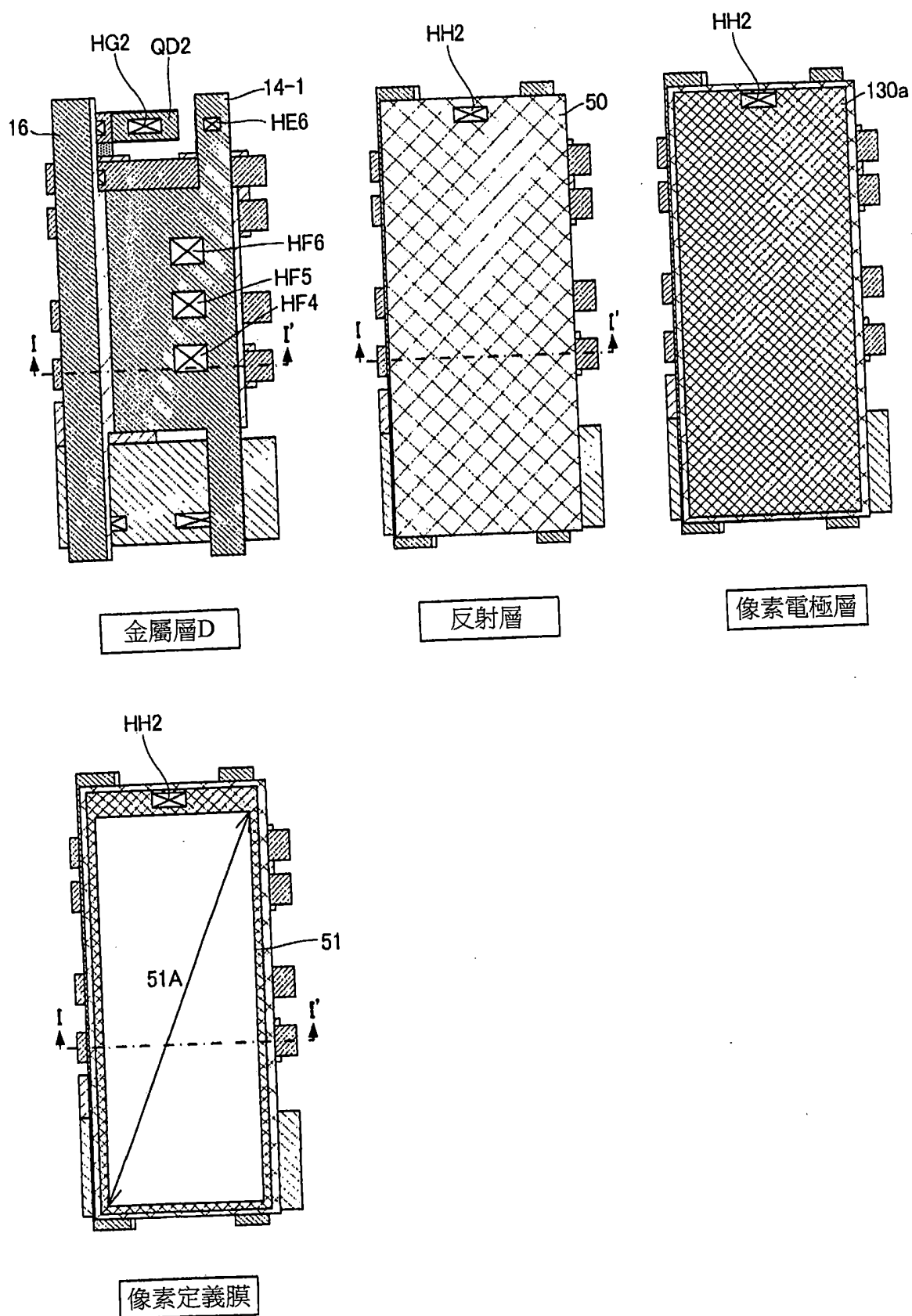


圖 29

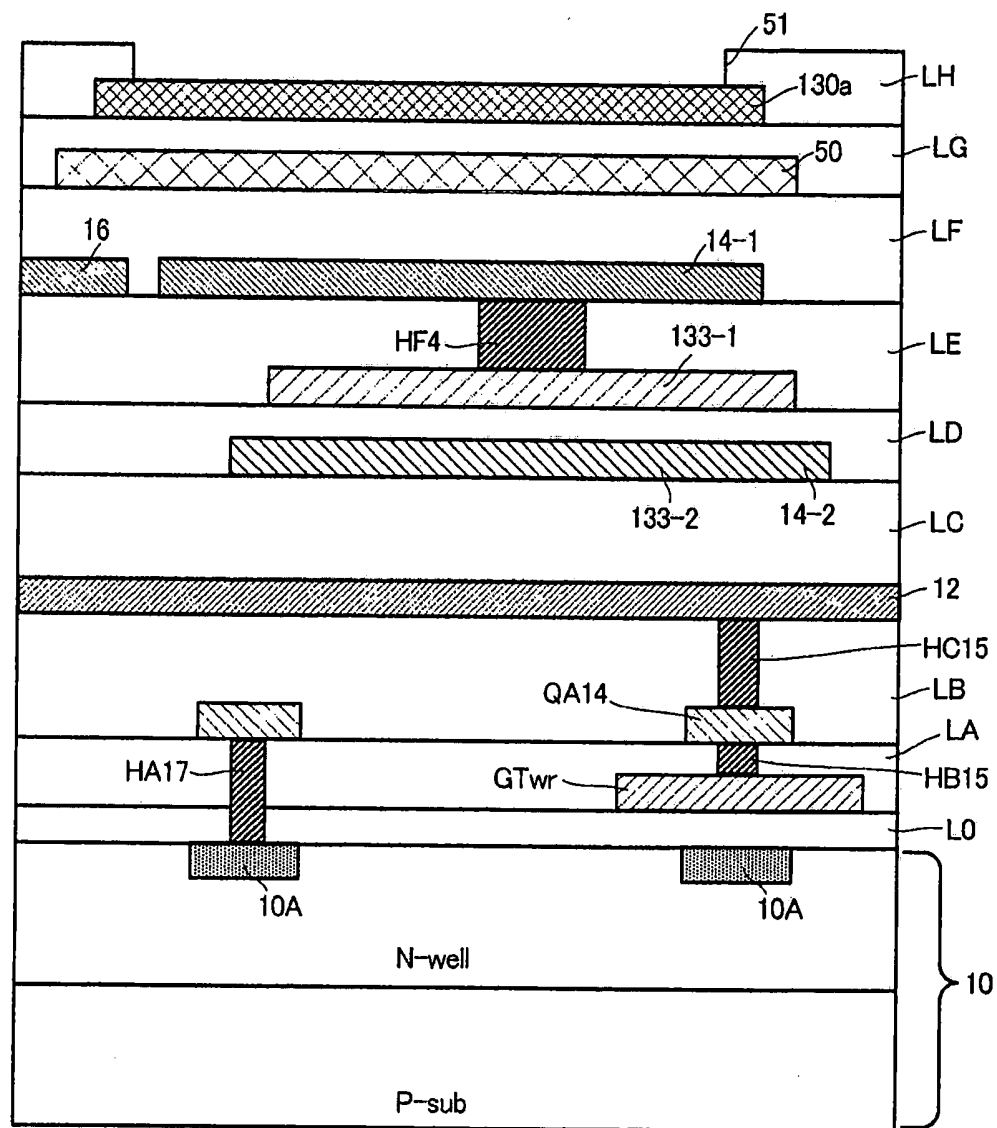


圖 30

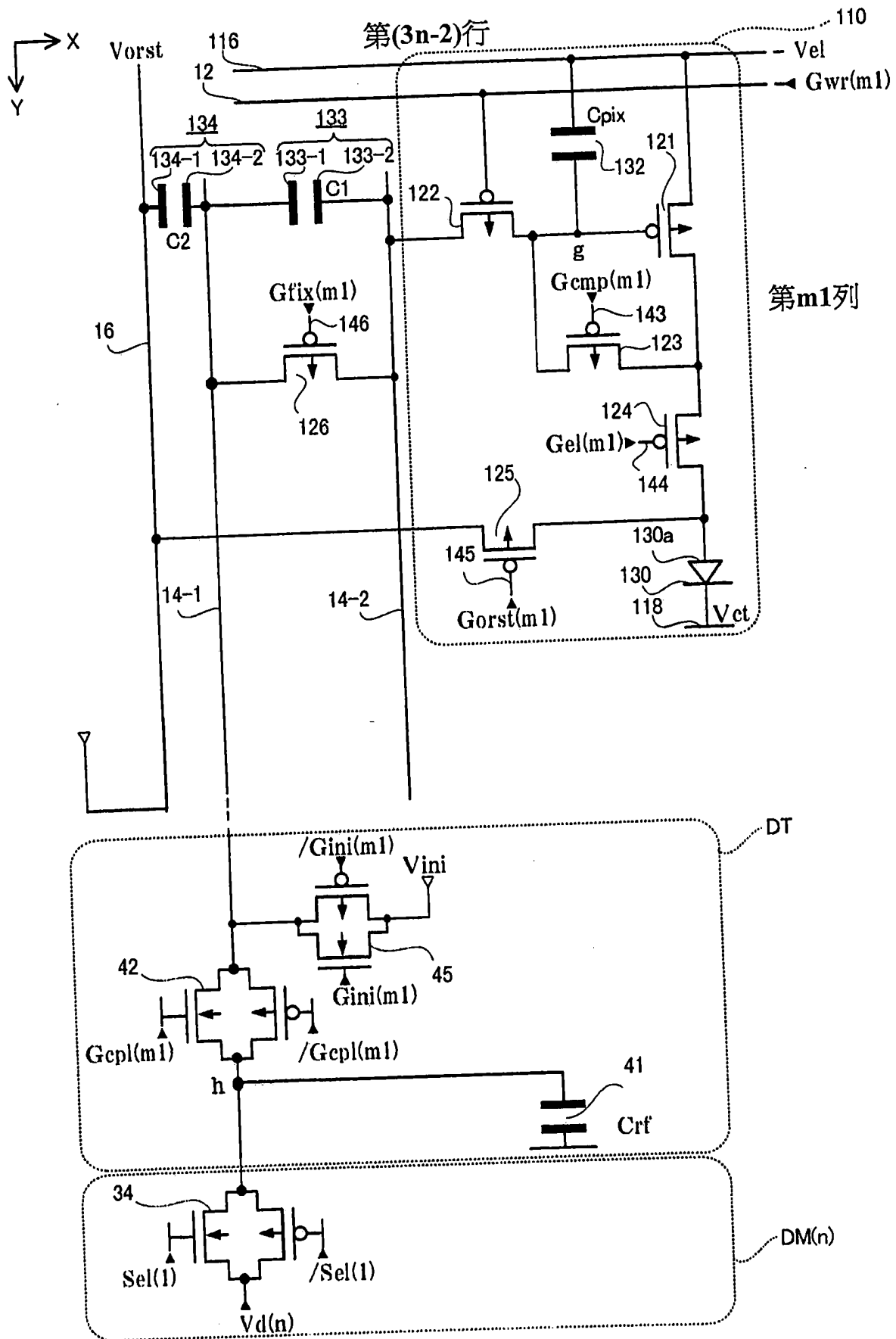


圖 31

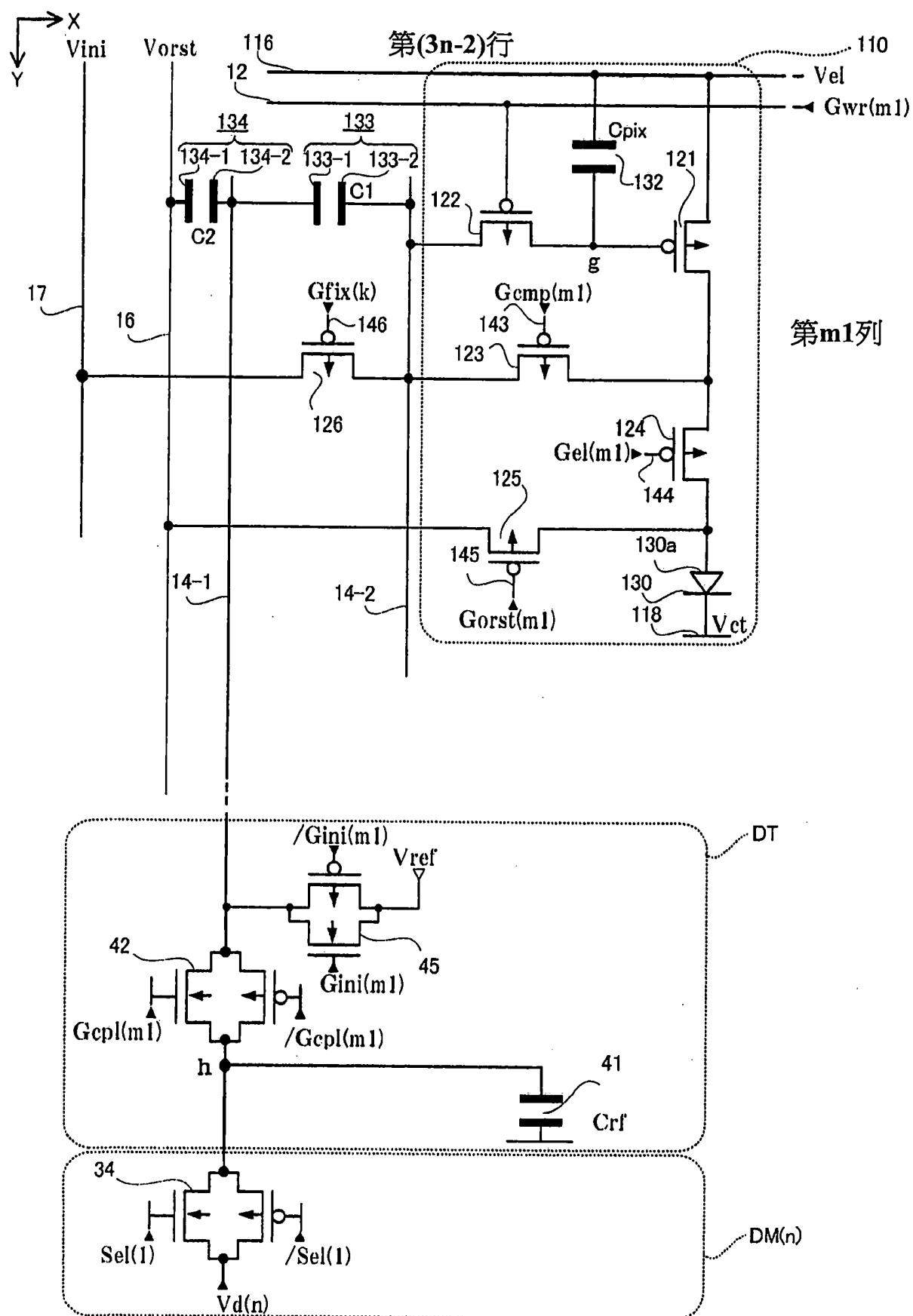


圖 32

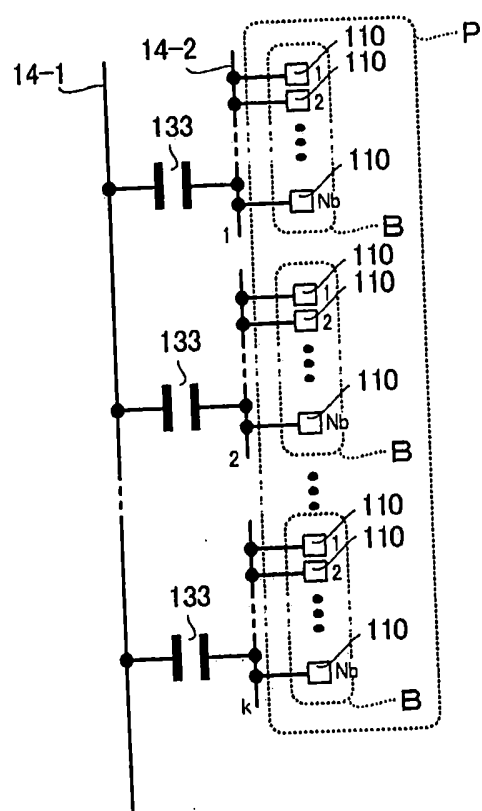


圖 33

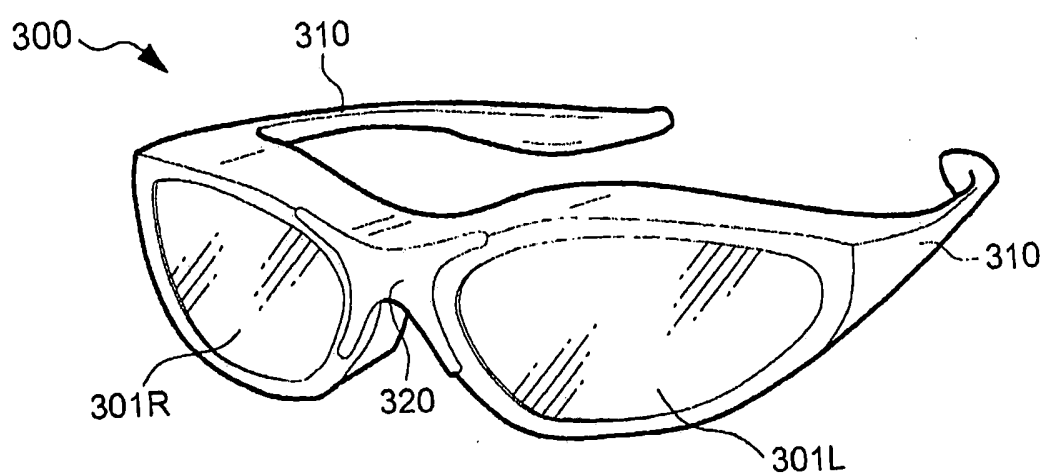


圖 34

