

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5536620号
(P5536620)

(45) 発行日 平成26年7月2日 (2014.7.2)

(24) 登録日 平成26年5月9日 (2014.5.9)

(51) Int.Cl.

H03M 1/76 (2006.01)

F I

H03M 1/76

請求項の数 4 (全 12 頁)

(21) 出願番号	特願2010-263945 (P2010-263945)	(73) 特許権者	303046277
(22) 出願日	平成22年11月26日 (2010.11.26)		旭化成エレクトロニクス株式会社
(65) 公開番号	特開2012-114820 (P2012-114820A)		東京都千代田区神田神保町一丁目105番地
(43) 公開日	平成24年6月14日 (2012.6.14)	(74) 代理人	110001243
審査請求日	平成25年9月18日 (2013.9.18)		特許業務法人 谷・阿部特許事務所
		(72) 発明者	佐々木 宏昭
			宮城県仙台市泉区中央一丁目7番1号 A
			KMテクノロジー株式会社内
		審査官	柳下 勝幸
			最終頁に続く

(54) 【発明の名称】 抵抗分圧型D/Aコンバータ

(57) 【特許請求の範囲】

【請求項1】

デジタル信号の上位Mビットの信号と下位(N-M)ビットの信号によってNビットのデジタル信号をアナログ信号に変換する抵抗分圧型D/Aコンバータであって、

直列接続された $2^{(N-M)}$ 個の抵抗素子からなる 2^M 個の抵抗素子群が、第1の基準電位と第2の基準電位との間に直列接続されてなる基準電圧発生回路と、

前記 2^M 個の抵抗素子群各々の $2^{(N-M)}$ 個の抵抗素子の第2の基準電位側のノードのうち、第1の基準電位側から数えて同じ箇所のノードの各々を選択して出力する、 2^M 個のマルチプレクサからなる第1の選択回路と、

前記第1の選択回路の 2^M 個のマルチプレクサの各々の出力のうちいずれか一つを選択して出力端に出力するマルチプレクサからなる第2の選択回路と、

一端が第1の基準電位に接続されるスイッチと、

ドレインが前記スイッチの他端に接続され、ゲートとバックゲートが互いに接続されるMOSFETと、からなる 2^M-1 個の制御回路を備え、

前記 2^M-1 個の制御回路のMOSFETのゲートの各々が前記 2^M 個の抵抗素子群の各々の間の 2^M-1 個のノードに接続され、該MOSFETのソースの各々が前記第1の選択回路の 2^M 個のマルチプレクサの出力ノードのうち第1の基準電圧側から 2^M-1 個の出力ノードに接続される

抵抗分圧型D/Aコンバータ。

【請求項2】

10

20

前記基準電圧発生回路の 2^M 個の抵抗素子群のうち、最も第2の基準電位側の抵抗素子群の抵抗素子のいずれかが出力端に接続されたときに、前記制御回路のスイッチをオンするように制御される請求項1に記載の抵抗分圧型D/Aコンバータ。

【請求項3】

請求項1または2に記載の抵抗分圧型D/Aコンバータと、

前記抵抗分圧型D/Aコンバータの出力ノードの電圧または入力電圧のいずれか一方を容量素子の一端に接続する第1のスイッチと、

反転入力端子に前記容量素子の他端が接続され、非反転入力端子に前記抵抗分圧型D/Aコンバータの直列接続された 2^M 個の抵抗素子のいずれか一つのノードが接続されるコンパレータと、

を備えるA/Dコンバータ。

【請求項4】

前記抵抗分圧型D/Aコンバータの直列接続された 2^M 個の抵抗素子の中心のノードが前記コンパレータの非反転入力端子に接続される請求項3に記載のA/Dコンバータ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はデジタル信号をアナログ信号に変換する抵抗分圧型D/Aコンバータに関する。

【背景技術】

【0002】

Nビットのデジタル信号をアナログ信号に変換する抵抗分圧型D/Aコンバータとしては、図1に示すような回路が知られている。図1に示した回路は、Nビット（図1においては4ビット）のデジタル信号をアナログ信号に変換する回路である。図1に示した回路は、第1の基準電位と第2の基準電位との間に直列接続された 2^4 個の抵抗素子からなる基準電圧発生回路91と、前記 2^4 個の抵抗素子の第2の基準電位側のノードの各々に一端が接続され、他端が出力のノードに接続される 2^4 個のスイッチ群92と、からなる抵抗分圧型D/Aコンバータ90と、AD変換部100を含むA/Dコンバータ回路である。コンパレータ93の非反転入力端子には抵抗分圧型D/Aコンバータの 2^4 個の抵抗素子の中心となるノードから基準電圧 V_{REF} が出力される。コンデンサの一端には反転入力端子にはスイッチSW1によって入力電圧 V_{IN} または抵抗分圧型D/Aコンバータの出力 V_{DAC} のいずれか一方が入力される。

【0003】

アナログ信号である入力電圧 V_{IN} が、抵抗分圧型D/Aコンバータ90からのアナログ信号 V_{DAC} および V_{REF} によってデジタル信号に変換される。

【0004】

〔動作説明〕

（1）サンプルフェイズ

まず、スイッチSW1を入力電圧 V_{IN} 側に接続し、スイッチSW2をオンすることにより、コンデンサCには、 $C \times (V_{REF1} - V_{IN})$ の電荷が蓄えられる。（ V_{REF1} はサンプルフェイズにおける基準電圧）

（2）変換フェイズ

次に、スイッチSW1を抵抗分圧型D/Aコンバータの出力 V_{DAC} 側に接続し、スイッチSW2をオフし、D/Aコンバータ制御回路94からのNビットのデジタル信号によって抵抗分圧型D/Aコンバータのスイッチ群92を最上位のビットから順に切り替えていき、アナログ信号 V_{DAC} を出力していく。

【0005】

このとき、Cに蓄えられる電荷は保存されるので、変換フェイズにおけるCの電荷； $C \times (V_{REF2} - V_{DAC})$ とサンプルフェイズにおけるCの電荷； $C \times (V_{REF1} - V_{IN})$ とは等しくなる。（ V_{REF2} は変換フェイズにおける基準電圧）

よって、 $V_{REF2} = V_{REF1} + V_{DAC} - V_{IN}$ の関係が成り立つ。

【0006】

そこで、 V_{REF2} と V_{REF1} が等しければ、 $V_{DAC} - V_{IN} > 0$ でコンパレータの出力がHIGHからLOWになり、抵抗分圧型D/Aコンバータ90でD/A変換された信号(V_{DAC} , V_{REF})によって、入力電圧 V_{IN} がA/D変換される。

【0007】

Nビットのデジタル信号をアナログ信号に変換する抵抗分圧型D/Aコンバータとしては、図2に示すような回路も知られている。図2に示した回路は、Nビット(図2においては4ビット)のデジタル信号を上位Mビット(図2において2ビット)の信号と下位(N-M)ビットの信号に分けてアナログ信号に変換する回路である。図2に示した回路は、直列接続された $2^{(4-2)}$ 個の抵抗素子からなる 2^2 個の抵抗素子群が、第1の基準電位と第2の基準電位との間に直列接続されてなる基準電圧発生回路と、前記 2^2 個の抵抗素子群各々の $2^{(4-2)}$ 個の抵抗素子の第2の基準電位側のノードのうち、第1の基準電位側から数えて同じ箇所のノードの各々を選択して出力する 2^2 個のマルチプレクサからなる第1の選択回路と、前記第1の選択回路の 2^2 個のマルチプレクサの各々の出力のうちいずれか一つを選択して出力端に出力するマルチプレクサからなる第2の選択回路と、を備える回路である。第1の選択回路に下位2ビットの信号が入力されて、第2の選択回路に上位2ビットの信号が入力される。例えば「0001」というデジタル信号をアナログ信号に返還する場合、該デジタル信号の下位2ビットの信号「01」が第1の選択回路に入力されて、各抵抗素子群の第2の基準電位側から2番目のノードN1, N5, N9, N13に接続されたスイッチSW01, SW11, SW21, SW31がオンされ、上位2ビットの信号「00」が第2の選択回路のマルチプレクサの下から1番目のノードN16に接続されるスイッチSW40をオンするので、 V_{DAC} としては第1の基準電位と第2の基準電位間の電位差を 2^4 個の抵抗素子が1/16に分圧した値が理論上出力される。

【0008】

なお、上記スイッチとしては図3(a)に示すようなN型MOSFETや、図3(b)に示すようなP型MOSFETや、図3(c)に示すようなN型MOSFETとP型MOSFETを組み合わせたものが使用される。

【0009】

例えばスイッチをオンオフするための駆動電圧が V_{DD} とGNDである場合、第1の基準電圧が V_{DD} より十分に低い場合は図3(a)に示したスイッチが使用可能であり、第2の基準電圧がGNDよりも十分に高い場合は図3(b)に示したスイッチが使用可能である。図3(c)に示したスイッチであれば、第1の基準電圧および第2の基準電圧によって制限されないため、用途によっては図3(c)に示したスイッチを用いることが好ましい。

【先行技術文献】

【特許文献】

【0010】

【特許文献1】特開2000-183747号公報

【発明の概要】

【発明が解決しようとする課題】

【0011】

図1に示した回路において、スイッチが図3(a)に示したN型MOSFETであり、スイッチをオンオフする駆動電圧が V_{DD} とGNDであり、どのノードが選択されても選択されたノードに接続されるスイッチがオンするように、第1の基準電圧 $< V_{DD}$ -N型MOSFETの V_{TH} であり、第2の基準電圧がGNDである場合、ノードN1に接続されているスイッチ以外のスイッチをオフするために、オフしたいMOSFETのゲート電位をグラウンドにする。このとき、オフしたいMOSFETのゲート-ソース間電圧 V_{GS} は $-V_{DAC}$ となり、該MOSFETには下記式(1)で表されるリーク電流がそれぞれ発生する。

。

【0012】

【数1】

$$I_{0 \sim 15} \propto \beta \exp[\gamma(V_{GS} - V_T)] \times \left[1 - \exp\left(-\frac{eV_{DS}}{k_B T}\right) \right] \quad (\text{式1})$$

【0013】

(V_{GS} : ゲートソース間電圧、 V_T : 閾値電圧、 V_{DS} : ドレインソース間電圧、 $\beta = (W/L) * \mu C_{ox}$ で表される定数、 γ : 定数、 e : 電子の電荷、 k_B : ボルツマン定数、 T : 絶対温度 [K])

【0014】

なお、上記式(1)において、 $V_{DS} > 0$ 、1Vの場合は、下記式(2)に近似することが出来る。

【0015】

【数2】

$$I_{0 \sim 15} \propto \beta \exp[\gamma(V_{GS} - V_T)] \quad (\text{式2})$$

【0016】

選択されるノードが第2の基準電圧側から数えてk番目とすると、k番目のノードに接続されるスイッチを流れる電流 I_{k-1} は以下の式(3)で表される。

【0017】

【数3】

$$I_{k-1} = \sum_k^{2^N-1} \ln - \sum_0^{k-2} \ln \quad (\text{式3})$$

【0018】

上記式(2)(3)より、選択されるノードによって基準電圧発生回路に流れる電流 I_{DAC} は該リーク電流の影響を受けて一律に各抵抗素子に流れず、各抵抗素子における電圧降下が $1/2^N$ にそろわない。選択されるノードによって各抵抗素子における電圧降下が $1/2^N$ にそろわないことにより、変換フェイズの基準電圧 V_{REF2} の値が異なってしまう。よって、 V_{REF1} と V_{REF2} の値が一致しないため、変換エラーが生じてしまう。

【0019】

また、スイッチが図3(b)に示したP型MOSFETの場合も、下記式(4)で表されるリーク電流が発生し、選択されるノードによって基準電圧発生回路に流れる電流 I_{DAC} は該リーク電流の影響を受けて一律に各抵抗素子に流れず、各抵抗素子における電圧降下が $1/2^N$ にそろわず、同様の変換エラーが生じてしまう。

【0020】

【数4】

$$I_{0 \sim 15} \propto \beta \exp[\gamma(V_T - V_{GS})] \times \left[1 - \exp\left(\frac{eV_{DS}}{k_B T}\right) \right] \quad (\text{式4})$$

【0021】

また、スイッチが図3(c)に示したN型MOSFETとP型MOSFETを組み合わせたものであっても、式(1)(4)で表されるリーク電流が発生し、同様の変換エラーが生じてしまう。

【0022】

図2に示した回路では、N20にはグラウンドから $N1 \rightarrow N16 \rightarrow N20$ を介して $I_{DAC} \times R$ の電圧が出力される。また、 V_{REF} には理想的には $I_{DAC} \times 8R$ の電圧が出力される。このとき、SW41～43のNMOSのゲートにはスイッチをオフするためにGNDが接続されるが、SW41～43のNMOSのゲートソース間電圧 $V_{GS} = -I_{DAC} \times R$ と

10

20

30

40

50

なる。この値がMOSの V_T に対して十分に低い値では無い場合、SW41～43のNMOSには式(1)で表されるリーク電流 $I_{17} \sim I_{19}$ が発生してしまい、このリーク電流の影響で I_{DAC} の値が変動してしまい、図1の場合と同様に、該リーク電流の影響によって選択されるノードによって各抵抗素子における電圧降下が $1/2^N$ にそろわないことにより、変換フェイズの基準電圧 V_{REF2} の値が異なるため、 V_{REF1} と V_{REF2} の値が一致せず変換エラーが生じてしまうことがある。

【0023】

すなわち、本発明は、選択されるノードによってそれぞれ発生するリーク電流が回路に与える影響を抑制した抵抗分圧型D/Aコンバータおよび該抵抗分圧型D/Aコンバータを含むA/Dコンバータを提供することを目的とする。

10

【課題を解決するための手段】

【0024】

本発明者らは上記課題を解決するために鋭意検討したところ、デジタル信号の上位Mビットの信号と下位(N-M)ビットの信号によってNビットのデジタル信号をアナログ信号に変換する抵抗分圧型D/Aコンバータであって、直列接続された $2^{(N-M)}$ 個の抵抗素子からなる 2^M 個の抵抗素子群が、第1の基準電位と第2の基準電位との間に直列接続されてなる基準電圧発生回路と、前記 2^M 個の抵抗素子群各々の $2^{(N-M)}$ 個の抵抗素子の第2の基準電位側のノードのうち、第1の基準電位側から数えて同じ箇所のノードの各々を選択して出力する、 2^M 個のマルチプレクサからなる第1の選択回路と、前記第1の選択回路の 2^M 個のマルチプレクサの各々の出力のうちいずれか一つを選択して出力端に出力するマルチプレクサからなる第2の選択回路と、一端が第1の基準電位に接続されるスイッチと、ドレインが前記スイッチの他端に接続され、ゲートとバックゲートが互いに接続されるMOSFETと、からなる 2^M-1 個の制御回路を備え、前記 2^M-1 個の制御回路のMOSFETのゲートの各々が前記 2^M 個の抵抗素子群の各々の間の 2^M-1 個のノードに接続され、該MOSFETのソースの各々が前記第1の選択回路の 2^M 個のマルチプレクサの出力ノードのうち第1の基準電圧側から 2^M-1 個の出力ノードに接続される抵抗分圧型D/Aコンバータにより、上記課題を解決し得ることを見出し本発明を完成させた。

20

【発明の効果】

【0025】

本発明によれば、選択されるノードによってそれぞれ発生するリーク電流が回路に与える影響を抑制した抵抗分圧型D/Aコンバータおよび該抵抗分圧型D/Aコンバータを含むA/Dコンバータを提供することが可能になる。

30

【図面の簡単な説明】

【0026】

【図1】従来の抵抗分圧型D/Aコンバータを含むA/Dコンバータの第1の例を示す図である。

【図2】従来の抵抗分圧型D/Aコンバータの第2の例を示す図である。

【図3】スイッチの回路構成を示す図である。

【図4】本発明の抵抗分圧型D/Aコンバータおよび抵抗分圧型D/Aコンバータを含むA/Dコンバータの第1の実施形態の一例を示す図である。

40

【図5】本発明の抵抗分圧型D/Aコンバータの第2の実施形態の一例を示す図である。

【図6】本発明の抵抗分圧型D/Aコンバータの第3の実施形態の一例を示す図である。

【発明を実施するための形態】

【0027】

〔第1の実施形態〕

図4は、デジタル信号の上位2ビットの信号と下位(4-2)ビットの信号によって4ビットのデジタル信号をアナログ信号に変換する抵抗分圧型D/Aコンバータおよび、該抵抗分圧型D/Aコンバータを含むA/Dコンバータであって、前記抵抗分圧型D/Aコンバータが、直列接続された $2^{(4-2)}$ 個の抵抗素子からなる 2^2 個の抵抗素子群が、第1の基準電位と第2の基準電位との間に直列接続されてなる基準電圧発生回路(10)と、前

50

記 2^2 個の抵抗素子群各々の $2^{(4-2)}$ 個の抵抗素子の第 2 の基準電位側のノードのうち、第 1 の基準電位側から数えて同じ箇所のノードの各々を選択して出力する、 2^2 個のマルチプレクサからなる第 1 の選択回路 (20) と、前記第 1 の選択回路の 2^2 個のマルチプレクサの各々の出力のうちいずれか一つを選択して出力端に出力するマルチプレクサからなる第 2 の選択回路 (30) と、一端が第 1 の基準電位に接続されるスイッチと、ドレインが前記スイッチの他端に接続され、ゲートとバックゲートが互いに接続される MOSFET と、からなる $2^2 - 1$ 個の制御回路 (40) を備え、前記 $2^2 - 1$ 個の制御回路の MOSFET のゲートの各々が前記 2^2 個の抵抗素子群の各々の間の $2^2 - 1$ 個のノードに接続され、該 MOSFET のソースの各々が前記第 1 の選択回路の 2^2 個のマルチプレクサの出力ノードのうち第 1 の基準電圧側から $2^2 - 1$ 個の出力ノードに接続される抵抗分圧型 D / A コンバータである。

10

【0028】

前記 A / D コンバータは、前記抵抗分圧型 D / A コンバータと、前記抵抗分圧型 D / A コンバータの出力ノードの電圧または入力電圧のいずれか一方を容量素子 C の一端に接続する第 1 のスイッチ SW1 と、反転入力端子に前記容量素子 C の他端が接続され、非反転入力端子に前記抵抗分圧型 D / A コンバータの直列接続された 2^M 個の抵抗素子の中心のノードが接続されるコンパレータ 53 と、前記コンパレータの反転入力端子と非反転入力端子の間に設けられた第 2 のスイッチ SW2 と、前記コンパレータの出力が入力され、前記第 1 の選択回路および第 2 の選択回路の制御信号を出力する D / A コンバータ制御回路 54 と、からなる A / D 変換部と、を備える A / D コンバータである。

20

【0029】

[前提となる動作の説明]

図 4 に示す A / D コンバータにおいて、図 3 (a) に示すスイッチを用いている。このスイッチは、式 (1) において、 $V_{GS} < -0.2 \text{ V}$ でリーク電流がほぼ流れなくなる N 型 MOSFET である。スイッチをオンするときには NMOS 側のゲートに V_{DD} を接続し、オフするときには NMOS 側のゲートに GND を接続する。なお、いずれのノードが選択されても、選択されたノードに接続された NMOS の V_{GS} が V_{TH} よりも大きくなるように、 V_{DD} は第 1 の基準電圧よりも十分大きい値に設定される (例えば第 1 の基準電圧が V_{DD} の場合、SW33 に V_{DD} を接続してオンしようとしても $V_{GS} = V_G - V_S = V_{DD} - (V_{DD} - I_{DAC} \times R) = I_{DAC} \times R$ となってしまう、 I_{DAC} や R の値によっては V_{TH} よりも小さくな

30

【0030】

M51 ~ 53 の NMOS には、SW41 ~ 43 のスイッチの NMOS と同じサイズの NMOS が採用される。

【0031】

抵抗は各々同一の抵抗値 (R) である。

【0032】

[動作例]

次に、図 4 に示す第 1 の実施形態に係る A / D コンバータの具体的な動作について説明する。

40

【0033】

この動作例の説明において、入力する制御信号は、上記例と同様に [0001] の 4 ビットの信号であり、D / A コンバータ制御回路 54 から入力される。また、ノード N0 の一端がグラウンドに接続されており、第 2 の基準電圧はグラウンドと同電位となっている。

【0034】

4 ビットの信号における下位 2 ビットの制御信号 [01] は、MUX0 ~ 3 にそれぞれ入力される。これにより、SW01, SW11, SW21, SW31 が ON され、その他のスイッチは OFF される。また、4 ビットの信号における上位 2 ビットの信号 [00] は MUX4 に入力される。これにより SW40 が ON され、その他のスイッチは OFF される。

50

【0035】

このときノードN20にはSW01およびSW40を介して、グラウンドから $I_{DAC} \times R$ の電圧が発生する。

【0036】

SW41～43をオフするためにSW41～43のNMOSのゲート電位 V_G は0V (GND) に接続されるので、これによりSW41～SW43のNMOSのゲートソース間電圧 V_{GS} は $-I_{DAC} \times R$ となる。この値が $-0.2V$ 以上であるとSW41～43のNMOSには式(1)で表されるリーク電流が発生する。

【0037】

ここで、M51のゲート電位 V_G はノードN4と等しいので、 $I_{DAC} \times 4R$ となる。一方、M51のソース電位 V_S は、ノードN17と等しくなり、ノードN17の電位はSW11を介してN5と略等しくなるので $I_{DAC} \times 5R$ となる。

したがって、M51のソースゲート間電圧 $V_{GS} = V_G - V_S = -I_{DAC} \times R$ となる。

【0038】

以上より、M51の V_{GS} とSW41のNMOSの V_{GS} は $-I_{DAC} \times R$ で一致する。またSW41のNMOSのドレインソース間電圧 $V_{DS} = N17$ の電位 $-N20$ の電位 $= I_{DAC} \times 4R$ となるで、 $I_{DAC} \times 4R > 0.1V$ となるように回路を設計することでSW41のNMOSに流れるリーク電流は前記式(2)に近似することが出来るので、SW51をオンすることでM51に流れる電流とSW41のNMOSに流れる電流は式(2)より一致する。

【0039】

上記説明はSW41が接続されるMUX1の経路で説明したが、SW42, 43が接続されるMUX2, 3の経路でも同様の動作となる。

【0040】

以上より、SW41～SW43のNMOSに流れるリーク電流と同じ大きさの電流がM51～M53から供給されることで I_{DAC} はSW41～SW43のNMOSに流れるリーク電流の影響を受けなくなる。なお、SW41～SW43で発生したリーク電流自体はSW40およびSW01を介して第2の基準電圧に流れるが、第2の基準電圧までのインピーダンスが十分に小さくなっているため無視することが出来る。

【0041】

以上より、第1の基準電圧である V_{DD} から供給される I_{DAC} は全ての抵抗素子に略均一に流れ、各抵抗素子における電圧降下が $1/2^N$ になり、選択されるノードによらず変換フェーズでの V_{REF} を一定にすることが可能となる。

【0042】

なお、MUX4のスイッチに流れるリーク電流は、選択されるノードの電圧によりN20の電圧がグラウンドに近いときに顕著に発生し、逆に選択されるノードの電圧によりN20の電圧がグラウンドよりも十分に高い電圧の時にはオフしているスイッチの V_{GS} には高い負の電圧がかかるために該リーク電流は発生し難くなる。

【0043】

なお、SW41～43のいずれかがオンしているときにはSW51～53はオフとなる。

【0044】

すなわち、図4においては、SW41～43のいずれかがオンしたときにはN20の電圧が十分に高くなり、SW40～43のうちオフされたスイッチの V_{GS} が十分に大きい負の電圧になり、オフされたスイッチにはリーク電流が発生しないように設計されているため、SW41～43のいずれかがオンしたときにはSW51～53はオフとなるように制御される。

【0045】

上記説明は図3(a)に示したNMOSをスイッチとして採用した場合について説明したが、オフしたとき ($V_G = V_{DD}$ としたとき) のリーク電流が十分無視できるようなPM

10

20

30

40

50

OSであれば図3(c)に示したスイッチを用いても所望のアナログ信号を得ることが可能となる。図3(c)に示したスイッチであれば、第1の基準電圧がスイッチの駆動電圧 V_{DD} と近い値であっても、選択したいノードを正常にオンさせることが可能になる。

【0046】

具体的な例を挙げると、第1の基準電圧 $=V_{DD}$ であり、N15を選択するためにSW33のNMOSのゲートに V_{DD} を、PMOSのゲートにGNDを印加した場合、NMOSの $V_{GS}=V_{DD}-(V_{DD}-I_{DAC}\times R)$ 、PMOSの $V_{GS}=0-(V_{DD}-I_{DAC}\times R)$ となり、 $I_{DAC}\times R$ が小さくNMOSが正常にオンできない場合にはPMOSがオンするような値で設計すれば、上述の通り第1の基準電圧がスイッチの駆動電圧 V_{DD} と近い値であっても、選択したいノードを正常にオンさせることが可能になる。

10

【0047】

[第2の実施形態]

[前提となる動作の説明]

図5に示すD/Aコンバータは、図3(b)のスイッチを用いており、式(4)において $V_{GS}>0$ 、2Vでリーク電流が流れなくなるP型MOSFETを用いている。スイッチをオンするときにはPMOSのゲートにGNDを接続し、オフするときにはPMOSのゲートに V_{DD} を接続するようになっている。なお、いずれのノードが選択されても、選択されたノードに接続されるPMOSの V_{GS} が $V_{GS}<V_{THP}$ (V_{THP} はPMOSの閾値電圧)となるように、第2の基準電圧はGNDよりも十分大きい値とした(例えば第2の基準電圧がGNDだと、SW01にGNDを接続してオンしようとしても $V_{GS}=V_G-V_S=0-(0-I_{DAC}\times R)$ となってしまう、 I_{DAC} やRの値によっては $V_{GS}>V_{THP}$ になってしまう、正常にオンしなくなる)。

20

【0048】

M61~63のPMOSには、SW41~43のスイッチのPMOSと同じサイズのPMOSを採用している。

【0049】

抵抗は各々同一の抵抗値(R)である。

【0050】

[動作例]

次に、図5に示す第2の実施形態に係るA/Dコンバータの具体的な動作について説明する。

30

【0051】

この動作例の説明において、入力する制御信号としては、[1101]の4ビットの信号を採用した例である。

【0052】

4ビットの信号における下位2ビットの制御信号[01]は、MUX0~3にそれぞれ入力される。これにより、SW01, SW11, SW21, SW31がONされ、その他のスイッチはOFFされる。また、4ビットの信号における上位2ビットの信号[11]はMUX4に入力される。これによりSW43がONされ、その他のスイッチはOFFされる。

40

【0053】

このときノードN20にはSW31およびSW43を介して、 $V_{DD}-I_{DAC}\times 3R$ の電圧が発生する。これはSW40~42のソース電位VSである。

【0054】

SW40~42をオフするためにSW40~42のPMOSのゲートにはゲート電圧 $V_G=V_{DD}$ をかけるため、SW40~SW42のPMOSにはゲート-ソース間電圧 $V_{GS}=V_G-V_S=I_{DAC}\times 3R$ がかかる。この値が0.2V以下であるとSW40~42には式(4)で表されるリーク電流が発生する。

【0055】

ここで、M61のゲート電位VGはノードN4と等しいので、 $V_{DD}-I_{DAC}\times 12R$ と

50

なる。一方、M61のソース電位 V_S は、ノードN16と等しくなり、ノードN16の電位はSW01を介してN1と略等しくなるので $V_{DD} - I_{DAC} \times 1.5R$ となる。したがって、M61のソースゲート間電圧 $V_{GS} = V_G - V_S = I_{DAC} \times 3R$ となる。

【0056】

以上より、M61の V_{GS} とSW40のPMOSの V_{GS} は $I_{DAC} \times 3R$ で一致する。またSW40のPMOSのドレインソース間電圧 $V_{DS} = N16の電位 - N20の電位 = I_{DAC} \times 1.2R$ となるので、SW40のPMOSに流れるリーク電流は前記式(2)に近似することが出来るので、M61に流れる電流とSW40のPMOSに流れる電流は式(2)より一致する。

【0057】

上記説明はSW40が接続されるMUX0の経路で説明したが、SW41, 42が接続されるMUX1, 2の経路でも同様の動作となる。

【0058】

このように、SW40～SW42のPMOSに流れるリーク電流と同じ大きさの電流がM61～M63から供給されることで I_{DAC} はSW40～SW42のPMOSに流れるリーク電流の影響を受けなくなる。

【0059】

以上より、第1の基準電圧である V_{DD} から供給される I_{DAC} は全ての抵抗素子に略均一に流れ、各抵抗素子における電圧降下が $1/2^N$ になり、選択されるノードによらず変換フェーズでの V_{REF} が一定となる。

【0060】

上記説明は図3(b)に示したPMOSをスイッチとして採用した場合について説明したが、オフしたとき($V_G = GND$ としたとき)のリーク電流が十分無視できるようなNMOSであれば図3(c)に示したスイッチを用いることも出来る。図3(c)に示したスイッチであれば、第2の基準電圧がスイッチの駆動電圧 GND と近い値であっても、選択したいノードを正常にオンさせることが可能になる(第2の基準電圧= GND であり、N1を選択するためにSW01のNMOSに V_{DD} をPMOSに GND を接続した場合、PMOSの $V_{GS} = 0 - I_{DAC} \times R$ なので I_{DAC} や R によっては V_{TH} よりも大きくなり正常にオンしない場合があるが、NMOSの $V_{GS} = V_{DD} - I_{DAC} \times R$ なので正常にオンする)。

【0061】

[その他の実施形態]

なお、図3(c)のスイッチを用い、かつ、スイッチのNMOSは式(1)において、 $V_{GS} < -0.2V$ でリーク電流はほぼ流れなくなるN型MOSFETであり、PMOSは式(4)において $V_{GS} > 0.2V$ でリーク電流が流れなくなるP型MOSFETである場合、図6に示すように、図4に示したリーク電流キャンセル回路と、図5に示したリーク電流キャンセル回路との両方を備える抵抗分圧型D/Aコンバータとすることにより、 I_{DAC} はN型MOSFETに流れるリーク電流およびP型MOSFETに流れるリーク電流のいずれの影響も受けなくなり、所望のアナログ信号を得ることが可能になる。

【符号の説明】

【0062】

- 10、91 基準電圧発生回路
- 20 第1の選択回路
- 30 第2の選択回路
- 40 制御回路
- 90 抵抗分圧型D/Aコンバータ
- 92 スイッチ群
- 53、93 コンパレータ
- 54、94 D/Aコンバータ制御回路
- 95 抵抗素子群
- 100 AD変換部

10

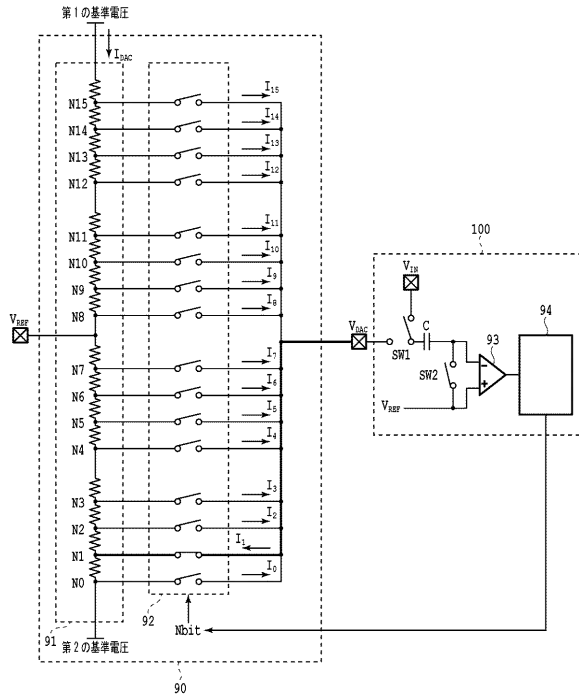
20

30

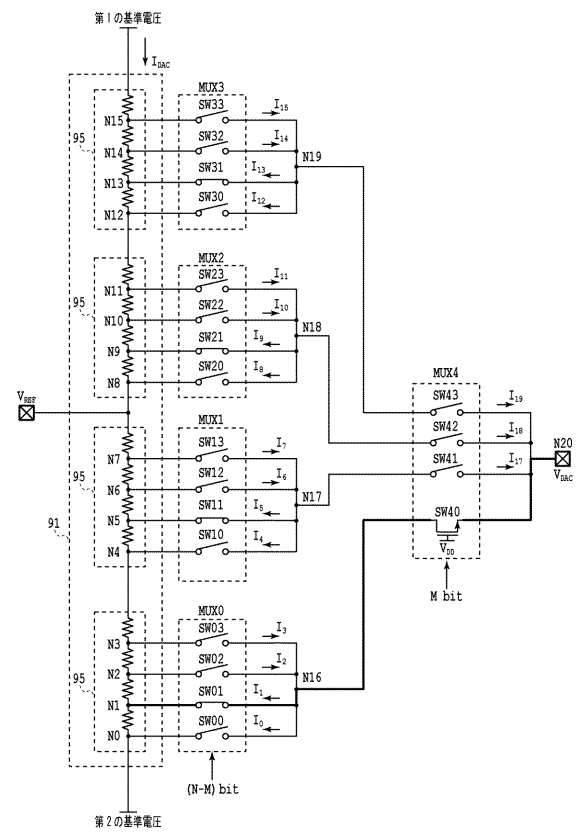
40

50

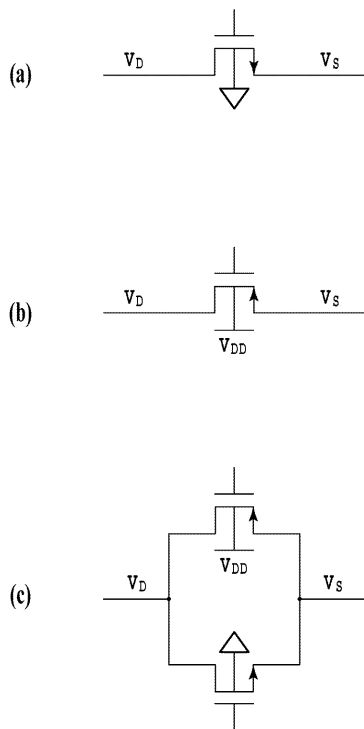
【図 1】



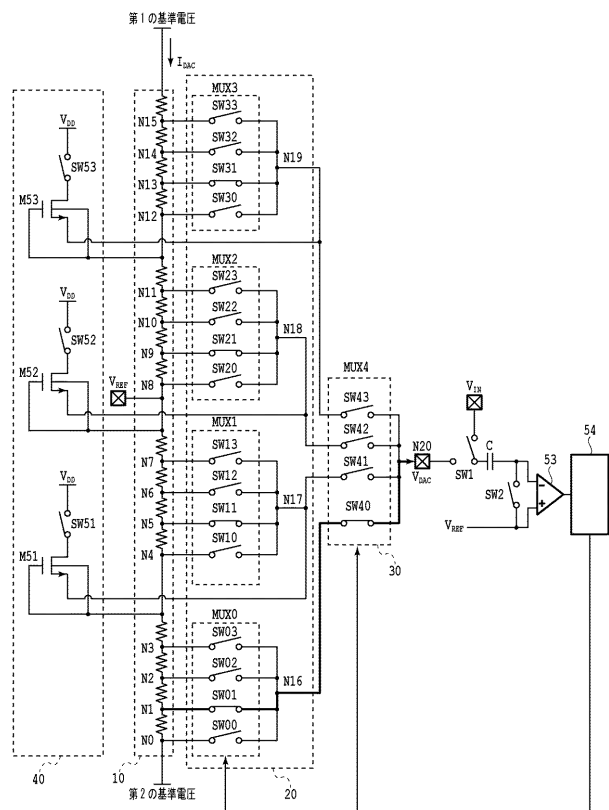
【図 2】



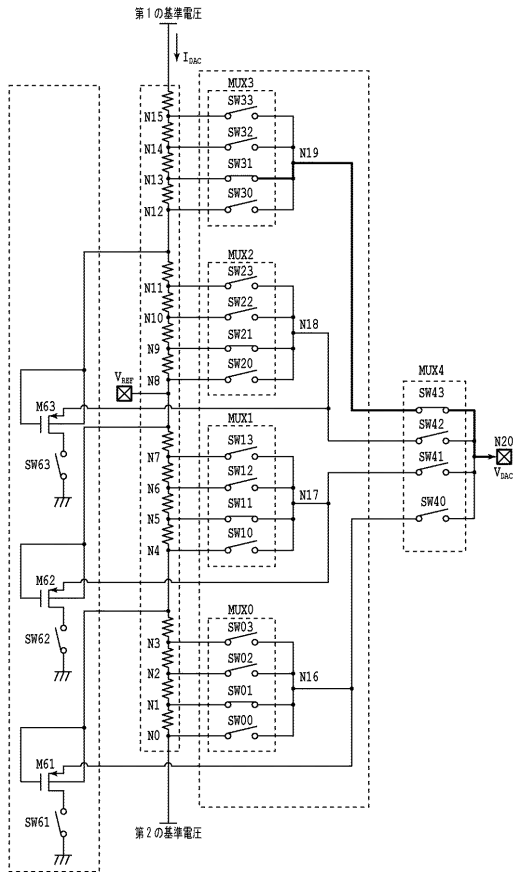
【図 3】



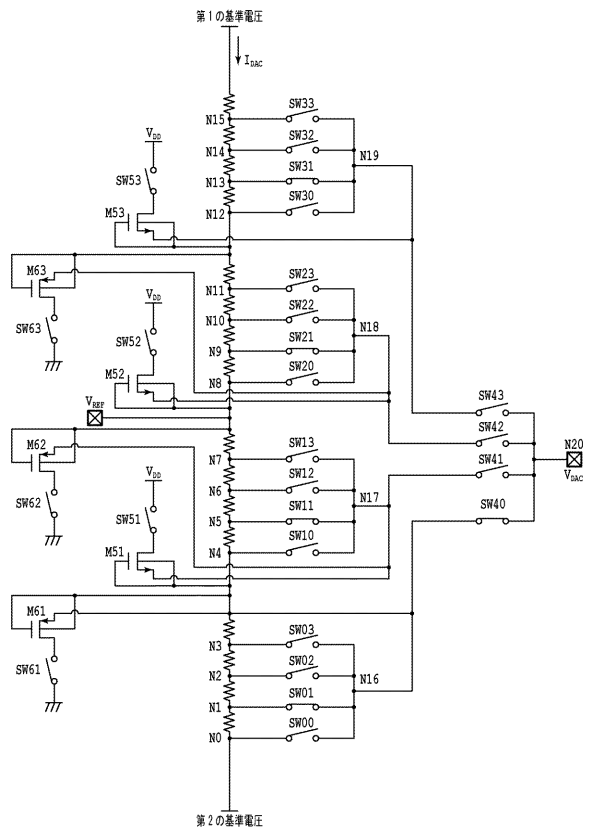
【図 4】



【図 5】



【図 6】



フロントページの続き

- (56)参考文献 特開昭57-133721 (JP, A)
特開平1-5118 (JP, A)
特開平11-340830 (JP, A)
特開平7-95046 (JP, A)
特開2012-74995 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
H03M1/00-1/88