

**(19) 대한민국특허청(KR)**
(12) 공개특허공보(A)**(11) 공개번호** 10-2025-0017628
(43) 공개일자 2025년02월04일

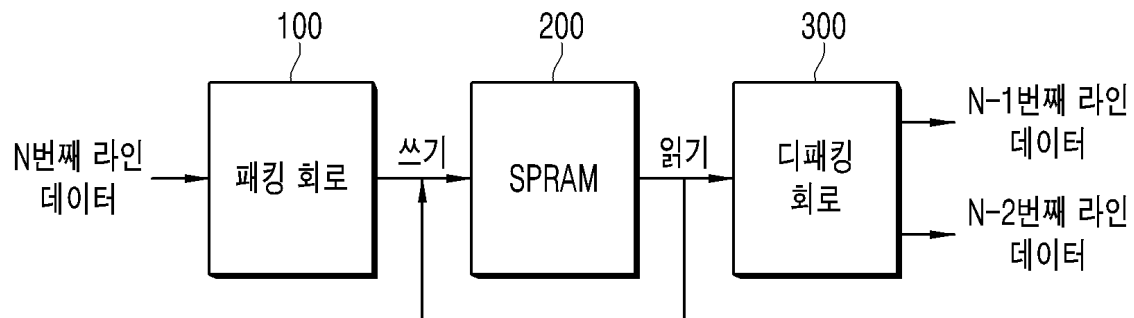
(51) 국제특허분류(Int. Cl.)
G11C 7/10 (2021.01) *G11C 11/419* (2015.01)
(52) CPC특허분류
G11C 7/1015 (2013.01)
G11C 11/419 (2018.05)
(21) 출원번호 10-2024-0051902
(22) 출원일자 2024년04월18일
심사청구일자 2024년04월18일
(30) 우선권주장
1020230098366 2023년07월27일 대한민국(KR)

(71) 출원인
세종대학교산학협력단
서울특별시 광진구 능동로 209 (군자동, 세종대학교)
(72) 발명자
이성주
서울특별시 동대문구 한빛로 49, 109-901
문성빈
서울특별시 광진구 면목로 31-3 선인빌 304호
이용빈
경기도 화성시 병점1로 82, 105-303
(74) 대리인
이강민, 남승희

전체 청구항 수 : 총 10 항

(54) 발명의 명칭 **SPRAM 기반 영상 데이터 패킹 장치 및 방법****(57) 요약**

본 발명은 복수의 영상 데이터를 패킹하는 패킹 회로와, 기 패킹 회로에서 패킹된 데이터를 저장하는 SPRAM과, 상기 SPRAM에 저장된 패킹 데이터를 읽어 디패킹하는 디패킹 회로를 포함하고, 상기 SPRAM은 두 개의 데이터를 동시에 읽기 및 쓰기가 가능한 SPRAM 기반의 영상 데이터 패킹 장치 및 방법을 제시한다.

대표도 - 도6

(52) CPC특허분류

G11C 2207/104 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	2340003899
과제번호	2020R1A6A1A03038540
부처명	교육부
과제관리(전문)기관명	한국연구재단
연구사업명	이공학학술연구기반구축
연구과제명	자율지능무인비행체연구소
과제수행기관명	세종대학교
연구기간	2024.03.01 ~ 2025.02.28

이 발명을 지원한 국가연구개발사업

과제고유번호	2710008177
과제번호	00254529
부처명	과학기술정보통신부
과제관리(전문)기관명	정보통신기획평가원
연구사업명	정보통신방송혁신인재양성(R&D)
연구과제명	메타버스 융합대학원(세종대학교)
과제수행기관명	세종대학교산학협력단
연구기간	2024.01.01 ~ 2024.12.31

이 발명을 지원한 국가연구개발사업

과제고유번호	2710015762
과제번호	2023M3C1C1A01098414
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	무인이동체원천기술개발(R&D)
연구과제명	무인이동체 안전운용을 위한 운용자 친화적 인터페이스 기술개발
과제수행기관명	세종대학교
연구기간	2024.01.01 ~ 2024.12.31

명세서

청구범위

청구항 1

복수의 영상 데이터를 패킹하는 패킹 회로와,
상기 패킹 회로에서 패킹된 데이터를 저장하는 SPRAM과,
상기 SPRAM에 저장된 패킹 데이터를 읽어 디패킹하는 디패킹 회로를 포함하고,
상기 SPRAM은 두 개의 데이터를 동시에 읽기 및 쓰기가 가능한 SPRAM 기반의 영상 데이터 패킹 장치.

청구항 2

청구항 1에 있어서,
상기 패킹 회로는 패킹된 두 데이터를 상기 SPRAM에 동시에 저장하고, 상기 디패킹 회로는 상기 SPRAM으로부터 패킹된 두 데이터를 읽어오는 SPRAM 기반의 영상 데이터 패킹 장치.

청구항 3

청구항 2에 있어서,
상기 SPRAM은 1 사이클 동안 2개의 데이터를 읽고, 다음 1 사이클 동안 2개의 데이터를 쓰는 SPRAM 기반의 영상 데이터 패킹 장치.

청구항 4

청구항 3에 있어서,
상기 SPRAM은 하나의 메모리 셀에 하나의 워드라인과 두 개의 비트라인이 연결된 SPRAM 기반의 영상 데이터 패킹 장치.

청구항 5

청구항 4에 있어서,
상기 패킹 회로는 상기 디패킹 회로로부터 디패킹된 데이터들 중에서 가장 이전의 데이터를 새로 입력된 데이터로 바꿔 상기 SPRAM에 저장하는 SPRAM 기반의 영상 데이터 패킹 장치.

청구항 6

복수의 영상 데이터를 패킹하는 과정과,
상기 패킹 데이터를 SPRAM에 저장하는 과정과,
상기 SPRAM에 저장된 패킹 데이터를 읽어 디패킹하는 과정을 포함하고,
상기 SPRAM은 두 개의 데이터를 동시에 읽기 및 쓰기가 가능한 SPRAM 기반의 영상 데이터 패킹 방법.

청구항 7

청구항 6에 있어서,

상기 패킹된 두 데이터를 상기 SPRAM에 동시에 저장하고, 상기 SPRAM으로부터 패킹된 두 데이터를 읽어 디패킹하는 SPRAM 기반의 영상 데이터 패킹 방법.

청구항 8

청구항 7에 있어서,

상기 SPRAM으로부터 1 사이클 동안 2개의 데이터를 읽고, 다음 1 사이클 동안 2개의 데이터를 쓰는 SPRAM 기반의 영상 데이터 패킹 방법.

청구항 9

청구항 8에 있어서,

상기 SPRAM은 하나의 메모리 셀에 하나의 워드라인과 두 개의 비트라인이 연결된 SPRAM 기반의 영상 데이터 패킹 방법.

청구항 10

청구항 9에 있어서,

상기 패킹 과정은 상기 디패킹 과정으로부터 디패킹된 데이터들 중에서 가장 이전의 데이터를 새로 입력된 데이터로 바꿔 상기 SPRAM에 저장하는 SPRAM 기반의 영상 데이터 패킹 방법.

발명의 설명**기술 분야**

[0001] 본 발명은 영상 데이터 패킹 장치에 관한 것으로, 특히 영상 처리를 위해 특정한 양의 영상 데이터를 저장할 때 소비 전력과 면적을 효과적으로 줄이기에 적합한 싱글 포트램(Single-Port RAM: 이하, SPRAM으로 칭함) 기반 영상 데이터 패킹 장치 및 방법에 관한 것이다.

배경 기술

[0003] 픽셀(pixel)은 디지털 영상에서 이미지를 표현하기 위한 기본 단위로서, 한개의 픽셀이 한 지점의 색과 밝기를 표현한다. 디지털 영상은 픽셀들의 배열로 구성되며, 하나의 영상은 픽셀들이 가로 및 세로의 2차원으로 구성된 것이다. 즉, 영상은 2차원 픽셀 데이터이다. 이러한 하나의 영상을 한 프레임(frame)으로 하며, 여러 프레임이 모인 것이 비디오 영상이다.

[0004] 다수의 영상 처리 알고리즘은 영상을 가공하기 위해 2차원 컨볼루션(convolution)을 수행한다. 2차원 컨볼루션은 영상을 필터링하고 특징을 추출하는데 사용되며, 이미지와 커널(kernel) 사이의 연산으로 정의된다. 이러한 2차원 컨볼루션은 커널(kernel) 크기에 따라 여러 라인의 픽셀 데이터들을 필요로 한다. 그러나, 영상 데이터는 시스템에 보통 한 픽셀씩(pixel by pixel) 직렬(series)로 입력된다. 즉, 영상의 한 프레임에 대해 위에서 아래로 한 라인씩 입력되고, 한 라인에 대해 좌에서 우로 한 픽셀씩 입력된다. 따라서, 이전에 입력된 데이터들을 저장 소자에 저장해 두었다가 필요한 데이터를 가져와 2차원 컨볼루션을 수행한다.

[0005] 연산 장치 주변에 위치한 저장 소자에는 주로 랜덤 액세스 메모리(Random Access Memory: 이하, RAM이라 함)와 레지스터(register)가 있다. 여기서, RAM은 SPRAM과 듀얼 포트 RAM(Dual-Port RAM: 이하, DPRAM이라 함)을 이용할 수 있다. 도 1 및 도 2는 종래의 SPRAM과 DPRAM의 메모리 구조를 트랜지스터 수준으로 나타낸 것이다. 도

1에 도시된 바와 같이 종래의 SPRAM은 6개의 트랜지스터로 구성되며, 도 2에 도시된 바와 같이 종래의 DPRAM은 8개의 트랜지스터로 구성된다. 이처럼, SPRAM 및 DPRAM 등 RAM은 많아도 비트(bit) 당 8개 이내의 트랜지스터로 구성된다.

[0006] 반면, 레지스터는 비트 당 2개의 인버터(inverter) 쌍과 추가적인 게이트(gate)들로 이루어진다. 또한, 인버터 하나 당 2개의 트랜지스터를 사용하므로 레지스터는 8개 이상의 트랜지스터가 필요하게 된다. 따라서, 레지스터보다 RAM을 이용하는 것이 더 적은 트랜지스터를 사용하게 된다. 물론, RAM은 메모리 셀들을 구동하기 위한 추가적인 제어 회로를 필요로 한다.

[0007] 그런데, 종래에는 영상의 픽셀 데이터를 저장할 때 DPRAM을 사용하며, DPRAM을 사용하면 동일한 양의 데이터를 저장하더라도 하나의 SPRAM을 사용한 경우에 비해 주변 회로의 크기가 커지게 된다.

선행기술문헌

특허문헌

[0008] (특허문헌 0001) 한국공개특허 제10-2008-0035873호

발명의 내용

해결하려는 과제

[0009] 본 발명은 SPRAM를 이용하여 영상의 픽셀 데이터를 저장함으로써 구동에 필요한 주변 회로를 크게 줄일 수 있는 SPRAM 기반 영상 데이터 패킹 장치 및 방법을 제공한다.

[0010] 본 발명은 하나의 SPRAM을 이용하여 주변 회로를 줄임으로써 시스템의 소형화 및 저전력 구동이 가능한 SPRAM 기반 영상 데이터 패킹 장치 및 방법을 제공한다.

과제의 해결 수단

[0012] 상술한 기술적 과제의 해결을 위하여, 본 발명의 일 실시 예에 따른 SPRAM 기반의 영상 데이터 패킹 장치는 복수의 영상 데이터를 패킹하는 패킹 회로와, 상기 패킹 회로에서 패킹된 데이터를 저장하는 SPRAM과, 상기 SPRAM에 저장된 패킹 데이터를 읽어 디패킹하는 디패킹 회로를 포함하고, 상기 SPRAM은 두개의 데이터를 동시에 읽기 및 쓰기가 가능하다.

[0013] 상기 패킹 회로는 패킹된 두 데이터를 상기 SPRAM에 동시에 저장하고, 상기 디패킹 회로는 상기 SPRAM으로부터 패킹된 두 데이터를 읽어온다.

[0014] 상기 SPRAM은 1 사이클 동안 2개의 데이터를 읽고, 다음 1 사이클 동안 2개의 데이터를 쓴다.

[0015] 상기 SPRAM은 하나의 메모리 셀에 하나의 워드라인과 두 개의 비트라인이 연결된다.

[0016] 상기 패킹 회로는 상기 디패킹 회로로부터 디패킹된 데이터들 중에서 가장 이전의 데이터를 새로 입력된 데이터로 바꿔 상기 SPRAM에 저장한다.

[0017] 본 발명의 다른 실시 예에 따른 SPRAM 기반의 영상 데이터 패킹 방법은 복수의 영상 데이터를 패킹하는 과정과, 상기 패킹 데이터를 SPRAM에 저장하는 과정과, 상기 SPRAM에 저장된 패킹 데이터를 읽어 디패킹하는 과정을 포함하고, 상기 SPRAM은 두개의 데이터를 동시에 읽기 및 쓰기가 가능하다.

[0018] 상기 패킹된 두 데이터를 상기 SPRAM에 동시에 저장하고, 상기 SPRAM으로부터 패킹된 두 데이터를 읽어 디패킹한다.

[0019] 상기 SPRAM으로부터 1 사이클 동안 2개의 데이터를 읽고, 다음 1 사이클 동안 2개의 데이터를 쓴다.

[0020] 상기 SPRAM은 하나의 메모리 셀에 하나의 워드라인과 두 개의 비트라인이 연결된다.

[0021] 상기 패킹 과정은 상기 디패킹 과정으로부터 디패킹된 데이터들 중에서 가장 이전의 데이터를 새로 입력된 데이

터로 바꿔 상기 SPRAM에 저장한다.

발명의 효과

- [0023] 본 발명은 패킹 회로, SPRAM, 디패킹 회로를 포함하는 영상 데이터 패킹 장치를 제시한다. 즉, 본 발명은 패킹 회로로부터 패킹된 데이터를 저장하기 위해 SPRAM을 이용한다. 또한, 본 발명은 SPRAM을 DPRAM과 같은 성능으로 구현하기 위해 하나의 메모리 셀에 하나의 워드라인 및 두 개의 비트라인이 연결되도록 함으로써 두 개의 데이터를 동시에 읽기 및 쓰기가 가능하다. 따라서, 본 발명은 SPRAM을 이용함으로써 종래의 DPRAM을 이용하는 경우에 비해 주변 회로를 줄일 수 있어 하드웨어 코스트를 감소시킬 수 있다. 또한, 주변 회로를 줄임으로써 주변 회로가 차지하는 면적과 주변 회로를 구동하는데 필요한 전력을 줄일 수 있다.

도면의 간단한 설명

- [0025] 도 1은 종래의 SPRAM의 트랜지스터 수준 메모리 구조도이다.
- 도 2는 종래의 DPRAM의 트랜지스터 수준 메모리 구조도이다.
- 도 3은 레지스터의 게이트 수준 구조도이다.
- 도 4는 인버터의 트랜지스터 수준 구조도이다.
- 도 5는 RAM의 어레이 구조도이다.
- 도 6은 본 발명의 일 실시 예에 따른 SPRAM 기반의 영상 데이터 패킹 장치의 블록도이다.
- 도 7은 본 발명의 일 실시 예에 따른 영상 데이터 패킹 장치에 적용되는 SPRAM의 트랜지스터 수준 메모리 구조도이다.

발명을 실시하기 위한 구체적인 내용

- [0026] 이하, 첨부된 도면을 참조하여 본 발명의 실시 예를 상세히 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시 예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시 예들은 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다.
- [0027] 도 1 및 도 2는 각각 종래의 SPRAM과 DPRAM의 메모리 구조를 트랜지스터 수준으로 나타낸 도면이다.
- [0028] 도 1에 도시된 바와 같이 종래의 SPRAM은 6개의 트랜지스터로 구성되며, 이중 4개의 트랜지스터는 데이터를 저장하고 나머지 2개의 트랜지스터는 데이터를 읽고 쓰는데 사용된다. 즉, 도 1에서 워드라인(word) 및 비트라인(bit, bit_bar)에 연결된 2개의 트랜지스터가 데이터를 읽고 쓰며, 이들 두개의 트랜지스터 사이에 연결된 4개의 트랜지스터가 데이터를 저장한다. 다시 말해, SPRAM은 하나의 메모리 셀이 하나의 워드라인 및 하나의 비트라인과 연결된다. 따라서, SPRAM은 단일 포트, 즉 하나의 워드라인을 구비하여 한번에 하나의 데이터를 액세스할 수 있다.
- [0029] 도 2에 도시된 바와 같이 종래의 DPRAM은 8개의 트랜지스터로 구성되며, 이중 4개의 트랜지스터는 데이터를 저장하고 나머지 4개의 트랜지스터는 데이터를 읽고 쓰는데 사용된다. 즉, 도 2에서 두개의 워드라인(word1, word2) 및 두개의 비트라인(bit1, bit2, bit_bar1, bit_bar2)에 연결된 4개의 트랜지스터가 데이터를 읽고 쓰며, 이들 4개의 트랜지스터 사이에 연결된 4개의 트랜지스터가 데이터를 저장한다. 다시 말해, DPRAM은 하나의 메모리 셀이 두 개의 워드라인 및 두 개의 비트라인과 연결된다. 이렇게 DPRAM은 워드라인 및 비트라인이 각각 두 개 구비되어 동시에 두 개의 데이터가 액세스할 수 있다. 이렇게 SPRAM 및 DPRAM 등 RAM은 많아도 비트(bit) 당 8개 이내의 트랜지스터로 구성된다.
- [0030] 도 3은 레지스터 구조를 게이트 수준으로 나타낸다. 레지스터는 비트 당 2개의 인버터(inverter) 쌍과 추가적인 게이트들로 이루어진다. 도 4는 인버터의 트랜지스터 수준 구조이다. 인버터 하나 당 2개의 트랜지스터를 사용하므로 레지스터는 8개 이상의 트랜지스터가 필요한 것을 알 수 있다. 따라서, 레지스터보다 RAM을 이용하는 것이 더 적은 트랜지스터를 사용하게 된다. 물론, RAM은 메모리 셀들을 구동하기 위한 추가적인 제어 회로를 필요로 한다. 도 5는 RAM의 전체적인 어레이 구조(array architecture)이다. 도 5에 도시된 바와 같이 복수의 메모리

리 셀이 가로 및 세로 방향으로 배열되어 메모리 셀 어레이를 구성하고, 메모리 셀 어레이 주변에 다양한 회로들이 구비되는 것을 알 수 있다. 즉, 메모리 셀을 선택하여 읽기 또는 쓰기를 하기 위한 로우 디코더(10), 비트 라인 컨디셔닝(11), 컬럼 머스(12) 및 컬럼 디코더(13)가 메모리 셀 어레이 주변에 마련된다. 따라서, 영상 데이터와 같이 방대한 양의 데이터를 저장할 때만 RAM을 사용하는 것이 효과적이다.

[0031] 그런데, DPRAM 구조는 SPRAM과 다르게 읽기(read) 및 쓰기(write) 동작을 독립적으로 수행하기 위해 더 많은 데이터 라인(data line) 수와 트랜지스터 수를 가진다. DPRAM은 입출력 포트가 독립적으로 존재하여 동시에 읽고 쓰기가 가능하다. 즉, DPRAM은 읽기 및 쓰기 동작을 동시에 수행하기 위해 SPRAM보다 하나의 메모리 셀에 대해 워드 라인과 비트 라인이 하나씩 더 추가된다. 다시 말해, 도 1에 도시한 바와 같이 SPRAM이 하나의 메모리 셀에 각각 하나의 워드라인 및 비트라인을 구비하는데 반해, 도 2에 도시한 바와 같이 DPRAM은 하나의 메모리 셀에 각각 두 개의 워드라인 및 비트라인을 구비한다. 이렇게 하나의 메모리 셀에 연결되는 데이터 라인(즉 워드라인 및 비트라인)이 증가함과 더불어 이를 독립적으로 처리하기 위해 DPRAM의 주변 회로는 복잡도가 크게 증가한다. 즉, RAM은 포트 수가 많아질수록 데이터 라인의 제어 회로도 더욱 복잡해진다. 따라서, 같은 양의 데이터를 저장할 때 DPRAM보다 SPRAM을 사용하면 주변 회로를 줄일 수 있어 하드웨어 코스트가 감소하게 된다. 이를 위해 본 발명은 SPRAM을 사용하고 기존보다 DPRAM보다 데이터 라인 수를 줄여 주변 회로를 줄일 수 있는 영상 데이터 패킹 장치를 제공한다.

[0032] 도 6은 본 발명의 일 실시 예에 따른 SPRAM 기반 영상 데이터 패킹 장치의 블록도이다.

[0033] 도 6에 도시된 바와 같이 본 발명은 여러개의 영상 데이터를 결합하는 패킹 회로(100)와, 패킹 회로(100)에서 패킹된 데이터를 저장하는 SPRAM(200)과, SPRAM(200)에 저장된 패킹 데이터를 디패킹하여 원래 데이터로 복원하는 디패킹 회로(300)를 포함할 수 있다. 즉, 본 발명은 SPRAM(200) 전단에 데이터를 패킹(packing)하는 패킹 회로(100)가 마련되고, SPRAM(200) 후단에 데이터를 디패킹(depacking)하는 디패킹 회로(300)를 연결한다.

[0034] 패킹 회로(100)는 여러 개의 데이터를 하나의 더 큰 데이터로 결합한다. 즉, 패킹 회로(100)는 복수의 데이터를 결합, 즉 패킹하여 하나의 더 큰 데이터를 생성한다. 패킹 과정은 일반적으로 복수의 데이터 값을 연결하여 하나의 데이터 워드(word) 또는 바이트(byte)로 결합하는 것을 의미한다. 이 과정을 통해 데이터를 효율적으로 압축하여 저장하거나 전송할 수 있다. 예를 들어, 24비트 컬러 이미지의 각 픽셀은 빨강, 녹색, 파랑 세 가지 컬러로 구성될 수 있는데, 이를 8비트씩 패킹하여 한 바이트로 압축할 수 있다. 한편, 패킹 회로(100)는 디패킹 회로(300)부터의 디패킹된 데이터들 중에서 가장 이전의 데이터를 새로 입력된 데이터로 바꿔 SPRAM(200)에 저장할 수 있다.

[0035] SPRAM(200)는 패킹 회로(100)로부터 패킹된 데이터를 저장한다. 즉, 패킹 회로(100)는 데이터를 패킹하여 SPRAM(200)에 쓰기할 수 있다. 이러한 SPRAM(200)는 패킹 회로(100)로부터 패킹된 데이터를 순차적으로 저장할 수 있다. 여기서, 본 발명에 따른 SPRAM(200)은 두 개의 데이터를 동시에 읽기 및 쓰기가 가능하다. 즉, 패킹 회로(100)는 패킹된 두 데이터를 SPRAM(200)에 동시에 저장하고, 디패킹 회로(300)는 SPRAM(200)으로부터 패킹된 두 데이터를 읽어온다. 이러한 본 발명에 따른 SPRAM(200)의 상세한 설명은 도 7을 이용하여 후술하겠다.

[0036] 디패킹 회로(300)는 패킹된 데이터를 다시 원래의 형식으로 확장한다. 즉, 디패킹 회로(300)는 패킹된 데이터를 여러 개의 작은 데이터로 분리하여 원래의 형식으로 복원한다. 이때, 디패킹 회로(300)는 SPRAM(200)에 저장된 패킹 데이터를 읽어 디패킹할 수 있다. 즉, 디패킹 회로(300)는 SPRAM(200)에 저장된 하나의 패킹된 데이터를 가져와 여러 개의 원래 데이터들로 분리한다. 패킹된 데이터를 디패킹하여 원래의 데이터로 변환함으로써 정확성을 유지하면서도 데이터의 효율적인 저장 및 전송을 보장할 수 있다.

[0037] 한편, 본 발명은 DPRAM 성능으로 SPRAM(200)을 사용한다. 이를 위해 본 발명은 SPRAM(200)의 하나의 메모리 셀에 연결되는 워드라인과 비트라인 수를 종래의 SPRAM 대비 2배 증가시킨다. 즉, 도 7에 도시된 바와 같이 하나의 SPRAM 메모리 셀에 하나의 워드라인(word)과 두 개의 비트라인(bit1, bit2, bit_bar1, bit_bar2)이 연결된다. 하나의 메모리 셀에 하나의 워드라인과 두 개의 비트라인이 연결됨으로써 두 개의 데이터가 동시에 액세스될 수 있다. 즉, 단일 포트에 두 개의 데이터를 동시에 액세스할 수 있으므로 DPRAM 성능으로 SPRAM을 사용할 수 있다. 한편, DPRAM과 같이 1 사이클 동안 한 개의 데이터를 동시에 읽기 및 쓰기 하는 것은 본 발명의 SPRAM과 같이 2 사이클 동안 한번은 두 데이터를 읽기하고 나머지 한번은 두 데이터를 쓰기 하는 것과 같다. 즉, 본 발명에 따른 SPRAM은 1 사이클 동안 2개의 데이터를 한번에 읽고, 다음 1 사이클 동안 2개의 데이터를 쓰기하여 DPRAM의 동작과 동일한 결과를 얻을 수 있다.

[0038] 본 발명에 따른 SPRAM은 하나의 메모리 셀에 하나의 워드라인과 두 개의 비트라인이 연결되므로 종래의 SPRAM에

비해 비트라인의 수가 증가하고 종래의 DPRAM에 비해 워드라인의 수가 줄어든다. 본 발명은 SPRAM을 DPRAM과 같은 성능으로 구현하는 것이므로 종래의 SPRAM과 비교하여 워드라인의 수를 유지하면 비트라인의 수가 2배 증가하고, 비트라인의 수를 유지하면 워드라인의 수를 절반으로 줄임으로써, 종래의 SPRAM과 동일한 하드웨어 코스트를 가지면서도 속도를 2배로 향상시킬 수 있다. 비트라인의 수를 2배 증가시키면 SPRAM 주변 회로가 증가하게 되므로 본 발명은 비트라인의 수를 증가시키지 않고 워드라인을 줄인다. 즉, 본 발명에 따른 SPRAM은 하나의 메모리 셀에 하나의 워드라인과 두 개의 비트라인이 연결되므로 워드라인의 수를 종래의 SPRAM에 비해 줄여 주변 회로의 증가를 방지할 수 있다. 또한, 본 발명은 워드라인이 수를 줄임으로써 SPRAM 메모리 셀의 수를 줄일 수 있어 주변 회로를 줄일 수 있고 그에 따라 하드웨어 코스트가 감소하게 된다. 그런데, 워드라인 및 메모리 셀의 수를 줄이더라도 비트라인의 수가 유지되므로 처리되는 영상 데이터 수는 그대로 유지될 수 있다. 결국, 본 발명은 SPRAM을 이용하고 하나의 메모리 셀에 하나의 워드라인과 두 개의 비트라인을 연결함으로써 동시에 두 개의 데이터를 저장할 수 있고, DPRAM 대비 SPRAM 메모리 셀의 수를 줄일 수 있어 주변 회로를 줄일 수 있다.

[0039] 본 발명은, 종래의 SPRAM (1개) 대비, 워드라인 수는 절반으로 줄이고, 비트 라인 수를 2배 증가시킴으로써, 종래의 SPRAM과 동일한 하드웨어 코스트를 가지지만 속도는 2배 향상시킬 수 있게 되었다. 또한, 종래의 SPRAM을 두 개 사용해 속도를 2배 향상시킨 경우와 비교하면, 본 발명은 동일한 속도를 갖지만 주변 회로(컬럼 머스, 디코더, 컨디셔닝 등)의 감소로 하드웨어 코스트가 감소한다.

[0040] 즉, 본 발명에 따르면, 종래의 SPRAM을 1개 사용한 경우와 동일한 하드웨어 코스트를 갖지만, 2배 빠른 속도를 가지며, DPRAM 1개를 사용한 경우와 동일한 속도를 갖지만 주변 회로 감소로 더 적은 하드웨어코스트를 가지고, 종래의 SPRAM을 2개 사용한 경우와 동일한 속도를 갖지만 주변 회로 감소로 더 적은 하드웨어 코스트를 가지는 효과를 가져온다.

[0041] 상기한 바와 같이 본 발명은 여러 라인의 데이터를 하나의 SPRAM에 저장하기 위해 워드라인에 대한 비트라인의 수를 라인의 개수만큼 증가시킨다. 그리고, 영상의 각 라인에서 두 개의 데이터를 하나의 워드라인을 통해 저장한다. 즉, 하나의 워드라인과 두 개의 비트라인을 통해 두 개의 데이터가 SPRAM에 저장된다. 저장하는 각 라인의 두 데이터들은 라인마다 동일한 컬럼에 위치한다. 즉, 각 라인의 같은 컬럼에 위치한 데이터들을 SPRAM의 같은 어드레스에 저장한다. 결과적으로, 본 발명에 따른 SPRAM의 워드라인 수는 [수학식 1]과 같이 이미지 데이터 폭의 1/2로 정의되고, 워드라인에 대한 비트라인의 수는 [수학식 2]와 같이 픽셀의 비트 폭과 저장 장치의 라인 수의 곱의 2배로 정의할 수 있다.

수학식 1

[0042]
$$\text{The number of word} = 1/2 \text{ Image Width}$$

수학식 2

[0043]
$$\text{Bit Width of Word} = 2 \times \text{Bit Width of Pixel} \times \text{The number of Line of store}$$

[0044] 그러므로 패킹 회로(100)는 각 라인에서 동일한 컬럼 데이터들을 라인 순서대로 순차적으로 묶어 워드를 생성한다. 해당 워드는 SPRAM 하나의 주소에 저장된다. 디패킹 회로(300)는 저장된 워드를 읽어 데이터 크기에 따라 데이터를 분리한다. 패킹 회로(100)의 데이터들을 라인 순서대로 저장했기 때문에 하나의 워드에서 어떤 데이터가 가장 이전 라인의 데이터인지 알 수 있다. 따라서, 패킹 회로는 가장 이전 라인의 데이터 대신 새로 입력된 데이터로 다시 패킹할 수 있다.

[0045] 상기한 바와 같이 본 발명은 패킹 회로(100), SPRAM(200), 디패킹 회로(300)를 포함하는 영상 데이터 패킹 장치를 제시한다. 즉, 본 발명은 패킹 회로(100)로부터 패킹된 데이터를 저장하기 위해 SPRAM(200)을 이용한다. 또한, 본 발명은 SPRAM(200)을 DPRAM과 같은 성능으로 구현하기 위해 하나의 메모리 셀에 하나의 워드라인 및 두 개의 비트라인이 연결되도록 함으로써 두 개의 데이터를 동시에 읽기 및 쓰기가 가능하다. 따라서, 본 발명은 SPRAM(200)을 이용함으로써 종래의 DPRAM을 이용하는 경우에 비해 주변 회로를 줄일 수 있어 하드웨어 코스트를 감소시킬 수 있다.

[0046] 상기한 바와 같은 본 발명의 기술적 사상은 상기 실시 예에 따라 구체적으로 기술되었으나, 상기 실시 예는 그

설명을 위한 것이며, 그 제한을 위한 것이 아님을 주지해야 한다. 또한, 본 발명의 기술분야에서 당업자는 본 발명의 기술 사상의 범위 내에서 다양한 실시 예가 가능함을 이해할 수 있을 것이다.

부호의 설명

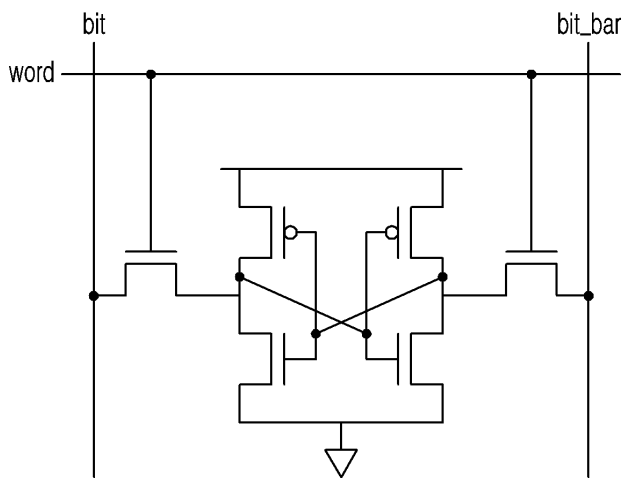
100 : 패킹 회로

200 : SPRAM

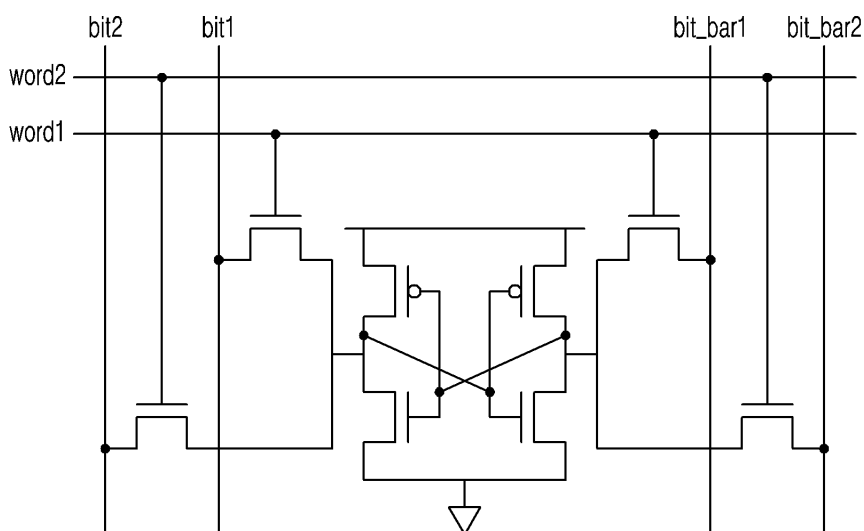
300 : 디패킹 회로

도면

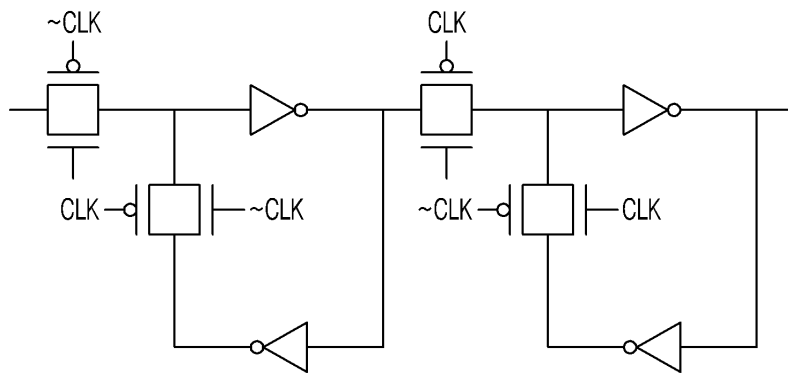
도면1



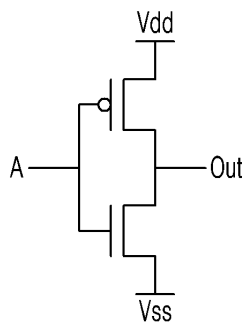
도면2



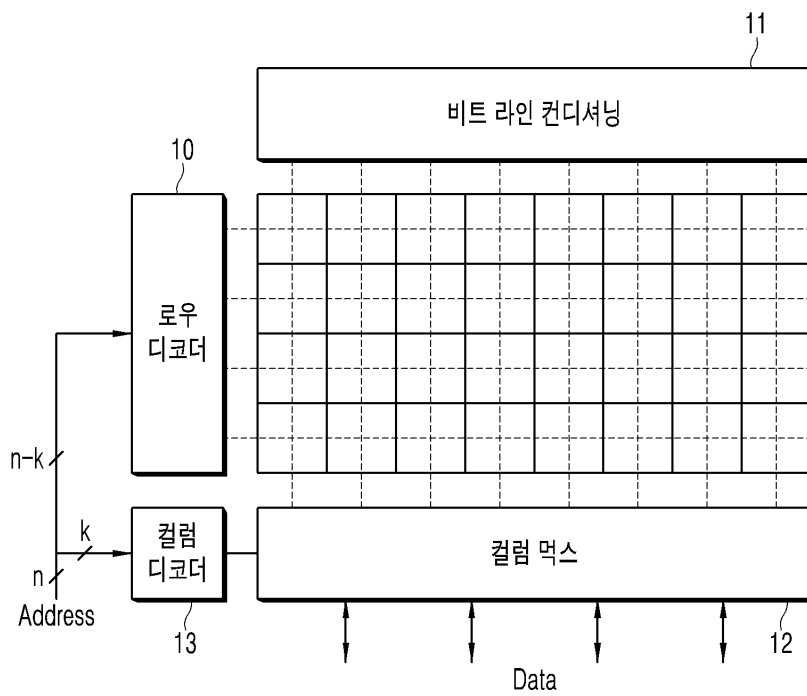
도면3



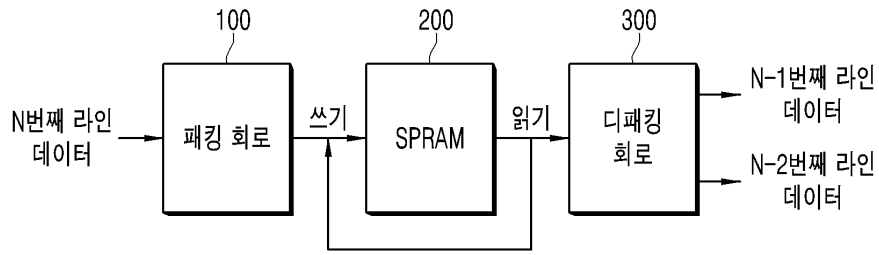
도면4



도면5



도면6



도면7

