



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년03월27일

(11) 등록번호 10-1506527

(24) 등록일자 2015년03월23일

(51) 국제특허분류(Int. Cl.)

H01L 29/739 (2006.01) H01L 21/331 (2006.01)

(21) 출원번호 10-2013-0112976

(22) 출원일자 2013년09월24일

심사청구일자 2013년09월24일

(65) 공개번호 10-2014-0043668

(43) 공개일자 2014년04월10일

(30) 우선권주장

JP-P-2012-220488 2012년10월02일 일본(JP)

(56) 선행기술조사문현

JP2001094095 A*

KR1020000011235 A*

JP08293618 A

KR1020090122106 A

*는 심사관에 의하여 인용된 문현

(73) 특허권자

미쓰비시덴키 가부시키가이샤

일본국 도쿄도 지요다쿠 마루노우치 2쵸메 7반 3
고

(72) 발명자

오츠키 에이코

일본국 도쿄도 지요다쿠 마루노우치 2쵸메 7반 3
고 미쓰비시덴키 가부시키가이샤 나이

사다마츠 켄지

일본국 도쿄도 지요다쿠 마루노우치 2쵸메 7반 3
고 미쓰비시덴키 가부시키가이샤 나이

요시우라 야스히로

일본국 도쿄도 지요다쿠 마루노우치 2쵸메 7반 3
고 미쓰비시덴키 가부시키가이샤 나이

(74) 대리인

이화익, 김홍두

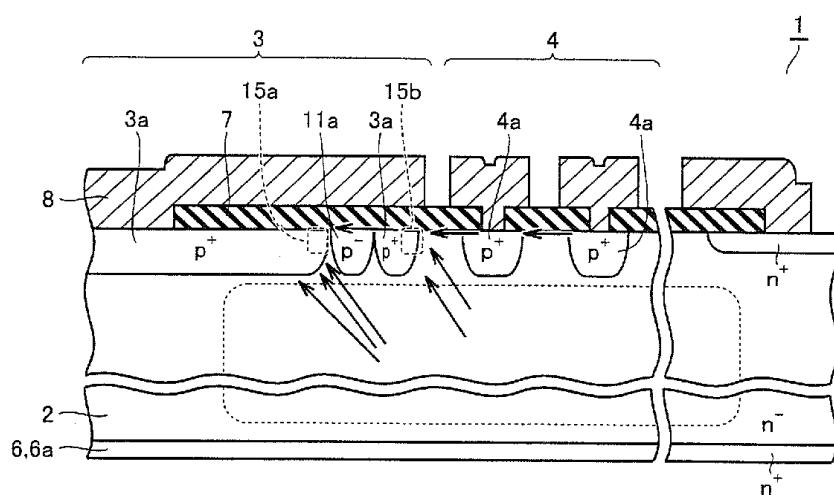
전체 청구항 수 : 총 8 항

심사관 : 최정민

(54) 발명의 명칭 반도체장치

(57) 요약

반도체장치(1)에서는, 반도체 기판(2)의 한쪽의 주표면의 측에, 다이오드의 애노드(3)가 형성되어 있다. 그 애노드(3)의 외주와 거리를 두고, 애노드(3)를 둘러싸도록, 가드링(4)이 형성되어 있다. 애노드(3)는, p+형 확산 영역(3a), p-형 영역(11a) 및 애노드 전극(8)을 구비하고 있다. p-형 영역(11a)은, 애노드(3)의 외주측에 위치하는 종단부에 형성되어 있다. p-형 영역(11a)은, 상대적으로 전기 저항이 높은 영역으로서, p+형 확산 영역(3a)에 의해 끼워지도록 형성되어 있다.

대 표 도 - 도7

특허청구의 범위

청구항 1

서로 대향하는 제1주표면 및 제2주표면을 갖는 제1도전형의 반도체 기판과,
상기 반도체 기판의 상기 제1주표면측에 형성된 애노드와,
상기 애노드의 외주로부터 거리를 두고, 상기 애노드를 둘러싸도록, 상기 반도체 기판의 상기 제1주표면측에 형성된 가드링과,
상기 반도체 기판의 상기 제2주표면측에 형성된 제1도전형의 캐소드를 갖고,
상기 애노드는, 상기 외주측에 위치하는 종단부에 있어서, 상기 반도체 기판의 상기 제1주표면으로부터 제1 깊이에 걸쳐 형성된, 제1불순물 농도를 갖는 제2도전형의 제1불순물 영역과,
상기 반도체 기판의 상기 제1주표면으로부터 제2 깊이에 걸쳐 형성된, 상기 제1불순물 농도와는 다른 제2불순물 농도를 갖는 제2도전형의 제2불순물 영역을 구비하고,
상기 제2 깊이는 상기 제1 깊이보다도 얕고,
상기 제2불순물 영역은, 상기 제1불순물 영역에 의해 아래쪽과 옆쪽으로부터 둘러싸도록 형성된, 반도체장치.

청구항 2

제 1항에 있어서,
상기 제2불순물 영역은, 복수 형성되고,
복수의 상기 제2불순물 영역은, 상기 애노드와 상기 가드링을 연결하는 방향으로 서로 거리를 두고 있고,
복수의 상기 제2불순물 영역의 각각은, 상기 제1불순물 영역에 의해 아래쪽과 옆쪽으로부터 둘러싸도록 형성된, 반도체장치.

청구항 3

제 1항에 있어서,
상기 제2불순물 농도는 상기 제1불순물 농도보다도 낮은, 반도체장치.

청구항 4

제 1항에 있어서,
상기 제2불순물 농도는 상기 제1불순물 농도보다도 높은, 반도체장치.

청구항 5

서로 대향하는 제1주표면 및 제2주표면을 갖는 제1도전형의 반도체 기판과,
상기 반도체 기판의 상기 제1주표면측에 형성된 애노드와,
상기 애노드의 외주로부터 거리를 두고, 상기 애노드를 둘러싸도록, 상기 반도체 기판의 상기 제1주표면측에 형성된 가드링과,
상기 반도체 기판의 상기 제2주표면측에 형성된 제1도전형의 캐소드를 갖고,

상기 애노드는, 상기 외주측에 위치하는 종단부에 있어서, 상기 반도체 기판의 상기 제1주표면으로부터 제1 깊이에 걸쳐 형성된, 제1불순물 농도를 갖는 제2도전형의 제1불순물 영역과,

상기 반도체 기판의 상기 제1주표면으로부터 제2 깊이에 걸쳐 형성된, 상기 제1불순물 농도와는 다른 제2불순물 농도를 갖는 제2도전형의 제2불순물 영역을 구비하고,

상기 제2 깊이는 상기 제1 깊이보다도 깊고,

상기 제2불순물 영역은, 상기 제1불순물 영역보다도 아래쪽으로 돌출하도록 형성된, 반도체장치.

청구항 6

제 5항에 있어서,

상기 제2불순물 영역은 복수 형성되고,

복수의 상기 제2불순물 영역은, 상기 애노드와 상기 가드링을 연결하는 방향으로 서로 거리를 두고 배치되고,

복수의 상기 제2불순물 영역의 각각은, 상기 제1불순물 영역보다도 아래쪽으로 돌출하도록 형성된, 반도체장치.

청구항 7

제 5항에 있어서,

상기 제2불순물 농도는 상기 제1불순물 농도보다도 낮은, 반도체장치.

청구항 8

제 5항에 있어서,

상기 제2불순물 농도는 상기 제1불순물 농도보다도 높은, 반도체장치.

청구항 9

삭제

청구항 10

삭제

명세서

기술 분야

[0001] 본 발명은 반도체장치에 관한 것으로서, 특히, 다이오드를 구비한 전력용의 고내압의 반도체장치에 관한 것이다.

배경기술

[0002] 최근, 산업용 전력장치 등의 분야에서 인버터 장치가 사용되고 있다. 인버터 장치에는, 통상, 상용 전원(교류 전원)이 사용된다. 그 때문에, 인버터 장치는, 교류 전원을 한번 직류로 변환(순변환)하는 컨버터 부분과, 평활회로 부분과, 직류 전압을 교류로 변환(역변환)하는 인버터 부분으로 구성된다. 인버터 부분에 있어서의 메인의 파워 소자로서는, 비교적 고속으로 스위칭 동작이 가능한 게이트 절연형 트랜지스터(Insulated Gate Bipolar Transistor, 이하 「IGBT」로 기재한다)가 주로 적용되고 있다.

[0003] 인버터 장치의 부하는 전동유도기(유도성 부하의 모터)인 경우가 많다. 그 유도성 부하는 상부 암 소자

와 하부 암 소자의 중간 전위점에 접속되어, 유도성 부하에 흐르는 전류의 방향은 양과 음의 양방향으로 된다. 그 때문에, 유도성 부하에 흐르는 전류를 부하 접속단으로부터 고전위의 전원측으로 되돌리거나, 부하 접속단으로부터 접지측으로 흘리기 위해, 그 전류를 유도성 부하와 암 소자의 폐회로 사이에서 환류시키기 위한 프리휠 다이오드가 필요하게 된다.

[0004] 인버터 장치에서는, 통상, IGBT를 스위칭 소자로서 동작시켜, 오프 상태와 온 상태를 반복함으로써, 전력 에너지가 제어된다. 유도성 부하에 의한 인버터 회로의 스위칭에서는, 턴온 과정을 거쳐 온 상태로 되고, 한편, 턴오프 과정을 거쳐 오프 상태로 된다. 턴온 과정이란 IGBT가 오프 상태로부터 온 상태로 천이하는 것을 말하고, 턴오프 과정이란 IGBT가 온 상태로부터 오프 상태로 천이하는 것을 말한다. IGBT가 온의 상태에서는 다이오드에는 전류는 흐르지 않아, 다이오드는 오프 상태에 있다. 한편, IGBT가 오프의 상태에서는 다이오드에 전류가 흘러, 다이오드는 온 상태에 있다.

[0005] 다음에, 종래의 다이오드의 구조와 그 동작에 대해 설명한다. 종래의 다이오드에서는, n형 저농도의 반도체 기판의 한쪽의 주표면측에, p형 확산 영역을 포함하는 애노드가 형성되어 있다. 반도체 기판의 다른쪽의 주표면측에는, n+형 고농도 영역을 포함하는 캐소드가 형성되어 있다. 캐소드와 애노드 사이에 전압이 인가된 상태에서 다이오드의 내압을 확보하기 위해, 다이오드로서는, 가드링(p형 영역)을 구비한 다이오드가 일반적으로 널리 이용되고 있다. 가드링은, 애노드(p형 확산 영역)의 외주로부터 거리를 두고 애노드를 둘러싸도록 형성됨으로써, 애노드의 외주측의 종단부의 전계가 완화되게 된다.

[0006] 애노드와 캐소드 사이에 순방향으로 고전압이 인가된 온 상태에서는, 반도체 기판에 있어서의 n형의 영역(드리프트층)에, 다수의 캐리어가 축적된다. 한편, 애노드와 캐소드 사이에 역방향으로 고전압이 인가된 오프 시(리버스 리커버리시)에서는, 드리프트층에 축적된 캐리어가 배출됨으로써 역회복 전류(리커버리 전류)가 흐른다. 이때, 다이오드에는 대전류이며 고전압이 인가되기 때문에, 큰 전력소비를 수반하여 발열하게 된다. 이것은, 고속 스위칭을 방해하는 원인의 한가지가 된다.

[0007] 이때, 다이오드를 구비한 전력용의 반도체장치를 개시한 문헌으로서, 예를 들면, 일본국 특표 2011-514674호 공보, 일본국 특개 2000-114550호 공보, 일본국 특개 2003-101039호 공보 및 일본국 특개평 07-221326호 공보가 있다.

발명의 내용

해결하려는 과제

[0008] 그렇지만, 종래의 반도체 장치에서는 다음과 같은 문제가 있었다. 다이오드가 온 상태에서는, 캐리어는, 애노드 바로 아래의 드리프트층의 영역 뿐만 아니라, 가드링 바로 아래의 드리프트층의 영역에도 확산해서 축적되게 된다.

[0009] 한편, 온 상태로부터 오프 상태로 변할 때에는, 드리프트층에 축적된 캐리어는 애노드 또는 캐소드로부터 배출되는 것 등으로 해서 최종적으로 소멸한다. 이때, 애노드의 p형 확산 영역에는, 애노드 바로 아래의 드리프트층의 영역에 축적된 캐리어(홀)와, 가드링 바로 아래의 드리프트층의 영역에 축적된 캐리어(홀)의 양쪽의 캐리어가 흘러들어 온다. 특히, 애노드의 종단부에서는, 흘러 들어오게 된다. 이 때문에, 애노드의 종단부에서는, 전계가 집중해서 온도가 상승하여, 다이오드가 파괴될 우려가 있었다.

[0010] 본 발명은 상기 문제점을 해결하기 위해 이루어진 것으로, 그 목적은, 애노드의 종단부에 전류가 집중하는 것이 억제되는 반도체장치를 제공하는 것이다.

과제의 해결 수단

[0011] 본 발명에 관한 반도체장치는, 반도체 기판과 애노드와 가드링과 캐소드를 갖는다. 반도체 기판은, 서로 대향하는 제1주표면 및 제2주표면을 갖는다. 애노드는, 반도체 기판의 제1주표면측에 형성되어 있다. 가드링은, 애노드의 외주로부터 거리를 두고, 애노드를 둘러싸도록, 반도체 기판의 제1주표면측에 형성되어 있다. 캐소드는, 반도체 기판의 제2주표면측에 형성되어 있다. 애노드는, 외주측에 위치하는 종단부에 있어서, 상대적으로 불순물 농도가 높은 영역으로 상대적으로 불순물 농도가 낮은 영역을 구비하고 있다.

[0012] 본 발명에 관한 반도체장치에 따르면, 다이오드에 있어서의 애노드의 종단부에 전류가 집중하는 것을 억제할 수 있다.

[0013] 본 발명의 상기 및 다른 목적, 특징, 국면 및 이점은, 첨부도면과 관련하여 이해되는 본 발명에 관한 다음의 상세한 설명으로부터 명확해질 것이다.

도면의 간단한 설명

[0014] 도 1은 발명의 실시형태 1에 관한, 다이오드를 구비한 전력용의 반도체장치의 단면도다.

도 2는 동 실시형태에 있어서, 반도체장치의 온 동작을 설명하기 위한 캐리어의 흐름을 나타낸 단면도다.

도 3은 동 실시형태에 있어서, 반도체장치의 오프 동작을 설명하기 위한 캐리어의 흐름을 나타낸 단면도다.

도 4는 비교예에 관한, 다이오드를 구비한 전력용의 반도체장치의 단면도다.

도 5는 비교예에 관한, 다이오드를 구비한 전력용의 반도체장치에 있어서, 오프 동작을 설명하기 위한 캐리어의 거동을 나타낸 단면도다.

도 6은 비교예에 관한, 다이오드를 구비한 전력용의 반도체장치에 있어서, 온 상태로부터 오프 상태로 변할 때의 전류, 전압 및 온도의 경시 변화를 나타낸 그레프다.

도 7은 동 실시형태에 있어서, 작용 효과를 설명하기 위한 캐리어의 흐름을 나타낸 단면도다.

도 8은 본 발명의 실시형태 2에 관한, 다이오드를 구비한 전력용의 반도체장치의 단면도다.

도 9는 동 실시형태에 있어서, 작용 효과를 설명하기 위한 온 상태로부터 오프 상태로 변할 때의 캐리어의 흐름을 나타낸 단면도다.

도 10은 본 발명의 실시형태 3에 관한, 다이오드를 구비한 전력용의 반도체장치의 단면도다.

도 11은 동 실시형태에 있어서, 작용 효과를 설명하기 위한 온 상태로부터 오프 상태로 변할 때의 캐리어의 흐름을 나타낸 단면도다.

도 12는 본 발명의 실시형태 4에 관한, 다이오드를 구비한 전력용의 반도체장치의 단면도다.

도 13은 동 실시형태에 있어서, 작용 효과를 설명하기 위한 온 상태로부터 오프 상태로 변할 때의 캐리어의 흐름을 나타낸 단면도다.

도 14는 본 발명의 실시형태 5에 관한, 다이오드를 구비한 전력용의 반도체장치의 단면도다.

도 15는 동 실시형태에 있어서, 작용 효과를 설명하기 위한 온 상태로부터 오프 상태로 변할 때의 캐리어의 흐름을 나타낸 단면도다.

도 16은 본 발명의 실시형태 6에 관한, 다이오드를 구비한 전력용의 반도체장치의 단면도다.

도 17은 동 실시형태에 있어서, 작용 효과를 설명하기 위한 온 상태로부터 오프 상태로 변할 때의 캐리어의 흐름을 나타낸 단면도다.

도 18은 본 발명의 실시형태 7에 관한, 다이오드를 구비한 전력용의 반도체장치의 단면도다.

도 19는 동 실시형태에 있어서, 작용 효과를 설명하기 위한 온 상태로부터 오프 상태로 변할 때의 캐리어의 흐름을 나타낸 단면도다.

도 20은 본 발명의 실시형태 8에 관한, 다이오드를 구비한 전력용의 반도체장치의 단면도다.

도 21은 동 실시형태에 있어서, 작용 효과를 설명하기 위한 온 상태로부터 오프 상태로 변할 때의 캐리어의 흐름을 나타낸 단면도다.

도 22는 본 발명의 실시형태 9에 관한, 다이오드를 구비한 전력용의 반도체장치의 단면도다.

도 23은 동 실시형태에 있어서, 작용 효과를 설명하기 위한 온 상태로부터 오프 상태로 변할 때의 캐리어의 흐름을 나타낸 단면도다.

도 24는 본 발명의 실시형태 10에 관한, 다이오드를 구비한 전력용의 반도체장치의 단면도다.

도 25는 동 실시형태에 있어서, 작용 효과를 설명하기 위한 온 상태로부터 오프 상태로 변할 때의 캐리어의 흐름을 나타낸 단면도다.

도 26은 본 발명의 실시형태 11에 관한, 다이오드를 구비한 전력용의 반도체장치의 단면도다.

도 27은 동 실시형태에 있어서, 작용 효과를 설명하기 위한 온 상태로부터 오프 상태로 변할 때의 캐리어의 흐름을 나타낸 단면도다.

도 28은 본 발명의 실시형태 12에 관한, 다이오드를 구비한 전력용의 반도체장치의 단면도다.

도 29는 동 실시형태에 있어서, 작용 효과를 설명하기 위한 온 상태로부터 오프 상태로 변할 때의 캐리어의 흐름을 나타낸 단면도다.

발명을 실시하기 위한 구체적인 내용

[0015]

실시형태 1

본 발명의 실시형태 1에 관한, 다이오드를 구비한 전력용의 반도체장치에 대해 설명한다. 도 1에 나타낸 것과 같이, 반도체장치(1)에서는, n-형의 저농도의 반도체 기판(2)의 한쪽의 주표면의 측에, 다이오드의 애노드(3)가 형성되어 있다. 그 애노드(3)의 외주와 거리를 두고, 애노드(3)를 둘러싸도록, 가드링(4)이 형성되어 있다. 애노드(3)는, p+형 확산 영역(3a), p-형 영역(11a) 및 애노드 전극(8)을 구비하고 있다. 가드링(4)은, p+형 영역(4a)을 구비하고 있다. 한편, 반도체 기판(2)의 다른쪽의 주표면의 측에는, 캐소드(6)가 형성되어 있다. 캐소드(6)는, n+형 고농도 영역(6a)을 구비하고 있다.

[0017]

애노드(3)의 구조에 대해 상세히 설명한다. p-형 영역(11a)은, 애노드(3)의 외주측에 위치하는 종단부에 형성되어 있다. p-형 영역(11a)은, 상대적으로 전기 저항이 높은 영역으로서, p+형 확산 영역(3a)에 의해 사이에 끼워지도록 형성되어 있다. p+형 확산 영역(3a) 및 p-형 영역(11a)은, 한쪽의 주표면으로부터 각각 같은 깊이에 걸쳐 형성되어 있다. 같은 깊이란, 엄밀하게 같은 깊이를 의도하는 것은 아니고, 제조상의 오차를 포함하는 것이다. 또한, p-형 영역(11a)의 표면은 절연막(7)에 의해 덮여 있다.

[0018]

p-형 영역(11a)의 불순물 농도는, p+형 확산 영역(3a)의 불순물 농도보다도 낮게 설정되어 있다. p+형 확산 영역(3a)의 불순물 농도는, 예를 들면, $1 \times 10^{16} / \text{cm}^3 \sim 1 \times 10^{18} / \text{cm}^3$ 정도로 된다. p-형 영역(11a)의 불순물 농도는, 예를 들면, $1 \times 10^{14} / \text{cm}^3 \sim 1 \times 10^{16} / \text{cm}^3$ 정도로 된다. 이때, n-형의 저농도의 반도체 기판(2)의 불순물 농도는, 예를 들면, $1 \times 10^{13} / \text{cm}^3 \sim 1 \times 10^{14} / \text{cm}^3$ 정도로 된다. 또한, n+형 고농도 영역(6a)의 불순물 농도는, 예를 들면, $1 \times 10^{18} / \text{cm}^3 \sim 1 \times 10^{20} / \text{cm}^3$ 정도로 된다.

[0019]

다음에, 전술한 반도체장치의 동작에 대해 설명한다. 인버터 회로에 있어서의 다이오드에서는, IGBT의 스위칭 동작에 따라 온 상태와 오프 상태가 교대로 반복된다. IGBT가 온의 상태에서는 다이오드는 오프 상태에 있고, IGBT가 오프의 상태에서는 다이오드는 온 상태에 있다.

[0020]

다이오드 애노드(3)와 캐소드(6) 사이에 순방향으로 고전압이 인가된 온 상태에서는, 도 2에 나타낸 것과 같이, 반도체 기판(2)의 n-형의 영역(드리프트층)에, 다수의 캐리어가 축적된다. 즉, p+형 확산 영역(3a)으로부터 반도체 기판(2)의 드리프트층을 향해 홀이 주입되는 동시에, n+형 고농도 영역(6a)으로부터 반도체 기판(2)의 드리프트층을 향해 전자가 주입된다.

[0021]

다음에, 다이오드 애노드(3)와 캐소드(6) 사이에 역방향으로 고전압이 인가되면, 다이오드는 온 상태로부터 오프 상태로 변한다. 도 3에 나타낸 것과 같이, 온 상태로부터 오프 상태로 변할 때에는, 온 상태에 있어서 드리프트층에 축적된 캐리어 중, 전자는 캐소드(6)로부터 배출되고, 홀은 애노드(3)로부터 배출된다. 또한, 일부의 전자와 홀은 재결합해서 소멸하고, 주입된 캐리어가 최종적으로 소멸해서 오프 상태가 된다.

전술한 반도체장치(1)의 애노드(3)에 있어서의 종단부에서는, 상대적으로 불순물 농도가 낮은 p-형 영역(11a)이 형성되어 있다. 이에 따라, 애노드(3)의 종단부에 있어서의 전계집중을 완화시킬 수 있다. 이것이에 대

해, 비교예에 관한 반도체장치를 연계하여 설명한다.

[0023] 비교예에 관한 반도체 장치에서는, 애노드로서, p+형 확산 영역(3a)의 불순물 농도와는 다른 불순물 농도를 갖는 p-형 영역(11a)이 형성되어 있지 않은 점을 제외하고, 전술한 반도체장치와 유사한 구조를 갖고 있다.

[0024] 도 4에 나타낸 것과 같이, 반도체장치(101)에서는, 반도체 기판(102)의 한쪽의 주표면의 측에, 다이오드의 애노드(103)가 형성되어 있다. 그 애노드(103)의 외주와 거리를 두고, 애노드(103)를 둘러싸도록, 가드링(104)이 형성되어 있다. 애노드(103)는, p+형 확산 영역(103a)을 구비하고 있다. 가드링(104)은, p+형 영역(104a)을 구비하고 있다. 한편, 반도체 기판(102)의 다른쪽의 주표면의 측에는, 캐소드(106)가 형성되어 있다. 캐소드(106)는, n+형 고농도 영역(106a)을 구비하고 있다.

[0025] 다음에, 비교예에 관한 반도체장치의 동작에 대해 설명한다. 우선, 다이오드의 애노드(103)와 캐소드(106) 사이에 순방향으로 고전압이 인가된 온 상태에서는, p+형 확산 영역(103a)으로부터 반도체 기판(102)의 n형의 영역(드리프트층)을 향해 홀이 주입되는 동시에, n+형 고농도 영역(106a)으로부터 반도체 기판(102)의 드리프트층을 향해 전자가 주입된다.

[0026] 다음에, 다이오드의 애노드(103)와 캐소드(106) 사이에 역방향으로 고전압이 인가되어, 다이오드는 온 상태로부터 오프 상태로 변한다. 이때에, 온 상태에 있어서 드리프트층에 축적된 캐리어 중, 전자는 캐소드(106)로부터 배출되고, 홀은 애노드(103)로부터 배출되는 것 등으로 하여, 주입된 캐리어가 최종적으로 소멸한다.

[0027] 이때, 애노드(103)의 p+형 확산 영역(103a)에는, 애노드(103) 바로 아래의 드리프트층에 축적된 캐리어(홀)와, 가드링(104) 바로 아래의 드리프트층에 축적된 캐리어(홀)의 양쪽의 캐리어가 흘러들어 온다(역회복 전류). 그 때문에, 특히, 가드링(104)의 p+형 영역(104a) 바로 근처의, p+형 확산 영역(103a)의 종단부(접선 틀(115))에서는, 전류가 집중하게 된다.

[0028] 여기에서, 다이오드가 온 상태로부터 오프 상태로 변할 때에 있어서, 다이오드에 흐르는 전류, 전압 및 다이오드의 온도의 각각의 시간 변화를 도 6에 나타낸다. 도 6에 나타낸 것과 같이, 다이오드에는, 온 상태로부터 오프 상태로 변할 때에 역회복 전류(리커버리 전류)가 흐른다(실선의 그래프 참조). 이때, p+형 확산 영역(103a)의 종단부(접선 틀(115))에 집중적으로 캐리어(홀)가 흘러 들어오게 된다. 이 때문에, 애노드의 종단부에서는 전계가 집중하여, 다이오드의 온도가 상승해 버린다(일점쇄선의 그래프 참조). 그 결과, 다이오드가 파괴될 우려가 있다.

[0029] 비교예에 관한 반도체장치에 대해 전술한 반도체 장치에서는, 애노드(3)의 종단부에 있어서, p+형 확산 영역(3a)과 p-형 영역(11a)이 형성되어 있다. p-형 영역(11a)의 불순물 농도는, p+형 확산 영역(3a)의 불순물 농도보다도 낮고, p-형 영역(11a)은, p+형 확산 영역(3a)보다도 전기 저항이 높은 영역으로서, p+형 확산 영역(3a)에 의해 사이에 끼워지도록 형성되어 있다. 또한, p-형 영역(11a)은, 한쪽의 주표면으로부터 p+형 확산 영역(3a)과 같은 깊이에 걸쳐 형성되어 있다.

[0030] 이에 따라, 도 7에 나타낸 것과 같이, 다이오드가 온 상태로부터 오프 상태로 변할 때에는, 애노드(3)에 있어서 전류가 집중적으로 흘러 들어오는 개소(접선 틀 15a, 15b)가, 적어도 2개소로 분산된다. 전류가 집중적으로 흘러 들어오는 개소가 분산됨으로써, 전계의 집중도 완화된다. 그 결과, 다이오드의 온도 상승이 억제되어, 다이오드가 파괴되는 것을 방지할 수 있다.

[0031] 실시형태 2

[0032] 본 발명의 실시형태 2에 관한, 다이오드를 구비한 전력용의 반도체장치에 대해 설명한다.

[0033] 도 8에 나타낸 것과 같이, 애노드(3)는, p+형 확산 영역(3a)과 p++형 영역(12a)을 구비하고 있다. p++형 영역(12a)은, 상대적으로 전기 저항이 낮은 영역으로서, 애노드(3)의 종단부에 형성되어 있다. p++형 영역(12a)은, 가드링(4)이 배치되어 있는 측과, 가드링(4)이 배치되어 있는 측과는 반대측으로부터, p+형 확산 영역(3a)에 의해 끼워지도록 배치되어 있다.

[0034] p+형 확산 영역(3a) 및 p++형 영역(12a)은, 한쪽의 주표면으로부터 각각 같은 깊이에 걸쳐 형성되어 있다. 같은 깊이란, 염밀하게 같은 깊이를 의도하는 것은 아니고, 제조상의 오차를 포함하는 것이다. p++형 영역

(12a)의 불순물 농도는, p+형 확산 영역(3a)의 불순물 농도보다도 높게 설정되어 있다. p++형 영역(12a)의 불순물 농도는, 예를 들면, $1 \times 10^{18} / \text{cm}^3 \sim 1 \times 10^{20} / \text{cm}^3$ 정도로 된다. 이때, 이 이외의 구성에 대해서는, 도 1에 나타낸 반도체장치와 같으므로, 동일 부재에는 동일한 부호를 붙이고 그 설명을 반복하지 않는 것으로 한다.

[0035] 다음에, 전술한 반도체장치의 동작에 대해 간단히 설명한다. 우선, 다이오드가 온 상태에서는, p+형 확산 영역(3a)으로부터 반도체 기판(2)의 n-형의 영역(드리프트층)을 향해 홀이 주입되는 동시에, n+형 고농도 영역(6a)으로부터 반도체 기판(2)의 드리프트층을 향해 전자가 주입된다. 한편, 온 상태로부터 오프 상태로 변할 때에는, 온 상태에 있어서 드리프트층에 축적된 캐리어 중, 전자는 캐소드(6)로부터 배출되고, 홀은 애노드(3)로부터 배출되어, 오프 상태가 된다.

[0036] 전술한 반도체장치에 있어서 애노드(3)의 종단부에서는, p+형 확산 영역(3a)과 p++형 영역(12a)이 형성되어 있다. p++형 영역(12a)의 불순물 농도는, p+형 확산 영역(3a)의 불순물 농도보다도 높고, p++형 영역(12a)은, p+형 확산 영역(3a)보다도 전기 저항이 낮은 영역으로서, p+형 확산 영역(3a)에 의해 끼워지도록 형성되어 있다. 또한, p++형 영역(12a)과 p+형 확산 영역(3a)은, 한쪽의 주표면으로부터 각각 같은 깊이에 걸쳐 형성되어 있다. 즉, 다이오드의 애노드(3)의 종단부에서는, 전기 저항이 상대적으로 낮은 영역(p++형 영역(12a))과, 높은 영역(p+형 확산 영역(3a))이 배치되어 있게 된다.

[0037] 이에 따라, 도 9에 나타낸 것과 같이 다이오드가 온 상태로부터 오프 상태로 변할 때에는, 애노드(3)에 있어서 전류가 집중적으로 흘러 들어오는 개소(점선 틀 15a, 15b)가, 적어도 2개소로 분산된다. 전류가 집중적으로 흘러 들어오는 개소가 분산됨으로써, 전계의 집중도 완화된다. 그 결과, 다이오드의 온도 상승이 억제되어, 다이오드가 파괴되는 것을 방지할 수 있다.

[0038] 실시형태 3

[0039] 본 발명의 실시형태 3에 관한, 다이오드를 구비한 전력용의 반도체장치에 대해 설명한다.

[0040] 도 10에 나타낸 것과 같이, 애노드(3)는, p+형 확산 영역(3a)과 p-형 영역(11b)을 구비하고 있다. p-형 영역(11b)은, 상대적으로 전기 저항이 높은 영역으로서, 애노드(3)에 있어서의 종단부에 형성되어 있다. p-형 영역(11b)은, p+형 확산 영역(3a)에 의해 옆쪽과 아래쪽으로부터 둘러싸도록, 한쪽의 주표면으로부터 p+형 확산 영역(3a)보다도 얇은 영역에 걸쳐 형성되어 있다. 이때, 이 이외의 구성에 대해서는, 도 1에 나타낸 반도체장치와 같으므로, 동일 부재에는 동일한 부호를 붙이고 그 설명을 반복하지 않는 것으로 한다.

[0041] 다음에, 전술한 반도체장치의 동작에 대해 간단히 설명한다. 우선, 다이오드가 온 상태에서는, p+형 확산 영역(3a)으로부터 반도체 기판(2)의 n-형의 영역(드리프트층)을 향해 홀이 주입되는 동시에, n+형 고농도 영역(6a)으로부터 반도체 기판(2)의 드리프트층을 향해 전자가 주입된다. 한편, 온 상태로부터 오프 상태로 변할 때에는, 온 상태에 있어서 드리프트층에 축적된 캐리어 중, 전자는 캐소드(6)로부터 배출되고, 홀은 애노드(3)로부터 배출되어, 오프 상태가 된다.

[0042] 전술한 반도체장치에 있어서의 애노드(3)의 종단부에서는, p+형 확산 영역(3a)과 p-형 영역(11b)이 형성되어 있다. p-형 영역(11b)의 불순물 농도는, p+형 확산 영역(3a)의 불순물 농도보다도 낮고, p-형 영역(11b)은, p+형 확산 영역(3a)보다도 전기 저항이 높은 영역으로서, p+형 확산 영역(3a)에 의해 아래쪽과 옆쪽으로부터 둘러싸도록, 한쪽의 주표면으로부터 p+형 확산 영역(3a)보다도 얇은 영역에 걸쳐 형성되어 있다. 즉, 다이오드의 애노드(3)의 종단부에서는, 전기 저항이 상대적으로 낮은 영역(p+형 확산 영역(3a))과, 높은 영역(p-형 영역(11b))이 배치되어 있게 된다.

[0043] 이에 따라, 도 11에 나타낸 것과 같이, 다이오드가 온 상태로부터 오프 상태로 변할 때에는, 애노드(3)에 있어서 전류가 집중적으로 흘러 들어오는 개소(점선 틀 15a, 15b)가 적어도 2개소로 분산된다. 전류가 집중적으로 흘러 들어오는 개소가 분산됨으로써, 전계의 집중도 완화된다. 그 결과, 다이오드의 온도 상승이 억제되어, 다이오드가 파괴되는 것을 방지할 수 있다.

[0044] 실시형태 4

[0045] 본 발명의 실시형태 4에 관한, 다이오드를 구비한 전력용의 반도체장치에 대해 설명한다.

[0046] 도 12에 나타낸 것과 같이, 애노드(3)는, p+형 확산 영역(3a)과 p++형 영역(12b)을 구비하고 있다. p++

형 영역(12b)은, 상대적으로 전기 저항이 낮은 영역으로서, 애노드(3)의 종단부에 형성되어 있다. p++형 영역(12b)은, p+형 확산 영역(3a)에 의해 옆쪽과 아래쪽으로부터 둘러싸도록, 한쪽의 주표면으로부터 p+형 확산 영역(3a)보다도 얇은 영역에 걸쳐 형성되어 있다. 이때, 이 이외의 구성에 대해서는, 도 1에 나타낸 반도체장치와 같으므로, 동일 부재에는 동일한 부호를 붙이고 그 설명을 반복하지 않는 것으로 한다.

[0047] 다음에, 전술한 반도체장치의 동작에 대해 간단히 설명한다. 우선, 다이오드가 온 상태에서는, p+형 확산 영역(3a)으로부터 반도체 기판(2)의 n형의 영역(드리프트층)을 향해 홀이 주입되는 동시에, n+형 고농도 영역(6a)으로부터 반도체 기판(2)의 드리프트층을 향해 전자가 주입된다. 한편, 온 상태로부터 오프 상태로 변할 때에는, 온 상태에 있어서 드리프트층에 축적된 캐리어 중, 전자는 케소드(6)로부터 배출되고, 홀은 애노드(3)로부터 배출되어, 오프 상태가 된다.

[0048] 전술한 반도체장치에 있어서의 애노드(3)의 종단부에서는, p+형 확산 영역(3a)과 p++형 영역(12b)이 형성되어 있다. p++형 영역(12b)의 불순물 농도는, p+형 확산 영역(3a)의 불순물 농도보다도 높고, p++형 영역(12b)은, p+형 확산 영역(3a)보다도 전기 저항이 낮은 영역으로서, p+형 확산 영역(3a)에 의해 아래쪽과 옆쪽으로부터 둘러싸도록, 한쪽의 주표면으로부터 p+형 확산 영역(3a)보다도 얇은 영역에 걸쳐 형성되어 있다. 즉, 다이오드의 애노드(3)의 종단부에서는, 전기 저항의 상대적으로 낮은 영역(p++형 영역(12b))과, 높은 영역(p+형 확산 영역(3a))이 배치되어 있게 된다.

[0049] 이에 따라, 도 13에 나타낸 것과 같이, 다이오드가 온 상태로부터 오프 상태로 변할 때에는, 애노드(3)에 있어서 전류가 집중적으로 흘러 들어오는 개소(점선 틀 15a, 15b)가, 적어도 2개소로 분산된다. 전류가 집중적으로 흘러 들어오는 개소가 분산됨으로써, 전계의 집중도 완화된다. 그 결과, 다이오드의 온도 상승이 억제되어, 다이오드가 파괴되는 것을 방지할 수 있다.

[0050] 실시형태 5

[0051] 본 발명의 실시형태 5에 관한, 다이오드를 구비한 전력용의 반도체장치에 대해 설명한다.

[0052] 도 14에 나타낸 것과 같이, 애노드(3)는, p+형 확산 영역(3a)과 p-형 영역(11c)을 구비하고 있다. p-형 영역(11c)은, 상대적으로 전기 저항이 높은 영역으로서, 애노드(3)의 종단부에 형성되어 있다. p-형 영역(11c)은, 가드링(4)이 배치되어 있는 측과, 가드링(4)이 배치되어 있는 측과는 반대측으로부터, p+형 확산 영역(3a)에 의해 끼워지도록 배치되어 있다.

[0053] 또한, p-형 영역(11c)은, p+형 확산 영역(3a)보다도 아래쪽으로 돌출하도록, 한쪽의 주표면으로부터 p+형 확산 영역(3a)보다도 깊은 영역에 걸쳐 형성되어 있다. 이때, 이 이외의 구성에 대해서는, 도 1에 나타낸 반도체장치와 같으므로, 동일 부재에는 동일한 부호를 붙이고 그 설명을 반복하지 않는 것으로 한다.

[0054] 다음에, 전술한 반도체장치의 동작에 대해 간단히 설명한다. 우선, 다이오드가 온 상태에서는, p+형 확산 영역(3a)으로부터 반도체 기판(2)의 n형의 영역(드리프트층)을 향해 홀이 주입되는 동시에, n+형 고농도 영역(6a)으로부터 반도체 기판(2)의 드리프트층을 향해 전자가 주입된다. 한편, 온 상태로부터 오프 상태로 변할 때에는, 온 상태에 있어서 드리프트층에 축적된 캐리어 중, 전자는 케소드(6)로부터 배출되고, 홀은 애노드(3)로부터 배출되어, 오프 상태가 된다.

[0055] 전술한 반도체장치에 있어서의 애노드(3)의 종단부에서는, p+형 확산 영역(3a)과 p-형 영역(11c)이 형성되어 있다. p-형 영역(11c)의 불순물 농도는, p+형 확산 영역(3a)의 불순물 농도보다도 낮고, p-형 영역(11c)은, p+형 확산 영역(3a)보다도 전기 저항이 높은 영역으로서, p+형 확산 영역(3a)보다도 아래쪽으로 돌출하도록 형성되어 있다. 즉, 다이오드의 애노드(3)의 종단부에서는, 전기 저항이 상대적으로 낮은 영역(p+형 확산 영역(3a))과, 높은 영역(p-형 영역(11c))이 배치되어 있게 된다.

[0056] 이에 따라, 도 15에 나타낸 것과 같이, 다이오드가 온 상태로부터 오프 상태로 변할 때에는, 애노드(3)에 있어서 전류가 집중적으로 흘러 들어오는 개소(점선 틀 15a, 15b)가, 적어도 2개소로 분산된다. 전류가 집중적으로 흘러 들어오는 개소가 분산됨으로써, 전계의 집중도 완화된다. 그 결과, 다이오드의 온도 상승이 억제되어, 다이오드가 파괴되는 것을 방지할 수 있다.

[0057] 또한, 전술한 애노드(3)에 있어서의 종단부에서는, p-형 영역(11c)이 형성되어 있어, p-형 영역(11c)은, 다이오드의 순전압(VF)에 영향을 미친다. 순전압이란, 순방향 전류를 흘렸을 때의 다이오드의 애노드와 케소드 사이의 전압 강하를 말하고, p-형 영역(11c)의 불순물 농도를 낮게 하면, 순전압은 상승하는 경

향이 있다.

[0058] 전술한 반도체 장치에서는, p-형 영역(11c)의 불순물 농도를 과도하게 낮추지 않아도, p-형 영역(11c)이, 한쪽의 주표면으로부터 p+형 확산 영역(3a)보다도 깊은 영역에 걸쳐 형성되어 있음으로써, 오프시의 전류의 분산을 도모하면서, 순전압이 높아지는 것을 억제할 수 있다.

[0059] 실시형태 6

[0060] 본 발명의 실시형태 6에 관한, 다이오드를 구비한 전력용의 반도체장치에 대해 설명한다.

[0061] 도 16에 나타낸 것과 같이, 애노드(3)는, p+형 확산 영역(3a)과 p++형 영역(12c)을 구비하고 있다. p++형 영역(12c)은, 상대적으로 전기 저항이 낮은 영역으로서, 애노드(3)의 종단부에 형성되어 있다. p++형 영역(12c)은, p+형 확산 영역(3a)보다도 아래쪽으로 돌출하도록, 한쪽의 주표면으로부터 p+형 확산 영역(3a)보다도 깊은 영역에 걸쳐 형성되어 있다. 이때, 이 이외의 구성에 대해서는, 도 1에 나타낸 반도체장치와 같으므로, 동일 부재에는 동일한 부호를 붙이고 그 설명을 반복하지 않는 것으로 한다.

[0062] 다음에, 전술한 반도체장치의 동작에 대해 간단히 설명한다. 우선, 다이오드가 온 상태에서는, p+형 확산 영역(3a)으로부터 반도체 기판(2)의 n형의 영역(드리프트층)을 향해 홀이 주입되는 동시에, n+형 고농도 영역(6a)으로부터 반도체 기판(2)의 드리프트층을 향해 전자가 주입된다. 한편, 온 상태로부터 오프 상태로 변할 때에는, 온 상태에 있어서 드리프트층에 축적된 캐리어 중, 전자는 캐소드(6)로부터 배출되고, 홀은 애노드(3)로부터 배출되어, 오프 상태가 된다.

[0063] 전술한 반도체장치에 있어서의 애노드(3)의 종단부에서는, p+형 확산 영역(3a)과 p++형 영역(12c)이 형성되어 있다. p++형 영역(12c)의 불순물 농도는, p+형 확산 영역(3a)의 불순물 농도보다도 높고, p++형 영역(12c)은, p+형 확산 영역(3a)보다도 전기 저항이 낮은 영역으로서, p+형 확산 영역(3a)보다도 아래쪽으로 돌출하도록, 한쪽의 주표면으로부터 p+형 확산 영역(3a)보다도 깊은 영역에 걸쳐 형성되어 있다. 즉, 다이오드의 애노드(3)의 종단부에서는, 전기 저항이 상대적으로 낮은 영역(p++형 영역(12c))과, 높은 영역(p+형 확산 영역(3a))이 배치되어 있게 된다.

[0064] 이에 따라, 도 17에 나타낸 것과 같이, 다이오드가 온 상태로부터 오프 상태로 변할 때에는, 애노드(3)에 있어서 전류가 집중적으로 흘러 들어오는 개소(점선 틀 15a, 15b)가, 적어도 2개소로 분산된다. 전류가 집중적으로 흘러 들어오는 개소가 분산됨으로써, 전계의 집중도 완화된다. 그 결과, 다이오드의 온도 상승이 억제되어, 다이오드가 파괴되는 것을 방지할 수 있다.

[0065] 또한, 전술한 애노드에 있어서의 종단부에서는, p++형 영역(12c)이 형성되어 있어, p++형 영역(12c)은, 역회복 전류에 기인하는 역회복 손실(리커버리 손실)에 영향을 미친다, p++형 영역(12c)의 불순물 농도를 높게 하면, 리커버리 손실은 증가하는 경향이 있다.

[0066] 전술한 반도체 장치에서는, p++형 영역(12c)의 불순물 농도를 과도하게 상승시키지 않아도, p++형 영역(12c)은, 한쪽의 주표면으로부터 p+형 확산 영역(3a)보다도 깊은 영역에 걸쳐 형성되어 있음으로써, 오프시의 전류의 분산을 도모하면서, 리커버리 손실이 증가하는 것을 억제할 수 있다.

[0067] 실시형태 7

[0068] 본 발명의 실시형태 7에 관한, 다이오드를 구비한 전력용의 반도체장치에 대해 설명한다.

[0069] 도 18에 나타낸 것과 같이, 애노드(3)는, p+형 확산 영역(3a)과 p-형 영역(11d)을 구비하고 있다. p-형 영역(11d)은, 상대적으로 전기 저항이 높은 영역으로서, 애노드(3)의 종단부에 복수 형성되어 있다. 복수의 p-형 영역(11d)의 각각은, 가드링(4)이 배치되어 있는 측과, 가드링(4)이 배치되어 있는 측과는 반대측으로부터, p+형 확산 영역(3a)에 의해 끼워지도록 배치되어 있다. 이때, 이 이외의 구성에 대해서는, 도 1에 나타낸 반도체장치와 같으므로, 동일 부재에는 동일한 부호를 붙이고 그 설명을 반복하지 않는 것으로 한다.

[0070] 다음에, 전술한 반도체장치의 동작에 대해 간단히 설명한다. 우선, 다이오드가 온 상태에서는, p+형 확산 영역(3a)으로부터 반도체 기판(2)의 n형의 영역(드리프트층)을 향해 홀이 주입되는 동시에, n+형 고농도 영역(6a)으로부터 반도체 기판(2)의 드리프트층을 향해 전자가 주입된다. 한편, 온 상태로부터 오프 상태로 변할

때에는, 온 상태에 있어서 드리프트층에 축적된 캐리어 중, 전자는 캐소드(6)로부터 배출되고, 훌은 애노드(3)로부터 배출되어, 오프 상태가 된다.

[0071] 전술한 반도체장치에 있어서의 애노드(3)의 종단부에서는, p+형 확산 영역(3a)과 복수의 p-형 영역(11d)이 형성되어 있다. p-형 영역(11d)의 불순물 농도는, p+형 확산 영역(3a)의 불순물 농도보다도 낮고, 복수의 p-형 영역(11d)의 각각은, p+형 확산 영역(3a)보다도 전기 저항이 높은 영역으로서, p+형 확산 영역(3a)에 의해 끼워지도록 형성되어 있다. 즉, 다이오드의 애노드(3)의 종단부에서는, 전기 저항이 상대적으로 낮은 영역(p+형 확산 영역(3a))과, 높은 복수의 영역(p-형 영역(11d))이 배치되어 있게 된다.

[0072] 이에 따라, 도 19에 나타낸 것과 같이, 다이오드가 온 상태로부터 오프 상태로 변할 때에는, 애노드(3)에 있어서 전류가 집중적으로 흘러 들어오는 개소(점선 틀 15a, 15b, 15c)가, 적어도 3개소로 분산된다. 전류가 집중적으로 흘러 들어오는 개소가 더 분산됨으로써, 전계의 집중도 더 완화된다. 그 결과, 다이오드의 온도 상승이 억제되어, 다이오드가 과열되는 것을 방지할 수 있다.

[0073] 실시형태 8

[0074] 본 발명의 실시형태 8에 관한, 다이오드를 구비한 전력용의 반도체장치에 대해 설명한다.

[0075] 도 20에 나타낸 것과 같이, 애노드(3)는, p+형 확산 영역(3a)과 p++형 영역(12d)을 구비하고 있다. p++형 영역(12d)은, 상대적으로 전기 저항이 낮은 영역으로서, 애노드(3)의 종단부에 복수 형성되어 있다. 복수의 p++형 영역(12d)의 각각은, 가드링(4)이 배치되어 있는 측과, 가드링(4)이 배치되어 있는 측과는 반대측으로부터, p+형 확산 영역(3a)에 의해 끼워지도록 배치되어 있다. 이때, 이 이외의 구성에 대해서는, 도 1에 나타낸 반도체장치와 같으므로, 동일 부재에는 동일한 부호를 붙이고 그 설명을 반복하지 않는 것으로 한다.

[0076] 다음에, 전술한 반도체장치의 동작에 대해 간단히 설명한다. 우선, 다이오드가 온 상태에서는, p+형 확산 영역(3a)으로부터 반도체 기판(2)의 n형의 영역(드리프트층)을 향해 훌이 주입되는 동시에, n+형 고농도 영역(6a)으로부터 반도체 기판(2)의 드리프트층을 향해 전자가 주입된다. 한편, 온 상태로부터 오프 상태로 변할 때에는, 온 상태에 있어서 드리프트층에 축적된 캐리어 중, 전자는 캐소드(6)로부터 배출되고, 훌은 애노드(3)로부터 배출되어, 오프 상태가 된다.

[0077] 전술한 반도체장치에 있어서의 애노드의 종단부에서는, p+형 확산 영역(3a)과 복수의 p++형 영역(12d)이 형성되어 있다. p++형 영역(12d)의 불순물 농도는, p+형 확산 영역(3a)의 불순물 농도보다도 높고, 복수의 p++형 영역(12d)의 각각은, p+형 확산 영역(3a)보다도 전기 저항이 낮은 영역으로서, p+형 확산 영역(3a)에 의해 끼워지도록 형성되어 있다. 즉, 다이오드의 애노드(3)의 종단부에서는, 전기 저항이 상대적으로 높은 영역(p+형 확산 영역(3a))과, 낮은 복수의 영역(p++형 영역(12d))이 배치되어 있게 된다.

[0078] 이에 따라, 도 21에 나타낸 것과 같이, 다이오드가 온 상태로부터 오프 상태로 변할 때에는, 애노드(3)에 있어서 전류가 집중적으로 흘러 들어오는 개소(점선 틀 15a, 15b, 15c)가, 적어도 3개소로 분산된다. 전류가 집중적으로 흘러 들어오는 개소가 더 분산됨으로써, 전계의 집중도 더 완화된다. 그 결과, 다이오드의 온도 상승이 억제되어, 다이오드가 과열되는 것을 방지할 수 있다.

[0079] 실시형태 9

[0080] 본 발명의 실시형태 9에 관한, 다이오드를 구비한 전력용의 반도체장치에 대해 설명한다.

[0081] 도 22에 나타낸 것과 같이, 애노드(3)는, p+형 확산 영역(3a)과 p-형 영역(11e)을 구비하고 있다. p-형 영역(11e)은, 상대적으로 전기 저항이 높은 영역으로서, 애노드(3)에 있어서의 종단부에 복수 형성되어 있다. 복수의 p-형 영역(11e)의 각각은, p+형 확산 영역(3a)에 의해 옆쪽과 아래쪽으로부터 둘러싸도록, 한쪽의 주표면으로부터 p+형 확산 영역(3a)보다도 얇은 영역에 걸쳐 형성되어 있다. 이때, 이 이외의 구성에 대해서는, 도 1에 나타낸 반도체장치와 같으므로, 동일 부재에는 동일한 부호를 붙이고 그 설명을 반복하지 않는 것으로 한다.

[0082] 다음에, 전술한 반도체장치의 동작에 대해 간단히 설명한다. 우선, 다이오드가 온 상태에서는, p+형 확산 영역(3a)으로부터 반도체 기판(2)의 n형의 영역(드리프트층)을 향해 훌이 주입되는 동시에, n+형 고농도 영역(6a)으로부터 반도체 기판(2)의 드리프트층을 향해 전자가 주입된다. 한편, 온 상태로부터 오프 상태로 변할

때에는, 온 상태에 있어서 드리프트층에 축적된 캐리어 중, 전자는 캐소드(6)로부터 배출되고, 흘은 애노드(3)로부터 배출되어, 오프 상태가 된다.

[0083] 전술한 반도체장치에 있어서의 애노드(3)의 종단부에서는, p+형 확산 영역(3a)과 복수의 p-형 영역(11e)이 형성되어 있다. p-형 영역(11e)의 불순물 농도는, p+형 확산 영역(3a)의 불순물 농도보다도 낮고, 복수의 p-형 영역(11e)의 각각은, p+형 확산 영역(3a)보다도 전기 저항이 높은 영역으로서, p+형 확산 영역(3a)에 의해 아래쪽과 옆쪽으로부터 둘러싸도록 형성되어 있다. 즉, 다이오드의 애노드(3)의 종단부에서는, 전기 저항이 상대적으로 낮은 영역(p+형 확산 영역(3a))과, 높은 복수의 영역(p-형 영역(11e))이 배치되어 있게 된다.

[0084] 이에 따라, 도 23에 나타낸 것과 같이, 다이오드가 온 상태로부터 오프 상태로 변할 때에는, 애노드(3)에 있어서 전류가 집중적으로 흘러 들어오는 개소(점선 틀 15a, 15b, 15c)가, 적어도 3개소로 분산된다. 전류가 집중적으로 흘러 들어오는 개소가 더 분산됨으로써, 전계의 집중도 더 완화된다. 그 결과, 다이오드의 온도 상승이 억제되어, 다이오드가 파괴되는 것을 방지할 수 있다.

[0085] 실시형태 10

[0086] 본 발명의 실시형태 10에 관한, 다이오드를 구비한 전력용의 반도체장치에 대해 설명한다.

[0087] 도 24에 나타낸 것과 같이, 애노드(3)는, p+형 확산 영역(3a)과 p++형 영역(12e)을 구비하고 있다. p++형 영역(12e)은, 상대적으로 전기 저항이 낮은 영역으로서, 애노드(3)에 있어서의 종단부에 복수 형성되어 있다. 복수의 p++형 영역(12e)의 각각은, p+형 확산 영역(3a)에 의해 옆쪽과 아래쪽으로부터 둘러싸도록, 한쪽의 주표면으로부터 p+형 확산 영역(3a)보다도 얇은 영역에 걸쳐 형성되어 있다. 이때, 이 이외의 구성에 대해서는, 도 1에 나타낸 반도체장치와 같으므로, 동일 부재에는 동일한 부호를 붙이고 그 설명을 반복하지 않는 것으로 한다.

[0088] 다음에, 전술한 반도체장치의 동작에 대해 간단히 설명한다. 우선, 다이오드가 온 상태에서는, p+형 확산 영역(3a)으로부터 반도체 기판(2)의 n형의 영역(드리프트층)을 향해 흘어 주입되는 동시에, n+형 고농도 영역(6a)으로부터 반도체 기판(2)의 드리프트층을 향해 전자가 주입된다. 한편, 온 상태로부터 오프 상태로 변할 때에는, 온 상태에 있어서 드리프트층에 축적된 캐리어 중, 전자는 캐소드(6)로부터 배출되고, 흘은 애노드(3)로부터 배출되어, 오프 상태가 된다.

[0089] 전술한 반도체장치에 있어서의 애노드(3)의 종단부에서는, p+형 확산 영역(3a)과 복수의 p++형 영역(12e)이 형성되어 있다. p++형 영역(12e)의 불순물 농도는, p+형 확산 영역(3a)의 불순물 농도보다도 높고, 복수의 p++형 영역(12e)의 각각은, p+형 확산 영역(3a)보다도 전기 저항이 낮은 영역으로서, p+형 확산 영역(3a)에 의해 아래쪽과 옆쪽으로부터 둘러싸도록 형성되어 있다. 즉, 다이오드의 애노드(3)의 종단부에서는, 상대적으로 저항이 낮은 복수의 영역(p++형 영역(12e))과, 높은 영역(p+형 확산 영역(3a))이 배치되어 있게 된다.

[0090] 이에 따라, 도 25에 나타낸 것과 같이, 다이오드가 온 상태로부터 오프 상태로 변할 때에는, 애노드(3)에 있어서 전류가 집중적으로 흘러 들어오는 개소(점선 틀 15a, 15b, 15c)가, 적어도 3개소로 분산된다. 전류가 집중적으로 흘러 들어오는 개소가 더 분산됨으로써, 전계의 집중도 더 완화된다. 그 결과, 다이오드의 온도 상승이 억제되어, 다이오드가 파괴되는 것을 방지할 수 있다.

[0091] 실시형태 11

[0092] 본 발명의 실시형태 11에 관한, 다이오드를 구비한 전력용의 반도체장치에 대해 설명한다.

[0093] 도 26에 나타낸 것과 같이, 애노드(3)는, p+형 확산 영역(3a)과 p-형 영역(11f)을 구비하고 있다. p-형 영역(11f)은, 상대적으로 전기 저항이 높은 영역으로서, 애노드(3)의 종단부에 복수 형성되어 있다. 복수의 p-형 영역(11f)의 각각은, p+형 확산 영역(3a)보다도 아래쪽으로 돌출하도록, 한쪽의 주표면으로부터 p+형 확산 영역(3a)보다도 깊은 영역에 걸쳐 형성되어 있다. 이때, 이 이외의 구성에 대해서는, 도 1에 나타낸 반도체장치와 같으므로, 동일 부재에는 동일한 부호를 붙이고 그 설명을 반복하지 않는 것으로 한다.

[0094] 다음에, 전술한 반도체장치의 동작에 대해 간단히 설명한다. 우선, 다이오드가 온 상태에서는, p+형 확산 영역(3a)으로부터 반도체 기판(2)의 n형의 영역(드리프트층)을 향해 흘어 주입되는 동시에, n+형 고농도 영역(6a)으로부터 반도체 기판(2)의 드리프트층을 향해 전자가 주입된다. 한편, 온 상태로부터 오프 상태로 변할

때에는, 온 상태에 있어서 드리프트층에 축적된 캐리어 중, 전자는 캐소드(6)로부터 배출되고, 홀은 애노드(3)로부터 배출되어, 오프 상태가 된다.

[0095] 전술한 반도체장치에 있어서의 애노드(3)의 종단부에서는, p+형 확산 영역(3a)과 복수의 p-형 영역(11f)이 형성되어 있다. p-형 영역(11f)의 불순물 농도는, p+형 확산 영역(3a)의 불순물 농도보다도 낮고, 복수의 p-형 영역(11f)의 각각은, p+형 확산 영역(3a)보다도 전기 저항이 높은 영역으로서, p+형 확산 영역(3a)보다도 아래쪽으로 돌출하도록 형성되어 있다. 즉, 다이오드의 애노드(3)의 종단부에서는, 전기 저항이 상대적으로 낮은 영역(p+형 확산 영역(3a))과, 높은 복수의 영역(p-형 영역(11f))이 배치되어 있게 된다.

[0096] 이에 따라, 도 27에 나타낸 것과 같이, 다이오드가 온 상태로부터 오프 상태로 변할 때에는, 애노드(3)에 있어서 전류가 집중적으로 흘러 들어오는 개소(점선 틀 15a, 15b, 15c)가 적어도 3개소로 분산된다. 전류가 집중적으로 흘러 들어오는 개소가 더 분산됨으로써, 전계의 집중도 더 완화된다. 그 결과, 다이오드의 온도 상승이 억제되어, 다이오드가 과열되는 것을 방지할 수 있다.

[0097] 실시형태 12

[0098] 본 발명의 실시형태 12에 관한, 다이오드를 구비한 전력용의 반도체장치에 대해 설명한다.

[0099] 도 28에 나타낸 것과 같이, 애노드(3)는, p+형 확산 영역(3a)과 p++형 영역(12f)을 구비하고 있다. p++형 영역(12f)은, 상대적으로 전기 저항이 낮은 영역으로서, 애노드(3)의 종단부에 복수 형성되어 있다. 복수의 p++형 영역(12f)의 각각은, p+형 확산 영역(3a)보다도 아래쪽으로 돌출하도록, 한쪽의 주표면으로부터 p+형 확산 영역(3a)보다도 깊은 영역에 걸쳐 형성되어 있다. 이때, 이 이외의 구성에 대해서는, 도 1에 나타낸 반도체장치와 같으므로, 동일 부재에는 동일한 부호를 붙이고 그 설명을 반복하지 않는 것으로 한다.

[0100] 다음에, 전술한 반도체장치의 동작에 대해 간단히 설명한다. 우선, 다이오드가 온 상태에서는, p+형 확산 영역(3a)으로부터 반도체 기판(2)의 n형의 영역(드리프트층)을 향해 홀이 주입되는 동시에, n+형 고농도 영역(6a)으로부터 반도체 기판(2)의 드리프트층을 향해 전자가 주입된다. 한편, 온 상태로부터 오프 상태로 변할 때에는, 온 상태에 있어서 드리프트층에 축적된 캐리어 중, 전자는 캐소드(6)로부터 배출되고, 홀은 애노드(3)로부터 배출되어, 오프 상태가 된다.

[0101] 전술한 반도체장치에 있어서 애노드(3)의 종단부에서는, p+형 확산 영역(3a)과 복수의 p++형 영역(12f)이 형성되어 있다. p++형 영역(12f)의 불순물 농도는, p+형 확산 영역(3a)의 불순물 농도보다도 높고, 복수의 p++형 영역(12f)의 각각은, p+형 확산 영역(3a)보다도 아래쪽으로 돌출하도록 형성되어 있다. 즉, 다이오드의 애노드(3)의 종단부에서는, 전기 저항이 상대적으로 낮은 복수의 영역(p++형 영역(12f))과, 높은 영역(p+형 확산 영역(3a))이 배치되어 있게 된다.

[0102] 이에 따라, 도 29에 나타낸 것과 같이, 다이오드가 온 상태로부터 오프 상태로 변할 때에는, 애노드(3)에 있어서 전류가 집중적으로 흘러 들어오는 개소(점선 틀 15a, 15b, 15c)가 적어도 3개소로 분산된다. 전류가 집중적으로 흘러 들어오는 개소가 더 분산됨으로써, 전계의 집중도 더 완화된다. 그 결과, 다이오드의 온도 상승이 억제되어, 다이오드가 과열되는 것을 방지할 수 있다.

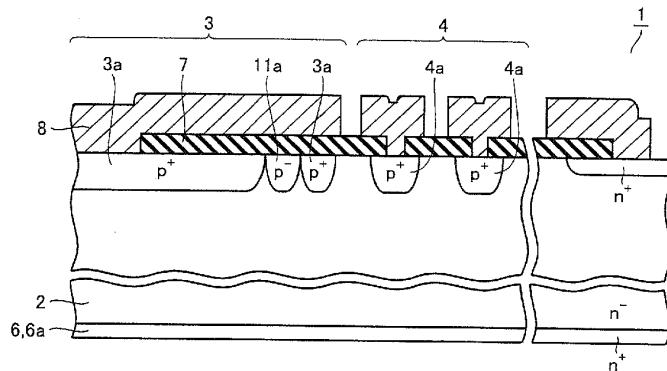
[0103] 이때, 전술한 각 실시형태에서는, 애노드(3)에 있어서의 종단부에 있어서, p-형 영역 11a~11f 또는 p++형 영역 12a~12f가 반도체 기판의 주표면으로부터 소정의 깊이에 걸쳐 형성된 경우에 대해 설명했지만, 다이오드를 온 상태로부터 오프 상태로 변할 때에, 전류가 집중적으로 흘러 들어오는 개소를 분산시킬 수 있다면, 전술한 각 배치에 한정되지 않는다.

[0104] 본 발명을 상세하게 설명하고 나타내 왔지만, 이것은 단지 예시를 위한 것으로서, 한정적으로 해석되어서는 안되고, 발명의 범위는 첨부된 특허청구범위에 의해 해석되는 것이 명확하게 이해될 것이다.

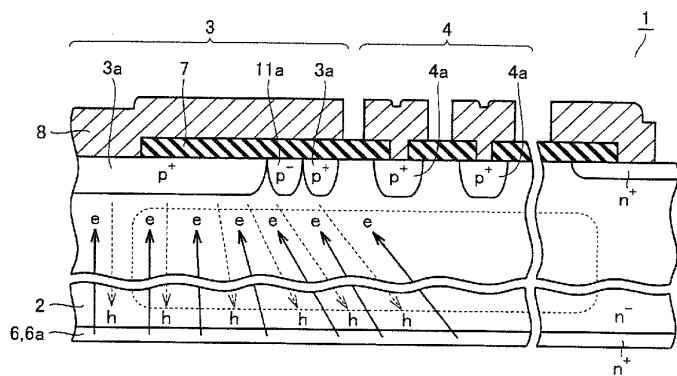
[0105] 본 발명은, 다이오드를 구비한 전력용의 반도체장치에 유효하게 이용된다.

도면

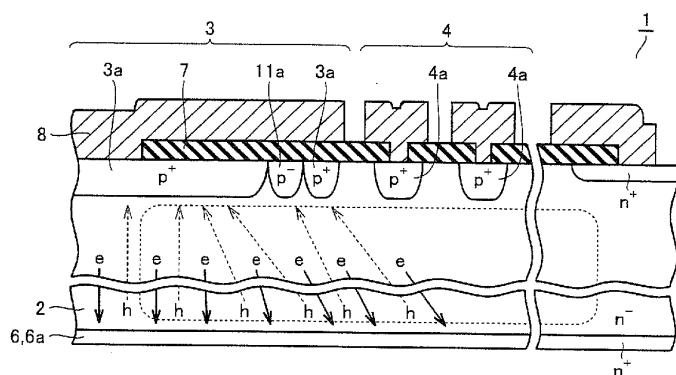
도면1



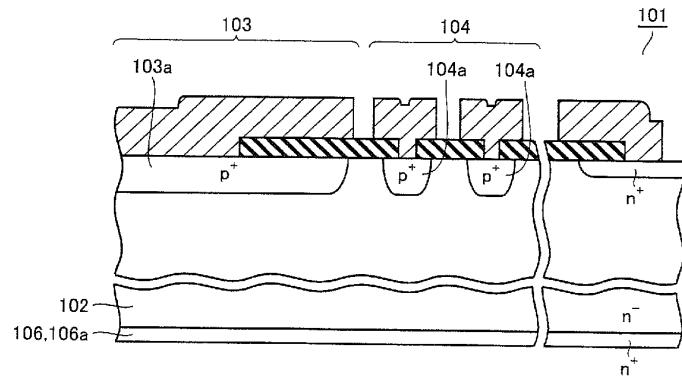
도면2



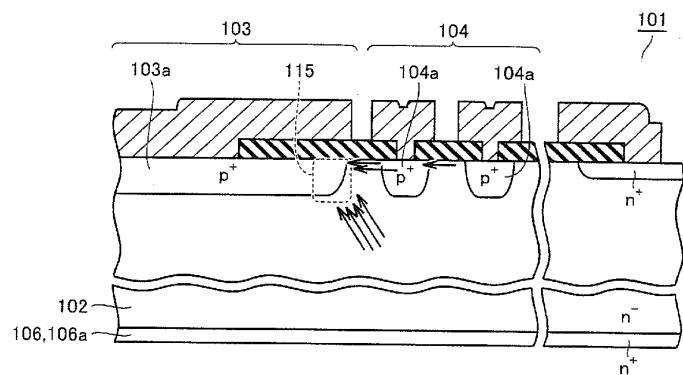
도면3



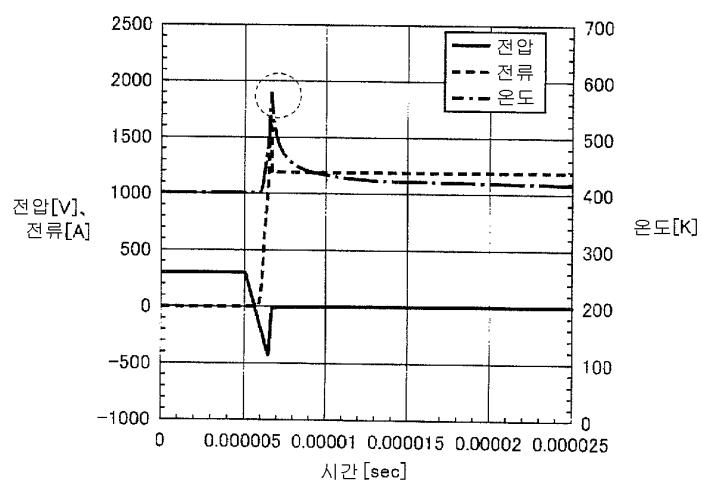
도면4



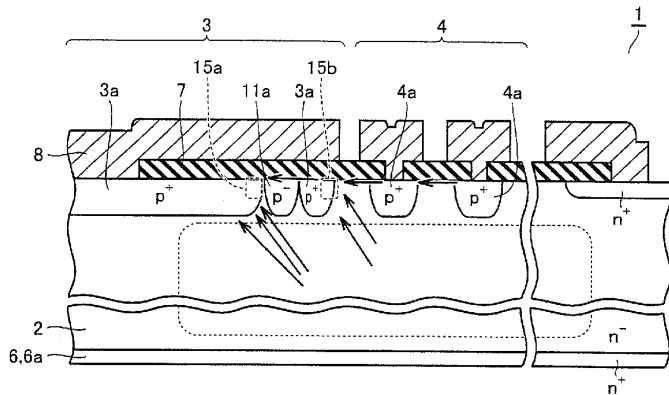
도면5



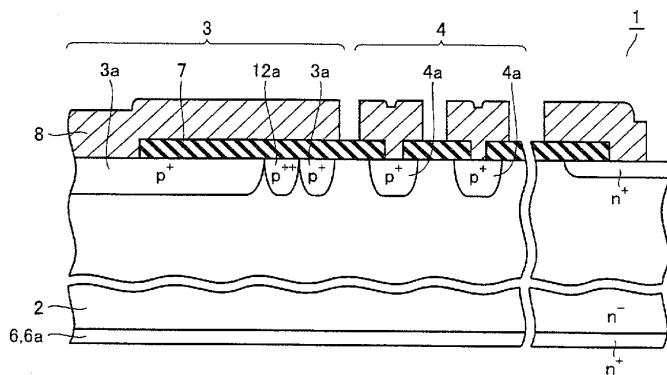
도면6



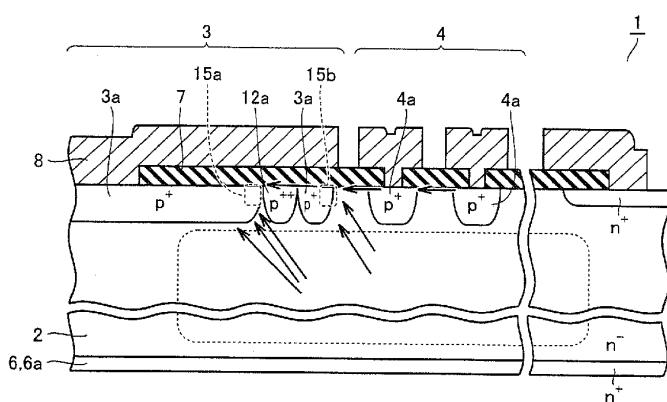
도면7



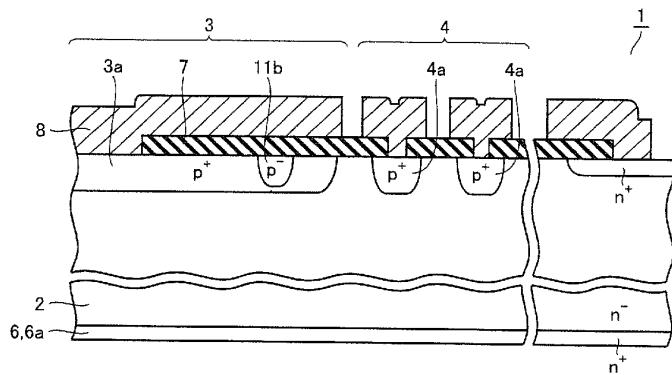
도면8



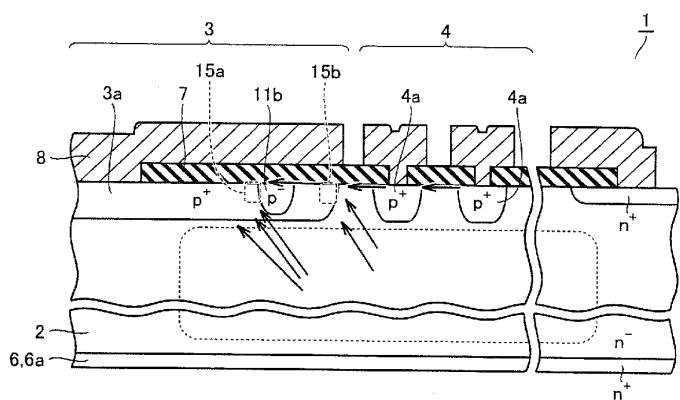
도면9



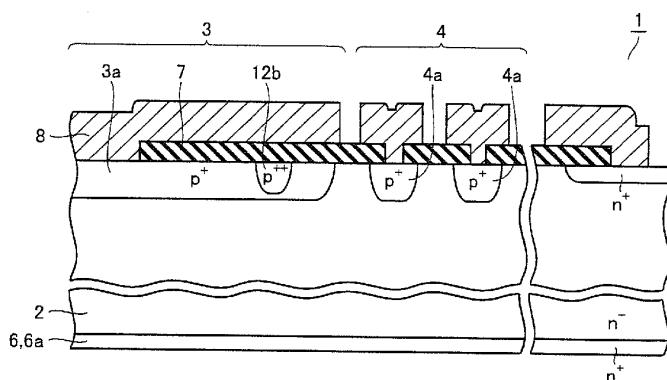
도면10



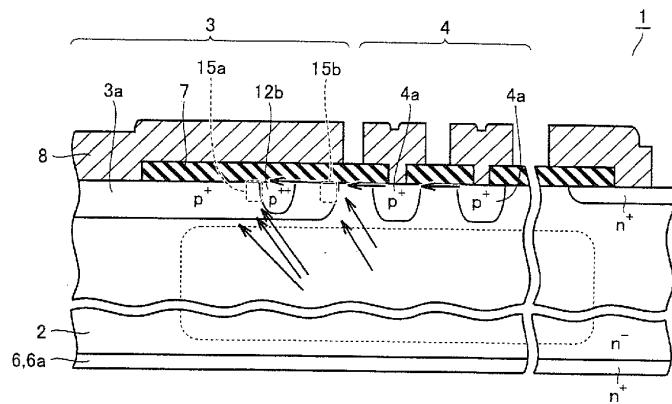
도면11



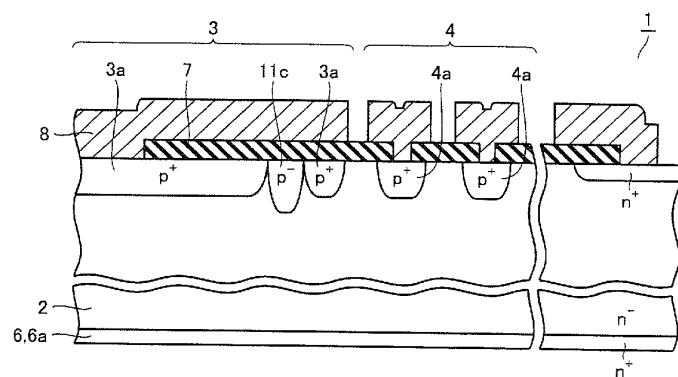
도면12



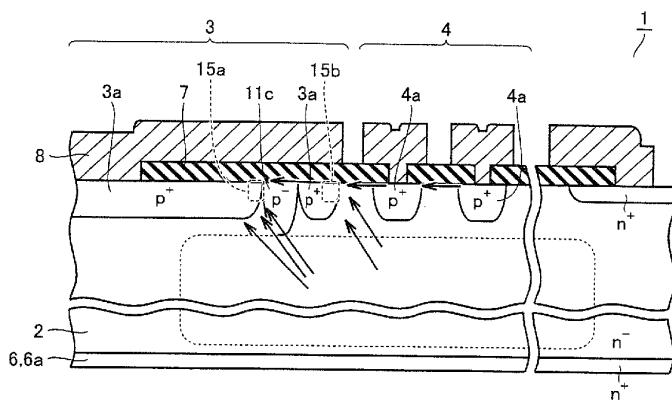
도면13



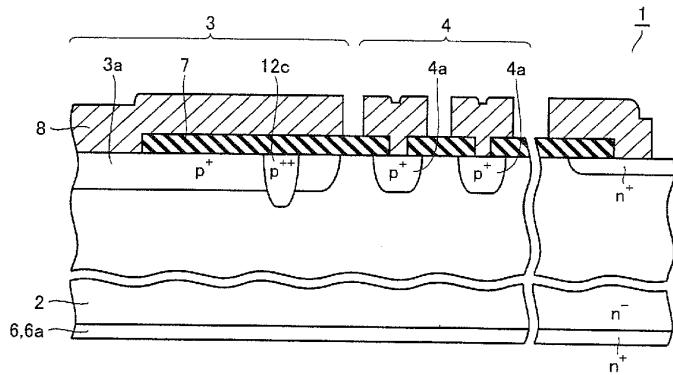
도면14



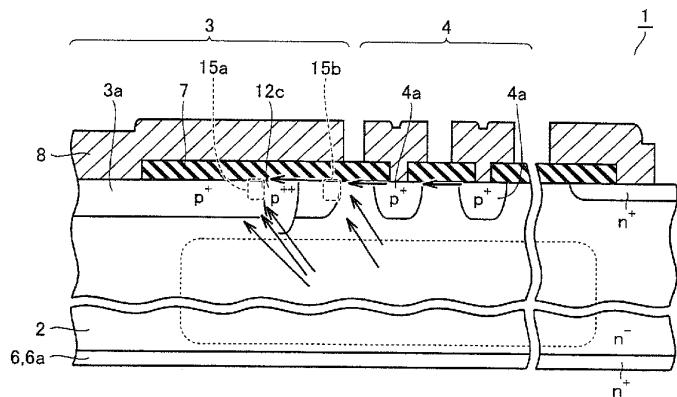
도면15



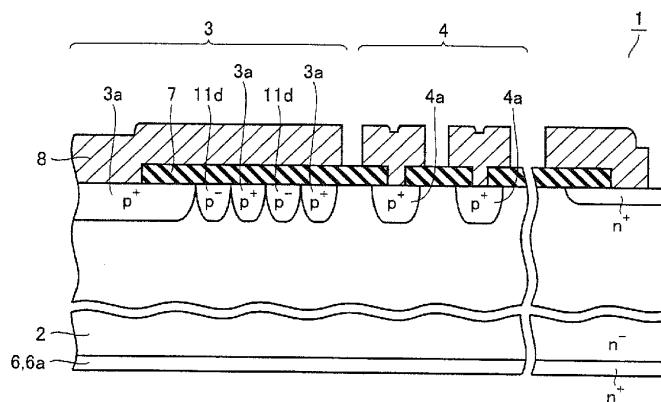
도면16



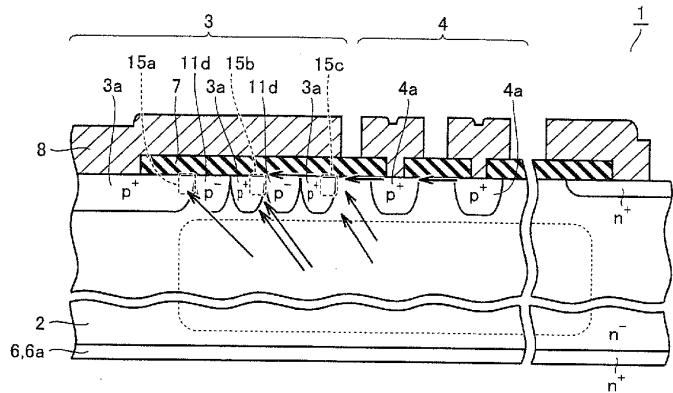
도면17



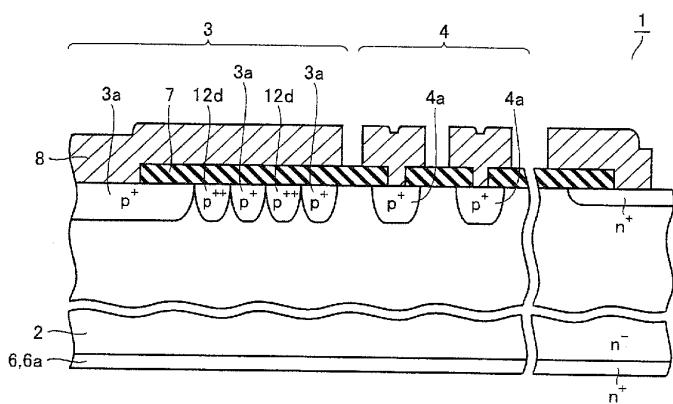
도면18



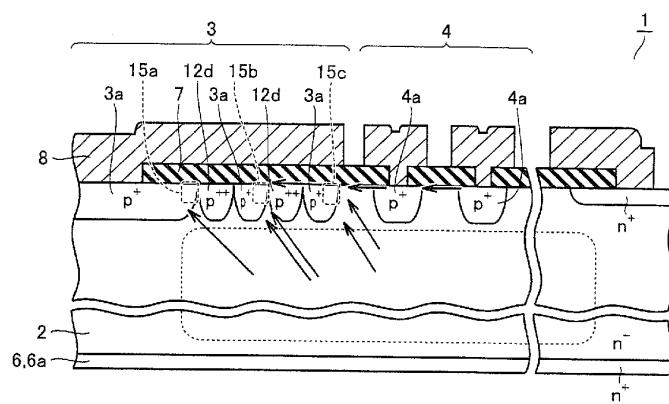
도면19



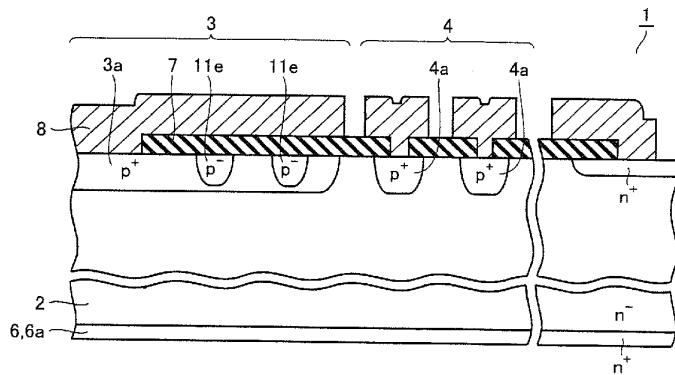
도면20



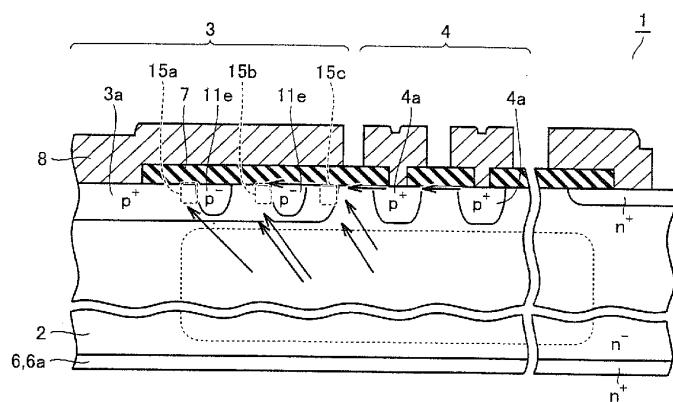
도면21



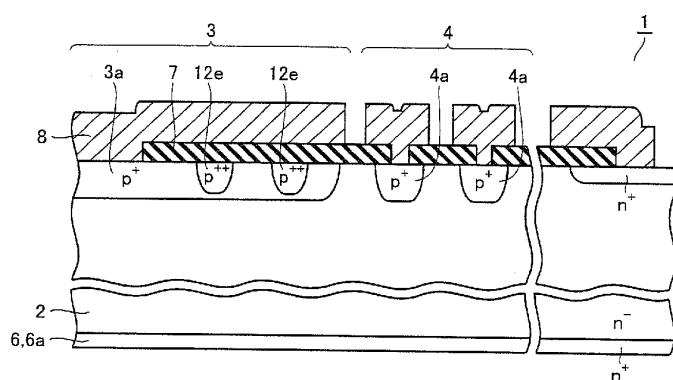
도면22



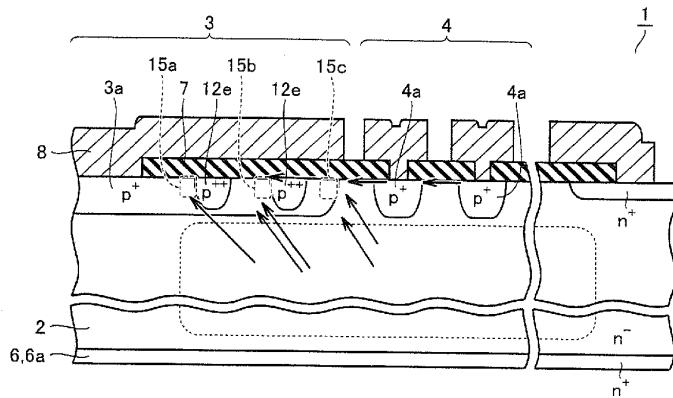
도면23



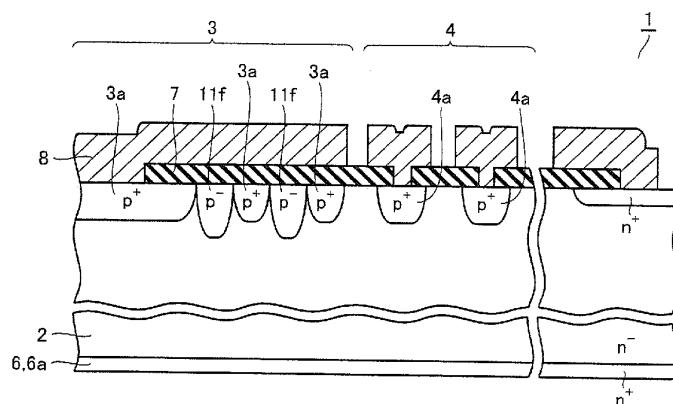
도면24



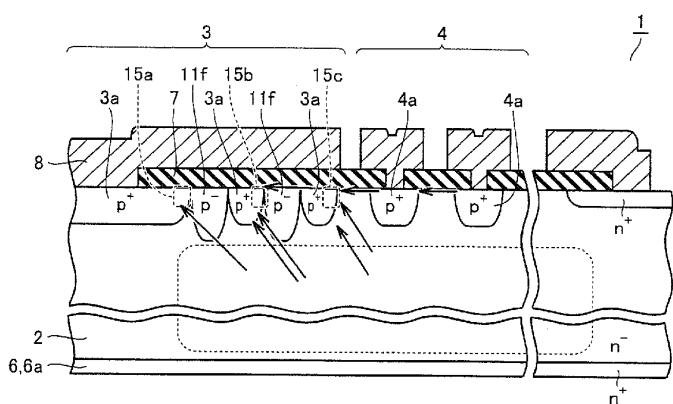
도면25



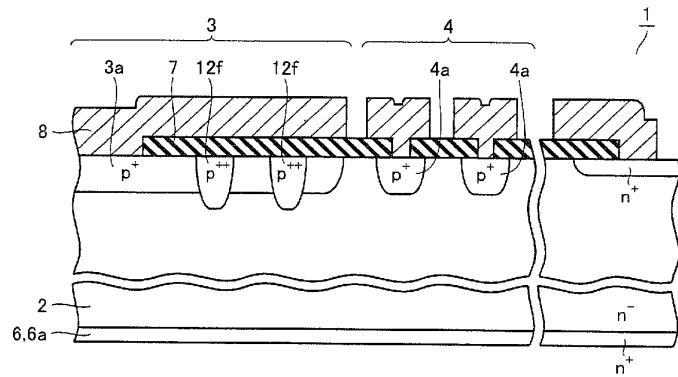
도면26



도면27



도면28



도면29

