

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-207706

(P2004-207706A)

(43) 公開日 平成16年7月22日(2004.7.22)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
H O 1 L 29/78	H O 1 L 29/78 6 5 2 S	4 M 1 0 4
H O 1 L 21/8234	H O 1 L 29/78 6 5 2 L	5 F 0 4 8
H O 1 L 27/088	H O 1 L 29/78 6 5 2 M	5 F 1 4 0
H O 1 L 29/41	H O 1 L 29/78 6 5 3 C	
H O 1 L 29/417	H O 1 L 29/78 6 5 6 C	
審査請求 未請求 請求項の数 20 O L (全 46 頁) 最終頁に続く		

(21) 出願番号	特願2003-410875 (P2003-410875)	(71) 出願人	503361248
(22) 出願日	平成15年12月9日 (2003.12.9)		富士電機デバイステクノロジー株式会社
(31) 優先権主張番号	特願2002-358132 (P2002-358132)		東京都品川区大崎一丁目11番2号
(32) 優先日	平成14年12月10日 (2002.12.10)	(74) 代理人	100104190
(33) 優先権主張国	日本国 (JP)		弁理士 酒井 昭徳
		(72) 発明者	望月 邦雄
			神奈川県横須賀市長坂二丁目2番1号 富士電機アドバンステクノロジー株式会社 内
		(72) 発明者	田淵 勝也
			神奈川県横須賀市長坂二丁目2番1号 富士電機アドバンステクノロジー株式会社 内
		最終頁に続く	

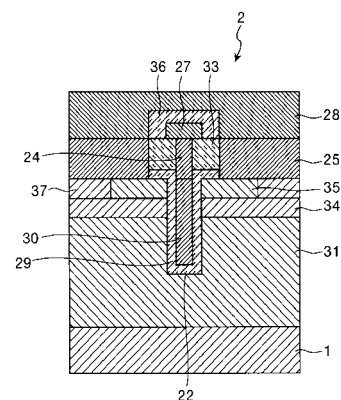
(54) 【発明の名称】 半導体装置および半導体装置の製造方法

(57) 【要約】

【課題】 トレンチ横型MOSFETにおいて、ゲートドレイン間の耐圧を確保し、さらなる低オン抵抗化、高速化および低損失化を図ること。トレンチ横型MOSFETとプレーナ型MOSFETとを同一半導体基板上に集積すること。

【解決手段】 トレンチエッチング領域をメッシュパターンとし、非トレンチエッチング領域を島状に残し、チャネル密度を向上させる。MOSFETとして電流を駆動する活性領域では、活性領域トレンチ内にゲート導電体および柱状ドレイン電極を設け、ドレイン電極とゲート導電体とのオーバーラップ容量を小さくする。ゲート導電体30を基板表面に引き出すゲート領域では、ゲート領域トレンチ22内をゲート導電体30で完全に埋めるとともに、ゲート導電体30が基板表面に残らないようにし、ゲート導電体30とドレイン電極間の耐圧不良や短絡故障の発生を回避する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

半導体基板に設けられたトレンチ、前記トレンチの外側の前記半導体基板表面領域にトレンチに接して形成された第 1 導電型の第 1 領域、前記トレンチの外側で前記第 1 領域の表面領域にトレンチに接して形成された第 2 導電型の第 2 領域、前記トレンチの底部に形成された第 2 導電型の第 3 領域、前記第 1 領域と前記第 3 領域とに接して前記トレンチに沿って前記半導体基板に形成された第 1 導電型の第 4 領域、前記トレンチの側部に沿って前記トレンチの内側に形成されたゲート絶縁膜、前記ゲート絶縁膜の内側に形成されたゲート導電体、前記ゲート導電体の内側に層間絶縁膜を介して形成され、かつ前記第 3 領域に電氣的に接続する第 1 電極、前記ゲート導電体に電氣的に接続するゲート電極、および前記第 2 領域に電氣的に接続する第 2 電極を具備する半導体装置において、

前記第 1 電極は、トレンチの長さ方向に複数、点在していることを特徴とする半導体装置。

【請求項 2】

前記トレンチは、メッシュパターンを成し、エッチングされずに残った非トレンチ領域は島状を成しており、前記メッシュパターンの一方向のトレンチ内にのみ前記第 1 電極が形成されることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記ゲート電極は、前記メッシュパターンの他方向のトレンチ上に形成されることを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】

前記ゲート電極は、前記島状の間に形成されることを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】

前記ゲート電極に電氣的に接続するゲート配線、前記第 1 電極に電氣的に接続する第 1 配線、および前記第 2 電極に電氣的に接続する第 2 配線をさらに具備し、

前記ゲート配線は、前記第 1 配線および前記第 2 配線と異なる配線層で、前記第 1 配線および前記第 2 配線に直交していることを特徴とする請求項 2 ～ 4 のいずれか一つに記載の半導体装置。

【請求項 6】

半導体基板に設けられたトレンチ、前記トレンチの下部に前記トレンチに沿って形成された第 1 導電型の第 1 領域、前記トレンチの底部で前記第 1 領域内に形成された第 2 導電型の第 2 領域、前記トレンチの外側の前記半導体基板表面領域に形成された第 2 導電型の第 3 領域、前記第 1 領域と前記第 3 領域とに接して前記トレンチに沿って前記半導体基板に形成された第 1 導電型の第 4 領域、前記トレンチの側部に沿って前記トレンチの内側に形成されたゲート絶縁膜、前記ゲート絶縁膜の内側に形成されたゲート導電体、前記第 3 領域に電氣的に接続する第 1 電極、前記ゲート導電体の内側に層間絶縁膜を介して形成され、かつ前記第 2 領域に電氣的に接続する第 2 電極、および前記ゲート導電体に電氣的に接続するゲート電極を具備する半導体装置において、

前記第 2 電極は、トレンチの長さ方向に複数、点在していることを特徴とする半導体装置。

【請求項 7】

前記トレンチは、メッシュパターンを成し、エッチングされずに残った非トレンチ領域は島状を成しており、前記メッシュパターンの一方向のトレンチ内にのみ前記第 2 電極が形成されることを特徴とする請求項 6 に記載の半導体装置。

【請求項 8】

前記ゲート電極は、前記メッシュパターンの他方向のトレンチ上に形成されることを特徴とする請求項 7 に記載の半導体装置。

【請求項 9】

前記ゲート電極は、前記島状の間に形成されることを特徴とする請求項 8 に記載の半導

体装置。

【請求項 10】

前記ゲート電極に電氣的に接続するゲート配線、前記第 1 電極に電氣的に接続する第 1 配線、および前記第 2 電極に電氣的に接続する第 2 配線をさらに具備し、

前記ゲート配線は、前記第 1 配線および前記第 2 配線と異なる配線層で、前記第 1 配線および前記第 2 配線に直交していることを特徴とする請求項 7～9 のいずれか一つに記載の半導体装置。

【請求項 11】

前記メッシュパターンのお方向のトレンチ底部に形成された前記第 1 領域と接続される第 1 導電型の第 5 領域、該トレンチを充填する絶縁膜、前記半導体基板表面から該絶縁膜 10
を通して前記第 5 領域に達する第 3 電極を具備することを特徴とする請求項 7～9 のいずれか一つに記載の半導体装置。

【請求項 12】

前記第 3 電極に電氣的に接続する第 3 配線、前記ゲート電極に電氣的に接続するゲート配線、前記第 1 電極に電氣的に接続する第 1 配線、および前記第 2 電極に電氣的に接続する第 2 配線をさらに具備し、

前記第 3 配線は、前記第 1 配線および前記第 2 配線と異なる配線層で、前記第 1 配線および前記第 2 配線に直交しており、

前記ゲート配線は、前記第 1 配線および前記第 2 配線と異なる配線層で、前記第 1 配線および前記第 2 配線に直交していることを特徴とする請求項 11 に記載の半導体装置。 20

【請求項 13】

前記第 3 配線は、前記第 2 配線に、前記第 3 配線と前記第 2 配線が交差する少なくとも 1 箇所で電氣的に接続されていることを特徴とする請求項 12 に記載の半導体装置。

【請求項 14】

第 1 導電型の半導体層の表面領域に第 2 導電型のドリフト領域を形成する工程と、

前記ドリフト領域内に、第 1 の幅領域と該第 1 の幅領域の幅より狭い第 2 の幅領域を有するトレンチを形成する工程と、

前記トレンチの下半部に沿って第 1 導電型のベース領域を形成する工程と、

前記トレンチの側部および底部に沿って前記トレンチの内側にゲート絶縁膜を形成する工程と、 30

前記ゲート絶縁膜の表面上に第 1 の導電体を積層し、該第 1 の導電体を選択的に除去して、前記第 1 の幅領域では前記トレンチの側部にのみに沿って残り、かつ前記第 2 の幅領域では前記トレンチ内にのみ存在して同トレンチを充填するゲート導電体を形成する工程と、

前記ドリフト領域内の、前記トレンチの外側に第 2 導電型のドレイン領域を形成する工程と、

前記ゲート導電体の表面上に層間絶縁膜を堆積して前記トレンチを該層間絶縁膜で埋める工程と、

前記第 1 の幅領域の前記層間絶縁膜を選択的に除去し前記トレンチの底部を露出させ、該露出部分に第 2 導電型のソース領域を形成する工程と、 40

前記層間絶縁膜を選択的に除去し前記第 1 の幅領域の前記ソース領域および前記第 2 の幅領域のゲート導電体を露出させる工程と、

第 2 の導電体を堆積し、該第 2 の導電体を選択的に除去してソース電極、ゲート電極およびドレイン電極を形成する工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項 15】

第 1 導電型の半導体層の表面領域に第 2 導電型のドリフト領域を形成する工程と、

前記ドリフト領域内に第 1 導電型のベース領域を形成する工程と

前記ベース領域を貫通して前記ドリフト領域に達する、第 1 の幅領域と該第 1 の幅領域の幅より狭い第 2 の幅領域を有するトレンチを形成する工程と、 50

前記トレンチの側部および底部に沿って前記トレンチの内側にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜の表面上に第1の導電体を積層し、該第1の導電体を選択的に除去して、前記第1の幅領域では前記トレンチ側部にのみに沿って残り、かつ第2の幅領域では前記トレンチ内にのみ存在して同トレンチを充填するゲート導電体を形成する工程と、

前記ベース領域内に第2導電型のソース領域を形成する工程と、

前記ゲート導電体の表面上に層間絶縁膜を堆積して前記トレンチを該層間絶縁膜で埋める工程と、

前記活性領域の前記層間絶縁膜を選択的に除去し前記トレンチの底部を露出させ、該露出部分に第2導電型のドレイン領域を形成する工程と、

前記層間絶縁膜を選択的に除去し前記第1の幅領域の前記ソース領域および前記第2の幅領域のゲート導電体を露出させる工程と、

第2の導電体を堆積し、該第2の導電体を選択的に除去してソース電極、ゲート電極およびドレイン電極を形成する工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項16】

前記トレンチを前記層間絶縁膜で埋める工程の後に、前記層間絶縁膜を平坦化する工程を含むことを特徴とする請求項14または15に記載の半導体装置の製造方法。

【請求項17】

トレンチ横型MOSFETとプレーナ型MOSFETを同一半導体基板上に形成する方法であって、

前記半導体基板の表面領域にトレンチ横型MOSFETの第2導電型のドリフト領域を形成する工程と、

前記ドリフト領域内に第1導電型のベース領域を形成する工程と、

前記ベース領域を貫通して前記ドリフト領域に達する、第1の幅領域と該第1の幅領域の幅より狭い幅の第2の幅領域を有するトレンチを形成する工程と、

前記半導体基板表面に素子分離領域を形成する工程と、

前記トレンチ横型MOSFETの形成領域では前記トレンチの内側に、また前記プレーナ型MOSFETの形成領域では基板表面に、それぞれゲート絶縁膜を形成する工程と、

前記半導体基板上に第1の導電体を積層し、該第1の導電体を選択的に除去して、前記第1の幅領域では前記トレンチの側部にのみ沿って残り、かつ前記第2の幅領域では前記トレンチ内にのみ存在して同トレンチを充填し、またプレーナ型MOSFETの形成領域では前記ゲート絶縁膜に残るゲート導電体を形成する工程と、

前記ベース領域内にトレンチ横型MOSFETの第2導電型のソース領域を形成する工程と、

前記プレーナ型MOSFETのソースもしくはドレインとなる領域を形成する工程と、

前記半導体基板上に層間絶縁膜を形成し、前記第1の幅領域では、前記層間絶縁膜および前記ゲート絶縁膜の、前記トレンチ底部の部分を選択的に除去して半導体を露出させ、その露出部分に前記トレンチ横型MOSFETの第2導電型のドレイン領域を形成する工程と、

前記層間絶縁膜を選択的に除去して、前記トレンチ横型MOSFETの前記ソース領域、前記トレンチ横型MOSFETのゲート領域における前記ゲート導電体、プレーナ型MOSFETの前記ソースもしくはドレインとなる領域、前記プレーナ型MOSFETの前記ゲート導電体を露出させる工程と、

前記半導体基板上に第2の導電体を積層し、該第2の導電体を選択的に除去して、トレンチ横型MOSFETのドレイン電極、ゲート電極およびソース電極、並びにプレーナ型MOSFETのドレイン電極、ゲート電極およびソース電極を形成する工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項18】

トレンチ横型MOSFETとプレーナ型MOSFETを同一半導体基板上に形成する方

10

20

30

40

50

法であって、

前記半導体基板の表面領域にトレンチ横型MOSFETの第2導電型のドリフト領域を形成する工程と、

前記ドリフト領域内に、第1の幅領域と該第1の幅領域の幅より狭い幅の第2の幅領域を有するトレンチを形成する工程と、

前記半導体基板表面に素子分離領域を形成する工程と、

前記トレンチ横型MOSFETの形成領域では前記トレンチの内側に、また前記プレーナ型MOSFETの形成領域では基板表面に、それぞれゲート絶縁膜を形成する工程と、

前記半導体基板上に第1の導電体を積層し、該第1の導電体を選択的に除去して、前記第1の幅領域では前記トレンチの側部にのみ沿って残り、かつ前記第2の幅領域では前記トレンチ内にのみ存在して同トレンチを充満し、またプレーナ型MOSFETの形成領域では前記ゲート絶縁膜上に残るゲート導電体を形成する工程と、

前記ドリフト領域内の、前記トレンチの外側にトレンチ横型MOSFETの第2導電型のドレイン領域を形成する工程と、

前記プレーナ型MOSFETのソースもしくはドレインとなる領域を形成する工程と、

前記半導体基板上に層間絶縁膜を形成し、前記第1の幅領域では、前記層間絶縁膜および前記ゲート絶縁膜の、前記トレンチ底部の部分を選択的に除去して半導体を露出させ、その露出部分に前記トレンチ横型MOSFETの第2導電型のソース領域を形成する工程と、

前記層間絶縁膜を選択的に除去して、前記トレンチ横型MOSFETの前記ドレイン領域、前記トレンチ横型MOSFETのゲート領域における前記ゲート導電体、プレーナ型MOSFETの前記ソースもしくはドレインとなる領域、前記プレーナ型MOSFETの前記ゲート導電体を露出させる工程と、

前記半導体基板上に第2の導電体を積層し、該第2の導電体を選択的に除去して、トレンチ横型MOSFETのソース電極、ゲート電極およびドレイン電極、並びにプレーナ型MOSFETのソース電極、ゲート電極およびドレイン電極を形成する工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項19】

半導体基板にトレンチが設けられ、該トレンチ内に絶縁膜を介して導電体が設けられ、該導電体が前記トレンチの底部に接触する構成を有する半導体装置を製造するにあたって

、前記半導体基板に第1のトレンチを形成する工程と、

前記半導体基板上に絶縁膜を堆積して前記第1のトレンチ内に前記絶縁膜を充填する工程と、

前記第1のトレンチ内に充填された前記絶縁膜に、前記第1のトレンチの底部に達する第2のトレンチを形成する工程と、

前記第2のトレンチ内に導電体を充填する工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項20】

さらに、前記第1のトレンチ内に前記絶縁膜を充填する工程と前記第2のトレンチを形成する工程との間に、前記第1のトレンチを埋める前記絶縁膜の表面を平坦化する工程を含むことを特徴とする請求項19に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、半導体装置および半導体装置の製造方法に関し、特に、低オン抵抗のパワーMOSFET（絶縁ゲート型電界効果トランジスタ）、さらには、半導体基板表面を掘り下げたトレンチ内にゲート電極を設けたトレンチ横型パワーMOSFETおよびその製造方法に関する。

【背景技術】

【0002】

近年、携帯機器の急速な普及や通信技術の高度化などに伴い、パワーMOSFETを内蔵したパワーICの重要性が高まっている。横型パワーMOSFETを制御回路に集積したパワーICでは、従来のパワーMOSFET単体と制御駆動回路とを組み合わせる構成に対し、小型化、低消費電力化、高信頼性化および低コスト化などが期待される。そこで、CMOS回路よりなる制御駆動回路と横型パワーMOSFETとを同一半導体基板上に集積するため、CMOSプロセスをベースにした高性能横型パワーMOSFETの開発が活発におこなわれている。

【0003】

最近では、従来のプレーナ型の横型パワーMOSFETと比較して、さらなる低オン抵抗化と、パワーICに集積する際の高集積化が可能なトレンチ横型パワーMOSFET（以下、TLPMとする）が注目されている。TLPMについては、トレンチエッチングを1回だけおこなう構成のもの、またはトレンチエッチングを2回おこなうことにより、トレンチ側壁に、耐圧を確保するための厚い絶縁膜を形成した構成のものがある（たとえば、特許文献1参照。）。

【0004】

また、本発明者らが開示したように、トレンチ底部にドレインコンタクトを設けるタイプのTLPM（以下、TLPM/Dとする）と、トレンチ底部にソースコンタクトを設けるタイプのTLPM（以下、TLPM/Sとする）がある。これらのTLPMでは、MOSFETとして電流を駆動する領域（以下、活性領域とする）、および基板表面にゲート電極となるゲートポリシリコンを引き出す領域（以下、ゲート領域とする）のいずれにおいても、トレンチの中央部には、デバイス表面のドレイン電極とトレンチ底部のドレイン領域（TLPM/Dの場合）、またはデバイス表面のソース電極とトレンチ底部のソース領域（TLPM/Sの場合）とを電氣的に接続するポリシリコンなどの導電体が形成されている（たとえば、特許文献2または3参照。）。

【0005】

また、本発明者らは、TLPMと、このTLPMを駆動制御するためのCMOS回路とを同一半導体基板上に集積した半導体装置、およびその半導体装置を製造する方法について、先に出願している（特願2002-302136）。

【0006】

【特許文献1】特開2002-184980号公報

【特許文献2】特開2002-353447号公報

【特許文献3】特開2003-51594号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかしながら、従来のTLPMでは、たとえばTLPM/Dの場合、トレンチ底面の層間絶縁膜に、ドレインコンタクトのためのコンタクトホールを開口する際のオーバーエッチングにより、ゲート領域のトレンチ底部において、層間絶縁膜の、ゲートポリシリコンとドレインポリシリコンとの間の部分が薄くなったり、あるいは完全に消滅してしまうことがある。それによって、ゲート電極とドレイン電極との間の耐圧不良や短絡故障が発生しやすいという欠点がある。この欠点は、TLPM/Sの場合、ドレインポリシリコンの代わりにソースポリシリコンをトレンチ内に埋め込む場合も同様である。

【0008】

また、従来のTLPMでは、平面レイアウトにおいて、トレンチがストライプ状に形成されている。そのため、チャンネル幅の高集積化が十分に達成されているとはいえず、さらに低いオン抵抗を実現する可能性が残されている。

【0009】

また、MOSFETのスイッチング特性に影響を及ぼす寄生容量は、主にゲート酸化膜を介した、ゲート電極と基板との間に形成される。この寄生容量として、ゲートとドレイン

10

20

30

40

50

ンとの間に寄生する容量（ C_{gd} ）、ゲートとボディとの間に寄生する容量（ C_{gb} ）、およびゲートとソースとの間に寄生する容量（ C_{gs} ）がある。良好なスイッチング特性を得るためには、これらの寄生容量を低減する必要がある。

【0010】

しかし、従来のストライプ状パターンの平面レイアウトによると、たとえばTLPM/Dの場合、活性領域のトレンチでは、ゲート電極とドレイン電極がトレンチの長さだけ対向するため、ゲート電極とドレイン電極のオーバーラップ容量が大きく、高速化および低損失化の妨げとなっている。TLPM/Sのゲート電極とソース電極についても同様である。

【0011】

また、TLPMとCMOS回路とを同一半導体基板上に集積した半導体装置については、上述したように、本発明者らにより既に提案されている。しかし、未だ、TLPMと、CMOS回路を構成するプレーナ型MOSFETとを同一半導体基板上に作製するための構造、およびその製造方法は確立されていない。

【0012】

本発明は、上記問題点に鑑みてなされたものであって、ゲートドレイン（またはソース）間の耐圧を容易に確保することができるとともに、さらなる低オン抵抗化、高速化および低損失化を図ることが可能な半導体装置、およびそのような半導体装置の製造方法を提供することを目的とする。また、本発明は、TLPMとプレーナ型MOSFETとを同一半導体基板上に集積した構造、およびその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0013】

上記目的を達成するため、本発明は、TLPMにおいて、トレンチエッチングによってエッチングされるトレンチエッチング領域をメッシュパターンとし、かつエッチングされずに残る非トレンチエッチング領域を島状とする。また、MOSFETとして電流を駆動する活性領域では、トレンチ内にゲート絶縁膜を介してゲート導電体を設け、さらにその内側に層間絶縁膜を介して、TLPM/Dの場合にはドレイン電極、TLPM/Sの場合にはソース電極を設ける。一方、ゲート導電体を基板表面に引き出すゲート領域では、トレンチ内をゲート導電体で完全に埋めるとともに、ゲート導電体が基板表面に残らないようにする。また、柱状のドレイン電極（TLPM/Dの場合）または柱状のソース電極（TLPM/Sの場合）が、活性領域のトレンチ内に、複数、点在する構成としてもよい。

【0014】

すなわち、請求項1の発明にかかる半導体装置は、半導体基板に設けられたトレンチ、前記トレンチの外側の前記半導体基板表面領域にトレンチに接して形成された第1導電型の第1領域、前記トレンチの外側で前記第1領域の表面領域にトレンチに接して形成された第2導電型の第2領域、前記トレンチの底部に形成された第2導電型の第3領域、前記第1領域と前記第3領域とに接して前記トレンチに沿って前記半導体基板に形成された第1導電型の第4領域、前記トレンチの側部に沿って前記トレンチの内側に形成されたゲート絶縁膜、前記ゲート絶縁膜の内側に形成されたゲート導電体、前記ゲート導電体の内側に層間絶縁膜を介して形成され、かつ前記第3領域に電氣的に接続する第1電極、前記ゲート導電体に電氣的に接続するゲート電極、および前記第2領域に電氣的に接続する第2電極を具備する半導体装置において、前記第1電極は、トレンチの長さ方向に複数、点在していることを特徴とする。

【0015】

請求項2の発明にかかる半導体装置は、請求項1に記載の発明において、前記トレンチは、メッシュパターンを成し、エッチングされずに残った非トレンチ領域は島状を成しており、前記メッシュパターンの一方向のトレンチ内にのみ前記第1電極が形成されることを特徴とする。

【0016】

請求項3の発明にかかる半導体装置は、請求項2に記載の発明において、前記ゲート電

10

20

30

40

50

極は、前記メッシュパターンの他方向のトレンチ上に形成されることを特徴とする。

【0017】

請求項4の発明にかかる半導体装置は、請求項3に記載の発明において、前記ゲート電極は、前記島状の間に形成されることを特徴とする。

【0018】

請求項5の発明にかかる半導体装置は、請求項2～4のいずれか一つに記載の発明において、前記ゲート電極に電氣的に接続するゲート配線、前記第1電極に電氣的に接続する第1配線、および前記第2電極に電氣的に接続する第2配線をさらに具備し、前記ゲート配線は、前記第1配線および前記第2配線と異なる配線層で、前記第1配線および前記第2配線に直交していることを特徴とする。

10

【0019】

請求項6の発明にかかる半導体装置は、半導体基板に設けられたトレンチ、前記トレンチの下部に前記トレンチに沿って形成された第1導電型の第1領域、前記トレンチの底部で前記第1領域内に形成された第2導電型の第2領域、前記トレンチの外側の前記半導体基板表面領域に形成された第2導電型の第3領域、前記第1領域と前記第3領域とに接して前記トレンチに沿って前記半導体基板に形成された第1導電型の第4領域、前記トレンチの側部に沿って前記トレンチの内側に形成されたゲート絶縁膜、前記ゲート絶縁膜の内側に形成されたゲート導電体、前記第3領域に電氣的に接続する第1電極、前記ゲート導電体の内側に層間絶縁膜を介して形成され、かつ前記第2領域に電氣的に接続する第2電極、および前記ゲート導電体に電氣的に接続するゲート電極を具備する半導体装置において、前記第2電極は、トレンチの長さ方向に複数、点在していることを特徴とする。

20

【0020】

請求項7の発明にかかる半導体装置は、請求項6に記載の発明において、前記トレンチは、メッシュパターンを成し、エッチングされずに残った非トレンチ領域は島状を成しており、前記メッシュパターンの一方向のトレンチ内にのみ前記第2電極が形成されることを特徴とする。

【0021】

請求項8の発明にかかる半導体装置は、請求項7に記載の発明において、前記ゲート電極は、前記メッシュパターンの他方向のトレンチ上に形成されることを特徴とする。

【0022】

請求項9の発明にかかる半導体装置は、請求項8に記載の発明において、前記ゲート電極は、前記島状の間に形成されることを特徴とする。

30

【0023】

請求項10の発明にかかる半導体装置は、請求項7～9のいずれか一つに記載の発明において、前記ゲート電極に電氣的に接続するゲート配線、前記第1電極に電氣的に接続する第1配線、および前記第2電極に電氣的に接続する第2配線をさらに具備し、前記ゲート配線は、前記第1配線および前記第2配線と異なる配線層で、前記第1配線および前記第2配線に直交していることを特徴とする。

【0024】

請求項11の発明にかかる半導体装置は、請求項7～9のいずれか一つに記載の発明において、前記メッシュパターンの他方向のトレンチ底部に形成された前記第1領域と接続される第1導電型の第5領域、該トレンチを充填する絶縁膜、前記半導体基板表面から該絶縁膜を通して前記第5領域に達する第3電極を具備することを特徴とする。

40

【0025】

請求項12の発明にかかる半導体装置は、請求項11に記載の発明において、前記第3電極に電氣的に接続する第3配線、前記ゲート電極に電氣的に接続するゲート配線、前記第1電極に電氣的に接続する第1配線、および前記第2電極に電氣的に接続する第2配線をさらに具備し、前記第3配線は、前記第1配線および前記第2配線と異なる配線層で、前記第1配線および前記第2配線に直交しており、前記ゲート配線は、前記第1配線および前記第2配線と異なる配線層で、前記第1配線および前記第2配線に直交していること

50

を特徴とする。

【0026】

請求項13の発明にかかる半導体装置は、請求項12に記載の発明において、前記第3配線は、前記第2配線に、前記第3配線と前記第2配線が交差する少なくとも1箇所で電氣的に接続されていることを特徴とする。

【0027】

また、請求項14の発明にかかる半導体装置の製造方法は、第1導電型の半導体層の表面領域に第2導電型のドリフト領域を形成する工程と、前記ドリフト領域内に、第1の幅領域と該第1の幅領域の幅より狭い第2の幅領域を有するトレンチを形成する工程と、前記トレンチの下半部に沿って第1導電型のベース領域を形成する工程と、前記トレンチの側部および底部に沿って前記トレンチの内側にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜の表面上に第1の導電体を積層し、該第1の導電体を選択的に除去して、前記第1の幅領域では前記トレンチの側部にのみ沿って残り、かつ前記第2の幅領域では前記トレンチ内にのみ存在して同トレンチを充満するゲート導電体を形成する工程と、前記ドリフト領域内の、前記トレンチの外側に第2導電型のドレイン領域を形成する工程と、前記ゲート導電体の表面上に層間絶縁膜を堆積して前記トレンチを該層間絶縁膜で埋める工程と、前記第1の幅領域の前記層間絶縁膜を選択的に除去し前記トレンチの底部を露出させ、該露出部分に第2導電型のソース領域を形成する工程と、前記層間絶縁膜を選択的に除去し前記第1の幅領域の前記ソース領域および前記第2の幅領域のゲート導電体を露出させる工程と、第2の導電体を堆積し、該第2の導電体を選択的に除去してソース電極、ゲート電極およびドレイン電極を形成する工程と、を含むことを特徴とする。

【0028】

請求項15の発明にかかる半導体装置の製造方法は、第1導電型の半導体層の表面領域に第2導電型のドリフト領域を形成する工程と、前記ドリフト領域内に第1導電型のベース領域を形成する工程と、前記ベース領域を貫通して前記ドリフト領域に達する、第1の幅領域と該第1の幅領域の幅より狭い第2の幅領域を有するトレンチを形成する工程と、前記トレンチの側部および底部に沿って前記トレンチの内側にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜の表面上に第1の導電体を積層し、該第1の導電体を選択的に除去して、前記第1の幅領域では前記トレンチ側部にのみ沿って残り、かつ第2の幅領域では前記トレンチ内にのみ存在して同トレンチを充満するゲート導電体を形成する工程と、前記ベース領域内に第2導電型のソース領域を形成する工程と、前記ゲート導電体の表面上に層間絶縁膜を堆積して前記トレンチを該層間絶縁膜で埋める工程と、前記活性領域の前記層間絶縁膜を選択的に除去し前記トレンチの底部を露出させ、該露出部分に第2導電型のドレイン領域を形成する工程と、前記層間絶縁膜を選択的に除去し前記第1の幅領域の前記ソース領域および前記第2の幅領域のゲート導電体を露出させる工程と、第2の導電体を堆積し、該第2の導電体を選択的に除去してソース電極、ゲート電極およびドレイン電極を形成する工程と、を含むことを特徴とする。

【0029】

請求項16の発明にかかる半導体装置の製造方法は、請求項14または15に記載の発明において、さらに、前記トレンチを前記層間絶縁膜で埋める工程の後に、前記層間絶縁膜を平坦化する工程を含むことを特徴とする。

【0030】

請求項17の発明にかかる半導体装置の製造方法は、トレンチ横型MOSFETとプレーナ型MOSFETを同一半導体基板上に形成する方法であって、前記半導体基板の表面領域にトレンチ横型MOSFETの第2導電型のドリフト領域を形成する工程と、前記ドリフト領域内に第1導電型のベース領域を形成する工程と、前記ベース領域を貫通して前記ドリフト領域に達する、第1の幅領域と該第1の幅領域の幅より狭い幅の第2の幅領域を有するトレンチを形成する工程と、前記半導体基板表面に素子分離領域を形成する工程と、前記トレンチ横型MOSFETの形成領域では前記トレンチの内側に、また前記プレーナ型MOSFETの形成領域では基板表面に、それぞれゲート絶縁膜を形成する工程と

、前記半導体基板上に第1の導電体を積層し、該第1の導電体を選択的に除去して、前記第1の幅領域では前記トレンチの側部にのみ沿って残り、かつ前記第2の幅領域では前記トレンチ内にのみ存在して同トレンチを充填し、またプレーナ型MOSFETの形成領域では前記ゲート絶縁膜上に残るゲート導電体を形成する工程と、前記ベース領域内にトレンチ横型MOSFETの第2導電型のソース領域を形成する工程と、前記プレーナ型MOSFETのソースもしくはドレインとなる領域を形成する工程と、前記半導体基板上に層間絶縁膜を形成し、前記第1の幅領域では、前記層間絶縁膜および前記ゲート絶縁膜の、前記トレンチ底部の部分を選択的に除去して半導体を露出させ、その露出部分に前記トレンチ横型MOSFETの第2導電型のドレイン領域を形成する工程と、前記層間絶縁膜を選択的に除去して、前記トレンチ横型MOSFETの前記ソース領域、前記トレンチ横型MOSFETのゲート領域における前記ゲート導電体、プレーナ型MOSFETの前記ソースもしくはドレインとなる領域、前記プレーナ型MOSFETの前記ゲート導電体を露出させる工程と、前記半導体基板上に第2の導電体を積層し、該第2の導電体を選択的に除去して、トレンチ横型MOSFETのドレイン電極、ゲート電極およびソース電極、並びにプレーナ型MOSFETのドレイン電極、ゲート電極およびソース電極を形成する工程と、を含むことを特徴とする。 10

【0031】

請求項18の発明にかかる半導体装置の製造方法は、トレンチ横型MOSFETとプレーナ型MOSFETを同一半導体基板上に形成する方法であって、前記半導体基板の表面領域にトレンチ横型MOSFETの第2導電型のドリフト領域を形成する工程と、前記ドリフト領域内に、第1の幅領域と該第1の幅領域の幅より狭い幅の第2の幅領域を有するトレンチを形成する工程と、前記半導体基板表面に素子分離領域を形成する工程と、前記トレンチ横型MOSFETの形成領域では前記トレンチの内側に、また前記プレーナ型MOSFETの形成領域では基板表面に、それぞれゲート絶縁膜を形成する工程と、前記半導体基板上に第1の導電体を積層し、該第1の導電体を選択的に除去して、前記第1の幅領域では前記トレンチの側部にのみ沿って残り、かつ前記第2の幅領域では前記トレンチ内にのみ存在して同トレンチを充填し、またプレーナ型MOSFETの形成領域では前記ゲート絶縁膜上に残るゲート導電体を形成する工程と、前記ドリフト領域内の、前記トレンチの外側にトレンチ横型MOSFETの第2導電型のドレイン領域を形成する工程と、前記プレーナ型MOSFETのソースもしくはドレインとなる領域を形成する工程と、前記半導体基板上に層間絶縁膜を形成し、前記第1の幅領域では、前記層間絶縁膜および前記ゲート絶縁膜の、前記トレンチ底部の部分を選択的に除去して半導体を露出させ、その露出部分に前記トレンチ横型MOSFETの第2導電型のソース領域を形成する工程と、前記層間絶縁膜を選択的に除去して、前記トレンチ横型MOSFETの前記ドレイン領域、前記トレンチ横型MOSFETのゲート領域における前記ゲート導電体、プレーナ型MOSFETの前記ソースもしくはドレインとなる領域、前記プレーナ型MOSFETの前記ゲート導電体を露出させる工程と、前記半導体基板上に第2の導電体を積層し、該第2の導電体を選択的に除去して、トレンチ横型MOSFETのソース電極、ゲート電極およびドレイン電極、並びにプレーナ型MOSFETのソース電極、ゲート電極およびドレイン電極を形成する工程と、を含むことを特徴とする。 40

【0032】

請求項19の発明にかかる半導体装置の製造方法は、半導体基板にトレンチが設けられ、該トレンチ内に絶縁膜を介して導電体が設けられ、該導電体が前記トレンチの底部に接触する構成を有する半導体装置を製造するにあたって、前記半導体基板に第1のトレンチを形成する工程と、前記半導体基板上に絶縁膜を堆積して前記第1のトレンチ内に前記絶縁膜を充填する工程と、前記第1のトレンチ内に充填された前記絶縁膜に、前記第1のトレンチの底部に達する第2のトレンチを形成する工程と、前記第2のトレンチ内に導電体を充填する工程と、を含むことを特徴とする。

【0033】

請求項20の発明にかかる半導体装置の製造方法は、請求項19に記載の発明において 50

、さらに、前記第1のトレンチ内に前記絶縁膜を充填する工程と前記第2のトレンチを形成する工程との間に、前記第1のトレンチを埋める前記絶縁膜の表面を平坦化する工程を含むことを特徴とする。

【0034】

この発明によれば、トレンチエッチング領域がメッシュパターンを成していることにより、島状の非トレンチエッチング領域のトレンチに面した側壁すべてがチャンネルとなるので、トレンチエッチング領域がストライプ状である場合に比べて、チャンネル密度が向上する。また、ドレイン電極（TLPM/Dの場合）またはソース電極（TLPM/Sの場合）が柱状であることにより、ゲート導電体とドレイン電極（TLPM/Dの場合）またはソース電極（TLPM/Sの場合）とのオーバーラップ容量が小さくなる。

10

【発明の効果】

【0035】

本発明によれば、トレンチエッチング領域がメッシュパターンを成していることにより、島状の非トレンチエッチング領域のトレンチに面した側壁すべてがチャンネルとなるので、トレンチエッチング領域がストライプ状である場合に比べて、チャンネル密度が向上する。したがって、さらなる低オン抵抗化を図ることができる。

【0036】

また、本発明によれば、ゲート領域のトレンチがゲート導電体により完全に埋められており、ゲート領域のトレンチ内にドレイン電極（TLPM/Dの場合）またはソース電極（TLPM/Sの場合）が存在しない。したがって、ゲート領域において、ゲート導電体とドレイン電極（TLPM/Dの場合）またはソース電極（TLPM/Sの場合）との間の耐圧不良や短絡故障が発生するのを回避することができるので、ゲート電極とドレイン電極（TLPM/Dの場合）またはソース電極（TLPM/Sの場合）との間の耐圧を確保することができる。

20

【0037】

また、本発明によれば、ドレイン電極（TLPM/Dの場合）またはソース電極（TLPM/Sの場合）が柱状であることにより、ゲート導電体とドレイン電極（TLPM/Dの場合）またはソース電極（TLPM/Sの場合）とのオーバーラップ容量が小さくなる。したがって、ドレイン電極（TLPM/Dの場合）またはソース電極（TLPM/Sの場合）が線状である場合に比べて、高速化および低損失化を図ることができる。

30

【発明を実施するための最良の形態】

【0038】

以下に、本発明の実施の形態について図面を参照しつつ詳細に説明する。なお、以下の説明では、第1導電型をp型とし、第2導電型をn型として説明するが、本発明はその逆の場合にも成り立つ。

【0039】

実施の形態1.

図3は、本発明の実施の形態1にかかるTLPM/Dの主要部の平面レイアウトの一例を示す図である。図3に示すように、このTLPM/D2では、トレンチエッチング領域11は、一方向（説明の便宜上、縦方向とする）に伸びる複数のトレンチ21と、これに交差する方向（横方向とする）に伸びる複数のトレンチ22とにより、メッシュパターンを成す。以下、これらのトレンチを区別するため、活性領域トレンチ21とゲート領域トレンチ22とする。

40

【0040】

非トレンチエッチング領域12は、活性領域トレンチ21およびゲート領域トレンチ22により囲まれ、たとえば方形の島状に残る。特に限定しないが、図3に示す例では、非トレンチエッチング領域12は9個存在する。このような平面レイアウト形状は、選択的に方形に残したマスク酸化膜をマスクとして、P型半導体基板1をトレンチエッチングすることにより形成される。

【0041】

50

ドレイン電極 23 は、平面形状が島状（実際には、トレンチ底部まで達する柱状）を成し、非トレンチエッチング領域 12 と、これに対して横方向に隣り合う非トレンチエッチング領域 12 との間（図 3 において、W1 の部分）、およびトレンチエッチング領域 11 の縦方向の辺に沿ってその内側に、点在する。また、ゲート電極 24 は、平面形状が島状を成し、非トレンチエッチング領域 12 と、これに対して縦方向に隣り合う非トレンチエッチング領域 12 との間（図 3 において、W2 の部分）、およびトレンチエッチング領域 11 の横方向の辺に沿ってその内側に、点在する。ソース電極 25 は、非トレンチエッチング領域 12、およびトレンチエッチング領域 11 の四辺に沿ってその外側に、配置される。

【0042】

図 4 は、図 3 に示す平面レイアウト構成の T L P M / D における配線パターンの一例を示す図である。図 4 に示すように、ドレイン配線 26、ゲート配線 27 およびソース配線 28 は、いずれも櫛歯状を成す。ゲート配線 27 の歯の部分は、点在する複数のゲート電極 24 をつなぐように、横方向にたとえば 4 本伸びる。同様に、ドレイン配線 26 の歯の部分は、縦方向にたとえば 4 本伸びる。

【0043】

ソース配線 28 の歯の部分は、縦方向にたとえば 5 本伸びる。ドレイン配線 26 の歯の部分とソース配線 28 の歯の部分は、交互に配置される。後述するように、ゲート配線 27 と、ドレイン配線 26 およびソース配線 28 とは、異なる配線層に形成される。また、ドレイン配線 26 とソース配線 28 とは、絶縁膜により互いに絶縁されている。

【0044】

つぎに、活性領域における断面構造について説明する。図 2 は、図 3 または図 4 の A - A における縦断面図であり、活性領域における構成を示している。たとえば酸化膜よりなるゲート絶縁膜 29 は、活性領域トレンチ 21 の内側側面に沿って形成されている。たとえばポリシリコンよりなるゲート導電体 30 は、ゲート絶縁膜 29 の内側に沿って活性領域トレンチ 21 の略上下にわたって形成されている。このゲート導電体 30 は、図 1 に関連して後述するゲート領域まで延びている。

【0045】

活性領域トレンチ 21 の下半部の外側領域は、n ドリフト領域 31 である。その n ドリフト領域 31 内において、活性領域トレンチ 21 の底には、 n^+ ドレイン領域 32 が設けられている。 n^+ ドレイン領域 32 は、活性領域トレンチ 21 の中央に設けられたドレイン電極 23 に電氣的に接続されている。このドレイン電極 23 は、活性領域トレンチ 21 内において、たとえば酸化膜よりなる層間絶縁膜 33 により、ゲート導電体 30 から絶縁されている。ドレイン電極 23 は、ドレイン配線 26 に電氣的に接続されている。

【0046】

また、活性領域トレンチ 21 の上半部の外側領域は、p ベース領域 34 である。 n^+ ソース領域 35 は、p ベース領域 34 上の基板表面領域に形成されている。 n^+ ソース領域 35 は、基板表面に形成されたソース電極 25 に電氣的に接続されている。また、図示されていないが、p ベース領域 34 も、後述する p^+ 拡散領域 37 を介して、ソース電極 25 に電氣的に接続されている。ソース電極 25 は、前記層間絶縁膜 33 により、ゲート導電体 30 およびドレイン電極 23 から絶縁されている。

【0047】

ソース電極 25 は、ソース配線 28 に電氣的に接続されている。ソース配線 28 とドレイン配線 26 とは、同一配線層に形成されているが、たとえば酸化膜よりなる層間絶縁膜 36 により絶縁されている。特に図示しないが、P 型半導体基板 1 は、n ドリフト領域 31 の外側に存在する p^+ 拡散領域を介して、基板コンタクトに電氣的に接続されている。

【0048】

つぎに、ゲート領域における断面構造について説明する。図 1 は、図 3 または図 4 の B - B における縦断面図であり、ゲート領域における構成を示している。ゲート領域トレンチ 22 の下半部の外側領域は、前記 n ドリフト領域 31 である。ゲート絶縁膜 29 は、ゲ

10

20

30

40

50

ート領域トレンチ 22 の側面および底面に沿ってほぼ均一な厚さで形成されている。

【0049】

ゲート領域トレンチ 22 内のゲート絶縁膜 29 の内側は、活性領域からつづくゲート導電体 30 により、完全に埋め込まれている。したがって、ゲート領域トレンチ 22 内には、ドレイン電極 23 は存在しない。ゲート導電体 30 は、ゲート電極 24 に電氣的に接続されている。ゲート電極 24 は、ゲート配線 27 に電氣的に接続されている。

【0050】

また、活性領域と同様に、ゲート領域トレンチ 22 の上半部の外側領域は、p ベース領域 34 であり、この p ベース領域 34 上の基板表面領域に n^+ ソース領域 35 が形成されている。 n^+ ソース領域 35 は、ソース電極 25 に電氣的に接続されている。また、p ベース領域 34 も、 p^+ 拡散領域 37 を介してソース電極 25 に電氣的に接続されている。

10

【0051】

ソース電極 25 は、ソース配線 28 に電氣的に接続されている。ソース配線 28 は、ゲート配線 27 よりも上の配線層に形成されており、層間絶縁膜 36 により、ゲート配線 27 から絶縁されている。また、ソース電極 25 とゲート電極 24 とは、前記層間絶縁膜 33 により絶縁されている。なお、ゲート配線 27 が、ソース配線 28 およびドレイン配線 26 よりも上の配線層に形成されていてもよい。

【0052】

ここで、特に限定しないが、各部の寸法および不純物の表面濃度はつぎのとおりである。たとえば、活性領域トレンチ 21 について、その深さは $2\ \mu\text{m}$ であり、その幅（図 3、 $W1$ ）は $2\ \mu\text{m}$ である。ゲート領域トレンチ 22 については、たとえばその深さは $2\ \mu\text{m}$ であり、その幅（図 3、 $W2$ ）は $0.5\ \mu\text{m}$ である。非トレンチエッチング領域 12 について、たとえば活性領域に面する辺の長さは $3\ \mu\text{m}$ であり、ゲート領域に面する辺の長さは $1\ \mu\text{m}$ である。

20

【0053】

また、p ベース領域 34 について、たとえばその拡散深さは $1\ \mu\text{m}$ であり、表面濃度は $1 \times 10^{18}\ \text{cm}^{-3}$ である。 n^+ ドレイン領域 32 および n^+ ソース領域 35 について、たとえばその拡散深さは $0.2\ \mu\text{m}$ であり、その表面濃度は $1 \times 10^{20}\ \text{cm}^{-3}$ である。 p^+ 拡散領域 37 について、たとえばその拡散深さは $0.2\ \mu\text{m}$ であり、その表面濃度は $1 \times 10^{20}\ \text{cm}^{-3}$ である。 n ドリフト領域 31 について、たとえばその拡散深さは $4\ \mu\text{m}$ であり、表面濃度は $2 \times 10^{16}\ \text{cm}^{-3}$ である。ゲート絶縁膜 29 の厚さは、たとえば $0.05\ \mu\text{m}$ である。ゲート導電体 30 の厚さは、たとえば $0.3\ \mu\text{m}$ である。

30

【0054】

つぎに、実施の形態 1 にかかる T L P M / D 2 の製造プロセスについて説明する。図 5 ~ 図 18 は、T L P M / D 2 の製造段階における要部を示す縦断面図であるが、これらの図においては活性領域トレンチ 21 またはゲート領域トレンチ 22 を 1 個のみ示す。

【0055】

まず、たとえば比抵抗 $12\ \Omega\ \text{cm}$ の P 型半導体基板 1 の表面に、たとえば厚さ $1\ \mu\text{m}$ のマスク酸化膜 41 を成長させる。そのマスク酸化膜 41 の一部を選択的に除去して基板表面を露出させる。つづいて、イオン注入をおこない、 n ドリフト領域 31 を形成する。さらに、イオン注入により、p ベース領域 34 を形成する。

40

【0056】

ついで、パターニングされたマスク酸化膜 41 をマスクとして R I E（反応性イオンエッチング）により、活性領域においては図 5 に示すように活性領域トレンチ 21 を形成し、ゲート領域においては図 6 に示すようにゲート領域トレンチ 22 を形成する。マスク酸化膜 41 を除去し、犠牲酸化により活性領域トレンチ 21 およびゲート領域トレンチ 22 の側面を清浄化した後、活性領域トレンチ 21 およびゲート領域トレンチ 22 の側面および底面にゲート絶縁膜 29 を形成する。

【0057】

しかる後、ゲート絶縁膜 29 上に、第 1 の導電体として、たとえば厚さ $0.3\ \mu\text{m}$ のポ

50

リシリコン 42 を堆積する。このとき、活性領域においては図 7 に示すように、活性領域トレンチ 21 はポリシリコン 42 で埋まらないが、ゲート領域においては図 8 に示すように、ゲート領域トレンチ 22 はポリシリコン 42 により完全に埋められる。

【0058】

ついで、ポリシリコン 42 を異方性エッチングによりエッチバックする。この工程により、活性領域においては図 9 に示すように、活性領域トレンチ 21 の側面を除いてポリシリコン 42 が除去され、活性領域トレンチ 21 の側面にのみポリシリコン 42 が残る。この残ったポリシリコン 42 が活性領域におけるゲート導電体 30 となる。一方、ゲート領域においては図 10 に示すように、基板表面上のポリシリコン 42 のみがエッチバックされるので、ゲート領域トレンチ 22 内のポリシリコン 42 がゲート導電体 30 として残る 10。

【0059】

ついで、所望のパターンのマスクを用いてイオン注入をおこない、活性領域においては図 11 に示すように、またゲート領域においては図 12 に示すように、 n^+ ソース領域 35 および p^+ 拡散領域 37 を形成する。ついで、400℃前後の雰囲気での LPCVD や P-TEOS などの成膜方法により、層間絶縁膜 33 を積層する。活性領域においては図 13 に示すように、活性領域トレンチ 21 内が層間絶縁膜 33 により埋められる。一方、ゲート領域においては図 14 に示すように、層間絶縁膜 33 は基板表面上に積層される。

【0060】

つづいて、活性領域において、層間絶縁膜 33 の、活性領域トレンチ 21 の中央部分をエッチングによりホール状に除去してコンタクトホールを開口し、図 15 に示すように、活性領域トレンチ 21 の底面の n ドリフト領域 31 を露出させる。そして、その n ドリフト領域 31 の露出部分に、イオン注入により、 n^+ ドレイン領域 32 を形成する。再び、層間絶縁膜 33 をエッチングにより選択的に除去する。それによって、活性領域においては図 15 に示すように、 n^+ ソース領域 35 および図示しない p^+ 拡散領域 37 が部分的に露出する。また、ゲート領域においては図 16 に示すように、ゲート導電体 30、 n^+ ソース領域 35 および p^+ 拡散領域 37 が部分的に露出する。 20

【0061】

ついで、たとえば CVD 法により第 2 の導電体としてタングステンを堆積する。必要に応じて、タングステンを堆積する前にタングステンの剥離防止のため、チタンなどを含む密着層を形成してもよい。そして、堆積したタングステンをエッチバックして、活性領域トレンチ 21 の中央部分、基板表面の開口部にタングステンを埋め込む。それによって、活性領域においては図 17 に示すように、ドレイン電極 23 およびソース電極 25 が形成される。また、ゲート領域においては図 18 に示すように、ゲート電極 24 およびソース電極 25 が形成される。 30

【0062】

ついで、ドレイン電極 23、ゲート電極 24、ソース電極 25 および層間絶縁膜 33 の上全面に、メタルを堆積する。このメタルをエッチングにより選択的に除去し、ゲート配線 27 を形成する。そして、その上全面に層間絶縁膜 36 を積層し、ソースコンタクトおよびドレインコンタクトのためのコンタクトホールを開口し、再びメタルを堆積する。そして、メタルをエッチングにより選択的に除去して、ソース配線 28 およびドレイン配線 26 を形成する。 40

【0063】

以上のようにして、活性領域においては図 2 に示す断面構造を有し、かつゲート領域においては図 1 に示す断面構造を有する T L P M / D 2 ができあがる。なお、ドライブ熱処理については省略したが、適宜おこなうものとする。

【0064】

上述した実施の形態 1 によれば、トレンチエッチング領域 11 がメッシュパターンであるため、非トレンチエッチング領域 12 の、活性領域トレンチ 21 およびゲート領域トレンチ 22 に面した側壁すべてがチャンネルとなる。したがって、トレンチエッチング領域 1 50

1 がストライプ状である場合に比べて、チャンネル密度が向上し、さらなる低オン抵抗化を図ることができる。

【0065】

また、実施の形態 1 によれば、ゲート領域トレンチ 22 がゲート導電体 30 により完全に埋められており、ゲート領域トレンチ 22 内にドレイン電極 23 が存在しない。したがって、ゲート領域において、ゲート導電体 30 とドレイン電極 23 との間の耐圧不良や短絡故障が発生するのを回避することができるので、ゲートドレイン間の耐圧を確保することができる。

【0066】

また、実施の形態 1 によれば、ドレイン電極 23 が柱状であるため、ゲート導電体 30 とドレイン電極 23 とのオーバーラップ容量が小さくなる。したがって、ドレイン電極 23 の平面形状が線状である場合に比べて、高速化および低損失化を図ることができる。

【0067】

なお、図 19 に示す平面レイアウト図のように、ドレイン電極 23 の平面形状が線状になっていてもよい。図 19 において、C-C で示す切断線が図 3 における切断線 A-A に相当し、切断線 D-D が図 3 における切断線 B-B に相当する。この場合には、 n^+ ドレイン領域 32 およびドレイン電極 23 の面積が大きくなるため、抵抗による損失が小さくなる。

【0068】

実施の形態 2.

図 23 は、本発明の実施の形態 2 にかかる T L P M / S の主要部の平面レイアウトの一例を示す図である。図 23 に示すように、この T L P M / S 5 では、実施の形態 1 と同様に、トレンチエッチング領域 11 は、活性領域トレンチ 21 およびゲート領域トレンチ 22 により、メッシュパターンを成す。非トレンチエッチング領域 12 は、たとえば 12 個の方形の島状に残る。なお、実施の形態 1 と同一の構成要素については、同一の符号を付す。

【0069】

ソース電極 25 は、平面形状が島状（実際には、トレンチ底部まで達する柱状）を成し、非トレンチエッチング領域 12 と、これに対して横方向に隣り合う非トレンチエッチング領域 12 との間（図 23 において、W1 の部分）、およびトレンチエッチング領域 11 の縦方向の辺に沿ってその内側に、点在する。ゲート電極 24 の平面形状および配置は、実施の形態 1 と同じである。ドレイン電極 23 は、非トレンチエッチング領域 12、およびトレンチエッチング領域 11 の四辺に沿ってその外側に、配置される。ベース電極 38 は、活性領域トレンチ 21 とゲート領域トレンチ 22 との交差位置に配置される。

【0070】

図 24 は、図 23 に示す平面レイアウト構成の T L P M / S における配線パターンの一例を示す図である。図 24 に示すように、ドレイン配線 26、ゲート配線 27、ソース配線 28 およびベース配線 39 は、いずれも櫛歯状を成し、それぞれドレイン電極 23、ゲート電極 24、ソース電極 25 およびベース電極 38 に電氣的に接続されている。図示例では、ゲート配線 27 の歯の部分は、横方向にたとえば 3 本伸びる。ベース配線 39 の歯の部分は、横方向にたとえば 2 本伸び、ゲート配線 27 の歯の部分と交互に配置される。

【0071】

ドレイン配線 26 の歯の部分は、縦方向にたとえば 5 本伸びる。ソース配線 28 の歯の部分は、縦方向にたとえば 4 本伸び、ドレイン配線 26 の歯の部分と交互に配置される。後述するように、ゲート配線 27 およびベース配線 39 と、ドレイン配線 26 およびソース配線 28 とは、異なる配線層に形成される。また、ゲート配線 27 とベース配線 39 とは、絶縁膜により互いに絶縁されている。ドレイン配線 26 とソース配線 28 とは、絶縁膜により互いに絶縁されている。

【0072】

特に図示しないが、ベース配線 39 とソース配線 28 とは、それらの交差位置において

電氣的に接続されている。後述するように、ベース電極 38 は、 p^+ 拡散領域 37 および p ベース領域 34 を介して、P 型半導体基板 1 に電氣的に接続されている（図 22 参照）。また、ソース電極 25 は、 n^+ ソース領域 35 に電氣的に接続されている（図 21 参照）。したがって、ベース配線 39 とソース配線 28 とを電氣的に接続することによって、P 型半導体基板 1 と n^+ ソース領域 35 とが電氣的に接続される。

【0073】

つぎに、活性領域における断面構造について説明する。図 21 は、図 23 または図 24 の E-E における縦断面図であり、活性領域における構成を示している。ゲート絶縁膜 29 は、活性領域トレンチ 21 の内側側面に沿って形成されている。ゲート導電体 30 は、ゲート絶縁膜 29 の内側に沿って活性領域トレンチ 21 の略上下にわたって形成されている。このゲート導電体 30 は、図 20 に関連して後述するゲート領域まで延びている。 10

【0074】

活性領域トレンチ 21 の下半部の外側領域は、 p ベース領域 34 である。その p ベース領域 34 内において、活性領域トレンチ 21 の底には、 n^+ ソース領域 35 が設けられている。 n^+ ソース領域 35 は、活性領域トレンチ 21 の中央に設けられたソース電極 25 に電氣的に接続されている。このソース電極 25 は、活性領域トレンチ 21 内において、層間絶縁膜 33 によりゲート導電体 30 から絶縁されている。ソース電極 25 上には、ソース配線 28 が設けられている。

【0075】

また、活性領域トレンチ 21 の上半部の外側領域は、 n ドリフト領域 31 である。 n^+ ドレイン領域 32 は、 n ドリフト領域 31 内の基板表面領域に形成されている。 n^+ ドレイン領域 32 は、基板表面に形成されたドレイン電極 23 に電氣的に接続されている。ドレイン電極 23 は、前記層間絶縁膜 33 により、ゲート導電体 30 およびソース電極 25 から絶縁されている。ドレイン電極 23 上には、ドレイン配線 26 が設けられる。ドレイン配線 26 とソース配線 28 とは、同一配線層に形成されているが、層間絶縁膜 36 により絶縁されている。 20

【0076】

つぎに、活性領域のゲート領域トレンチ 22 との交差位置における断面構造について説明する。図 22 は、図 23 または図 24 の G-G における縦断面図であり、ゲート領域トレンチ 22 との交差する位置における活性領域トレンチ 21 内の構成を示している。P 型半導体基板 1 上には、 p ベース領域 34 が形成されている。 p ベース領域 34 内には、 p^+ 拡散領域 37 および n^+ ソース領域 35 が形成されている。 p^+ 拡散領域 37 は、前記層間絶縁膜 33 を貫通する柱状のベース電極 38 を介して、ベース配線 39 に電氣的に接続されている。ベース配線 39 は、前記層間絶縁膜 36 により被覆されており、その上のソース配線 28 から絶縁されている。 30

【0077】

つぎに、ゲート領域における断面構造について説明する。図 20 は、図 23 または図 24 の F-F における縦断面図であり、ゲート領域における構成を示している。ゲート領域トレンチ 22 の下半部の外側領域は、 p ベース領域 34 である。ゲート絶縁膜 29 は、ゲート領域トレンチ 22 の側面および底面に沿ってほぼ均一な厚さで形成されている。 40

【0078】

ゲート領域トレンチ 22 内のゲート絶縁膜 29 の内側は、活性領域からつづくゲート導電体 30 により、完全に埋め込まれており、そこにはソース電極 25 は存在しない。ゲート導電体 30 は、ゲート電極 24 に電氣的に接続されている。ゲート電極 24 上には、ゲート配線 27 が設けられる。

【0079】

また、活性領域と同様に、ゲート領域トレンチ 22 の上半部の外側領域は、 n ドリフト領域 31 である。この n ドリフト領域 31 上の基板表面領域に n^+ ドレイン領域 32 が形成されている。 n^+ ドレイン領域 32 は、基板表面上のドレイン電極 23 に電氣的に接続されている。ドレイン電極 23 上には、ドレイン配線 26 が設けられる。 50

【0080】

ドレイン配線26は、ゲート配線27よりも上の配線層に形成されており、前記層間絶縁膜36により、ゲート配線27から絶縁されている。また、ドレイン電極23とゲート電極24とは、前記層間絶縁膜33により絶縁されている。なお、ゲート配線27およびベース配線39が、ソース配線28およびドレイン配線26よりも上の配線層に形成されている。

【0081】

ここで、特に限定しないが、各部の寸法および不純物の表面濃度はつぎのとおりである。たとえば、活性領域トレンチ21について、その深さは $2\mu\text{m}$ であり、その幅（図23、W1）は $2\mu\text{m}$ である。ゲート領域トレンチ22については、たとえばその深さは $2\mu\text{m}$ であり、その幅（図23、W2）は $0.5\mu\text{m}$ である。非トレンチエッチング領域12について、たとえば活性領域に面する辺の長さは $3\mu\text{m}$ であり、ゲート領域に面する辺の長さは $1\mu\text{m}$ である。

【0082】

また、pベース領域34について、たとえばその拡散深さは $1.5\mu\text{m}$ であり、表面濃度は $1 \times 10^{18} \text{ cm}^{-3}$ である。 n^+ ソース領域35および n^+ ドレイン領域32について、たとえばその拡散深さは $0.2\mu\text{m}$ であり、その表面濃度は $1 \times 10^{20} \text{ cm}^{-3}$ である。 p^+ 拡散領域37について、たとえばその拡散深さは $0.2\mu\text{m}$ であり、その表面濃度は $1 \times 10^{20} \text{ cm}^{-3}$ である。 n ドリフト領域31について、たとえばその拡散深さは $2.5\mu\text{m}$ であり、表面濃度は $2 \times 10^{16} \text{ cm}^{-3}$ である。ゲート絶縁膜29の厚さは、たとえば $0.05\mu\text{m}$ である。ゲート導電体30の厚さは、たとえば $0.3\mu\text{m}$ である。

【0083】

つぎに、実施の形態2にかかるTLPM/S5の製造プロセスについて説明する。図25～図38は、TLPM/S5の製造段階における要部を示す縦断面図であるが、これらの図においては活性領域トレンチ21またはゲート領域トレンチ22を1個のみ示す。

【0084】

まず、たとえば比抵抗 $12\Omega\text{cm}$ のP型半導体基板1の表面に、たとえば厚さ $1\mu\text{m}$ のマスク酸化膜41を成長させる。そのマスク酸化膜41の一部を選択的に除去して基板表面を露出させる。そして、イオン注入をおこない、 n ドリフト領域31を形成する。ついで、パターニングされたマスク酸化膜41をマスクとしてRIE（反応性イオンエッチング）により、活性領域トレンチ21およびゲート領域トレンチ22を形成する。ついで、イオン注入により、活性領域においては図25に示すように、またゲート領域においては図26に示すように、pベース領域34を形成する。

【0085】

マスク酸化膜41を除去し、犠牲酸化により活性領域トレンチ21およびゲート領域トレンチ22の側面を清浄化した後、活性領域トレンチ21およびゲート領域トレンチ22の側面および底面に、たとえば厚さ 50nm のゲート絶縁膜29を形成する。しかる後、ゲート絶縁膜29上に、第1の導電体として、たとえば厚さ $0.3\mu\text{m}$ のポリシリコン42を堆積する。このとき、活性領域においては図27に示すように、活性領域トレンチ21はポリシリコン42で埋まらないが、ゲート領域においては図28に示すように、ゲート領域トレンチ22はポリシリコン42により完全に埋められる。

【0086】

ついで、ポリシリコン42を異方性エッチングによりエッチバックし、活性領域においては図29に示すように、活性領域トレンチ21の側面にのみポリシリコン42を残す。この残ったポリシリコン42が活性領域におけるゲート導電体30となる。一方、ゲート領域においては図30に示すように、ゲート領域トレンチ22内にポリシリコン42がゲート導電体30として残る。

【0087】

ついで、所望のパターンのマスクを用いてイオン注入をおこない、活性領域においては図31に示すように、またゲート領域においては図32に示すように、 n^+ ドレイン領域

10

20

30

40

50

32を形成する。ついで、400℃前後の雰囲気でのLP-CVDやP-TEOSなどの成膜方法により、層間絶縁膜33を積層する。活性領域においては図33に示すように、活性領域トレンチ21内が層間絶縁膜33により埋められる。一方、ゲート領域においては図34に示すように、層間絶縁膜33は基板表面上に積層される。

【0088】

つづいて、活性領域において、層間絶縁膜33の、活性領域トレンチ21の中央部分をエッチングによりホール状に除去してコンタクトホールを開口し、図35に示すように、活性領域トレンチ21の底面のpベース領域34を露出させる。そして、所望のパターンのマスクを用いてイオン注入をおこない、pベース領域34の露出部分のうち、横方向に隣り合う非トレンチエッチング領域12、12に挟まれた部分（図23参照）に、 n^+ ソース領域35を形成する。 10

【0089】

また、所望のパターンのマスクを用いてイオン注入をおこない、pベース領域34の露出部分のうち、活性領域トレンチ21とゲート領域トレンチ22とが交差する部分（図23参照）に、ベースコンタクトのための p^+ 拡散領域37を形成する（図22参照）。再び、層間絶縁膜33をエッチングにより選択的に除去し、活性領域においては図35に示すように、 n^+ ドレイン領域32を部分的に露出させる。一方、ゲート領域においては図36に示すように、ゲート導電体30および n^+ ドレイン領域32が部分的に露出する。

【0090】

ついで、たとえばCVD法により第2の導電体としてタングステンを堆積する。必要に応じて、タングステンを堆積する前にタングステンの剥離防止のため、チタンなどを含む密着層を形成してもよい。そして、堆積したタングステンをエッチバックする。それによって、活性領域においては図37に示すように、ソース電極25およびドレイン電極23が形成される。活性領域トレンチ21とゲート領域トレンチ22とが交差する部分においては図39に示すように、ベース電極38が形成される。また、ゲート領域においては図38に示すように、ゲート電極24およびドレイン電極23が形成される。 20

【0091】

ついで、ソース電極25、ゲート電極24、ドレイン電極23、ベース電極38および層間絶縁膜33の上全面に、メタルを堆積する。このメタルをエッチングにより選択的に除去し、ゲート配線27およびベース配線39を形成する。そして、その上全面に層間絶縁膜36を積層し、ソースコンタクトおよびドレインコンタクトのためのコンタクトホールを開口する。また、ベース配線39とソース配線28とを電氣的に接続するために、ベース配線39上の、ソース配線28と交差する箇所にもコンタクトホールを開口する。そして、再び全面にメタルを堆積し、これをエッチングにより選択的に除去して、ソース配線28およびドレイン配線26を形成する。 30

【0092】

以上のようにして、活性領域においては図21に示す断面構造を有し、活性領域トレンチ21とゲート領域トレンチ22との交差位置においては図22に示す断面構造を有し、かつゲート領域においては図20に示す断面構造を有するTLPMS5ができあがる。なお、ドライブ熱処理については省略したが、適宜おこなうものとする。 40

【0093】

上述した実施の形態2によれば、ゲート領域トレンチ22がゲート導電体30により完全に埋められており、ゲート領域トレンチ22内にソース電極25が存在しない。したがって、ゲート領域において、ゲート導電体30とソース電極25との間の耐圧不良や短絡故障が発生するのを回避することができるので、ゲートーソース間の耐圧を確保することができる。

【0094】

また、実施の形態2によれば、ソース電極25が柱状であるため、ゲート導電体30とソース電極25とのオーバーラップ容量が小さくなる。したがって、ソース電極25の平面形状が線状である場合に比べて、高速化および低損失化を図ることができる。 50

【0095】

なお、図40に示す平面レイアウト図のように、ソース電極25の平面形状が線状になっていてもよい。この場合には、トレンチ底部の p^+ 拡散領域37はソース電極25に電氣的に接続されるので、活性領域トレンチ21とゲート領域トレンチ22との交差位置にベース電極は不要である。したがって、配線パターンは、図41に示すように、ゲート配線27と、ドレイン配線26およびソース配線28とが交差するパターンとなる。図40および図41において、H-Hで示す切断線が図23における切断線E-Eに相当し、切断線J-Jが図23における切断線F-Fに相当する。この場合には、 n^+ ソース領域35およびソース電極25の面積が大きくなるため、抵抗による損失が小さくなる。

【0096】

10

また、上述した製造プロセスにおいて、図35に示すように、 p ベース領域34を露出させた後、 p^+ 拡散領域37を形成するためのイオン注入をおこなった後に、 n^+ ソース領域35を形成するためのイオン注入をおこなうようにしてもよい。また、図36、図37に示すように、ゲート導電体30および n^+ ドレイン領域32を露出させた後に、図35に示すように、活性領域トレンチ21にコンタクトホールを開口して p ベース領域34を露出させるようにしてもよい。

【0097】

実施の形態3.

図42は、本発明の実施の形態3にかかる半導体装置の活性領域における主要部の断面構造の一例を示す図である。図42に示すように、 P 型半導体基板1に、 P 型半導体層である P ウェル領域13、15と、 N ウェル領域14が形成されている。第1の P ウェル領域13には、上述した実施の形態1の $TLPM/D2$ が形成されている。

20

【0098】

図42には、 $TLPM/D2$ のゲート領域の構成が示されていないが、実施の形態1で説明したとおり、ゲート領域では、ゲート領域トレンチ22内は、ゲート絶縁膜29を介してゲート導電体30により完全に埋められている（図18参照）。また、 $TLPM/D2$ では、トレンチエッチング領域は、活性領域トレンチ21とゲート領域トレンチ22とが縦横に交差したメッシュパターンを成す。 $TLPM/D2$ のその他の構成については、実施の形態1と説明が重複するので、ここでは説明を省略する。

【0099】

30

N ウェル領域14には、 P チャネルのプレーナ型 $MOSFET$ （以下、 $PMOS$ とする）6が形成されている。 $PMOS$ 6は、 N ウェル領域14の表面層に、ソースもしくはドレインとなる領域（以下、 p^+ ソース／ドレイン領域と表記する）61が形成されている。 N ウェル領域14の表面上には、たとえば酸化膜よりなるゲート絶縁膜62を介して、たとえばポリシリコンよりなるゲート導電体63が形成されている。ゲート導電体63には、ゲート電極64が接触している。 p^+ ソース／ドレイン領域61には、ソースもしくはドレインとなる電極（以下、ソース／ドレイン電極と表記する）65が層間絶縁膜33を貫通して接触している。

【0100】

第2の P ウェル領域15には、 N チャネルのプレーナ型 $MOSFET$ （以下、 $NMOS$ とする）8が形成されている。 $NMOS$ 8は、第2の P ウェル領域15の表面層に、ソースもしくはドレインとなる領域（以下、 n^+ ソース／ドレイン領域と表記する）81が形成されている。第2の P ウェル領域15の表面上には、たとえば酸化膜よりなるゲート絶縁膜82を介して、たとえばポリシリコンよりなるゲート導電体83が形成されている。ゲート導電体83には、ゲート電極84が接触している。 n^+ ソース／ドレイン領域81には、ソースもしくはドレインとなる電極（以下、ソース／ドレイン電極と表記する）85が層間絶縁膜33を貫通して接触している。

40

【0101】

基板表面の、 P ウェル領域13、15と N ウェル領域14との境界部分には、選択酸化膜（ $LOCOS$ ）16が形成されており、 $TLPM/D2$ 、 $NMOS$ 8および $PMOS$ 6

50

は、この選択酸化膜 16 により素子分離されている。なお、半導体基板 1 上には、T L P M / D 2、N M O S 8 および P M O S 6 がそれぞれ 1 個以上作製されているが、図 4 2 ~ 図 5 1 にはそれぞれ 1 個ずつ示されている。また、これらの図では、図が煩雑になるのを避けるため、ソースやドレインやゲートの各電極よりも上の層、すなわち層間絶縁膜や配線層が省略されている。

【0102】

ここで、特に限定しないが、各部の寸法および不純物の表面濃度はつぎのとおりである。たとえば、第 1 および第 2 の P ウェル領域 13, 15 について、その拡散深さは $6 \mu\text{m}$ であり、表面濃度は $1 \times 10^{17} \text{cm}^{-3}$ である。N ウェル領域 14 について、その拡散深さは $6 \mu\text{m}$ であり、表面濃度は $1 \times 10^{17} \text{cm}^{-3}$ である。選択酸化膜 16 の厚さは、たとえば $0.6 \mu\text{m}$ である。 10

【0103】

T L P M / D 2 では、つぎのとおりである。活性領域トレンチ 21 について、たとえばその深さは $2 \mu\text{m}$ であり、その幅（図 3 参照、W1）は $2 \mu\text{m}$ である。ゲート領域トレンチ 22 については、たとえばその深さは $2 \mu\text{m}$ であり、その幅（図 3 参照、W2）は $0.5 \mu\text{m}$ である。非トレンチエッチング領域 12 について、たとえば活性領域に面する辺の長さは $3 \mu\text{m}$ であり、ゲート領域に面する辺の長さは $1 \mu\text{m}$ である。

【0104】

また、p ベース領域 34 について、たとえばその拡散深さは $1 \mu\text{m}$ であり、表面濃度は $1 \times 10^{18} \text{cm}^{-3}$ である。 n^+ ドレイン領域 32 および n^+ ソース領域 35 について、たとえばその拡散深さは $0.2 \mu\text{m}$ であり、その表面濃度は $1 \times 10^{20} \text{cm}^{-3}$ である。 p^+ 拡散領域 37 について、たとえばその拡散深さは $0.2 \mu\text{m}$ であり、その表面濃度は $1 \times 10^{20} \text{cm}^{-3}$ である。 n ドリフト領域 31 について、たとえばその拡散深さは $2 \mu\text{m}$ であり、表面濃度は $2 \times 10^{16} \text{cm}^{-3}$ である。ゲート絶縁膜 29 の厚さは、たとえば $0.05 \mu\text{m}$ である。ゲート導電体 30 の厚さは、たとえば $0.3 \mu\text{m}$ である。 20

【0105】

P M O S 6 では、つぎのとおりである。 p^+ ソース / ドレイン領域 61 について、たとえばその拡散深さは $0.2 \mu\text{m}$ であり、表面濃度は $1 \times 10^{20} \text{cm}^{-3}$ である。ゲート絶縁膜 62 の厚さは、たとえば $0.05 \mu\text{m}$ である。ゲート導電体 83 の厚さは、たとえば $0.3 \mu\text{m}$ である。 30

【0106】

N M O S 8 では、つぎのとおりである。 n^+ ソース / ドレイン領域 81 について、たとえばその拡散深さは $0.2 \mu\text{m}$ であり、表面濃度は $1 \times 10^{20} \text{cm}^{-3}$ である。ゲート絶縁膜 82 の厚さは、たとえば $0.05 \mu\text{m}$ である。ゲート導電体 83 の厚さは、たとえば $0.3 \mu\text{m}$ である。

【0107】

つぎに、実施の形態 3 にかかる半導体装置の製造プロセスについて説明する。図 4 3 ~ 図 5 1 は、半導体装置の製造段階における要部を示す縦断面図である。まず、図 4 3 に示すように、たとえば比抵抗 $12 \Omega \text{cm}$ の P 型半導体基板 1 に、周知の方法により、P ウェル領域 13, 15 および N ウェル領域 14 を形成する。ついで、基板表面に、たとえば厚さ $0.4 \mu\text{m}$ のマスク酸化膜 43 を成長させる。そのマスク酸化膜 43 の一部を選択的に除去して第 1 の P ウェル領域 13 内の基板表面を露出させる。そして、図 4 4 に示すように、イオン注入をおこない、p ベース領域 34 を形成する。 40

【0108】

ついで、パターニングされたマスク酸化膜 43 をマスクとして R I E（反応性イオンエッチング）により、T L P M / D 2 の活性領域においては活性領域トレンチ 21 を形成し、ゲート領域においては図示しないゲート領域トレンチ 22 を形成する（図 6 参照）。ついで、斜めイオン注入法により、 n ドリフト領域 31 を形成する。

【0109】

マスク酸化膜 43 を除去した後、図 4 5 に示すように、基板表面、活性領域トレンチ 2 50

1 内、および図示しないゲート領域トレンチ 2 2 内に、バッファ酸化膜 4 4 を形成する。その上に窒化膜 4 5 を積層し、これをパターニングする。そして、図 4 6 に示すように、熱酸化により、選択酸化膜 1 6 を形成し、バッファ酸化膜 4 4 および窒化膜 4 5 を除去する。

【0110】

ついで、犠牲酸化により活性領域トレンチ 2 1 およびゲート領域トレンチ 2 2 の側面、並びに基板表面を清浄化する。その後、図 4 7 に示すように、T L P M / D 2 においては、活性領域トレンチ 2 1 およびゲート領域トレンチ 2 2 の側面および底面にゲート絶縁膜 2 9 を形成する。同時に、P M O S 6 では、基板表面にゲート絶縁膜 6 2 を形成し、N M O S 8 では、基板表面にゲート絶縁膜 8 2 を形成する。

10

【0111】

しかる後、全面に、第 1 の導電体として、たとえば厚さ $0.3 \mu\text{m}$ のポリシリコン 4 2 を堆積する。このとき、T L P M / D 2 の活性領域においては図 4 7 に示すように、活性領域トレンチ 2 1 はポリシリコン 4 2 で埋まらないが、T L P M / D 2 の、図示しないゲート領域においては、ゲート領域トレンチ 2 2 はポリシリコン 4 2 により完全に埋められる（図 8 参照）。

【0112】

ついで、P M O S 6 および N M O S 8 のゲート導電体 6 3, 8 3 を形成するためのレジストマスク 4 6 を形成する。そして、ポリシリコン 4 2 を異方性エッチングによりエッチバックする。この工程により、図 4 8 に示すように、P M O S 6 および N M O S 8 では、ゲート導電体 6 3, 8 3 が残る。

20

【0113】

T L P M / D 2 の活性領域では、活性領域トレンチ 2 1 の側面を除いてポリシリコン 4 2 が除去され、活性領域トレンチ 2 1 の側面にのみポリシリコン 4 2 が残る。この残ったポリシリコン 4 2 が、T L P M / D 2 の活性領域におけるゲート導電体 3 0 となる。T L P M / D 2 のゲート領域では、基板表面上のポリシリコン 4 2 のみがエッチバックされるので、ゲート領域トレンチ 2 2 内のポリシリコン 4 2 がゲート導電体 3 0 として残る（図 1 0 参照）。そして、レジストマスク 4 6 を除去する。

【0114】

ついで、所望のパターンのマスクを用いて、T L P M / D 2 の n^+ ソース領域 3 5 および N M O S 8 の n^+ ソース / ドレイン領域 8 1 を形成するためのイオン注入をおこなう。つづいて、所望のパターンのマスクを用いて、T L P M / D 2 の p^+ 拡散領域 3 7 および P M O S 6 の p^+ ソース / ドレイン領域 6 1 を形成するためのイオン注入をおこなう。そして、ドライブ熱処理をおこなって、図 4 9 に示すように、 n^+ ソース領域 3 5、 p^+ 拡散領域 3 7（図に現われていない）、 n^+ ソース / ドレイン領域 8 1 および p^+ ソース / ドレイン領域 6 1 を形成する。

30

【0115】

ついで、図 5 0 に示すように、 400°C 前後の雰囲気での L P C V D や P - T E O S などの成膜方法により、層間絶縁膜 3 3 を積層する。活性領域では、活性領域トレンチ 2 1 内が層間絶縁膜 3 3 により埋められる。一方、ゲート領域では、層間絶縁膜 3 3 は基板表面上に積層される（図 1 4 参照）。

40

【0116】

つづいて、図 5 1 に示すように、層間絶縁膜 3 3 を選択的に除去して、活性領域トレンチ 2 1 の中央部分にコンタクトホールを開口し、活性領域トレンチ 2 1 の底面の n ドリフト領域 3 1 を露出させる。そして、その n ドリフト領域 3 1 の露出部分に、イオン注入により、 n^+ ドレイン領域 3 2 を形成する。

【0117】

再び、層間絶縁膜 3 3 を選択的に除去する。これによって、T L P M / D 2 では、 n^+ ソース領域 3 5、図示しない p^+ 拡散領域 3 7、およびゲート領域においてゲート導電体 3 0 が部分的に露出する（図 1 6 参照）。P M O S 6 では、 p^+ ソース / ドレイン領域 6

50

1 およびゲート導電体 63 が部分的に露出する。NMOS8 では、 n^+ ソース／ドレイン領域 81 およびゲート導電体 83 が部分的に露出する。

【0118】

ついで、たとえば CVD 法により第 2 の導電体としてタングステンを堆積する。必要に応じて、タングステンを堆積する前にタングステンの剥離防止のため、チタンなどを含む密着層を形成してもよい。そして、堆積したタングステンをエッチバックして、活性領域トレンチ 21 内のコンタクトホール、および基板表面の開口部にタングステンを埋め込む。それによって、TLPMD2 のゲート電極 24、ソース電極 25 およびドレイン電極 23、PMOS6 のゲート電極 64 およびソース／ドレイン電極 65、NMOS8 のゲート電極 84 およびソース／ドレイン電極 85 が形成される（図 42 参照）。 10

【0119】

ついで、図示しないが、ゲート配線を形成し、その上に層間絶縁膜を介して、ソース配線およびドレイン配線を形成する。以上のようにして、活性領域において図 42 に示す断面構造を有する半導体装置ができあがる。なお、ドライブ熱処理については一部省略したが、適宜おこなうものとする。

【0120】

上述した実施の形態 3 によれば、オン抵抗が低く、高速で低損失であるとともに、ゲートドレイン間の耐圧が高い TLPMD2 と、PMOS6 および NMOS8 とを、同一半導体基板上に集積することができる。また、TLPMD2 と、PMOS6 および NMOS8 の製造プロセスの大部分を共通化したことにより、製造プロセスが簡略化される。 20

【0121】

実施の形態 4.

図 52 は、本発明の実施の形態 4 にかかる半導体装置の活性領域における主要部の断面構造の一例を示す図である。図 52 に示すように、P 型半導体基板 1 に、P 型半導体層である Pウェル領域 13、15 と、Nウェル領域 14 が形成されている。第 1 の Pウェル領域 13 には、上述した実施の形態 2 の TLPMS5 が形成されている。

【0122】

図 52 には、TLPMS5 のゲート領域の構成が示されていないが、実施の形態 2 で説明したとおり、ゲート領域では、ゲート領域トレンチ 22 内は、ゲート絶縁膜 29 を介してゲート導電体 30 により完全に埋められている（図 38 参照）。また、TLPMS5 30 30 5 では、トレンチエッチング領域は、活性領域トレンチ 21 とゲート領域トレンチ 22 とが縦横に交差したメッシュパターンを成す。TLPMS5 のその他の構成については、実施の形態 2 と説明が重複するので、ここでは説明を省略する。

【0123】

Nウェル領域 14 には、PMOS6 が形成されている。第 2 の Pウェル領域 15 には、NMOS8 が形成されている。PMOS6 および NMOS8 については、上述した実施の形態 3 と同じであるので、重複する説明を省略する。また、TLPMS5、NMOS8 および PMOS6 が、基板表面の、Pウェル領域 13、15 と Nウェル領域 14 との境界部分に形成された選択酸化膜 16 により素子分離されていることも実施の形態 3 と同様である。 40

【0124】

なお、P 型半導体基板 1 上には、TLPMS5、NMOS8 および PMOS6 がそれぞれ 1 個以上作製されているが、図 52～図 60 にはそれぞれ 1 個ずつ示されている。また、これらの図では、図が煩雑になるのを避けるため、ソースやドレインやゲートの各電極よりも上にある層間絶縁膜や配線層が省略されている。

【0125】

ここで、特に限定しないが、各部の寸法および不純物の表面濃度はつぎのとおりである。たとえば、TLPMS5 において、p ベース領域 34 の拡散深さは $1.5 \mu\text{m}$ である。また、 n ドリフト領域 31 の拡散深さは $2.5 \mu\text{m}$ である。その他の領域の寸法や不純物の表面濃度等は、実施の形態 3 と同じである。 50

【0126】

つぎに、実施の形態4にかかる半導体装置の製造プロセスについて説明する。図53～図60は、半導体装置の製造段階における要部を示す縦断面図である。まず、たとえば比抵抗 $12\Omega\text{cm}$ のP型半導体基板1に、Pウェル領域13、15およびNウェル領域14を形成する（図43参照）。ついで、図53に示すように、基板表面に、たとえば厚さ $0.4\mu\text{m}$ のマスク酸化膜43を成長させる。そのマスク酸化膜43の一部を選択的に除去して第1のPウェル領域13内の基板表面を露出させる。そして、斜めイオン注入法により、nドリフト領域31を形成する。

【0127】

ついで、パターニングされたマスク酸化膜43をマスクとしてRIE（反応性イオンエッチング）により、TLPM/S5の活性領域においては活性領域トレンチ21を形成し、ゲート領域においては図示しないゲート領域トレンチ22を形成する（図26参照）。ついで、イオン注入法により、pベース領域34を形成する。 10

【0128】

マスク酸化膜43を除去した後、図54に示すように、バッファー酸化膜44および窒化膜45を順次積層し、窒化膜45をパターニングする。そして、図55に示すように、熱酸化により、選択酸化膜16を形成し、バッファー酸化膜44および窒化膜45を除去する。

【0129】

ついで、犠牲酸化後に、図56に示すように、TLPM/S5のゲート絶縁膜29、PMOS6のゲート絶縁膜62およびNMOS8のゲート絶縁膜82を形成する。そして、全面に、第1の導電体として、たとえば厚さ $0.3\mu\text{m}$ のポリシリコン42を堆積する。図56に示すように、TLPM/S5の活性領域トレンチ21はポリシリコン42で埋まらないが、TLPM/S5の、図示しないゲート領域においては、ゲート領域トレンチ22はポリシリコン42により完全に埋められる（図28参照）。 20

【0130】

ついで、PMOS6およびNMOS8のゲート導電体63、83を形成するために、ポリシリコン42上にレジストマスク46を形成する。そして、ポリシリコン42を異方性エッチングによりエッチバックする。この工程により、図57に示すように、PMOS6およびNMOS8では、ゲート絶縁膜62、82上にゲート導電体63、83が残る。 30

【0131】

TLPM/S5の活性領域では、活性領域トレンチ21の側面にのみ、ポリシリコン42がゲート導電体30として残る。TLPM/S5のゲート領域では、ゲート領域トレンチ22内に、ポリシリコン42がゲート導電体30として残る（図30参照）。そして、レジストマスク46を除去する。

【0132】

ついで、それぞれのパターンのマスクを用いて、TLPM/S5の n^+ ドレイン領域32およびNMOS8の n^+ ソース/ドレイン領域81を形成するためのイオン注入と、TLPM/S5の p^+ 拡散領域37およびPMOS6の p^+ ソース/ドレイン領域61を形成するためのイオン注入を順次おこなう。そして、ドライブ熱処理をおこなって、図58に示すように、 n^+ ドレイン領域32、 p^+ 拡散領域37（図に現われていない）、 n^+ ソース/ドレイン領域81および p^+ ソース/ドレイン領域61を形成する。 40

【0133】

ついで、図59に示すように、 400°C 前後の雰囲気でのLPCVDやP-TEOSなどの成膜方法により、TLPM/S5の活性領域トレンチ21内を層間絶縁膜33で埋める。TLPM/S5のゲート領域（図34参照）、PMOS6およびNMOS8では、層間絶縁膜33は基板表面上に積層される。

【0134】

つづいて、図60に示すように、層間絶縁膜33を選択的に除去して、活性領域トレンチ21の中央部分にコンタクトホールを開口し、活性領域トレンチ21の底面のpベース 50

領域 3 4 を露出させる。そして、所望のパターンのマスクを用いて T L P M / S 5 の n^+ ソース領域 3 5 を形成するためのイオン注入と、所望のパターンのマスクを用いて p^+ 拡散領域 3 7 を形成するためのイオン注入を順次おこない、ドライブ熱処理をおこなう。

【0135】

これによって、 p ベース領域 3 4 の露出部分のうち、横方向に隣り合う非トレンチエッチング領域 1 2, 1 2 に挟まれた部分 (図 2 3 参照) に、 n^+ ソース領域 3 5 が形成される。また、 p ベース領域 3 4 の露出部分のうち、活性領域トレンチ 2 1 とゲート領域トレンチ 2 2 とが交差する部分 (図 2 3 参照) に、ベースコンタクトのための p^+ 拡散領域 3 7 が形成される (図 3 9 参照)。

【0136】

ついで、層間絶縁膜 3 3 を選択的に除去して、T L P M / S 5 の n^+ ドレイン領域 3 2 およびゲート領域のゲート導電体 3 0 を部分的に露出させる (図 3 6 参照)。同時に、P M O S 6 の p^+ ソース / ドレイン領域 6 1 およびゲート導電体 6 3、並びに N M O S 8 の n^+ ソース / ドレイン領域 8 1 およびゲート導電体 8 3 が部分的に露出する。

【0137】

ついで、たとえば C V D 法により第 2 の導電体としてタングステンを堆積する。必要に応じて、タングステンを堆積する前にタングステンの剥離防止のため、チタンなどを含む密着層を形成してもよい。そして、堆積したタングステンをエッチバックして、T L P M / S 5 のゲート電極 2 4、ソース電極 2 5 およびドレイン電極 2 3、P M O S 6 のゲート電極 6 4 およびソース / ドレイン電極 6 5、N M O S 8 のゲート電極 8 4 およびソース /

10

20

【0138】

ついで、図示しないが、ゲート配線を形成し、その上に層間絶縁膜を介して、ソース配線およびドレイン配線を形成する。以上のようにして、活性領域において図 5 2 に示す断面構造を有する半導体装置ができあがる。なお、ドライブ熱処理については一部省略したが、適宜おこなうものとする。

【0139】

上述した実施の形態 4 によれば、オン抵抗が低く、高速で低損失であるとともに、ゲートドレイン間の耐圧が高い T L P M / S 5 と、P M O S 6 および N M O S 8 とを、同一半導体基板上に集積することができる。また、T L P M / S 5 と、P M O S 6 および N M O S 8 の製造プロセスの大部分を共通化したことにより、製造プロセスが簡略化される。

30

【0140】

実施の形態 5.

実施の形態 5 は、半導体基板に形成されたトレンチ内に、絶縁膜を介して、このトレンチの底部に接触する導電体を形成するにあたって、半導体基板に第 1 のトレンチを形成し、このトレンチを絶縁膜で埋め、基板表面を覆う絶縁膜の表面を平坦化してから、この絶縁膜に第 2 のトレンチを形成し、この第 2 のトレンチを導電体で埋める方法である。この製造方法は、上述した実施の形態 1 ~ 4 において説明したような T L P M を製造する際に適用することができる。

【0141】

実施の形態 5 を適用して上述した実施の形態 1 ~ 4 の T L P M を製造する場合の T L P M の詳細な製造プロセスについては、実施の形態 1 ~ 4 の説明と重複するので省略する。また、実施の形態 5 を適用して他の半導体素子を製造する場合のその半導体素子の製造プロセスについては、本発明の要旨ではないので、説明を省略する。

40

【0142】

図 6 1 ~ 図 6 7 は、本発明の実施の形態 5 にかかる半導体装置の製造方法を説明するための断面図である。これらの図を参照しながら、実施の形態 5 の製造方法の主要な工程について説明する。ここでは、半導体材料がシリコンである場合を例にして説明するが、S i C 等の化合物半導体でも同様である。

【0143】

50

まず、図61に示すように、たとえば比抵抗が $10 \sim 15 \Omega \text{cm}$ であるP型シリコン半導体基板101に、 P_{31} イオンを注入してNウェル領域を形成する。ついで、基板表面に、図示しないマスク酸化膜をたとえば $1 \mu\text{m}$ の厚さで成長させ、このマスク酸化膜をパターンニングする。そして、マスク酸化膜をマスクとしてトレンチエッチングをおこない、半導体基板101にたとえば深さが $2 \mu\text{m}$ であり、開口幅が $3 \mu\text{m}$ である第1のトレンチ102を形成する。

【0144】

ついで、図62に示すように、第1のトレンチ102の側壁および底面に B_{11} イオンおよび P_{31} イオンを導入して図示しないpボディおよびnドレイン領域を形成する。ついで、たとえば 50nm の厚さの酸化膜等でできたゲート絶縁膜103を形成する。つづいて、ドーパドポリシリコン等の導電性を有する膜104をたとえば 320nm の厚さに堆積する。そして、導電性を有する膜104をエッチバックして、図63に示すように、ゲート電極105を形成する。

10

【0145】

ついで、図64に示すように、基板全面に絶縁膜106をたとえば $2 \mu\text{m}$ の厚さに堆積する。これによって、第1のトレンチ102は、絶縁膜106で完全に埋められる。ここで、絶縁膜106は、たとえばHTO、BPSG、プラズマTEOSもしくはそれ以外の酸化膜、またはそれらの組み合わせでできている。ついで、図65に示すように、たとえばCMP（化学機械研磨）法により絶縁膜106の表面を平坦化する。

【0146】

20

その後、図66に示すように、絶縁膜106の表面に図示しないフォトレジストを塗布し、フォトリソグラフィによって、コンタクト形成領域となる第1のトレンチ102の中央領域が開口するレジストマスクを形成する。このレジストマスクを用いて通常の酸化膜エッチングをおこない、第1のトレンチ102の中央領域において、絶縁膜106およびトレンチ底部のゲート絶縁膜103を貫通する第2のトレンチ107を形成する。このとき、絶縁膜106の表面を平坦化してから第2のトレンチ107を形成しているため、第2のトレンチ107の底面は平坦に仕上がる。

【0147】

その後、図67に示すように、図示しないバリアメタルをスパッタにて形成し、つづいてCVD法によりタングステン等の導電体108を堆積して、第2のトレンチ107内に導電体108を充填する。そして、導電体108をエッチバックする。図67には、ここまでの状態が示されている。その後、絶縁膜106にコンタクトホールを形成し、電極をスパッタにより形成し、電極のパターンニングをおこなうことによって、TLPM等の半導体素子ができあがる。

30

【0148】

ところで、絶縁膜106の表面を平坦化しないで、通常の酸化膜エッチングをおこなって第2のトレンチ107を形成した場合には、第2のトレンチ107の底面が、図64に示す絶縁膜106の表面形状と同じように中央が窪んだような形状になる。この場合には、バリアメタルが、第2のトレンチ107の内面に一様につかないことがあり、タングステンが半導体基板101に拡散するという不都合が起こるおそれがある。

40

【0149】

それに対して、実施の形態5によれば、第2のトレンチ107の底面が平坦になるので、第2のトレンチ107の側面および底面にバリアメタルが均一に付着し、導電体108を構成するタングステンがシリコン中に拡散するのを防ぐことができる。したがって、デバイスの製造歩留まりを向上させることができる。実際に、本発明者が図61～図67に示す手順にしたがって半導体素子を作製したところ、第2のトレンチ107の底面は平坦に仕上がっていた。また、第2のトレンチ107の側面および底面にバリアメタルが均一に付着しており、導電体108を構成するタングステンの突き抜けも認められなかった。なお、絶縁膜106の途中に、CMPの研磨を停止するタイミングを制御するために、窒化膜やポリシリコン等の研磨停止層を設けてもよい。

50

【0150】

以上において本発明は、上述した各実施の形態および各実施例に限らず、種々変更可能である。たとえば、厚さや幅などの寸法は一例であり、本発明はそれらの数値に限定されるものではない。また、図示したトレンチエッチング領域のメッシュ形状のパターンは一例であり、本発明はこれに限定されるものではない。また、実施の形態3または4において、Pウェル領域13, 15を設けなくてもよい。

【産業上の利用可能性】

【0151】

以上のように、本発明にかかる半導体装置および半導体装置の製造方法は、高耐圧・大電流を制御する集積回路に適する低オン抵抗のパワーMOSFETに有用であり、特に、

10

【図面の簡単な説明】

【0152】

【図1】本発明の実施の形態1にかかる半導体装置のゲート領域における断面構成の一例を示す図である。

【図2】本発明の実施の形態1にかかる半導体装置の活性領域における断面構成の一例を示す図である。

【図3】本発明の実施の形態1にかかる半導体装置の主要部の平面レイアウトの一例を示す図である。

20

【図4】図3に示す平面レイアウト構成の半導体装置における配線パターンの一例を示す図である。

【図5】本発明の実施の形態1にかかる半導体装置の活性領域の製造段階における断面構成を示す図である。

【図6】本発明の実施の形態1にかかる半導体装置のゲート領域の製造段階における断面構成を示す図である。

【図7】本発明の実施の形態1にかかる半導体装置の活性領域の製造段階における断面構成を示す図である。

【図8】本発明の実施の形態1にかかる半導体装置のゲート領域の製造段階における断面構成を示す図である。

30

【図9】本発明の実施の形態1にかかる半導体装置の活性領域の製造段階における断面構成を示す図である。

【図10】本発明の実施の形態1にかかる半導体装置のゲート領域の製造段階における断面構成を示す図である。

【図11】本発明の実施の形態1にかかる半導体装置の活性領域の製造段階における断面構成を示す図である。

【図12】本発明の実施の形態1にかかる半導体装置のゲート領域の製造段階における断面構成を示す図である。

【図13】本発明の実施の形態1にかかる半導体装置の活性領域の製造段階における断面構成を示す図である。

40

【図14】本発明の実施の形態1にかかる半導体装置のゲート領域の製造段階における断面構成を示す図である。

【図15】本発明の実施の形態1にかかる半導体装置の活性領域の製造段階における断面構成を示す図である。

【図16】本発明の実施の形態1にかかる半導体装置のゲート領域の製造段階における断面構成を示す図である。

【図17】本発明の実施の形態1にかかる半導体装置の活性領域の製造段階における断面構成を示す図である。

【図18】本発明の実施の形態1にかかる半導体装置のゲート領域の製造段階における断面構成を示す図である。

50

【図 1 9】本発明の実施の形態 1 にかかる半導体装置の主要部の平面レイアウトの他の例を示す図である。

【図 2 0】本発明の実施の形態 2 にかかる半導体装置のゲート領域における断面構成の一例を示す図である。

【図 2 1】本発明の実施の形態 2 にかかる半導体装置の活性領域における断面構成の一例を示す図である。

【図 2 2】本発明の実施の形態 2 にかかる半導体装置の活性領域のゲート領域トレンチとの交差位置における断面構成の一例を示す図である。

【図 2 3】本発明の実施の形態 2 にかかる半導体装置の主要部の平面レイアウトの一例を示す図である。

【図 2 4】図 2 3 に示す平面レイアウト構成の半導体装置における配線パターンの一例を示す図である。

【図 2 5】本発明の実施の形態 2 にかかる半導体装置の活性領域の製造段階における断面構成を示す図である。

【図 2 6】本発明の実施の形態 2 にかかる半導体装置のゲート領域の製造段階における断面構成を示す図である。

【図 2 7】本発明の実施の形態 2 にかかる半導体装置の活性領域の製造段階における断面構成を示す図である。

【図 2 8】本発明の実施の形態 2 にかかる半導体装置のゲート領域の製造段階における断面構成を示す図である。

【図 2 9】本発明の実施の形態 2 にかかる半導体装置の活性領域の製造段階における断面構成を示す図である。

【図 3 0】本発明の実施の形態 2 にかかる半導体装置のゲート領域の製造段階における断面構成を示す図である。

【図 3 1】本発明の実施の形態 2 にかかる半導体装置の活性領域の製造段階における断面構成を示す図である。

【図 3 2】本発明の実施の形態 2 にかかる半導体装置のゲート領域の製造段階における断面構成を示す図である。

【図 3 3】本発明の実施の形態 2 にかかる半導体装置の活性領域の製造段階における断面構成を示す図である。

【図 3 4】本発明の実施の形態 2 にかかる半導体装置のゲート領域の製造段階における断面構成を示す図である。

【図 3 5】本発明の実施の形態 2 にかかる半導体装置の活性領域の製造段階における断面構成を示す図である。

【図 3 6】本発明の実施の形態 2 にかかる半導体装置のゲート領域の製造段階における断面構成を示す図である。

【図 3 7】本発明の実施の形態 2 にかかる半導体装置の活性領域の製造段階における断面構成を示す図である。

【図 3 8】本発明の実施の形態 2 にかかる半導体装置のゲート領域の製造段階における断面構成を示す図である。

【図 3 9】本発明の実施の形態 2 にかかる半導体装置の活性領域のゲート領域トレンチとの交差位置での製造段階における断面構成を示す図である。

【図 4 0】本発明の実施の形態 2 にかかる半導体装置の主要部の平面レイアウトの他の例を示す図である。

【図 4 1】図 4 0 に示す平面レイアウト構成の半導体装置における配線パターンの一例を示す図である。

【図 4 2】本発明の実施の形態 3 にかかる半導体装置の活性領域における断面構成の一例を示す図である。

【図 4 3】本発明の実施の形態 3 にかかる半導体装置の活性領域の製造段階における断面構成を示す図である。

10

20

30

40

50

【図 4 4】本発明の実施の形態 3 にかかる半導体装置の活性領域の製造段階における断面構成を示す図である。

【図 4 5】本発明の実施の形態 3 にかかる半導体装置の活性領域の製造段階における断面構成を示す図である。

【図 4 6】本発明の実施の形態 3 にかかる半導体装置の活性領域の製造段階における断面構成を示す図である。

【図 4 7】本発明の実施の形態 3 にかかる半導体装置の活性領域の製造段階における断面構成を示す図である。

【図 4 8】本発明の実施の形態 3 にかかる半導体装置の活性領域の製造段階における断面構成を示す図である。

10

【図 4 9】本発明の実施の形態 3 にかかる半導体装置の活性領域の製造段階における断面構成を示す図である。

【図 5 0】本発明の実施の形態 3 にかかる半導体装置の活性領域の製造段階における断面構成を示す図である。

【図 5 1】本発明の実施の形態 3 にかかる半導体装置の活性領域の製造段階における断面構成を示す図である。

【図 5 2】本発明の実施の形態 4 にかかる半導体装置の活性領域における断面構成の一例を示す図である。

【図 5 3】本発明の実施の形態 4 にかかる半導体装置の活性領域の製造段階における断面構成を示す図である。

20

【図 5 4】本発明の実施の形態 4 にかかる半導体装置の活性領域の製造段階における断面構成を示す図である。

【図 5 5】本発明の実施の形態 4 にかかる半導体装置の活性領域の製造段階における断面構成を示す図である。

【図 5 6】本発明の実施の形態 4 にかかる半導体装置の活性領域の製造段階における断面構成を示す図である。

【図 5 7】本発明の実施の形態 4 にかかる半導体装置の活性領域の製造段階における断面構成を示す図である。

【図 5 8】本発明の実施の形態 4 にかかる半導体装置の活性領域の製造段階における断面構成を示す図である。

30

【図 5 9】本発明の実施の形態 4 にかかる半導体装置の活性領域の製造段階における断面構成を示す図である。

【図 6 0】本発明の実施の形態 4 にかかる半導体装置の活性領域の製造段階における断面構成を示す図である。

【図 6 1】本発明の実施の形態 5 にかかる半導体装置の製造方法を説明するための断面図である。

【図 6 2】本発明の実施の形態 5 にかかる半導体装置の製造方法を説明するための断面図である。

【図 6 3】本発明の実施の形態 5 にかかる半導体装置の製造方法を説明するための断面図である。

40

【図 6 4】本発明の実施の形態 5 にかかる半導体装置の製造方法を説明するための断面図である。

【図 6 5】本発明の実施の形態 5 にかかる半導体装置の製造方法を説明するための断面図である。

【図 6 6】本発明の実施の形態 5 にかかる半導体装置の製造方法を説明するための断面図である。

【図 6 7】本発明の実施の形態 5 にかかる半導体装置の製造方法を説明するための断面図である。

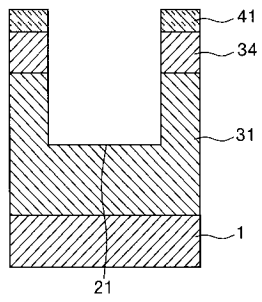
【符号の説明】

【0 1 5 3】

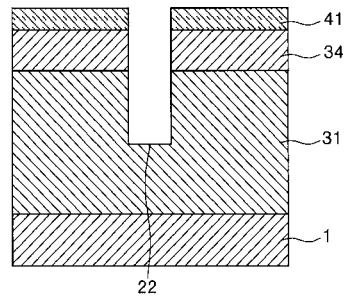
50

1	P 型半 導 体 基 板	
2	T L P M / D	
5	T L P M / S	
6 , 8	プ レ ー ナ 型 M O S F E T	
1 1	ト レ ン チ エ ッ チ ン グ 領 域	
1 2	非 ト レ ン チ エ ッ チ ン グ 領 域	
1 3	半 導 体 層 (P ウ ェ ル 領 域)	
1 6	選 択 酸 化 膜	
2 1	活 性 領 域 ト レ ン チ	
2 2	ゲ ー ト 領 域 ト レ ン チ	10
2 3	ド レ イ ン 電 極	
2 4 , 6 4 , 8 4	ゲ ー ト 電 極	
2 5	ソ ー ス 電 極	
2 6	ド レ イ ン 配 線	
2 7	ゲ ー ト 配 線	
2 8	ソ ー ス 配 線	
2 9 , 6 2 , 8 2	ゲ ー ト 絶 縁 膜	
3 0 , 6 3 , 8 3	ゲ ー ト 導 電 体	
3 1	n ド リ フ ト 領 域	
3 2	n ⁺ ド レ イ ン 領 域	20
3 3	層 間 絶 縁 膜	
3 4	p ベ ー ス 領 域	
3 5	n ⁺ ソ ー ス 領 域	
3 9	ベ ー ス 配 線	
4 2	第 1 の 導 電 体 (ポ リ シ リ コ ン)	
6 1 , 6 5 , 8 1 , 8 5	ソ ー ス も し く は ド レ イ ン と な る 電 極	
1 0 1	半 導 体 基 板	
1 0 2	第 1 の ト レ ン チ	
1 0 6	絶 縁 膜	
1 0 7	第 2 の ト レ ン チ	30
1 0 8	導 電 体	

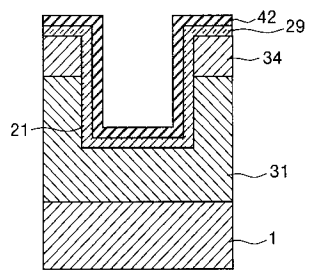
【図 5】



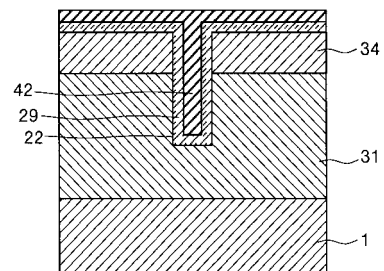
【図 6】



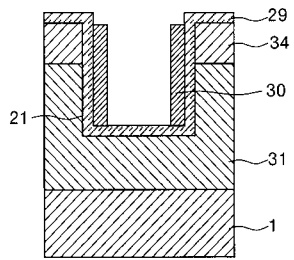
【図 7】



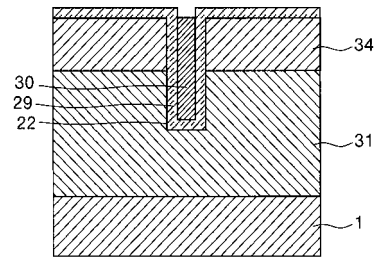
【図 8】



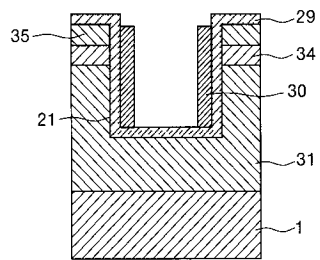
【図 9】



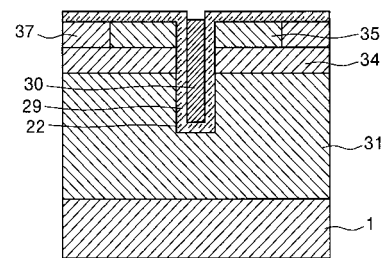
【図 10】



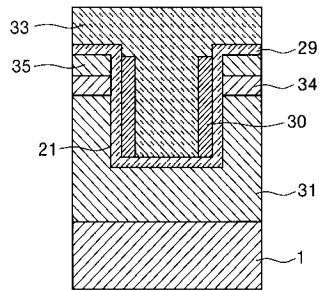
【図 11】



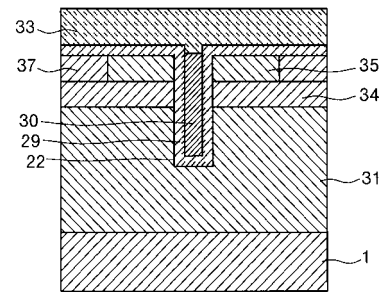
【図 12】



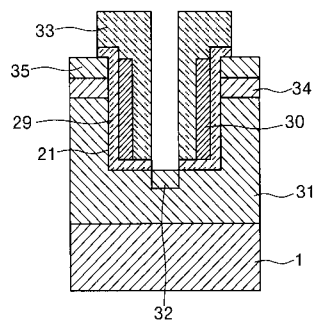
【図 1 3】



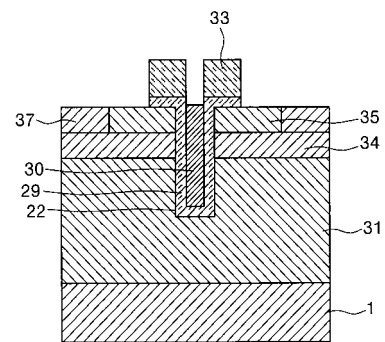
【図 1 4】



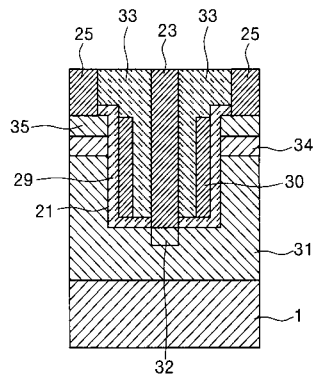
【図 1 5】



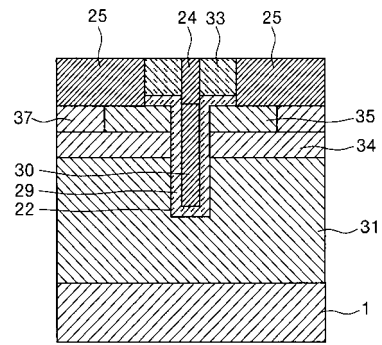
【図 1 6】



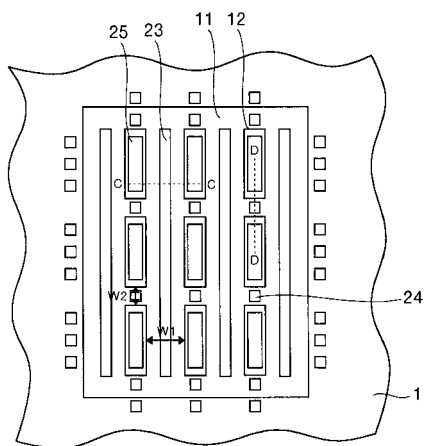
【図 17】



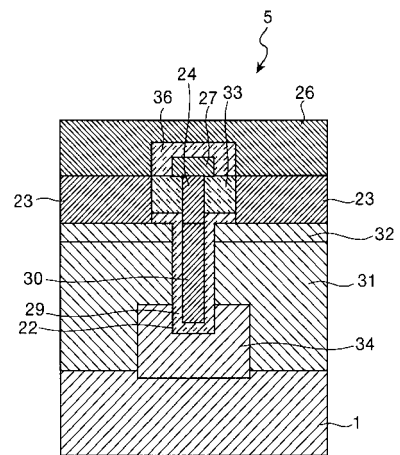
【図 18】



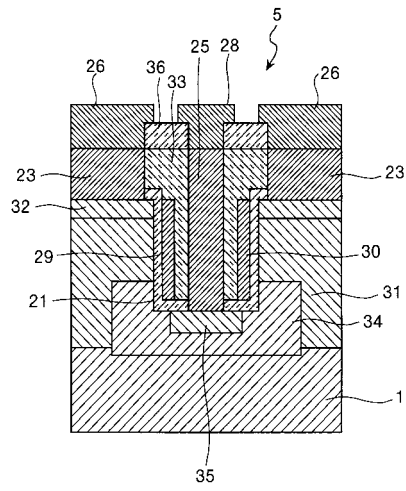
【図 19】



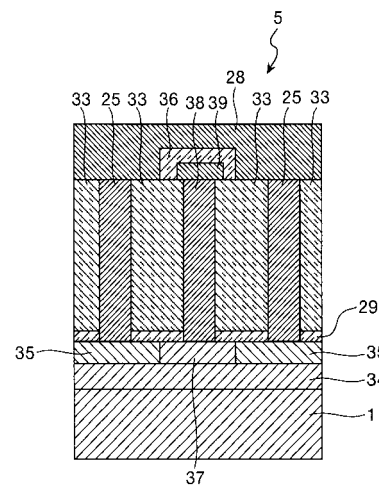
【図 20】



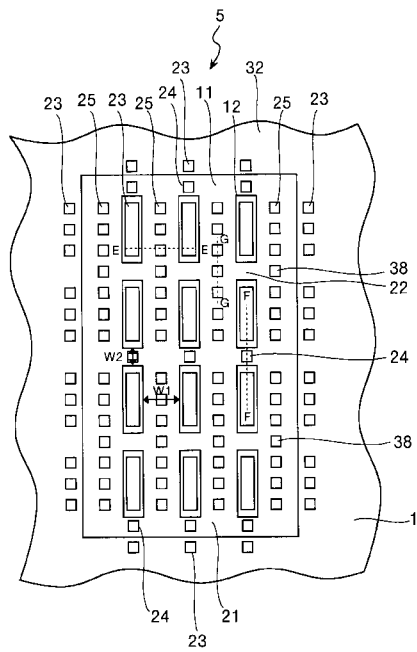
【図 2 1】



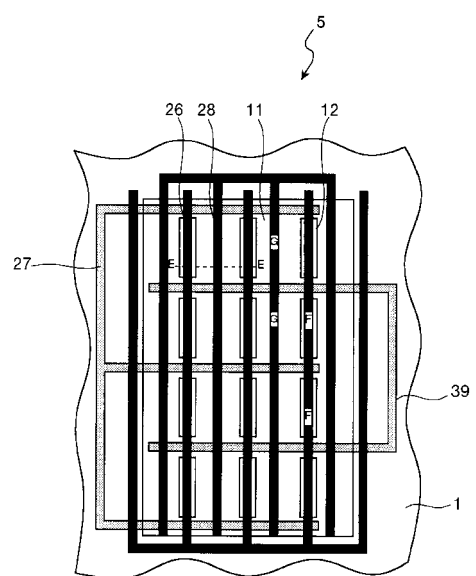
【図 2 2】



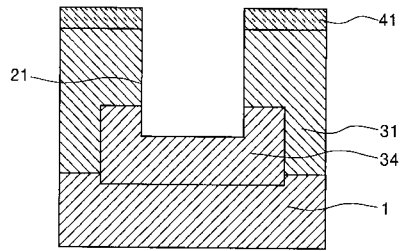
【図 2 3】



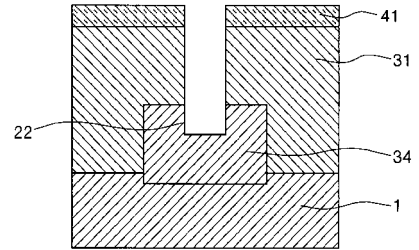
【図 2 4】



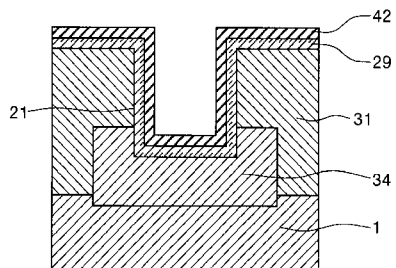
【図 2 5】



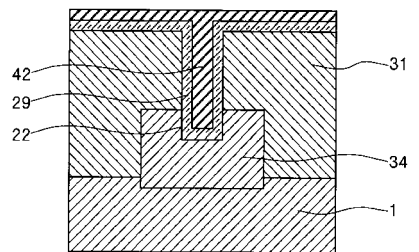
【図 2 6】



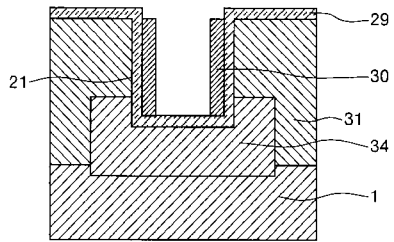
【図 2 7】



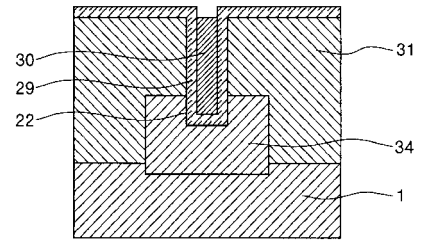
【図 2 8】



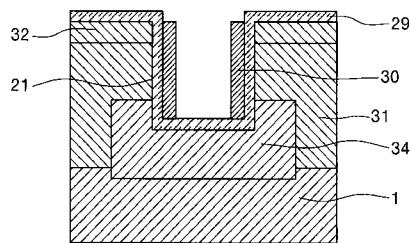
【図 29】



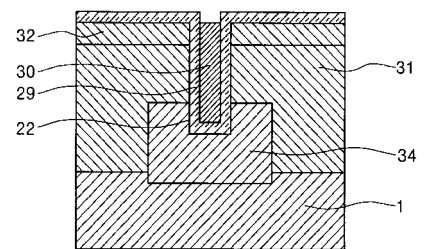
【図 30】



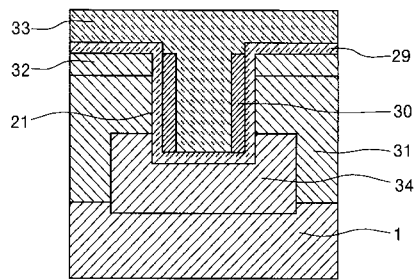
【図 31】



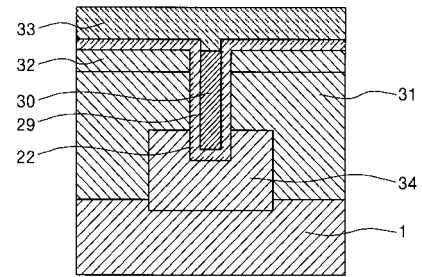
【図 32】



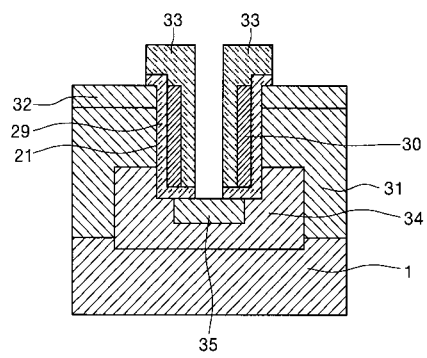
【図 3 3】



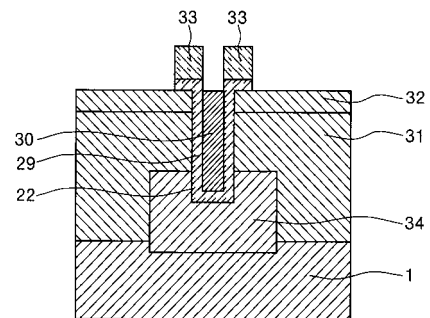
【図 3 4】



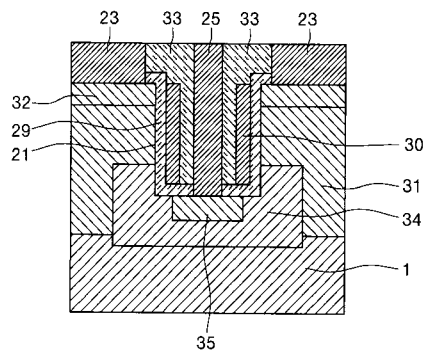
【図 3 5】



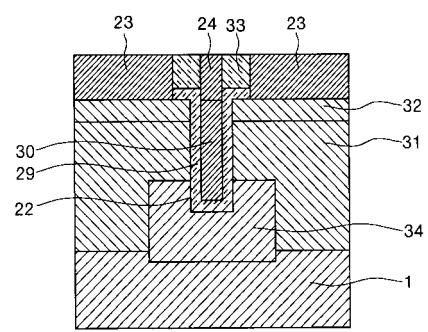
【図 3 6】



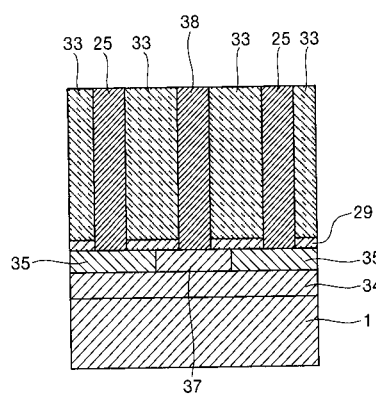
【図 3 7】



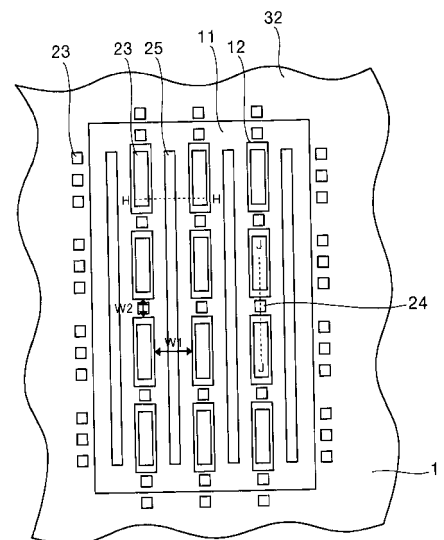
【図 3 8】



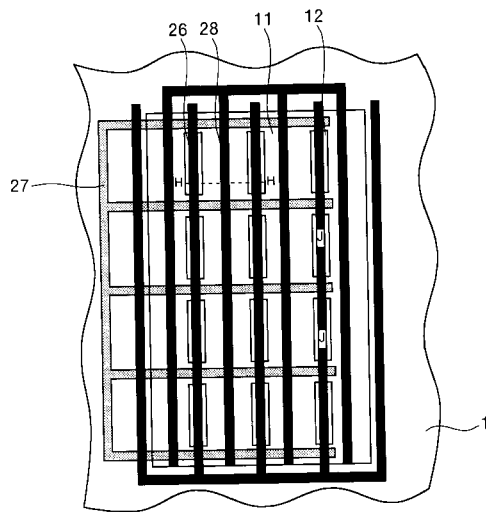
【図 3 9】



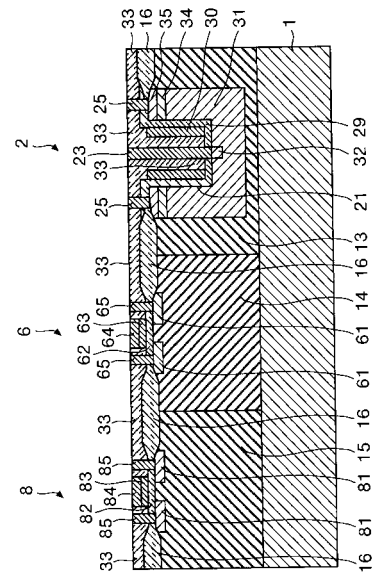
【図 4 0】



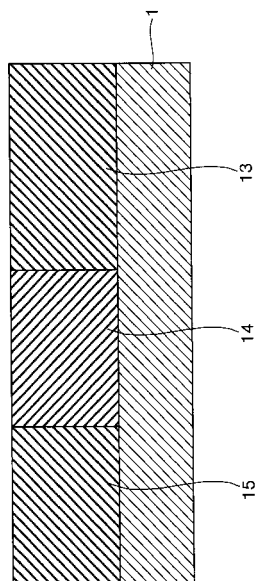
【図 4 1】



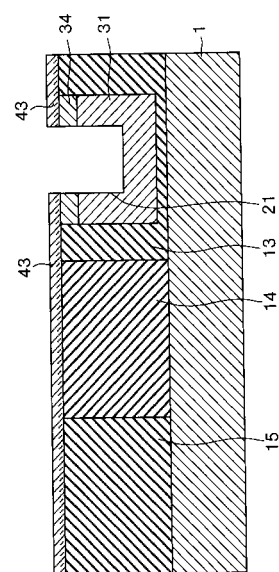
【図 4 2】



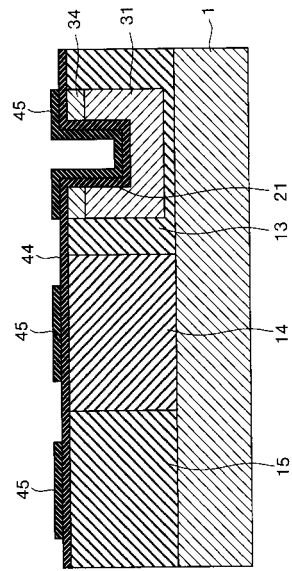
【図 4 3】



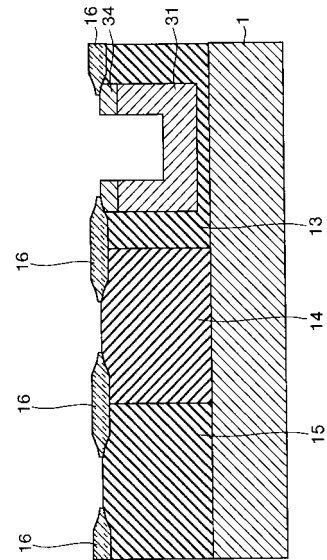
【図 4 4】



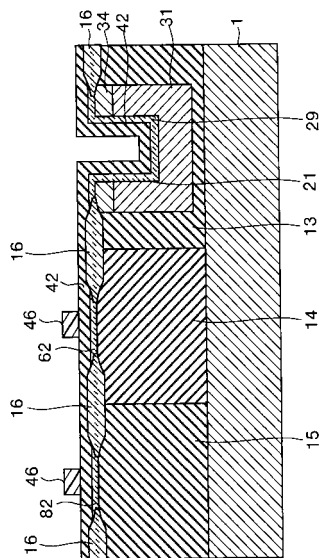
【図 4 5】



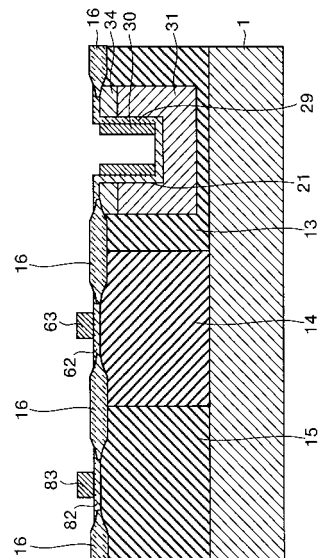
【図 4 6】



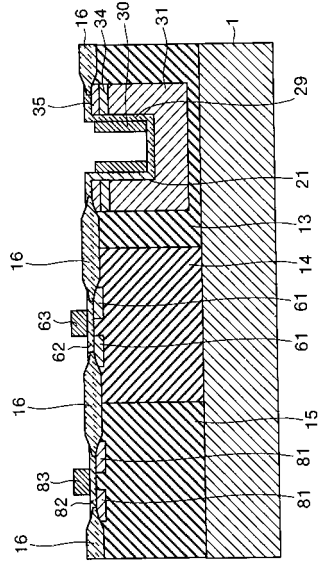
【図 4 7】



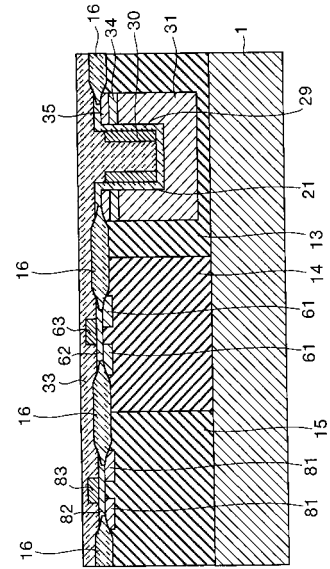
【図 4 8】



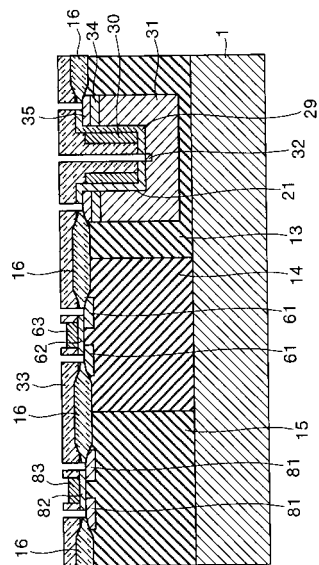
【図 49】



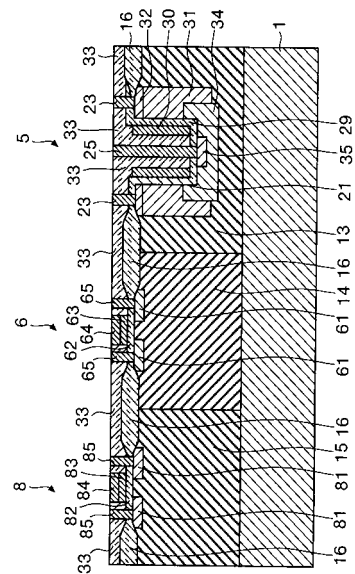
【図 50】



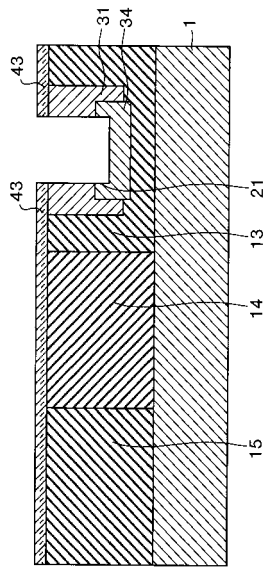
【図 51】



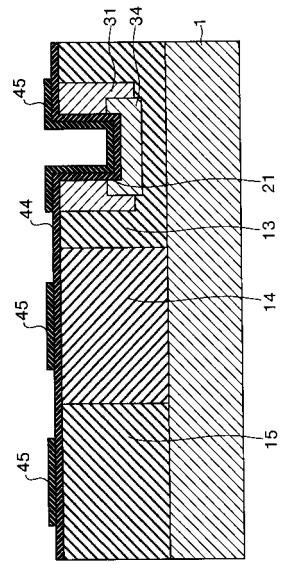
【図 52】



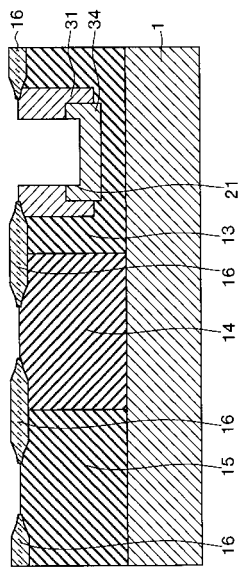
【図 5 3】



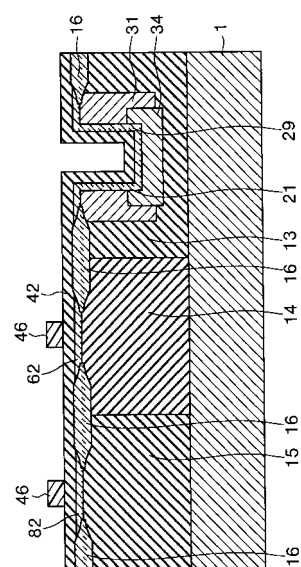
【図 5 4】



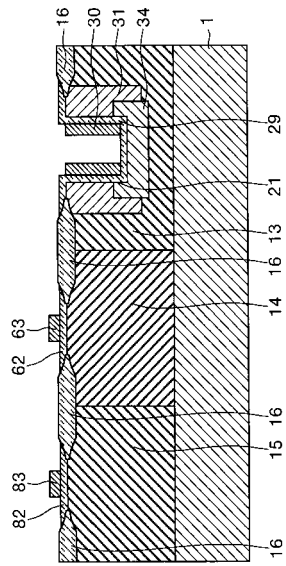
【図 5 5】



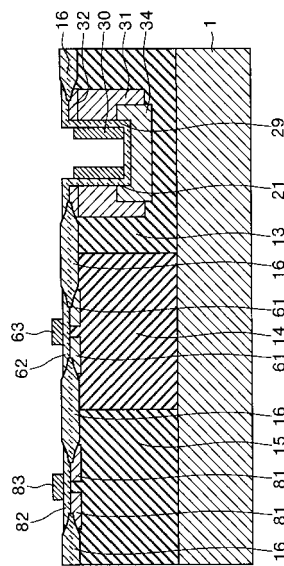
【図 5 6】



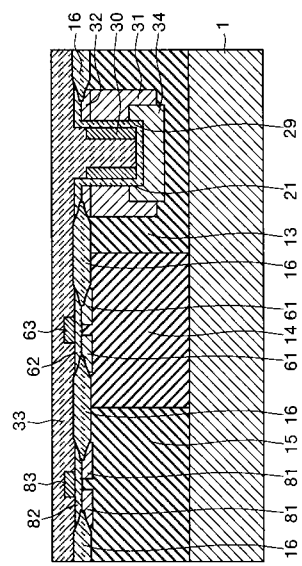
【図 5 7】



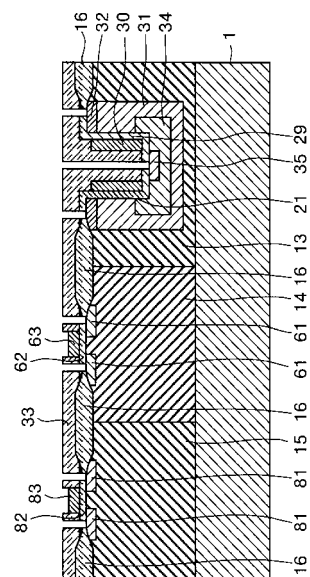
【図 5 8】



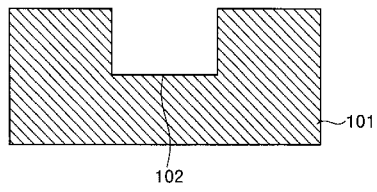
【図 5 9】



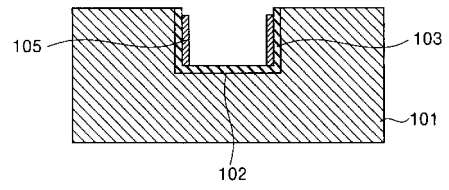
【図 6 0】



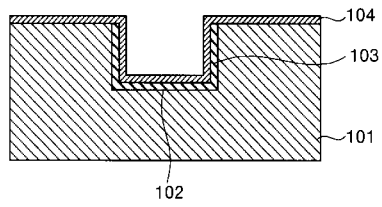
【図 6 1】



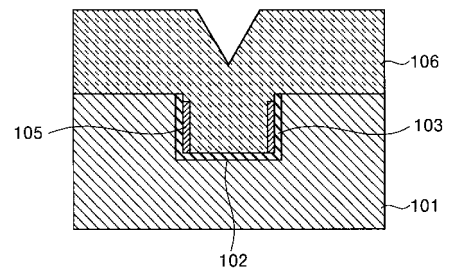
【図 6 3】



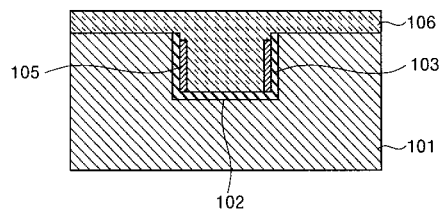
【図 6 2】



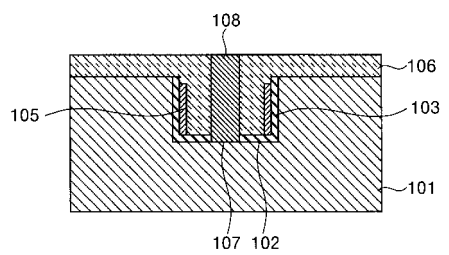
【図 6 4】



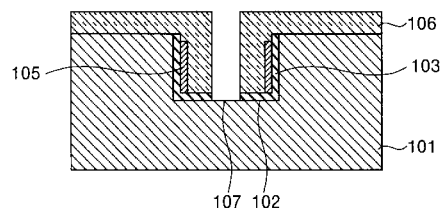
【図 6 5】



【図 6 7】



【図 6 6】



フロントページの続き

(51)Int.Cl. ⁷	F I	テーマコード (参考)
	H O 1 L 27/08	1 0 2 C
	H O 1 L 29/78	3 0 1 V
	H O 1 L 29/50	M
	H O 1 L 29/44	L
	H O 1 L 27/08	1 0 2 E
	H O 1 L 29/78	3 0 1 X

(72)発明者 藤島 直人

神奈川県横須賀市長坂二丁目2番1号 富士電機アドバンステクノロジー株式会社内

(72)発明者 北村 睦美

神奈川県横須賀市長坂二丁目2番1号 富士電機アドバンステクノロジー株式会社内

Fターム(参考) 4M104 AA01 AA03 BB01 BB14 CC01 CC05 DD07 DD08 DD15 DD16
DD17 DD26 DD37 DD43 DD64 DD65 DD75 DD78 FF01 FF17
FF22 GG09 GG10 GG14 GG18 HH04 HH09 HH12
5F048 AA01 AC01 AC03 AC06 BA01 BA19 BB02 BB05 BB09 BB12
BC03 BC18 BD07 BE03 BF03 BF07 BF15 BF16 BG12 CB06
CB07
5F140 AA25 AA30 AB03 AB04 AC23 BA01 BB04 BC06 BF01 BF04
BF43 BF47 BF53 BG38 BH03 BH05 BH08 BH09 BH10 BH25
BH26 BH30 BH49 BJ27 BJ29 CA03 CC12 CE20