



# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：94138471

※ 申請日期：94.11.2

※IPC 分類：H01L 27/146 (2006.01)

## 一、發明名稱：(中文/英文)

具有銦釘壓層光電二極體之影像像素感測器/IMAGE SENSOR PIXEL  
HAVING PHOTODIODE WITH INDIUM PINNING LAYER

## 二、申請人：(共1人)

姓名或名稱：(中文/英文)

美商歐尼影像科技股份有限公司/OmniVision Technologies, Inc.

代表人：(中文/英文) 洪蕭/Shaw Hong

住居所或營業所地址：(中文/英文)

美國加州 94089 森尼維爾市歐林斯路 1341 號/1341 Orleans Drive,  
Sunnyvale, CA 94089, U.S.A.

國 籍：(中文/英文) 美國/U.S.A.

## 三、發明人：(共1人)

姓 名：(中文/英文)

霍沃德 E. 羅德茲/Howard E. Rhodes

國 籍：(中文/英文)

美國/U. S. A.

#### 四、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

美國、2004 年 12 月 3 日、11/004,246

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 九、發明說明：

### 【發明所屬之技術領域】

本發明係關於影像感測器，特別係關於影像感測器之像素感測元件，上述像素感測元件具有銦摻雜物而形成 P<sup>+</sup> 固定層之光電二極體。

### 【先前技術】

影像感測器已經成為一種普遍的存在，且廣泛地使用於數位相機、行動電話、監視攝影機、醫療器材、汽車以及各類應用。用以製造影像感測器之技術，特別係生產互補式金屬氧化半導體 (CMOS) 影像感測器之技術，都以驚人的速度發展。舉例而言，對於更高解析度與更低耗電之需求，都促使著影像感測器朝微型化與整合化之方向發展。

當像素感測元件微型化後，其表面積上所能入射之光線量也隨之減少。一般而言，像素感測元件係一種感光單元，如光電二極體接收入射光，並依照入射光量之多寡產生信號。因此，若像素面積 (即光電二極體面積) 減少，則光電二極體之電位井容量 (well capacity) 也隨之變小。

在本發明之先前技術中，於光電二極體結構之 P 型區域或基材中加入一淺 N-層，用以增強電位井容量。而後一 P+ 固定層產生於前述淺 N-層之上方，上述 P+ 固定層通常藉由佈植硼而產生，這是由於硼相對上具有較好之固溶度 (solid solubility)。

此種結構即習知之固定光電二極體 (pinned photodiode)，且具有相對上較高之電位井容量，但有時會以「暗電流 (dark current)」效應為代價，且增加額外之「熱雜訊點 (hot pixel)」缺陷。此外，由於上述佈植摻雜物之統計上的本質，上述佈植摻雜物的局部濃度 (即 N-層內摻雜物之量) 會因位置而變化。在某些例子中，在靠近矽表面所得之濃度會高於佈植入的 N 型離子之平均值，造成局部 N 型區域被推入 P+ 固定區域之表面，進而增加局部的暗電流及熱雜訊點之密度。

### 【發明內容】

為解決前述之問題，本發明於是生焉。本發明係揭露一主動像素感測元件，上述元件係利用具有錒固定層之光電二極體而成。上述像素感測元件包含一產生於半導

體基材中之光電二極體，上述光電二極體係於一 P 型區域中所產生之一 N-區域，且一種由銦所產生之固定層生成於上述 N-區域之表面。此外，上述像素感測元件更包含一傳導電晶體界於上述光電二極體與一浮動節點間，選擇性地用於傳遞一信號自上述光電二極體至上述浮動節點。最後，上述像素感測元件更包含一放大電晶體由上述浮動節點所控制。

此外，本發明又揭露一種於 P 型半導體基質中產生一光電二極體之方法，上述光電二極體係於一 P 型區域中所產生之一 N-區域，該方法包含：佈植一 N 型摻雜劑至半導體基質中；以及佈植一銦摻雜劑至半導體基質中 N 型摻雜劑之上，以形成一 P+ 固定層。

### 【實施方式】

本發明將配合其較佳實施例與隨附之圖示詳述於下，應理解者為本發明中所有之較佳實施例僅為例示之用，因此除文中之較佳實施例外，本發明亦可廣泛地應用在其他實施例中。且本發明並不限於任何實施例，應以隨附之申請專利範圍及其同等

領域而定。

第一圖係先前技術之剖面圖與結構示意圖，說明使用四電晶體（4T）之主動像素感測元件，即習知之4T主動像素感測元件。應可理解者本發明之光電二極體設計可用於任何種類像素感測元件的設計，包含但並非僅限於3T、4T、5T、6T與其他設計。此外，本發明之光電二極體設計也可用於與電荷耦合裝置（CCD）影像感測器。

一光電二極體101，輸出用以控制一放大電晶體103之信號，上述放大電晶體103亦可為一電壓隨耦電晶體。在此實施例中，上述光電二極體101可為一固定光電二極體（pinned photodiode）或一部分固定光電二極體（partially pinned photodiode）。一傳導電晶體105用以傳遞上述光電二極體101之信號輸出至一浮動節點107（N+摻雜），並且也傳遞至放大電晶體103閘上之閘。上述傳導電晶體105係由一傳導閘所控制。

運作如下，在累積期間（也稱為曝光階段或累積階段）上述光電二極體 101 產生電荷（以反應入射光量）被儲於 N-層 115 中。在累積期間後，傳導電晶體 105 被開啟以傳送電荷（儲存於光電二極體 101 之 N-層 115 中）至浮動節點 107。在信號傳遞至浮動節點 107 後，傳導電晶體 105 再次被關閉以等待隨後累積期間之開始。

處於浮動節點 107 上之信號，隨後被用於控制放大電晶體 103。最後，一定址電晶體 109 被做為定址上述像素感測元件之工具，且選擇讀出信號至行位元線（column bitline）111 之上。在信號成功由行位元線 111 上讀出後，一重置電晶體 113 重置上述浮動節點 107 至一參考電壓。在此實施例中，上述參考電壓係  $V_{DD}$ 。

如前所述，電子被累積於 N-層 115 中在累積期間。在累積期間之後，藉由施加一高壓脈衝於傳導電晶體 105 之傳導閘上，電子（即信號）從 N-層 115 被傳遞至浮動節點 107。

第二圖至第六圖係剖面圖，說明根據本發明產生一光電二極體之方法與此光電二極體之結構。如第二圖所示，一光阻劑 (photoresist pattern) 201 排列於半導體基材 202 之上。在此實施例中，上述半導體基材 202 具有一傳導電晶體之傳導閘 205，以及一重置電晶體之重置閘 207 形成於其上。如圖所示係一絕緣區域 203，在此實施例中為淺溝隔離層 (shallow trench isolation; STI)。上述光阻劑 201 具有一開口 209，以允許 N 型 (N-) 佈植介於淺溝隔離層 203 與傳導閘 205 間，一般 N 型佈植係含砷的或含磷的，但可為任一 N 型摻雜物。

在本發明之一實施例中，所用含砷佈植離子具有能量範圍介於 50 keV 至 300 keV，若能量範圍介於 100 keV 至 200 keV 則更佳。此外擇一之實施例，所用含磷佈植離子具有能量範圍介於 25 keV 至 150 keV，若能量範圍介於 50 keV 至 100 keV 則更佳。此外，其他佈植能量也可配合其他實施例施行。

參照至第三圖，採用數種習知步驟以於傳

導閘 205 和重置閘 207 旁產生一低摻雜濃度汲極 (lightly doped drain; LDD) 區域 301。此外，於傳導閘 205 和重置閘 207 旁產生側壁間壁 (sidewall spacers) 303；於傳導閘 205 和重置閘 207 間產生 N+ 區域 305；以及於重置閘 207 和淺溝隔離層 203 間產生 N+ 區域 305。這些結構以及形成這些結構之方法皆為已習知，特引於此作為參考之用，以期使本發明更趨周全。

參照至第四圖，另一光阻劑 401 形成於其上，同樣具有一開口 403，以允許光電二極體區域接受離子佈植。利用光阻劑 401，佈植銦摻雜物以形成一 P 型 (P+) 固定層 405。在此實施例中，所用銦佈植離子具有能量範圍介於 25 keV 至 300 keV，若能量範圍介於 40 keV 至 100 keV 則更佳；且摻雜濃度介於  $1 \times 10^{13}$  ions/cm<sup>2</sup> 至  $5 \times 10^{14}$  ions/cm<sup>2</sup>，若摻雜濃度介於  $2 \times 10^{14}$  ions/cm<sup>2</sup> 至  $4 \times 10^{13}$  ions/cm<sup>2</sup> 則更佳。此外應可理解者，針對其他特定裝置之特性以及考量至其他設計時，適當的能量強度與摻雜濃度將可擇之運用。

參照至第五圖，為本發明之另一實施例，係選用硼離子佈植 501 且仍利用光阻劑 401 為光罩，上述硼離子佈植 501 係使用二硼烷 (diborane;  $B_2H_6$ ) 或  $BF_2$  為摻雜物。選用硼離子佈植係用以增加佈植劑量及 / 或替 P+ 固定層產生一 P+ 漸變式界面 (graded junction)。在此實施例中，所用硼離子佈植係使用  $BF_2$ ，其具有能量範圍介於 5 keV 至 100 keV，若能量範圍介於 10 keV 至 30 keV 則更佳；且摻雜濃度介於  $1e13$  ions/cm<sup>2</sup> 至  $5e14$  ions/cm<sup>2</sup>，若摻雜濃度介於  $2e14$  ions/cm<sup>2</sup> 至  $4e13$  ions/cm<sup>2</sup> 則更佳。使用硼與銦雙重離子佈植可使表面平整，如此可允許於表面附近產生一高度摻雜區域 (由銦組成)，以及較低之硼漸變式界面區域。若於表面上有較高之銦離子濃度，可阻擋空乏區 (depletion region) 朝表面擴張而造成表面瑕疵。

參照至第六圖，在前述結構上形成一絕緣層，例如氧化物。上述氧化物可利用多種技術平坦化，如化學機械研磨法或回蝕法。一般而言，使用多種熱製程於半導體晶圓上以配合近一步的生產製程，舉例而

言如金屬連結之形成。上述熱製程傾向於對鉬 P+固定層 405 產生相對上最小化之影響，這是由於因具有較低的熱擴散性，會使鉬 P+固定層 405 保持靠近表面。如果配合選用硼離子佈植，熱製程會有高熱擴散之效果，將會使硼摻雜物更進一步擴散。

對熟悉此領域技藝者，本發明雖以較佳實例闡明如上，然其並非用以限定本發明之精神。在不脫離本發明之精神與範圍內所作之修改與類似的配置，均應包含在下述之申請專利範圍內，此範圍應覆蓋所有類似修改與類似結構，且應做最寬廣的詮釋。

### 【圖式簡單說明】

第一圖係組合先前技術之一剖面圖與一結構示意圖，用以說明四電晶體（4T）像素感測元件內電晶體產生於半導體基材中之細節。

第二圖至第六圖係剖面圖，用以說明根據本發明產生一光電二極體與像素感測元件之方法。

## 【主要元件符號說明】

101	光電二極體
103	放大電晶體
105	傳導電晶體
107	浮動節點
109	定址電晶體
111	行位元線
113	重置電晶體
115	N - 層
201	光阻劑
202	半導體基材
203	絕緣區域
205	傳導開
207	重置開
209	開口
301	低摻雜濃度汲極區域
303	側壁邊襯
305	N + 區域
401	光阻劑
403	開口
405	P 型 ( P + ) 固定層
501	硼離子佈植

## 五、中文發明摘要：

本發明係揭露一主動像素感測元件，上述元件係利用具有銦固定層 (pinning layer) 之光電二極體而成。上述像素感測元件包含一產生於半導體基質中之光電二極體，上述光電二極體係於一 P 型區域中所產生之一 N-區域，且一種由銦所產生之固定層生成於上述 N-區域之表面。此外，上述像素感測元件更包含一傳導電晶體介於上述光電二極體與一浮動節點間，選擇性地用於傳遞一信號自上述光電二極體至上述浮動節點。最後，上述像素感測元件更包含一放大電晶體由上述浮動節點所控制。

## 六、英文發明摘要：

An active pixel using a pinned photodiode with a pinning layer formed from indium is disclosed. The pixel comprises a photodiode formed in a semiconductor substrate. The photodiode is an N region formed within a P-type region. A pinning layer formed from indium is then formed at the surface of the N region. Further, the pixel includes a transfer transistor formed between the photodiode and a floating node and selectively

operative to transfer a signal from the photodiode to the floating node. Finally, the pixel includes an amplification transistor controlled by the floating node.

七、指定代表圖：

(一) 本案指定代表圖為：第(二、三、四、五、六)圖。

(二) 本代表圖之元件符號簡單說明：

- 201 光阻劑
- 202 半導體基材
- 203 絕緣區域
- 205 傳導閘
- 207 重置閘
- 209 開口
- 301 低摻雜濃度汲極區域
- 303 側壁邊壁
- 305 N+區域
- 401 光阻劑
- 403 開口
- 405 P型(P+)固定層
- 501 硼離子佈植

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

## 十、申請專利範圍：

1. 一種像素感測元件，其包含：

一光電二極體產生於一半導體基材中，該光電二極體係形成於一P型區域中之一N-區域，此外其中所述之光電二極體具有一P+固定層於形成該半導體基材之表面，並且位於該N-區域之上方，該P+固定層之形成係藉由佈植銻至該該半導體基材。

2. 如申請專利範圍第1項之像素感測元件，其中所述之P+固定層之形成係藉由雙重佈植銻與硼。

3. 如申請專利範圍第1項之像素感測元件，其中所述之銻佈植劑量係界於  $1e13 \text{ ions/cm}^2$  至  $5e14 \text{ ions/cm}^2$ 。

4. 如申請專利範圍第1項之像素感測元件，更包含：

一傳導電晶體介於該光電二極體與一浮動節點 (floating node) 間，選擇性地用於傳遞一信號自該光電二極體至該浮動節點；以及

一放大電晶體由該浮動節點所控制。

- 5 如申請專利範圍第 1 項之像素感測元件，更包含一重置電晶體用於重置該浮動節點至一參考電壓。
- 6 如申請專利範圍第 1 項之像素感測元件，其中所述之像素感測元件係包含於一電荷耦合裝置 (CCD) 影像感測器。
- 7 如申請專利範圍第 1 項之像素感測元件，其中所述之像素感測元件係包含於一互補式金屬氧化半導體 (CMOS) 影像感測器。
- 8 如申請專利範圍第 7 項之像素感測元件，其中所述之像素感測元件屬於 3T、4T、5T、6T 或 7T 結構之一部分。
- 9 如申請專利範圍第 2 項之像素感測元件，其中所述之硼佈植劑量係界於  $1 \times 10^{13}$  ions/cm<sup>2</sup> 至  $5 \times 10^{14}$  ions/cm<sup>2</sup>。
- 10 一種於 P 型半導體基質中產生一光電二極體之方法，該光電二極體係於一 P 型區域中所產生之一 N-區域，該方法包含：  
佈植一 N 型摻雜至該半導體基材中；以及

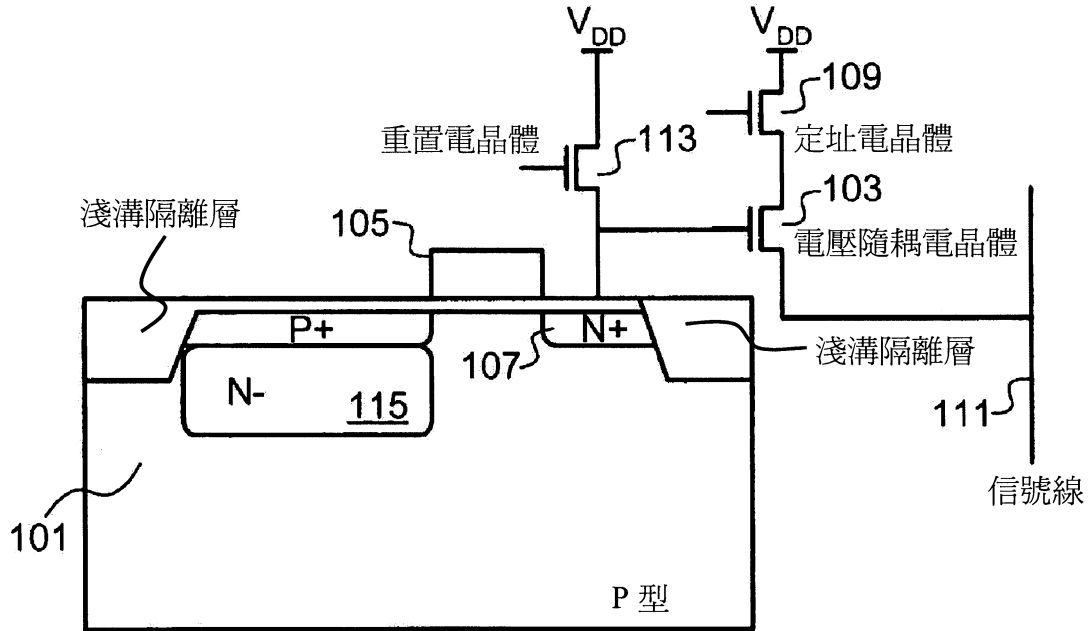
佈植一銦摻雜至該半導體基材中該 N 型摻雜之上，以形成一 P+ 固定層。

11 如申請專利範圍第 10 項之於 P 型半導體基質中產生一光電二極體之方法，其中所述之 P+ 固定層之形成係藉由雙重佈植銦與硼。

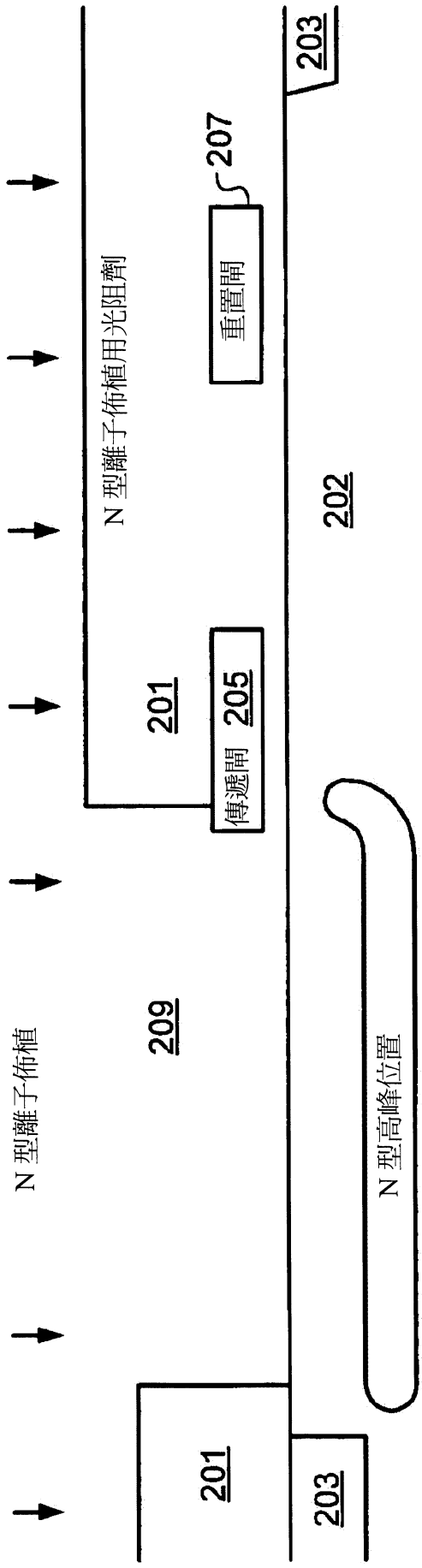
12 如申請專利範圍第 10 項之於 P 型半導體基材中產生一光電二極體之方法，其中所述之銦佈植劑量係介於  $1 \times 10^{13} \text{ ions/cm}^2$  至  $5 \times 10^{14} \text{ ions/cm}^2$ 。

13 如申請專利範圍第 11 項之於 P 型半導體基材中產生一光電二極體之方法，其中所述之硼佈植劑量係介於  $1 \times 10^{13} \text{ ions/cm}^2$  至  $5 \times 10^{14} \text{ ions/cm}^2$ 。

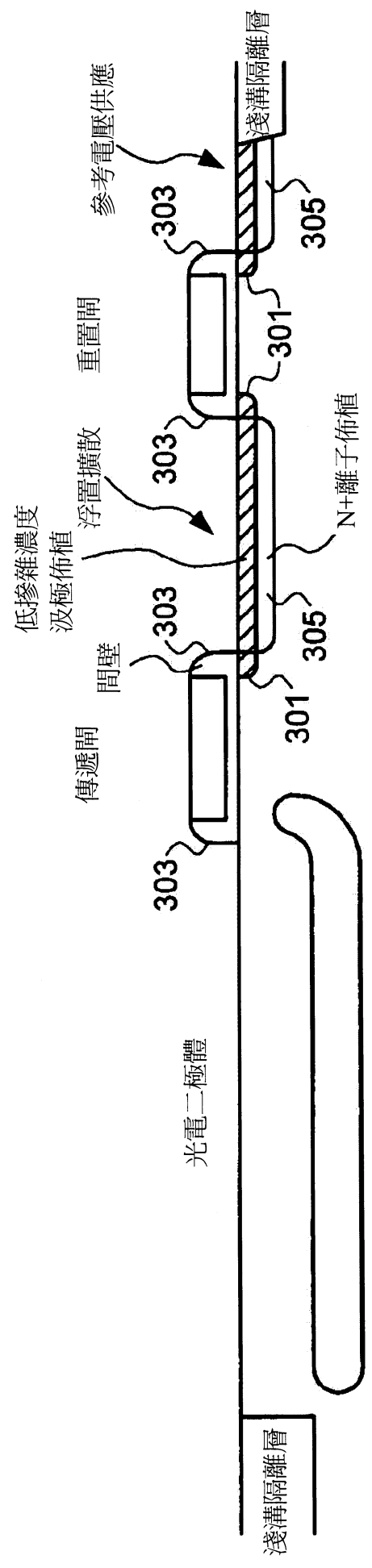
十一、圖式：



第一圖  
(先前技術)

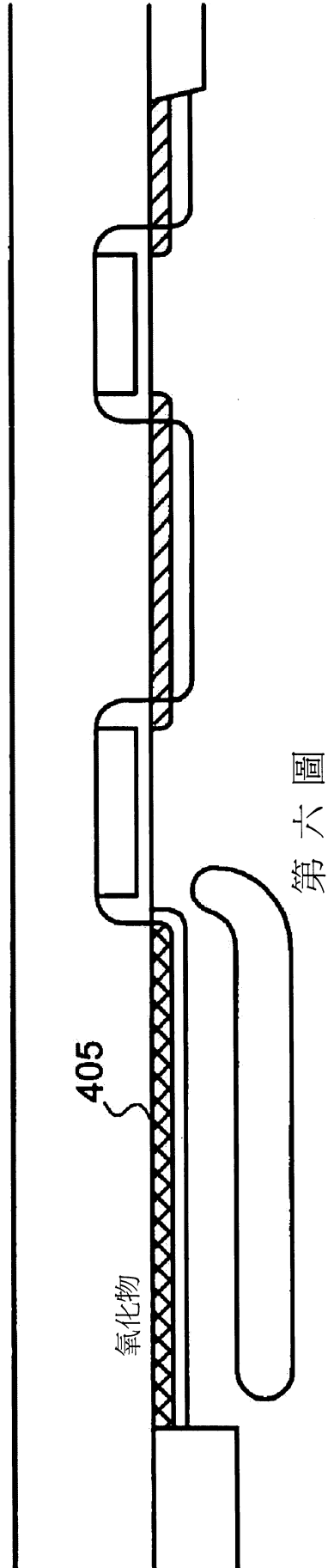


第二圖



第三圖





第六圖

operative to transfer a signal from the photodiode to the floating node. Finally, the pixel includes an amplification transistor controlled by the floating node.

七、指定代表圖：

(一) 本案指定代表圖為：第(二、三、四、五、六)圖。

(二) 本代表圖之元件符號簡單說明：

- 201 光阻劑
- 202 半導體基材
- 203 絕緣區域
- 205 傳導閘
- 207 重置閘
- 209 開口
- 301 低摻雜濃度汲極區域
- 303 側壁邊壁
- 305 N+區域
- 401 光阻劑
- 403 開口
- 405 P型(P+)固定層
- 501 硼離子佈植

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：