

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-205932

(P2010-205932A)

(43) 公開日 平成22年9月16日(2010.9.16)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 6 U	4 M 1 0 4
HO 1 L 29/417 (2006.01)	HO 1 L 29/78 6 1 8 B	5 F 1 1 0
HO 1 L 29/423 (2006.01)	HO 1 L 29/78 6 1 6 V	
HO 1 L 29/49 (2006.01)	HO 1 L 29/78 6 1 9 A	
	HO 1 L 29/50 M	

審査請求 未請求 請求項の数 5 O L (全 16 頁) 最終頁に続く

(21) 出願番号 特願2009-49799 (P2009-49799)
 (22) 出願日 平成21年3月3日(2009.3.3)

(71) 出願人 306037311
 富士フイルム株式会社
 東京都港区西麻布2丁目26番30号
 (74) 代理人 100079049
 弁理士 中島 淳
 (74) 代理人 100084995
 弁理士 加藤 和詳
 (74) 代理人 100085279
 弁理士 西元 勝一
 (74) 代理人 100099025
 弁理士 福田 浩志
 (72) 発明者 今井 真二
 神奈川県足柄上郡開成町牛島577番地
 富士フイルム株式会社内

最終頁に続く

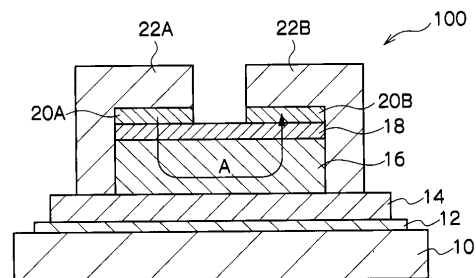
(54) 【発明の名称】 電界効果型トランジスタ

(57) 【要約】

【課題】 酸化物半導体の活性層が保護されるとともにソース電極及びドレイン電極とのオーミックコンタクトが確保され、閾値変動が抑制される電界効果型トランジスタを提供する。

【解決手段】 電界効果型トランジスタ100は、ゲート電極12と、ゲート電極上に形成されている絶縁層14と、絶縁層を隔てて前記ゲート電極に対向する位置に形成されている酸化物半導体層16と、Gaを主成分とする酸化物を含み、酸化物半導体層上に形成されている保護層18と、Inを主成分とする非晶質酸化物を含み、保護層上に形成されている接触層20A、20Bと、接触層上で、該接触層に接触しているとともに対向配置されているソース電極22A及びドレイン電極22Bと、を有する。接触層は、保護層とソース電極及びドレイン電極とが厚さ方向で重なる領域に形成されており、ソース電極とドレイン電極との間では分離している。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

ゲート電極と、
前記ゲート電極上に形成されている絶縁層と、
前記絶縁層を隔てて前記ゲート電極に対向する位置に形成されている酸化物半導体層と

、
Gaを主成分とする酸化物を含み、前記酸化物半導体層上に形成されている保護層と、
Inを主成分とする非晶質酸化物を含み、前記保護層上に形成されている接触層と、
前記接触層上で、該接触層に接触しているとともに対向配置されているソース電極及び
ドレイン電極と、を有し、

10

前記接触層が、前記保護層と前記ソース電極及び前記ドレイン電極とが厚さ方向で重なる領域に形成されており、前記ソース電極と前記ドレイン電極との間では分離している電界効果型トランジスタ。

【請求項 2】

酸化物半導体層と、

Gaを主成分とする酸化物を含み、前記酸化物半導体層上に形成されている保護層と、
Inを主成分とする非晶質酸化物を含み、前記保護層上に形成されている接触層と、
前記接触層上で、該接触層に接触しているとともに対向配置されているソース電極及び
ドレイン電極と、

20

前記ソース電極及び前記ドレイン電極上に一体的に形成されている絶縁層と、

前記絶縁層を隔てて前記酸化物半導体層に対向する位置に形成されているゲート電極と

、を有し、

前記接触層が、前記保護層と前記ソース電極及び前記ドレイン電極とが厚さ方向で重なる領域に形成されており、前記ソース電極と前記ドレイン電極との間では分離している電界効果型トランジスタ。

【請求項 3】

前記接触層に含まれる非晶質酸化物が、IZO、ITO、及び In_2O_3 からなる群から選択される非晶質酸化物である請求項 1 又は請求項 2 に記載の電界効果型トランジスタ。

【請求項 4】

30

前記保護層に含まれる酸化物が、酸化ガリウムである請求項 1 ~ 請求項 3 のいずれか一項に記載の電界効果型トランジスタ。

【請求項 5】

前記酸化物半導体層が、In、Ga、及びZnを含む酸化物の層である請求項 1 ~ 請求項 4 のいずれか一項に記載の電界効果型トランジスタ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電界効果型トランジスタに関する。

【背景技術】

40

【0002】

近年、液晶やエレクトロルミネッセンス (Electro Luminescence : EL) 技術等の進歩により、平面薄型画像表示装置 (Flat Panel Display : FPD) が実用化されている。例えば、電流を通じることによって励起され発光する薄膜材料を用いた有機電界発光素子 (以下、「有機EL素子」と記載する場合がある。) は、低電圧で高輝度の発光が得られるため、発光装置 (照明) のほか、携帯電話ディスプレイ、パーソナルデジタルアシスタント (PDA)、コンピュータディスプレイ、自動車の情報ディスプレイ、TVモニターなどの各種表示装置などへの利用により、デバイスの薄型化、軽量化、小型化、省電力化などが期待されている。

【0003】

50

これらのFPDは、一般的に、ガラス基板上に設けた非晶質シリコン薄膜や多結晶シリコン薄膜を活性層として用いた電界効果型トランジスタ（適宜、「薄膜トランジスタ」、又は、「TFT」という。）のアクティブマトリクス回路により駆動される。

一方、FPDのより一層の薄型化、軽量化、耐破損性の向上を求めて、ガラス基板の代わりに軽量で可撓性のある樹脂基板を用いる試みも行われている。しかしながら、上述のシリコン薄膜を活性層として用いる薄膜トランジスタの製造は、比較的高温の熱処理工程を要し、一般的に耐熱性の低い樹脂基板上に直接形成することは困難である。

【0004】

活性層を構成するシリコン薄膜に代わる半導体材料として酸化物半導体が提案されている。例えば、In-Ga-Zn-O系非晶質酸化物は低温での成膜が可能であり、樹脂フィルム上に室温成膜可能な材料として注目されている（例えば、特許文献1参照）。In-Ga-Zn-O系非晶質酸化物を活性層に用いた薄膜トランジスタは、非晶質シリコンを活性層に用いた薄膜トランジスタよりも高い移動度が得られるため、有機EL素子を用いたフレキシブルディスプレイ用の薄膜トランジスタとして検討されている。

10

【0005】

また、酸化物半導体を活性層として用いる薄膜トランジスタとして、例えば、ZnO、SnO₂、In₂O₃、Zn₂SnO₄等の酸化物半導体と、酸化ガリウムを積層した積層型の活性層を有する薄膜トランジスタが提案されている（特許文献2参照）。

【先行技術文献】

【特許文献】

20

【0006】

【特許文献1】特開2004-103957号公報

【特許文献2】特開2007-123702号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

本発明は、酸化物半導体の活性層が保護されるとともにソース電極及びドレイン電極とのオーミックコンタクトが確保され、閾値変動が抑制される電界効果型トランジスタを提供することを目的とする。

【課題を解決するための手段】

30

【0008】

上記目的を達成するため、本発明では以下の電界効果型トランジスタが提供される。

<1> ゲート電極と、前記ゲート電極上に形成されている絶縁層と、前記絶縁層を隔てて前記ゲート電極に対向する位置に形成されている酸化物半導体層と、Gaを主成分とする酸化物を含み、前記酸化物半導体層上に形成されている保護層と、Inを主成分とする非晶質酸化物を含み、前記保護層上に形成されている接触層と、前記接触層上で、該接触層に接触しているとともに対向配置されているソース電極及びドレイン電極と、を有し、前記接触層が、前記保護層と前記ソース電極及び前記ドレイン電極とが厚さ方向で重なる領域に形成されており、前記ソース電極と前記ドレイン電極との間では分離している電界効果型トランジスタ。

40

<2> 酸化物半導体層と、Gaを主成分とする酸化物を含み、前記酸化物半導体層上に形成されている保護層と、Inを主成分とする非晶質酸化物を含み、前記保護層上に形成されている接触層と、前記接触層上で、該接触層に接触しているとともに対向配置されているソース電極及びドレイン電極と、前記ソース電極及び前記ドレイン電極上に一体的に形成されている絶縁層と、前記絶縁層を隔てて前記酸化物半導体層に対向する位置に形成されているゲート電極と、を有し、前記接触層が、前記保護層と前記ソース電極及び前記ドレイン電極とが厚さ方向で重なる領域に形成されており、前記ソース電極と前記ドレイン電極との間では分離している電界効果型トランジスタ。

<3> 前記接触層に含まれる非晶質酸化物が、IZO、ITO、及びIn₂O₃からなる群から選択される非晶質酸化物である<1>又は<2>に記載の電界効果型トランジスタ

50

タ。

< 4 > 前記保護層に含まれる酸化物が、酸化ガリウムである < 1 > ~ < 3 > のいずれかに記載の電界効果型トランジスタ。

< 5 > 前記酸化物半導体層が、In、Ga、及びZnを含む酸化物の層である < 1 > ~ < 4 > のいずれかに記載の電界効果型トランジスタ。

【発明の効果】

【0009】

本発明によれば、酸化物半導体の活性層が保護されるとともに活性層とソース電極及びドレイン電極とのオーミックコンタクトが確保され、閾値変動の少ない電界効果型トランジスタが提供される。

10

【図面の簡単な説明】

【0010】

【図1】本発明に係る電界効果型トランジスタの一例（第1の実施形態）を示す概略構成図である。

【図2】接触層が形成されている領域を示す概略図である。

【図3】保護層が形成されている領域を示す概略図である。

【図4】本発明に係る電界効果型トランジスタの製造方法の一工程を示す図である。

【図5】本発明に係る電界効果型トランジスタの製造方法の別の工程を示す図である。

【図6】本発明に係る電界効果型トランジスタの製造方法のさらに別の工程を示す図である。

20

【図7】本発明に係る電界効果型トランジスタの製造方法のさらに別の工程を示す図である。

【図8】本発明に係る電界効果型トランジスタの他の例（第2の実施形態）を示す概略構成図である。

【図9】本発明に係る電界効果型トランジスタの他の例（第3の実施形態）を示す概略構成図である。

【発明を実施するための形態】

【0011】

本発明の完成に先立ち、本発明者は、活性層として酸化物半導体層を用いる電界効果型トランジスタについて以下のような検討及び研究を行った。

30

TFTは、ゲート電極の位置に基づき、いわゆるボトムゲート型とトップゲート型があるが、酸化物半導体は酸素や水分に弱く、また、金属電極をスパッタリングによって成膜する時のプラズマダメージ等に弱いため、ボトムゲート型が好ましい。

また、ボトムゲート型のTFTの中でも、活性層とソース電極及びドレイン電極（適宜、「ソース・ドレイン電極」という。）との接触部分に基づき、いわゆるボトムコンタクト型とトップコンタクト型があるが、トップコンタクト型であれば、ゲート絶縁層と活性層を、真空を破らずに連続して成膜することができ、それにより良好な界面が得やすい点で好ましい。

なお、ボトムコンタクト型とは、ソース・ドレイン電極が活性層よりも先に形成されて活性層の下面がソース・ドレイン電極に接触する形態であり、トップコンタクト型とは、活性層がソース・ドレイン電極よりも先に形成されて活性層の上面がソース・ドレイン電極に接触する形態である。

40

【0012】

しかし、トップコンタクト型ではソース電極及びドレイン電極が活性層の上に形成されるため、ソース電極及びドレイン電極用の金属膜をスパッタリングにより成膜する時のプラズマダメージ等が活性層に悪影響を与えてしまう。そこで、活性層を形成した後、電極用金属を成膜する前に、活性層上に酸化ガリウム等により保護層（中間層）を形成し、その後、ソース・ドレイン電極を形成することが考えられる。

【0013】

ところが、酸化ガリウムは導電率が小さく、いわば半絶縁性であるため、このような半

50

絶縁性の保護層が活性層上にあると、オーミックコンタクト性が悪化してしまう。そこで、半絶縁性の保護層の上にIZO等により導電性の非晶質酸化物の層を形成し、その後、ソース・ドレイン電極を形成することでオーミックコンタクト性を改善することが考えられる。しかし、この場合、ソース・ドレイン電極が導電性の非晶質酸化物層にそれぞれ接触しているため、ソース・ドレイン電極間の低抵抗化を招き、その結果、オフ電流の上昇や閾値変動が生じ易いなど、TFTの動作特性に悪影響を及ぼし易い。

【0014】

本発明者は、これらの検討及び研究を重ねた結果、電界効果型トランジスタにおいて、Ga又はAlを主成分とする酸化物を含む保護層と、Inを主成分とする非晶質酸化物を含む接触層を、それぞれ特定の位置及び形状に設けることで、ソース電極とドレイン電極間の高抵抗が確保されてオフ電流が抑制されるとともに、閾値変動も抑制されることを見出し、本発明の完成に至った。

以下、添付の図面を参照しながら、本発明に係る電界効果型トランジスタについて具体的に説明する。

【0015】

<第1の実施形態>

図1は、第1の実施形態に係る薄膜トランジスタ100の構成を概略的に示している。本実施形態に係る薄膜トランジスタ100は、ボトムゲート型のトップコンタクト型であり、ゲート電極12と、ゲート電極12上に形成されている絶縁層14と、絶縁層14を隔ててゲート電極12に対向する位置に形成されている酸化物半導体層16と、Ga又はAlを主成分とする酸化物を含み、酸化物半導体層16上に形成されている保護層18と、Inを主成分とする非晶質酸化物を含み、保護層18上に形成されている接触層20A、20Bと、接触層20A、20B上で、該接触層20A、20Bに接触しているとともに対向配置されているソース電極22A及びドレイン電極22Bと、を有する。接触層20A、20Bは、図1及び図2に示すように、保護層18とソース電極22A及びドレイン電極22Bとが厚さ方向で重なる領域に形成されており、ソース電極22Aとドレイン電極22Bとの間では分離している。

【0016】

このような構成の薄膜トランジスタ100では、保護層18は、図1及び図3に示すように、酸化物半導体層16上に形成されているため、酸化物半導体層16は空気や酸素から保護され、製造工程中もプラズマダメージ、スパッタダメージ等から保護される。また、保護層18は、ソース電極22Aとドレイン電極22Bとの間に存在しているが、導電性が低いため、ソース電極22Aとドレイン電極22Bが保護層18を介して通電することは抑制される。

【0017】

一方、保護層18とソース・ドレイン電極22A、22Bとが厚さ方向で重なる領域には、導電性の接触層20A、20Bが介在しているため、オーミックコンタクトが実現される。また、ソース電極22Aとドレイン電極22Bとの間では接触層20A、20Bは分離しているため、ソース・ドレイン電極22A、22Bは接触層20A、20Bを介して通電せずに、ソース・ドレイン電極22A、22Bの間ではオフ時では高抵抗が確保される。従って、オフ電流が抑制されるとともに、オン電流は図1の矢印Aに示すように酸化物半導体層16を介して流れ、閾値変動も抑制された安定した動作特性を示すことになる。

【0018】

次に、本実施形態に係る電界効果型トランジスタの各構成について具体的に説明する。

-基板-

電界効果型トランジスタ100を支持する基板(支持体)10としては、少なくとも電界効果型トランジスタ100を形成する面が絶縁性を有し、寸法安定性、耐溶剤性、加工性、耐熱性などを有するものを用いる。また、最終製品として、例えば有機ELディスプレイを製造する場合は、水分や酸素の透過が抑制される基板を用いる。また、基板10側

10

20

30

40

50

から光を透過させて発光や表示を行う場合は、光透過性を有する基板を用いる。

【0019】

上記のような条件を満たす基板10としては、ガラス、ジルコニア安定化酸化イットリウム(YSZ)等の無機材料が好適である。なお、ガラスからの溶出イオンを少なくするため、無アルカリガラスを用いることが好ましい。また、ソーダライムガラスを用いる場合には、シリカなどのバリアコートをしたものを使用することが好ましい。

【0020】

一方、基板10側から光を取り出す必要がない場合は、例えば、ステンレス、Fe、Al、Ni、Co、Cuやこれらの合金等の金属基板やSiなどの半導体基板を用い、基板10上に電気絶縁性を確保するための絶縁膜を設けてもよい。金属製の基板であれば、安価なものもあり、厚みが薄くても、強度が高く、大気中の水分や酸素に対して高いバリア性を有するものとなる。

【0021】

また、有機材料からなる樹脂基板を使用してもよい。例えば、ポリエチレンテレフタレート、ポリブチレンテレフタレート、ポリエチレンナフタレート等のポリエステル、ポリスチレン、ポリカーボネート、ポリエーテルスルホン、ポリアリレート、アリルジグリコールカーボネート、ポリイミド、ポリシクロオレフィン、ノルボルネン樹脂、ポリ(クロロトリフルオロエチレン)等の合成樹脂等の有機材料などが挙げられる。

【0022】

基板10の形状、構造、大きさ、厚み等については特に制限はなく、目的等に応じて適宜選択すればよい。一般的には、基板10の形状としては、取り扱い性、電界効果型トランジスタ100の形成容易性等の観点から、板状であることが好ましい。基板10の構造は、単層構造であってもよいし、積層構造であってもよい。また、基板10は、単一部材で構成されていてもよいし、2つ以上の部材で構成されていてもよい。

【0023】

- ゲート電極 -

ゲート電極12は、電圧の印加によって活性層16を介してソース・ドレイン電極22A、22B間の電流を制御する。ゲート電極12を構成する材料としては、例えば、Al、Mo、Cr、Ta、Ti、Au、またはAg等の金属、Al-Nd、APC等の合金、酸化錫、酸化亜鉛、酸化インジウム、酸化インジウム錫(ITO)、酸化亜鉛インジウム(IZO)等の金属酸化物導電膜、ポリアニリン、ポリチオフェン、ポリピロ-ルなどの有機導電性化合物、またはこれらの混合物が好適に挙げられる。

ゲート電極12の厚みは、ゲート配線の抵抗を下げ、TFTの制御信号の遅延を防ぐ観点から、10nm以上であることが好ましく、ゲート電極12の上に形成される各層の段差を小さくして破断を防止する観点から、1000nm以下であることが好ましい。

【0024】

- 絶縁層 -

絶縁層(ゲート絶縁層)14はゲート電極12上に形成されている。ゲート絶縁層14は、例えばSiO₂、SiN_x、SiON、Al₂O₃、Y₂O₃、Ta₂O₅、HfO₂等の絶縁体から構成され、それらの化合物を2種以上含む絶縁層としてもよい。また、ポリイミドのような高分子絶縁体を用いてもよい。

【0025】

ゲート絶縁層14の厚みは、リーク電流の抑制及び電圧耐性の向上のための厚みを有する必要がある一方、ゲート絶縁層14の厚みが大きすぎると駆動電圧の上昇を招いてしまう。ゲート絶縁層14の材質にもよるが、成膜に要する時間と電圧耐性の観点から、ゲート絶縁層14の厚さは、無機絶縁体であれば50nm以上1000nm以下が好ましく、高分子絶縁体であれば0.5μm以上5μm以下が好ましい。

【0026】

- 酸化物半導体層 -

酸化物半導体層(活性層)16は、絶縁層14を隔ててゲート電極12に対向する位置

10

20

30

40

50

に形成されている。酸化物半導体層16を構成する材料としては、非晶質酸化物半導体が好ましい。非晶質酸化物半導体は、低温で成膜可能であるため、プラスチックのような可撓性を有する樹脂基板にも成膜することができる。

In、Ga、Zn及びSnの少なくとも一つを含有する非晶質酸化物半導体が好ましく、In又はZnを含有する非晶質酸化物半導体がより好ましい。低温で成膜可能な非晶質酸化物半導体としては、Inを含む酸化物、InとZnを含む酸化物、及びIn、Ga及びZnを含む酸化物が挙げられ、組成構造としては、 $InGaO_3(ZnO)_m$ (mは6未満の自然数)のものが好ましい。これらは、キャリアが電子のn型半導体である。なお、 $ZnO \cdot Rh_2O_3$ 、 $CuGaO_2$ 、 $SrCu_2O_2$ のようなp型酸化物半導体を活性層16に用いてもよいし、特開2006-165529号公報に開示されている酸化物半導体を用いてもよい。

10

【0027】

結晶状態における組成が $InGaO_3(ZnO)_m$ (mは6未満の自然数)で表される非晶質酸化物半導体が好ましく、特に $InGaZnO_4$ (適宜「IGZO」という。)がより好ましい。この組成の非晶質酸化物半導体の特徴としては、電気伝導度が増加するにつれ電子移動度が増加する傾向を示す。電気伝導度を制御するには、成膜中の酸素分圧により制御が可能である。

酸化物半導体層16の厚みは、ドレイン電流が十分に流れる観点と、成膜に要する時間が長くなり過ぎないようにする観点から、50nm以上150nm以下とすることが好ましい。

20

また、酸化物半導体層16の電気伝導度は、活性層として機能させるため、 $10^{-4} Scm^{-1}$ 以上 $10^2 Scm^{-1}$ 未満であることが好ましく、 $10^{-1} Scm^{-1}$ 以上 $10^2 Scm^{-1}$ 未満であることがより好ましい。

【0028】

- 保護層 -

保護層18は、Ga又はAlを主成分とする酸化物を含み、酸化物半導体層16上に形成されている。ここで「Ga又はAlを主成分とする酸化物」とは、保護層18を構成する酸化物が、酸素以外の構成成分のうちGa又はAlの含有量(質量比)が最も多いことを意味し、50質量%以上であることが好ましく、90質量%以上であることがより好ましい。保護層18を構成するGa又はAlを主成分とする酸化物としては具体的には Ga_2O_3 、 Al_2O_3 など挙げられる。また、In-Ga-Zn-O系の酸化物であって、In、ZnよりもGaを多く含む(好ましくはGaが50質量%以上)Gaリッチの酸化物でもよい。なお、酸化物半導体層16として、IGZO層を形成する場合は、電気特性、親和性などの観点から、酸化ガリウム、具体的には、 Ga_2O_3 、あるいは、上記のようなGaリッチのIn-Ga-Zn-O系酸化物から保護層18を形成することが好ましい。

30

【0029】

保護層18は、酸化物半導体層16上の少なくともソース・ドレイン電極22A, 22Bと重なる領域とソース・ドレイン電極22A, 22B間の領域に形成されていればよいが、酸化物半導体層16を効果的に保護する観点から、図3に示すように、酸化物半導体層16上の全体に形成されていることが好ましい。

40

【0030】

保護層18の厚みは、ソース・ドレイン電極22A, 22Bの成膜時のスパッタダメージや製造後の外気(酸素、水分)から活性層16を確実に保護する観点から10nm以上であることが好ましい。一方、保護層18は導電性が低いため、保護層18が厚過ぎると絶縁性が高くなり駆動電圧の上昇を招くおそれがある。駆動電圧の上昇を抑制する観点から、保護層18の厚みは30nm以下であることが好ましい。

また、保護層18の電気伝導度は、保護層18を介したソース・ドレイン間の通電を防ぐため、 $10^6 Scm^{-1}$ 以上 $10^{12} Scm^{-1}$ 未満であることが好ましく、 $10^7 Scm^{-1}$ 以上 $10^{10} Scm^{-1}$ 未満であることがより好ましい。

50

【0031】

- 接触層 -

接触層20A, 20Bは、Inを主成分とする非晶質酸化物を含み、保護層18とソース電極22A及びドレイン電極22Bとが厚さ方向で重なる領域に形成され、ソース電極22A及びドレイン電極22Bに接触しているとともにソース電極22Aとドレイン電極22Bとの間では分離している。ここで「Inを主成分とする非晶質酸化物」とは、接触層20A, 20Bを構成する酸化物が、酸素以外の構成成分のうちInの含有量(質量比)が最も多いことを意味し、75質量%以上であることが好ましく、80質量%以上であることがより好ましい。なお、本実施形態では、接触層20A, 20Bは保護層18とも接触しているが、必ずしも保護層18と接触している必要はなく、保護層18と接触層20A, 20Bとの間に他の層(中間層)が介在してもよい。

10

【0032】

接触層20A, 20Bを構成する非晶質酸化物としては、例えば、酸化物半導体層16としてIGZO層を形成する場合は、親和性、オーミックコンタクト性などの観点から、非晶質IZO(インジウム亜鉛オキサイド)、非晶質ITO(インジウムスズオキサイド)、又は非晶質In₂O₃であることが好ましい。

接触層20A, 20Bの厚みは、オーミックコンタクトを確実に実現する観点から10nm以上であることが好ましく、成膜に要する時間が長くなり過ぎないようにする観点から、30nm以下であることが好ましい。

また、接触層20A, 20Bの電気伝導度は、オーミックコンタクトを確実に実現するため、 10^1 S cm^{-1} 以上 10^4 S cm^{-1} 未満であることが好ましく、 10^2 S cm^{-1} 以上 10^3 S cm^{-1} 未満であることがより好ましい。

20

【0033】

- ソース電極・ドレイン電極 -

ソース電極22A及びドレイン電極22Bは、接触層20A, 20B上で、該接触層20A, 20Bに接触しているとともに対向配置されている。

ソース・ドレイン電極22A, 22Bを構成する材料としては、具体的には、Al、Mo、Cr、Ta、Ti、Au、Ag等の金属、Al-Nd、APC等の合金、酸化錫、酸化亜鉛、酸化インジウム、酸化インジウム錫(ITO)、酸化亜鉛インジウム(IZO)等の金属酸化物導電膜、ポリアニリン、ポリチオフェン、ポリピロールなどの有機導電性化合物、またはこれらの混合物が挙げられる。なお、ソース・ドレイン電極22A, 22BはInを主成分とする非晶質酸化物を含む接触層20A, 20Bと接触するため、接触層20A, 20Bとの親和性から金属、合金、又は金属酸化物導電膜から形成することが好ましい。

30

【0034】

ソース電極22A及びドレイン電極22Bの厚みは、その材料、最終製品などによって異なるが、成膜性、導電性(低抵抗化)などを考慮すると、10nm以上1000nm以下とすることが好ましい。なお、ソース・ドレイン電極22A, 22Bの後で活性層を形成する場合は、活性層の厚みや段差を小さくすることを考慮し、ソース・ドレイン電極22A, 22Bの厚みが制限されるが、本実施形態では、活性層16等を形成した後にソース・ドレイン電極22A, 22Bを形成するため、ソース・ドレイン電極22A, 22Bの後で活性層16を形成する場合に比べ、ソース・ドレイン電極22A, 22Bをより厚く形成して低抵抗化を図ることもできる。

40

【0035】

次に、本実施形態に係る薄膜トランジスタ100を製造する方法について具体的に説明する。図4~図7は、それぞれ本実施形態に係る薄膜トランジスタ100を製造する工程を概略的に示している。

【0036】

- ゲート電極の形成 -

基板10上にゲート電極12を形成する。例えば、印刷方式、コーティング方式等の湿

50

式方式、真空蒸着法、スパッタリング法、イオンプレーティング法等の物理的方式、CVD、プラズマCVD法等の化学的方式、などの中から使用する材料との適性を考慮して適宜選択した方法に従って成膜する。

成膜後、フォトリソグラフィ法によって所定の形状にパターンニングを行う。このとき、ゲート電極12及びゲート配線を同時にパターンニングする。

【0037】

- ゲート絶縁層の形成 -

基板10上にゲート電極12を形成した後、絶縁層(ゲート絶縁層)14を形成する。ゲート絶縁層14は、印刷方式、コーティング方式等の湿式方式、真空蒸着法、スパッタリング法、イオンプレーティング法等の物理的方式、CVD、プラズマCVD法等の化学的方式、などの中から使用する材料との適性を考慮して適宜選択した方法に従ってゲート電極12及び基板10上に成膜し、必要に応じてフォトリソグラフィ法によって所定の形状にパターンニングを行う。

10

【0038】

- 酸化物半導体層、保護層、及び接触層の形成 -

酸化物半導体層16、保護層18、及び接触層20A, 20Bを形成する方法は特に限定されないが、レジストを用いたリフトオフやエッチングにより所定のパターンに形成することができる。

例えば、ゲート絶縁層14上にリフトオフ用のレジストを塗布し、露光後、現像する。ここでは、リフトオフ用のレジストはアルカリ性の剥離液に溶解する材料を用いる。これにより、図4に示されるように、酸化物半導体層16を形成すべき箇所ではゲート絶縁層14が露出し、酸化物半導体層16を形成しない箇所ではレジスト膜が残留するようにレジストパターン32を形成する。

20

【0039】

次いで、活性層としてIGZO層16を成膜する。例えば、In、Ga、及びZnを目標の組成で含む酸化物半導体の多結晶焼結体をターゲットとして気相成膜法を用いて成膜する。気相成膜法の中でも、スパッタリング法及びパルスレーザー蒸着法(PLD法)がより好ましく、量産性の観点から、スパッタリング法が特に好ましい。

【0040】

IGZO層16を成膜した後、保護層としてGa₂O₃層18を、接触層としてIZO層20を順次成膜する。この場合も各層18, 20に応じたターゲットを用いてスパッタリング法によりそれぞれ成膜すればよい。これにより、図5に示されるように、ゲート絶縁層14及びレジストパターン32上にIGZO層16、Ga₂O₃層18、及びIZO層20が積層される。

30

なお、各層16, 18, 20は、それぞれX線回折法や、高解像度断面TEM写真により結晶状態を確認することができる。また、厚さは、触針式表面形状測定や、断面TEM写真により求めることができ、組成比は、XRF(蛍光X線分析)や、XPS(X線光電子分光分析)、SIMSにより求めることができる。

【0041】

IGZO層16、Ga₂O₃層18、及びIZO層20を順次形成して積層した後、剥離液(アルカリ性)によりレジストパターン32を溶解させる。このとき、レジストパターン32上の各層16, 18, 20はレジストの溶解とともに除去されるが、絶縁層14上に形成されている各層16, 18, 20は、最表面のIZO層20がアルカリ溶液に対してほとんど溶解しないため、そのまま残留することになる。

40

【0042】

- ソース・ドレイン電極の形成 -

次いで、ソース・ドレイン電極22A, 22Bを形成する。ソース・ドレイン電極22A, 22Bを形成する方法も特に限定されないが、レジストを用いたリフトオフやエッチングによりパターン形成することができる。

例えば、リフトオフ用のレジストパターン34を形成する。ここでもリフトオフ用のレ

50

ジストはアルカリ性の剥離液に溶解する材料を用い、レジストを塗布し、露光後、現像する。これにより、ソース・ドレイン電極 22A, 22B を形成すべき領域では、IGZO 層 16、 Ga_2O_3 層 18、及び IZO 層 20 の積層体 24 又はゲート絶縁層 14 を露出させ、ソース電極 22A とドレイン電極 22B を形成しない領域では、ソース・ドレイン電極 22A, 22B 間の領域を含めてレジスト膜 34 を残留させる。

【0043】

リフトオフ用のレジストパターン 34 を形成した後、図 6 に示すように、ソース・ドレイン電極 22A, 22B を形成するための金属膜 22 を成膜する。成膜法は特に限定されず、印刷方式、コーティング方式等の湿式方式、真空蒸着法、スパッタリング法、イオンプレーティング法等の物理的方式、CVD、プラズマ CVD 法等の化学的方式などの中から材料との適性を考慮して選択した方法に従って成膜すればよい。例えば、スパッタリング法により Mo 膜 22 を形成する。これにより、ゲート絶縁層 14、積層体 24、及びレジストパターン 34 の各露出部分に Mo 膜 22 が形成される。

なお、例えば、ソース電極 22A 及びドレイン電極 22B の材料として ITO を選択する場合には、直流あるいは高周波スパッタリング法、真空蒸着法、イオンプレーティング法等に従って成膜することができ、有機導電性化合物を選択する場合には湿式成膜法に従って行うことができる。

【0044】

Mo 膜 22 を形成した後、剥離液（アルカリ性）を用いてレジストパターン 34 を溶解して除去する。これにより、図 7 に示すように、レジストパターン 34 上に形成されていた Mo 膜 22 はレジスト 34 とともに除去され、レジストパターン 34 から露出していた領域では Mo 膜 22 が残留してソース・ドレイン電極 22A, 22B が形成される。なお、ソース・ドレイン電極 22A, 22B 間では剥離液によってレジストパターン 34 が除去された後、IZO 層 20 が露出するが、耐アルカリ性であるため、積層体 24 はそのまま残留する。

【0045】

一方、ソース・ドレイン電極 22A, 22B の形成としてエッチングを行う場合は、ドライエッチングは設備が高価であり、製造コストが上昇するため、コストの低減が可能なウエットエッチングを用いた加工が望ましい。例えば、保護層 18 を Ga_2O_3 ベースの非晶質酸化膜（厚さ：10nm 以上）とし、接触層 20 を In_2O_3 ベースの非晶質酸化膜（厚さ：10nm 以上）とすることで、酸化物半導体層 16 に影響を与えることなく、ウエットエッチングによるソース・ドレイン電極 22A, 22B の形成を実現することができる。

【0046】

- 接触層の一部除去 -

次いで、ソース・ドレイン電極 22A, 22B から露出している IZO 層 20 をエッチングにより除去する。例えば、シュウ酸等の弱酸を用いてエッチングすることで、IZO 層 20 の露出部分は溶解して除去され、 Ga_2O_3 層 18 とソース・ドレイン電極 22A, 22B との間に挟まれている部分は残留する。なお、IZO 層 20 が除去された部分では、 Ga_2O_3 層 18 が露出する。 Ga_2O_3 層 18 はアルカリ性の剥離液には溶解易いが、耐酸性であり、酸性のエッチング液に対してはエッチングストッパーとして機能してそのまま残留する。これにより、ソース・ドレイン電極 22A, 22B と活性層（IZO 層）20 が厚さ方向で重なり合う部分（オーバーラップ領域）のみに導電性の非晶質酸化物の IZO 層 20 が介在し、活性層 20 上には全体的に Ga_2O_3 層 18 が保護層として残留する。

【0047】

上記のような工程を経て、図 1 に示すような構成を有する薄膜トランジスタ 100 が作製される。このような構成の薄膜トランジスタ 100 は、IGZO 層 16 の上面が Ga_2O_3 層 18 で覆われて外気（酸素、水）から保護されるとともに、 Ga_2O_3 層 18 とソース・ドレイン電極 22A, 22B との間には導電性の IZO 層 20A, 20B が介在し

10

20

30

40

50

ているため、オーミックコンタクトが実現される。

【0048】

一方、ソース電極22Aとドレイン電極22Bとの間ではIZO層20A, 20Bは分離し、バックチャネル上には無いので、ソース・ドレイン電極22A, 22BはIZO層20A, 20Bを介して通電することはない。TFT動作に悪影響を及ぼすことはない。

また、Ga₂O₃層18は、IGZO層16上の全体に形成されており、ソース電極22Aとドレイン電極22Bの間にも存在するが、導電性が低いため、Ga₂O₃層18を介して通電せず、オフ時にはソース・ドレイン電極間では高抵抗が維持される。従って、オン電流は、ソース・ドレイン電極22A, 22Bは、図1の矢印Aに示すようにIGZO層16を介して通電し、安定した動作特性を示すことになる。

10

【0049】

電界効果型トランジスタ100を製造した後は、最終製品(表示装置、撮像装置など)に応じてさらに画素電極等を形成すればよい。例えば、有機ELディスプレイを製造する場合は、層間絶縁膜、画素電極等を形成し、さらに有機エレクトロルミネッセンス層及びA1等により上部電極(共通電極)を順次形成した後、ガラス等で封止する。

【0050】

<第2の実施形態>

図8は、第2の実施形態に係る薄膜トランジスタ200の構成を概略的に示している。本実施形態に係る薄膜トランジスタ200では、酸化物半導体層16上にはGa又はA1を主成分とする酸化物を含む保護層18が形成されている。保護層18とソース・ドレイン電極22A, 22Bの間には、Inを主成分とする非晶質酸化物を含む接触層20A, 20Bが形成されており、ソース・ドレイン電極22A, 22Bに接触しているとともにソース電極22Aとドレイン電極22Bとの間で分離している。さらに、保護層18と接触層20A, 20Bの間には、第1の中間層17A, 17Bと、第2の中間層19A, 19Bが形成されている。これらの中間層17A, 17B, 19A, 19Bは、接触層20A, 20Bと同様、厚さ方向において酸化物半導体層16とソース・ドレイン電極22A, 22Bとが重なる領域に形成されており、ソース電極22Aとドレイン電極22Bとの間では分離している。従って、ソース電極22Aとドレイン電極22Bはこれらの中間層17A, 17B, 19A, 19Bを介して通電することもない。

20

【0051】

このような構成の薄膜トランジスタ200も、酸化物半導体層16は保護層18で覆われているため製造工程中のダメージや外気から保護される。例えば、製造工程におけるダメージ防止効果を増すには、保護層としてGa₂O₃層18を形成した後、IZO層17A, 17Bを厚み10nm程度で介在させてから、再びGa₂O₃層19A, 19Bを10nm程度の厚みで積層することが効果的である。

30

また、保護層18とソース・ドレイン電極22A, 22Bとが重なる領域では、保護層18よりも導電性の高い接触層20A, 20Bがソース・ドレイン電極22A, 22Bと接触しているため、オーミックコンタクトが実現される。従って、オフ時にはソース・ドレイン電極22A, 22B間の高抵抗が確保され、オン時にはソース・ドレイン電極22A, 22B間は図8の矢印Aに示すように酸化物半導体層16を介して通電し、閾値変動が抑制され、安定した動作特性を示すことになる。

40

【実施例】

【0052】

以下、実施例を説明するが、本発明はこれらに限定されるものではない。なお、以下の説明において、括弧内の単位(nm)が付いた数値は膜厚を表している。

<実施例1>

以下の工程により図1に示す構成を有する薄膜トランジスタを製造した。

ガラス基板上にゲート電極としてスパッタリングによってMo膜(40nm)を成膜した。

次いで、ゲート絶縁層としてスパッタリングによってSiO₂膜(200nm)を成膜

50

した。

ゲート電極と対向し、ゲート絶縁層上にアイランド化した活性層を形成するため、リフトオフ用のレジスト（東京応化工業社製：TSMR8900）の塗布、パターン露光、及び現像を順次行った。

【0053】

次いで、IGZO膜（50nm）/Ga₂O₃膜（10nm）/IZO膜（10nm）をそれぞれスパッタリングで連続成膜した。

次いで、リフトオフ用レジストをアルカリ性剥離液（AZ社製：AZリムーバ100）で剥離した後、純水でリンスした。この時、IZO膜（10nm）は消失しなかった。

【0054】

ソース・ドレイン電極を一部が活性層にオーバーラップした状態となるようにリフトオフ形成するため、リフトオフ用のレジスト（東京応化工業社製：TSMR8900）の塗布、露光、及び現像を行った。

リフトオフ用のレジストパターンを形成した後、Mo膜（40nm）をベタ成膜した。

次いで、リフトオフ用レジストをアルカリ性剥離液（AZリムーバ100）で剥離し、純水でリンスした。この時、IZO膜（10nm）は消失しなかった。

さらに、シュウ酸に5分間浸漬して、バックチャネル部のIZO膜を除去した。

これにより図1に示すような構成を有する薄膜トランジスタを製造した。

得られた薄膜トランジスタはオフ電流及び閾値変動がほとんど無く、良好に動作した。なお、この時の薄膜トランジスタのゲート長は200μm、ゲート幅は1000μmであり、トランジスタの測定条件はドレイン電圧に10V固定印加し、ゲート電圧を-10Vから+15Vまで、10回走査する条件である。

【0055】

<実施例2>

以下の工程により図8に示す構成を有する薄膜トランジスタを製造した。

実施例1と同様に、ガラス基板上に、ゲート電極としてMo膜（40nm）と、ゲート絶縁層としてSiO₂膜（200nm）を順次成膜した。

ゲート電極と対向し、ゲート絶縁層上にアイランド化した活性層を形成するため、リフトオフ用のレジストの塗布、パターン露光、及び現像を順次行った。

【0056】

次いで、IGZO膜（50nm）/第1のGa₂O₃膜（10nm）/第1のIZO膜（10nm）/第2のGa₂O₃膜（10nm）/第2のIZO膜（10nm）をスパッタリングで連続成膜した。

【0057】

活性層をアイランド化するため、ウエットエッチング用のレジスト（東京応化工業社製：TSMR8900）の塗布、パターン露光、及び現像を行い、レジストマスクを形成した。

次いで、Alエッチング液（関東化学（株）製；燐酸、硝酸、及び酢酸の混合液）を用いて活性層をエッチングしてパターン化した。

エッチング後、レジストをアルカリ性剥離液（AZリムーバ100）で剥離した後、純水でリンスした。この時、最表面の第2のIZO膜は残っていた。

【0058】

次いで、ソース・ドレイン電極用のMo膜（100nm）をベタ成膜した。ソース・ドレイン電極を、一部が活性層にオーバーラップした状態となるようにウエットエッチングにより形成するため、レジストの塗布、露光、及び現像を行った後、Alエッチング液でエッチングした。最表面の第2のIZO膜は、バックチャネル領域では消失し、オーバーラップ領域では残っていた。

【0059】

レジストマスクをアルカリ性剥離液（AZリムーバ100）で剥離した後、純水でリンスした。この時、バックチャネル領域の第2のGa₂O₃膜は消失し、第1のIZO膜は

10

20

30

40

50

残っていた。オーバーラップ領域の第2のGa₂O₃膜及び第1のIZO膜は残っていた。

【0060】

この状態で、シュウ酸に3分間浸漬して、バックチャネル領域のみ第1のIZO膜を除去した。このとき、オーバーラップ領域の第2のGa₂O₃膜と第1のIZO膜は残っていた。

これにより図8に示すような構成を有する薄膜トランジスタを製造した。

得られた薄膜トランジスタはオフ電流及び閾値変動がほとんど無く、良好に動作した。なお、この時の薄膜トランジスタのゲート長は200μm、ゲート幅は1000μmであり、トランジスタの測定条件はドレイン電圧に10V固定印加し、ゲート電圧を-10Vから+15Vまで、10回走査する条件である。

【0061】

<比較例1>

バックチャネル部のIZO膜を除去しなかった以外は実施例1と同様の処理を行うことで、接触層20A, 20Bが繋がっている形態、すなわち図7に示す形態のTFETを作製した。

この場合は常にドレイン電流が流れ、TFETはオフ動作を示さなかった。

【0062】

以上、本発明について説明したが、本発明は上記実施形態及び比較例に限定されるものではない。

例えば、実施形態及び実施例では、保護層としては、Gaを主成分とする酸化物(Ga₂O₃)を含む場合について主に説明したが、Alを主成分とする酸化物(Al₂O₃)を含む保護層としても同様の効果が得られる。

【0063】

また、実施形態及び実施例では、ボトムゲート型の薄膜トランジスタについて主に説明したが、例えば、図9に示すようにトップゲート型の薄膜トランジスタ300でもよい。この場合、基板10上に、酸化物半導体層16と、保護層18はGa又はAlを主成分とする酸化物を含む保護層18と、ソース電極22A及びドレイン電極22Bと、Inを主成分とする非晶質酸化物を含む接触層20A, 20Bと、ソース電極22Aとドレイン電極22B上に一体的に形成された絶縁層14と、絶縁層14を隔てて酸化物半導体層16に対向する位置に形成されているゲート電極12と、を有する。接触層20A, 20Bは、保護層18とソース電極22A及びドレイン電極22Bとの間に形成され、ソース電極22A及びドレイン電極22Bに接触しているとともにソース電極22Aとドレイン電極22Bとの間で分離している。このような構成のトップゲート型の薄膜トランジスタ300でも、活性層16は保護層18により保護されるとともに、ソース・ドレイン電極22A, 22Bは接触層20A, 20Bと接してオーミックコンタクトが形成される。これにより、オフ電流及び閾値変動が抑制され、安定した動作特性を示す。

【符号の説明】

【0064】

- 10 基板
- 12 ゲート電極
- 14 絶縁層
- 16 酸化物半導体層(活性層)
- 17A, 17B 第1の中間層
- 18 保護層
- 19A, 19B 第2の中間層
- 20A ソース電極
- 20B ドレイン電極
- 22 金属膜
- 24 積層体

10

20

30

40

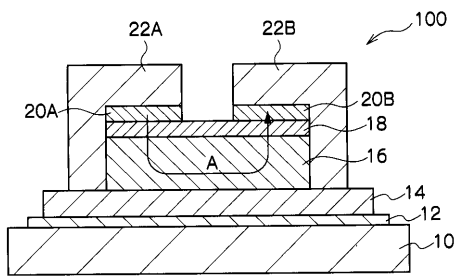
50

3 2 , 3 4 レジストパターン

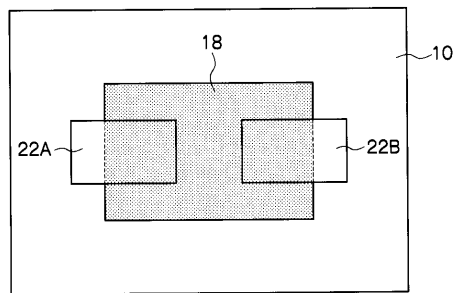
1 0 0 , 2 0 0 電界効果型トランジスタ (ボトムゲート型)

3 0 0 電界効果型トランジスタ (トップゲート型)

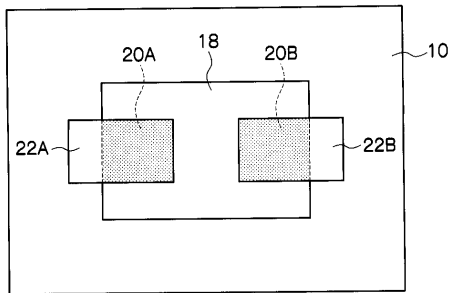
【 図 1 】



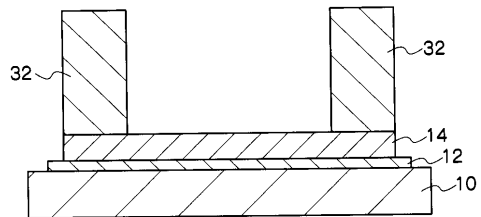
【 図 3 】



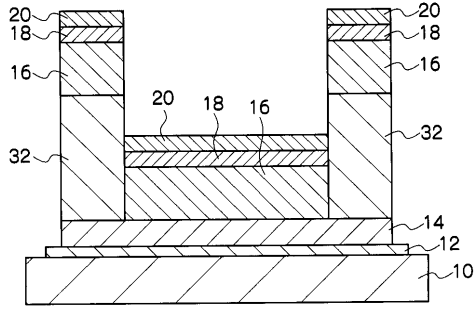
【 図 2 】



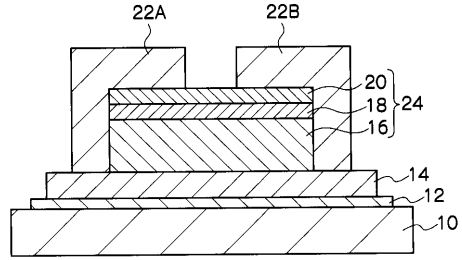
【 図 4 】



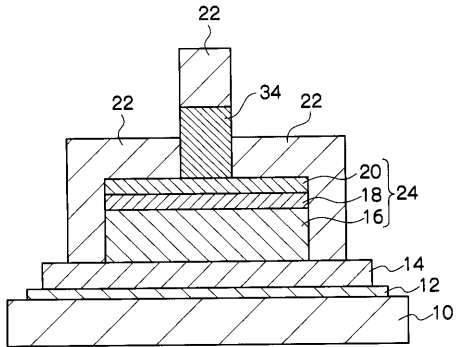
【 図 5 】



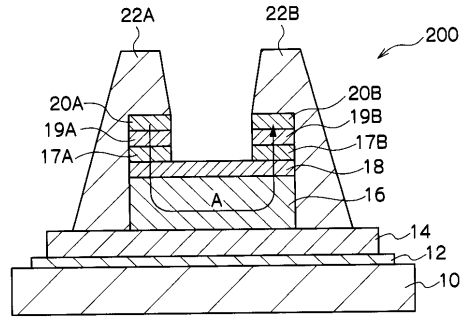
【 図 7 】



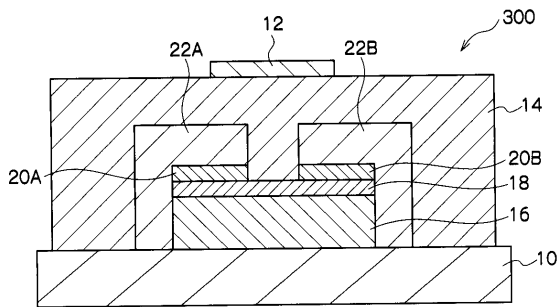
【 図 6 】



【 図 8 】



【 図 9 】



フロントページの続き

(51)Int.Cl.	F I										テーマコード(参考)
	H 0 1 L 29/58										G
Fターム(参考)	4M104	AA03	AA08	AA09	BB02	BB08	BB09	BB13	BB14	BB16	BB17
		BB36	CC01	DD34	DD36	DD37	DD43	DD51	DD64	DD68	FF31
		GG09	GG10	GG14	HH09	HH15					
	5F110	AA06	AA21	BB01	BB10	CC07	DD01	DD02	EE02	EE03	EE04
		EE06	EE07	EE42	EE43	EE44	EE45	FF01	FF02	FF03	FF04
		FF09	FF27	FF28	FF29	FF30	GG01	GG06	GG25	GG28	GG29
		GG42	GG43	HK01	HK02	HK03	HK04	HK06	HK07	HK17	HK22
		HK32	HK33	HK34	HK35	QQ05	QQ14				