

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2023 年 6 月 8 日 (08.06.2023)



(10) 国际公布号
WO 2023/097902 A1

(51) 国际专利分类号:
H01L 21/8242 (2006.01) **H01L 27/108** (2006.01)

(21) 国际申请号: PCT/CN2022/077681

(22) 国际申请日: 2022 年 2 月 24 日 (24.02.2022)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202111444518.0 2021 年 11 月 30 日 (30.11.2021) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230000 (CN)。北京超弦存储器研究院 (BEIJING SUPERSTRING ACADEMY OF MEMORY TECHNOLOGY) [CN/CN]; 中国北京市大兴区北京经济技术开发区景园北街 52 幢 5 层 501-12, Beijing 100176 (CN)。

(72) 发明人: 肖德元 (XIAO, Deyuan); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230000 (CN)。余泳 (YU, Yong); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230000 (CN)。邵光速 (SHAO, Guangsu); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230000 (CN)。

(74) 代理人: 北京名华博信知识产权代理有限公司 (BOXIN CHINA INTELLECTUAL PROPERTY); 中国北京市海淀区黑泉路 8 号 1 幢 4 层 101-10 号, Beijing 100192 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW,

(54) Title: SEMICONDUCTOR STRUCTURE MANUFACTURING METHOD AND SEMICONDUCTOR STRUCTURE

(54) 发明名称: 半导体结构的制作方法以及半导体结构

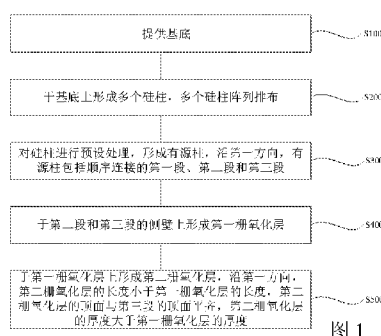


图 1

S100 Provide a substrate
S200 Form multiple silicon pillars on the substrate, the multiple silicon pillars being arranged in an array
S300 Perform preset treatment on the silicon pillars to form active pillars that comprise a first section, a second section, and a third section in a first direction
S400 Form a first gate oxide layer on the sidewalls of the second and third sections
S500 Form a second gate oxide layer on the first gate oxide layer, the length of the second gate oxide layer being less than the length of the first gate oxide layer, the top surface of the second gate oxide layer being flush with the top surface of the third section, and the thickness of the second gate oxide layer being greater than the thickness of the first gate oxide layer

(57) Abstract: Disclosed in the present invention are a semiconductor structure manufacturing method and a semiconductor structure. The semiconductor structure manufacturing method comprises: providing a substrate, forming multiple silicon pillars on the substrate, the multiple silicon pillars being arranged in an array; performing preset treatment on the silicon pillars to form active pillars that comprise a first section, a second section, and a third section; forming a first gate oxide layer on the sidewalls of the second and third sections; and forming a second gate oxide layer on the first gate oxide layer, the length of the second gate oxide layer being less than the length of the first gate oxide layer, and the thickness of the second gate oxide layer being greater than the thickness of the first gate oxide layer.

(57) 摘要: 本公开公布了一种半导体结构的制作方法以及半导体结构。该半导体结构的制作方法包括: 提供基底; 于基底上形成多个硅柱, 多个硅柱阵列排布; 对硅柱进行预设处理, 形成有源柱, 有源柱包括第一段、第二段和第三段; 于第二段和第三段的侧壁上形成第一栅氧化层; 于第一栅氧化层上形成第二栅氧化层, 第二栅氧化层的长度小于第一栅氧化层的长度, 第二栅氧化层的厚度大于第一栅氧化层的厚度。

MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

半导体结构的制作方法

本公开基于申请号为 202111444518.0，申请日为 2021 年 11 月 30 日，申请名称为“半导体结构的制作方法”的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的全部内容在此引入本公开作为参考。

技术领域

本公开涉及半导体技术领域，尤其涉及一种半导体结构的制作方法。

背景技术

动态随机存储器（Dynamic random access memory，简称 DRAM）是一种高速地、随机地写入和读取数据的半导体存储器，被广泛地应用到数据存储设备或装置中。其中，动态随机存储器包括重复设置的多个存储单元，每个存储单元均包括一个晶体管和一个电容器，电容器通过电容接触区、电容接触结构与晶体管的源、漏极连接。随着电子产品日益朝向轻、薄、短、小发展，动态随机存取存储器组件的设计也朝着符合高集成度、高密度、小型化的趋势发展。

随着半导体工艺的发展，半导体器件的尺寸越来越小，栅极诱导漏极泄漏（GateInduced Drain Leakage, GIDL）等问题会对半导体结构的形成产生较大的不利影响，降低了半导体结构的性能和良率。

发明内容

以下是对本公开详细描述的主题的概述。本概述并非是为了限制权利要求的保护范围。

本公开提供了一种半导体结构的制作方法。

本公开的第一方面提供了一种半导体结构的制作方法，所述制作方法包括：提供基底；

于所述基底上形成多个硅柱，多个所述硅柱阵列排布；

对所述硅柱进行预设处理，形成有源柱，其中，沿第一方向，所述有源柱包括顺序连接的第一段、第二段和第三段；

于所述第二段和所述第三段的侧壁上形成第一栅氧化层；

于所述第一栅氧化层上形成第二栅氧化层，沿第一方向，所述第二栅氧化层的长度小于所述第一栅氧化层的长度，所述第二栅氧化层的顶面与所述第三段的顶面平齐，其中，所述第二栅氧化层的厚度大于所述第一栅氧化层的厚度。

根据本公开的一些实施例，所述第二栅氧化层的厚度为所述第一栅氧化层的厚

度的1~2倍。

根据本公开的一些实施例，以垂直于第一方向的平面为横截面，所述硅柱的横截面形状包括方形；

所述对所述硅柱进行预设处理，形成有源柱，包括：

对所述硅柱进行氧化工艺处理，形成有源柱，所述有源柱的横截面形状包括圆形和/或椭圆形。。

根据本公开的一些实施例，所述于所述基底上形成多个硅柱，包括：

于所述基底内形成多个位线隔离沟槽，多个所述位线隔离沟槽沿第二方向间隔设置，相邻所述位线隔离沟槽之间的所述基底构成条状体；

于所述基底内形成多个字线隔离沟槽，多个所述字线隔离沟槽沿第三方向间隔设置，以将所述条状体分隔成多个硅柱，其中，沿第一方向，所述字线隔离沟槽的深度小于所述位线隔离沟槽的深度。

根据本公开的一些实施例，所述半导体结构的制作方法还包括：

于所述基底内形成位线隔离结构，多个所述位线隔离结构沿第二方向间隔设置。

根据本公开的一些实施例，所述于所述基底内形成位线隔离结构，包括：

于所述位线隔离沟槽和所述字线隔离沟槽内形成层叠设置的第一初始介质层、初始位线和第二初始介质层；

沿第一方向，去除部分所述第二初始介质层、部分所述初始位线和部分所述第一初始介质层，形成第一沟槽，被保留下来的第二初始介质层形成第二中间介质层，被保留下来的所述初始位线形成位线，被保留下来的所述第一初始介质层形成第一介质层；

于所述第一沟槽内形成第一初始隔离层；

去除部分所述第二中间介质层和部分所述第一初始隔离层，被保留下来的所述第二中间介质层形成第二介质层，被保留下来的所述第一初始隔离层形成第一隔离层；

其中，所述第一隔离层和所述第一介质层形成所述位线隔离结构，所述第一段和所述第二段的交界位置与所述第二介质层的顶面平齐。

根据本公开的一些实施例，所述于所述第二段和所述第三段的侧壁上形成第一栅氧化层，包括：

利用原子层沉积工艺于所述第二段和所述第三段的侧壁上形成第一栅氧化层；

其中，所述第二介质层的顶面与所述第一栅氧化层的侧壁之间形成填充区。

根据本公开的一些实施例，所述于所述第一栅氧化层上形成第二栅氧化层，包括：

于所述填充区内形成牺牲层，所述牺牲层的顶面与所述第二段的预设位置处平齐；

去除部分所述第一栅氧化层，以暴露出所述有源柱的顶面；

形成第二栅氧化层，所述第二栅氧化层的底面与所述牺牲层的顶面连接，所述第二栅氧化层位于包裹在部分所述第二段和所述第三段侧壁上的所述第一栅氧化层的外侧；

去除所述牺牲层，所述第二栅氧化层的侧壁与原本被所述牺牲层覆盖的所述第一栅氧化层的侧壁形成第二沟槽。

根据本公开的一些实施例，所述形成第二栅氧化层，包括：

利用原子层沉积工艺形成所述第二栅氧化层。

根据本公开的一些实施例，所述半导体结构的制作方法还包括：

于所述第二沟槽内形成字线隔离结构，多个所述字线隔离结构沿第三方向间隔设置。

根据本公开的一些实施例，所述于所述第二沟槽内形成字线隔离结构，包括：

于所述第二沟槽内形成初始字线，多个所述初始字线沿第三方向间隔设置；

沿第一方向，去除部分所述初始字线，被保留下来的初始字线形成中间字线，所述中间字线和所述第二栅氧化层的侧壁之间形成第三沟槽；

于所述第三沟槽内形成第三初始介质层；

沿第一方向，去除部分所述第三初始介质层和部分所述中间字线，形成沿第三方向间隔设置的第四沟槽，所述第四沟槽的底部暴露出所述第二介质层的顶面，被保留下来的所述第三初始介质层形成第三介质层，被保留下来的所述中间字线形成两条字线；

于所述第四沟槽内形成所述字线隔离结构。

本公开的第二方面提供了一种半导体结构，所述半导体结构包括：

基底；

有源柱，所述有源柱的个数为多个，多个所述有源柱阵列排布在所述基底内，其中，沿第一方向，所述有源柱包括顺序连接的第一段、第二段和第三段；

第一栅氧化层，所述第一栅氧化层包裹所述第二段和所述第三段的侧壁上；

第二栅氧化层，所述第二栅氧化层设置在所述第一栅氧化层的外侧，沿第一方向，所述第二栅氧化层的长度小于所述第一栅氧化层的长度，所述第二栅氧化层的顶面与所述第三段的顶面平齐，其中，所述第二栅氧化层的厚度大于所述第一栅氧化层的厚度。

根据本公开的一些实施例，所述第二栅氧化层的厚度为所述第一栅氧化层的厚度的1~2倍。

根据本公开的一些实施例，所述半导体结构还包括多个位线，多个位线沿第二方向间隔设置，所述位线位于所述有源柱的底端；

其中，所述位线的顶面上设有第二介质层。

根据本公开的一些实施例，所述半导体结构还包括位线隔离结构；

所述位线隔离结构包括第一介质层和第一隔离层，所述第一介质层位于所述基底和所述位线的底面之间，所述第一隔离层位于相邻的所述位线之间。

根据本公开的一些实施例，所述半导体结构还包括字线，所述字线环绕所述有源柱的第二段设置，所述字线包括第一字线和第二字线，所述第一字线的底面靠近所述第一段，所述第二字线的顶面靠近所述第三段，以垂直于第二方向的平面为纵截面，所述第一字线的纵截面的面积大于所述第二字线的纵截面的面积。

根据本公开的一些实施例，所述半导体结构还包括多个字线隔离结构，所述字线隔离结构位于相邻的所述字线之间，所述字线的顶面上设有第三介质层，所述第三介质层的顶面与所述有源柱的顶面平齐。

在阅读并理解了附图和详细描述后，可以明白其他方面。

附图说明

并入到说明书中并且构成说明书的一部分的附图示出了本公开的实施例，并且与描述一起用于解释本公开实施例的原理。在这些附图中，类似的附图标记用于表示类似的要素。下面描述中的附图是本公开的一些实施例，而不是全部实施例。对于本领域技术人员来讲，在不付出创造性劳动的前提下，可以根据这些附图获得其他的附图。

图 1 是根据一示例性实施例示出的半导体结构的制作方法的流程图。

图 2 是根据一示例性实施例示出的半导体结构的制作方法中形成条状体的示意图。

图 3 是根据一示例性实施例示出的半导体结构的制作方法中形成硅柱的俯视图。

图 4 是根据一示例性实施例示出的半导体结构的制作方法中形成有源柱的俯视图。

图 5 是图 4 中 A-A 方向形成字线隔离沟槽的剖视图。

图 6 是图 4 中 B-B 方向形成位线隔离沟槽的剖视图。

图 7 是根据一示例性实施例示出的半导体结构的制作方法中沿 Z 方向形成第二初始介质层的示意图。

图 8 是根据一示例性实施例示出的半导体结构的制作方法中沿 Y 方向形成第二初始介质层、初始字线和第一初始介质层的示意图。

图 9 是根据一示例性实施例示出的半导体结构的制作方法中沿 Y 方向形成第二中介质层、字线、第一介质层和第一沟槽的示意图。

图 10 是根据一示例性实施例示出的半导体结构的制作方法中沿 Y 方向形成第一初始隔离层的示意图。

图 11 是根据一示例性实施例示出的半导体结构的制作方法中沿 Z 方向形成第二介质层的示意图。

图 12 是根据一示例性实施例示出的半导体结构的制作方法中沿 Y 方向形成第二介质层和位线隔离结构的示意图。

图 13 是根据一示例性实施例示出的半导体结构的制作方法中沿 Z 方向形成第一

栅氧化层的示意图。

图 14 是根据一示例性实施例示出的半导体结构的制作方法中沿 Y 方向形成第一栅氧化层的示意图。

图 15 是根据一示例性实施例示出的半导体结构的制作方法中沿 Z 方向形成牺牲层的示意图。

图 16 是根据一示例性实施例示出的半导体结构的制作方法中沿 Y 方向形成牺牲层的示意图。

图 17 是根据一示例性实施例示出的半导体结构的制作方法中沿 Z 方向形成第二栅氧化层的示意图。

图 18 是根据一示例性实施例示出的半导体结构的制作方法中沿 Y 方向形成第二栅氧化层的示意图。

图 19 是根据一示例性实施例示出的半导体结构的制作方法中沿 Z 方向形成第二沟槽的示意图。

图 20 是根据一示例性实施例示出的半导体结构的制作方法中沿 Y 方向形成第二沟槽的示意图。

图 21 是根据一示例性实施例示出的半导体结构的制作方法中沿 Z 方向形成初始字线的示意图。

图 22 是根据一示例性实施例示出的半导体结构的制作方法中沿 Y 方向形成初始字线的示意图。

图 23 是根据一示例性实施例示出的半导体结构的制作方法中沿 Z 方向形成中间字线的示意图。

图 24 是根据一示例性实施例示出的半导体结构的制作方法中沿 Y 方向形成中间字线的示意图。

图 25 是根据一示例性实施例示出的半导体结构的制作方法中沿 Z 方向形成第三初始介质层的示意图。

图 26 是根据一示例性实施例示出的半导体结构的制作方法中沿 Y 方向形成第三初始介质层的示意图。

图 27 是根据一示例性实施例示出的半导体结构的制作方法中沿 Z 方向形成第三介质层和第四沟槽的示意图。

图 28 是根据一示例性实施例示出的半导体结构的制作方法中沿 Z 方向形成字线隔离结构的示意图。

附图标记：

10、基底；20、硅柱；30、位线隔离沟槽；40、条状体；50、字线隔离沟槽；60、有源柱；70、位线隔离结构；80、第一介质层；81、第一初始介质层；90、位线；91、初始位线；100、第二介质层；101、第二初始介质层；102、第二中间介质层；110、第一沟槽；120、第一隔离层；121、第一初始隔离层；130、第一栅氧化层；140、第二栅氧化层；150、填充区；160、牺牲层；170、第二沟槽；180、字线

隔离结构；190、字线；191、初始字线；192、中间字线；200、第三沟槽；210、第三介质层；211、第三初始介质层；220、第四沟槽；601、第一段；602、第二段、603、第三段。

具体实施方式

为使本公开实施例的目的、技术方案和优点更加清楚，下面将结合本公开实施例中的附图，对公开实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例是本公开一部分实施例，而不是全部的实施例。基于本公开中的实施例，本领域技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本公开保护的范围。需要说明的是，在不冲突的情况下，本公开中的实施例及实施例中的特征可以相互任意组合。

动态随机存储器（Dynamic random access memory，简称 DRAM）是一种高速地、随机地写入和读取数据的半导体存储器，被广泛地应用到数据存储设备或装置中。其中，动态随机存储器包括重复设置的多个存储单元，每个存储单元均包括一个晶体管和一个电容器，电容器通过电容接触区、电容接触结构与晶体管的源、漏极连接。随着电子产品日益朝向轻、薄、短、小发展，动态随机存取存储器组件的设计也朝着符合高集成度、高密度、小型化的趋势发展。

在半导体结构中，晶体管可理解为用半导体材料制作的电流开关结构，在晶体管的源极与漏极之间，设有金属栅极，可利用金属栅极来控制电流在源极与漏极之间的通断。其中一种晶体管为 GAA 晶体管（Gate-All-Around，GAA 晶体管），采用环绕式栅极技术。随着半导体工艺的发展，半导体器件的尺寸越来越小，GAA 晶体管的结构在形成过程中存在栅极诱导漏极泄漏（GateInduced Drain Leakage，GIDL）的问题，上述 GAA 晶体管的栅极诱导漏极泄漏会降低半导体结构的性能和良率。

本公开实施例所提供的半导体结构的制作方法在半导体结构中，通过在有源柱的第二段和第三段的侧壁上形成第一栅氧化层，并在第一栅氧化层上形成第二栅氧化层，从而增加了有源柱的栅氧化层的厚度，进而增加了栅氧化层存储电荷的能力，有效减少栅极诱导漏极泄露电流和带间隧穿的问题；另一方面，通过使第二栅氧化层的长度小于第一栅氧化层的长度，而第二栅氧化层的厚度大于第一栅氧化层的厚度，第二栅氧化层的顶面与第三段的顶面平齐，由此在第二段上的不同位置形成两层不同厚度的栅氧化层，且第三段上形成的栅氧化层的厚度与第二段上较厚端的栅氧化层厚度相同，使得第二段两端的电势不同，从而有利于控制半导体结构的关断电流，进而有效提高半导体结构的性能和良率。

本公开示例性的实施例中提供了一种半导体结构的制作方法，下面结合图 1-图 28 对半导体结构的制作方法进行介绍。

本实施例对半导体结构不作限制，下面将以半导体结构为动态随机存储器（DRAM）为例进行介绍，但本实施例并不以此为限，本实施例中的半导体结构还可以为其他的结

构，比如为 GAA 晶体管或垂直环栅晶体管等。

如图 1 所示，本公开一示例性的实施例提供的一种半导体结构的制作方法，包括如下的步骤：

步骤 S100：提供基底。

步骤 S200：于基底上形成多个硅柱，多个硅柱阵列排布。

步骤 S300：对硅柱进行预设处理，形成有源柱，沿第一方向，有源柱包括顺序连接的第一段、第二段和第三段。

步骤 S400：于第二段和第三段的侧壁上形成第一栅氧化层。

步骤 S500：于第一栅氧化层上形成第二栅氧化层，沿第一方向，第二栅氧化层的长度小于第一栅氧化层的长度，第二栅氧化层的顶面与第三段的顶面平齐，第二栅氧化层的厚度大于第一栅氧化层的厚度。

根据一个示例性实施例，本实施例是对上文中步骤 S100 的进一步说明。

如图 2 所示，提供基底 10。基底 10 作为动态随机存储器的支撑部件，用于支撑设在其上的其他部件，其中，基底 10 可以由半导体材料制成，半导体材料可以为硅、锗、硅锗化合物以及硅碳化合物中的一种或者多种。在本实施例中基底 10 采用硅材料，而本实施例采用硅材料作为基底 10 是为了方便本领域技术人员对后续形成方法的理解，并不构成限定，在实际应用过程中，可以根据需求选择合适的基底的材料。

根据一个示例性实施例，本实施例是对上文中步骤 S200 的进一步说明。

如图 3 所示，于基底 10 上形成硅柱 20。硅柱 20 的个数为多个，多个硅柱 20 呈阵列排布在基底 10 上，即，多个硅柱 20 可以按多行多列的方式进行排布。以垂直于第一方向 X 的平面为横截面，硅柱 20 的横截面形状包括方形。参照图 3 所示，以图中示出的方位为例，第一方向 X 为自基底 10 的底面至基底 10 的顶面的延伸方向

参照图 2 和图 3 所示，在一些实施例中，在基底 10 上形成阵列排布的硅柱 20 可以采用以下方法：

首先，在基底 10 内形成多个位线隔离沟槽 30，多个位线隔离沟槽 30 沿第二方向 Y 间隔设置。相邻位线隔离沟槽 30 之间的基底 10 形成条状体 40。

其中，于基底 10 上形成位线隔离沟槽 30 的过程中，可以在基底 10 上形成具有掩膜图案的掩膜层，将自基底 10 的顶面至基底 10 的底面的方向作为延伸方向，沿着延伸方向，根据掩膜图案去除部分基底 10，形成沿第二方向 Y 间隔设置的多个位线隔离沟槽 30。

然后，于基底 10 内形成多个字线隔离沟槽 50。多个字线隔离沟槽 50 沿第三方向 Z 间隔设置。利用沿第三方向 Z 设置字线隔离沟槽 50 将条状体 40 分隔成多个硅柱 20。在本实施例中，沿第一方向 X，字线隔离沟槽 50 的深度小于位线隔离沟槽 30 的深度。

参照图 2 所示，以图中示出的方位为例，第三方向 Z 为平行于基底 10 的前侧面的延伸方向。第二方向 Y 和第三方向 Z 在同一水平面上相交，其中，第二方向 Y 可以与第三方向 Z 呈预定角度相交设置，比如，第二方向 Y 与第三方向 Z 相互垂直设置。

其中，于基底 10 上形成字线隔离沟槽 50 的过程中，可以在基底 10 上形成具有掩膜

图案的掩膜层，将自基底 10 的顶面至基底 10 的底面的方向作为延伸方向，沿着延伸方向，根据掩膜图案去除部分基底 10，形成沿第三方向 Z 间隔设置的多个字线隔离沟槽 50。

通过在基底 10 上形成多个位线隔离沟槽 30 和多个字线隔离沟槽 50，使得在基底 10 上形成多个呈多行多列方式排布的硅柱 20。字线隔离沟槽 50 和位线隔离沟槽 30 便于后续在基底 10 上形成半导体结构的其他功能层，且该硅柱 20 的形成过程中工艺简单，便于控制后续形成有源柱 60 的形成尺寸。

需要说明的是，在一些实施例中，硅柱 20 还可以是在基底 10 的顶面上通过硅外延生成工艺形成的，或者，也可以是通过在基底 10 的顶面上沉积多层功能层，然后刻蚀去除部分功能层，使得在基底 10 上形成呈多行多列方式排布的多个硅柱 20。

根据一个示例性实施例，本实施例是对上文中步骤 S300 的进一步说明。

如图 4 至图 6 所示，对硅柱 20 进行预设处理，形成有源柱 60。

其中，预设处理包括氧化工艺处理，即，对硅柱 20 进行氧化工艺处理后，再进行刻蚀或清洗工艺，使得硅柱 20 形成有源柱 60。通过氧化工艺处理使得硅柱 20 的棱角钝化，使得硅柱 20 的横截面形状由方形转变为圆形或椭圆形的横截面形状。需要说明的是，在一些实施例中，氧化工艺处理包括热氧化工艺处理或水蒸气氧化工艺处理，在氧化工艺处理中，硅柱 20 暴露在外界，通过热氧化或者水蒸气氧化，使得硅柱 20 的表面形成一层氧化物层，比如氧化硅，而后可以通过刻蚀或清洗工艺去除该氧化物层，从而使得硅柱 20 的棱角钝化。

待硅柱 20 的氧化工艺处理制程结束后，再对横截面形状为圆形或椭圆形的硅柱 20 进行离子注入工艺，从而形成有源柱 60。作为示例，采用离子注入工艺对硅柱 30 进行处理，以形成后续有源柱 60 的漏极和源极的方法为本领域人员所知晓，此处不再赘述。需要说明的是，本步骤中经过离子注入工艺处理的硅柱 20 形成有源柱 60。其中，沿第一方向 X，有源柱 60 包括顺序连接的第一段 601、第二段 602 和第三段 603，第一段 601 的底面与基底 10 连接。第一段 601 可以形成源极或漏极，第二段 602 可形成栅极，第三段 603 可以形成源极或漏极。在本实施例中，第一段 601 形成漏极，第三段 603 形成源极。

在本实施例中，通过氧化工艺处理，使硅柱 20 的棱角钝化，可以提高后续有源柱 60 的附着能力，以便于后续形成的功能层比如介质层、字线、位线等与有源柱 60 进行良好的连接等，进而提高半导体结构的性能和良率。

如图 12 所示，在一些实施例中，通过氧化工艺对硅柱 20 进行处理，并形成有源柱 60 之后，为了便于后续在基底 10 内形成多个沿第二反向 Y 间隔设置的位线，并实现相邻位线之间的绝缘，可以在基底 10 内形成位线隔离结构 70。

在一些实施例中，位线隔离结构 70 的形成过程可以采用以下方法：

首先，参照图 7 和图 8 所示，在位线隔离沟槽 30 和字线隔离沟槽 50 内依次形成层叠设置的第一初始介质层 81、初始位线 91 和第二初始介质层 101。

可以通过原子层沉积工艺、物理气相沉积工艺或化学气相沉积工艺在位线隔离沟槽 30 和字线隔离沟槽 50 内沉积形成第一牺牲介质层（图中未示出）。第一牺牲介质层填充

满位线隔离沟槽 30 和字线隔离沟槽 50。沿第一方向 X，刻蚀去除部分第一牺牲介质层，被保留下来的第一牺牲介质层形成第一初始介质层 81。其中，第一初始介质层 81 的顶面低于字线隔离沟槽 50 的底面。

第一初始介质层 81 形成之后，通过原子层沉积工艺、物理气相沉积工艺或化学气相沉积工艺在第一初始介质层 81 上形成第一位线（图中未示出）。第一位线的顶面与位线隔离沟槽 30 的顶面平齐。沿第一方向 X，刻蚀去除部分第一位线，其中，第一位线的刻蚀终点与字线隔离沟槽 50 的底面平齐。被保留下来的第一位线形成初始位线 91，即初始位线 91 仅填充在位线隔离沟槽 30 内。

待初始位线 91 形成之后，通过原子层沉积工艺、物理气相沉积工艺或化学气相沉积工艺在初始位线 91 上形成第二初始介质层 101。第二初始介质层 101 的顶面与位线隔离沟槽 30 的顶面平齐。

而后，参照图 9 所示，沿第一方向 X，刻蚀去除部分第二初始介质层 101、部分初始位线 91 和部分第一初始介质层 81，形成多个沿第二方向 Y 间隔设置的第一沟槽 110。被保留下来的第一初始介质层 81 形成第一介质层 80，被保留下来的初始位线 91 形成位线 90，被保留下来的第二初始介质层 101 形成第二中间介质层 102。其中，第一介质层 80 的材料包括但不限于氮化硅、二氧化硅或氮氧化硅。位线 90 的材料包括但不限于硅化钴或铂镍硅化物。

然后，参照图 10 所示，通过原子层沉积工艺、物理气相沉积工艺或化学气相沉积工艺在第一沟槽 110 内形成第一初始隔离层 121。

最后，参照图 11 和图 12 所示，沿第一方向 X，刻蚀去除部分第二中间介质层 102 和部分第一初始隔离层 121。需要说明的是，第二中间介质层 102 和第一初始隔离层 121 的刻蚀终点可以位于有源柱 60 的第二段 602 和第一段 601 的交界位置平齐。被保留下来的第二中间介质层 102 形成第二介质层 100。被保留下来的第一初始隔离层 121 形成第一隔离层 120。

其中，第二介质层 100 的材料包括但不限于氮化硅、二氧化硅或氮氧化硅。需要说明的是，在一个实施例中，第一介质层 80 的材料可以与第二介质层 100 的材料相同，从而降低工艺复杂性和工艺成本。

第一隔离层 120 的材料包括但不限于氧化硅或氮化硅。在本实施例中，第一介质层 80 和第一隔离层 120 形成位线隔离结构 70。

在一些实施例中，位线隔离结构 70 还可以是氧化硅-氮化硅-氧化硅，即“ONO”结构，但并不限于此。

在基底 10 内形成的位线隔离结构 70 可以实现相邻位线 90 之间的绝缘效果，保证半导体结构的性能和良率。

另一方面，在本实施例中的位线的形成方法简单且便于控制和操作。需要说明的是，该位线可与后续所形成的有源柱 60 中的漏极相连，晶体管的栅极与字线相连，源极与电容结构相连，字线上的电压信号能够控制晶体管的打开或关闭，进而通过位线读取存储在电容结构中的数据信息，或者通过位线将数据信息写入到电容结构中进行存储。

根据一个示例性实施例，本实施例是对上文中步骤 S400 的进一步说明。

如图 13 和图 14 所示，在有源柱 60 的第二段 602 和第三段 603 的侧壁上形成第一栅氧化层 130。

经上述形成位线隔离结构 70 之后，利用原子层沉积工艺在有源柱 60 的第二段 602 的侧壁、以及第三段 603 的侧壁和顶面上形成第一栅氧化层 130。

在一些实施例中，可以利用原子层沉积工艺在有源柱 60 的第二段 602 和第三段 603 上形成第一初始栅氧化层（图中未示出），第一初始栅氧化层形成于第二段 602 的侧壁、第三段 603 的侧壁和顶面、以及第二介质层 100 和位线隔离结构 70 的顶面上，然后刻蚀去除第二介质层 100 和位线隔离结构 70 顶面上的第一初始栅氧化层，保留位于第二段 602 的侧壁、第三段 603 的侧壁和顶面上的第一初始栅氧化层，被保留下来的第一初始栅氧化层形成第一栅氧化层 130。其中，第一栅氧化层 130 的材料可以包括但不限于二氧化硅、一氧化硅、氧化锆或氧化钛。

本实施例中，原子层沉积工艺具有沉积速率慢，沉积形成的膜层致密性高以及阶梯覆盖率好的特点。利用原子层沉积工艺形成的第一栅氧化层 130 能够在厚度较薄的条件下对有源柱的第二段 602 即栅极进行有效的隔离保护，避免占据较大的空间，有利于后续实现其他结构层的填充或形成。

根据一个示例性实施例，本实施例是对上文中步骤 S500 的进一步说明。

如图 19 和图 20 所示，于第一栅氧化层 130 上形成第二栅氧化层 140。沿第一方向 X，第二栅氧化层 140 的长度小于第一栅氧化层 130 的长度，第二栅氧化层 140 的顶面与第三段 603 的顶面平齐，第二栅氧化层 140 的厚度大于第一栅氧化层 130 的厚度。

在一些实施例中，第二栅氧化层 140 的形成可以采用以下方法：

首先，参照图 14 所示，在第一栅氧化层 130 形成之后，第二介质层 100 的顶面与第一栅氧化层 130 的侧壁之间形成填充区 150。

其中，参照图 15 和图 16 所示，通过原子层沉积工艺、物理气相沉积工艺或化学气相沉积工艺在填充区 150 内形成初始牺牲层（图中未示出），初始牺牲层填满填充区 150。而后，通过刻蚀去除部分初始牺牲层，其中，初始牺牲层的刻蚀终点与第二段 602 的预设位置处平齐。被保留下来的初始牺牲层形成牺牲层 160。其中，在本步骤中，第二段 602 的预设位置可以是其高度的三分之一至三分之二。在一个实施例中，第二段 602 的预设位置是其高度的二分之一位置处。在本实施例中，沿第一方向 X，与牺牲层 160 的高度相对应的那部分第二段 602 形成第一子段，第二段 602 中未与牺牲层 160 相对应的剩余部分形成第二子段，从而便于后续所形成的第二栅氧化层 140 在第二段 602 的不同位置形成不同厚度的栅氧化层。

而后，如图 17 和图 18 所示，通过化学机械研磨或者刻蚀去除位于第三段 603 顶部的第一栅氧化层 130，暴露出有源柱 60 的顶面。

然后，继续参照图 17 和图 18 所示，在第二段 602 的部分侧壁和第三段 603 的侧壁上形成第二栅氧化层 140，即，第二栅氧化层 140 设在与第二子段相对应的那部分第一栅氧化层 130 以及与第三段 603 的侧壁上的第一栅氧化层 130 的外侧。其中，第二栅氧化层

140的底面与牺牲层160的顶面连接。

在一些实施例中，可以通过原子层沉积工艺在第二段602的第二子段的侧壁和第三段603的侧壁上形成第二栅氧化层140。

最后，参照图19和图20所示，通过刻蚀去除牺牲层160。第二栅氧化层140的侧壁与原本被牺牲层160覆盖的第一栅氧化层130的侧壁形成第二沟槽170。

本实施例中，通过原子层沉积工艺在第二段602对应的第二子段和第三段603相对应的第一栅氧化层130的侧壁上形成第二栅氧化层140，第二栅氧化层140的材料可以包括但不限于二氧化硅、一氧化硅、氧化铪或氧化钛。其中，第二栅氧化层140的材料可以与第一栅氧化层130的材料相同，或者，第二栅氧化层140的材料可以与第一栅氧化层130的材料不相同。

由于在第二栅氧化层140形成之前，先在填充区150内形成牺牲层160，牺牲层160遮挡部分第二段602，从而使得第二栅氧化层140在第一方向X上的形成长度小于第一栅氧化层130的长度。同时，在第二栅氧化层140的形成过程中，控制第二栅氧化层140的形成厚度大于第一栅氧化层130的厚度。

在半导体结构中，GAA晶体管中存在有栅极诱导漏极泄露电流（GIDL）的问题，而该类晶体管产生栅极诱导漏极泄露电流的原因是：由于栅氧化层的厚度较小，导致栅氧化层的存储电荷的能力下降，当GAA晶体管处于静态时，栅极产生的电子或者少数的载流体会通过栅氧化层进入晶体管的漏极中，使得晶体的漏极形成高电场效应，导致漏极发生泄露电流。而在本实施例中，通过在有源柱60的第二段602的侧壁上依次形成第一栅氧化层130和第二栅氧化层140，使得第二段602上不同位置的栅氧化层的厚度不同。从而增加了栅氧化层存储电荷的能力，防止半导体结构中的栅极所产生的电子或者少数载流体通过栅氧化层进入半导体结构的源极或漏极中，降低了栅极诱导漏极泄露电流，进而提高了半导体结构的性能和良率。

如图28所示，待第二栅氧化层140形成之后，还可以在第二沟槽170内形成字线隔离结构180。其中，字线隔离结构180为多个，并沿第三方向Z间隔设置。

在一些实施例中，字线隔离结构180的形成可以采用以下方法：

参照图21和图22所示，通过原子层沉积工艺、物理气相沉积工艺或化学气相沉积工艺在第二沟槽170内形成初始字线191。初始字线191填满第二沟槽170，初始字线191为多个并沿第三方向Z间隔设置。

参照图23和图24所示，沿第一方向X，通过刻蚀去除部分初始字线191。其中，初始字线191的刻蚀终点与第二段602和第三段603的交界位置处平齐。被保留下来的初始字线191形成中间字线192。中间字线192与第二栅氧化层140的侧壁之间形成第三沟槽200。

参照图25和图26所示，通过原子层沉积工艺、物理气相沉积工艺或化学气相沉积工艺在第三沟槽200内形成第三初始介质层211。

如图27所示，沿第一方向X，通过刻蚀去除部分第三初始介质层211和部分中间字线192，形成多个沿第三方向Z间隔设置的第四沟槽220。其中，第四沟槽220的底部暴

露出第二介质层 100 的顶面。被保留下来的第三初始介质层 211 形成第三介质层 210。被保留下来的中间字线 192 形成两条间隔设置的字线 190。第三介质层 210 的材料包括但不限于氮化硅、二氧化硅或氮氧化硅。而字线 190 的材料包括但不限于钨或多晶硅。需要说明的是，通过金属钨或多晶硅等材料所形成的字线的厚度不会对字线的电势产生影响。

如图 28 所示，通过原子层沉积工艺、物理气相沉积工艺或化学气相沉积工艺在第四沟槽 220 内形成字线隔离结构 180。其中，字线隔离结构 180 的材料包括氮化物、氧化物、高介电常数(high-k)介电材料或其他合适的绝缘材料。

在一些实施例中，双功函数的栅极结构一般是通过在栅极处沉积不同材料的字线金属层得到的，而沉积不同材料的金属层所需要的工艺相对复杂，并且不同材料的金属层之间因扩散问题需要做隔离层。

在本实施例中，字线 190 为一次沉积形成，选用金属钨或多晶硅的材料。同时，通过在第二段 602 和第三段 603 的侧壁上形成第一栅氧化层 130，而后，在与第二段 602 的第二子段相对应的侧壁以及第三段 603 相对应的侧壁上的第一栅氧化层 130 上形成第二栅氧化层 140，使得第二段 602 的不同位置的栅氧化层的厚度不同，从而达到双功函数的效果，不仅加工工艺简单且更易于控制和实现。其中，第二段 602 靠近第三段 603 的栅氧化层的厚度大于第二段 602 靠近第一段 601 的栅氧化层的厚度。因此，由本实施例的半导体结构所形成的晶体管，如 GAA 晶体管在使用时，靠近源极处的栅极的栅氧化层厚度较增加，为了晶体管的导通，那么在该端附加的开启电压 V_T 就会增加，相应的就会使靠近第三段 603 的那部分字线 190 的电势升高，进而使得第二段 602 两端相对应的字线 190 之间形成电势差。

进一步地，当源极端附件的开启电压 V_T 增加时，会使得源极端的源极电压 V_s 增加。关断电流 (I_{off}) 与源极电压 V_s 存在如以下公式中示出的关系，即：

$$I_{off} \propto e^{- (V_s * \epsilon / k t)}$$

其中， $\epsilon / k t$ 为常数，约为 0.0256。因此，当源极端的源极电压 V_s 增加时，关断电流 (I_{off}) 会减小，由于关断电流和源极电压 V_s 满足 e 的指数关系，所以当晶体管的源极端的栅氧化层的厚度增加时，关断电流会呈指数级降低，从而便于控制半导体结构的关断电流，进而减少半导体结构的栅极诱导漏极泄露电流和带间隧穿，提高半导体结构的性能和良率。

其中，参照图 28 所示，在一些实施例中，第二栅氧化层 140 的厚度为第一栅氧化层 130 厚度的 1~2 倍。因此，在本实施例中，靠近第三段 603 位置处的第二段 602 的栅氧化层的厚度为靠近第一段 601 位置处的第二段 602 的栅氧化层厚度 2~3 倍。其中，在一个具体实施例中，第二栅氧化层 140 的厚度为第一栅氧化层 130 的厚度的 1.5 倍，通过上述厚度比例的设定，使的半导体结构的关断电流可以降低 6 个数量级，同时也降低了半导体结构的诱导漏极泄露电流和带间隧穿，进而提高半导体结构的性能和良率。

如图 26 和图 28 所示，本公开一示例性的实施例提供了一种半导体结构，其中，该半导体结构包括：基底 10、有源柱 60、第一栅氧化层 130 和第二栅氧化层 140。

示例性地，有源柱 60 为多个，多个有源柱 60 阵列排布于基底 10 内。沿第一方向 X，

有源柱 60 包括顺序连接的第一段 601、第二段 602 和第三段 603。

第一栅氧化层 130 包裹在第二段 602 和第三段 603 的侧壁上。

第二栅氧化层 140 设置在第一栅氧化层 130 的外侧，沿第一方向 X，第二栅氧化层 140 的长度小于第一栅氧化层 130 的长度。第二栅氧化层 140 的顶面与第三段 603 的顶面平齐。其中，第二栅氧化层 140 的厚度大于第一栅氧化层 130 的厚度。在一些实施例中，第二栅氧化层 140 的厚度为第一栅氧化层 130 的厚度的 1~2 倍。

本实施例中，通过在有源柱的第二段和第三段的侧壁上形成第一栅氧化层，并在第一栅氧化层上形成第二栅氧化层，从而增加了有源柱的栅氧化层的厚度，进而增加了栅氧化层存储电荷的能力，有效减少栅极诱导漏极泄露电流和带间隧穿的问题；另一方面，第二栅氧化层的长度小于第一栅氧化层的长度，而第二栅氧化层的厚度大于第一栅氧化层的厚度，第二栅氧化层的顶面与第三段的顶面平齐，由此在第二段上的不同位置形成两层不同厚度的栅氧化层，且第三段上形成的栅氧化层的厚度与第二段上较厚端的栅氧化层厚度相同，使得第二段两端的电势不同，从而有利于控制半导体结构的关断电流，进而有效提高半导体结构的性能和良率。

如图 26 所示，在一些实施例中，半导体结构还包括设置在基底 10 上的多个位线 90。多个位线 90 沿第二方向 Y 间隔设置，位线 90 位于有源柱 60 的下方。其中，位线 90 与沿第三方向 Z 且处于同一直线上的多个有源柱 60 的第一段 601 连接。位线 90 的顶面上设有第二介质层 100。

如图 26 所示，在一些实施例中，半导体结构还包括设置在基底 10 上的多个位线隔离结构 70。沿第二方向 Y，多个位线隔离结构 70 间隔设置。其中，位线隔离结构 70 包括第一介质层 80 和第一隔离层 120。第一介质层 80 位于基底 10 和位线 90 之间。第一隔离层 120 位于相邻位线 90 之间。位线隔离结构 70 用于实现后续在基底 10 内形成的相邻位线 90 之间的绝缘，保证半导体结构的性能和良率。

如图 28 所示，在一些实施例中，半导体结构还包括设置在基底 10 内的字线 190。字线 190 环绕有源柱 60 的第二段 602 设置。字线 190 包括第一字线和第二字线，第一字线的底面靠近第一段 601，第二字线的顶面靠近第三段 603。以垂直于第二方向 Y 的平面为纵截面，第一字线的纵截面面积大于第二字线的纵截面面积，需要说明的是，第一字线和第二字线的交界位置处可以与第二栅氧化层 140 的底面平齐。

其中，第一字线和第二字线可以是一次沉积形成，也可以是分多次沉积形成。在一些实施例中，第一字线和第二字线的材料相同。

如图 28 所示，在一些实施例中，半导体结构还包括设置在基底 10 内的多个字线隔离结构 180。字线隔离结构 180 位于相邻的字线 190 之间，字线 190 的顶面上设有第三介质层 210，第三介质层 210 的顶面与有源柱 60 的顶面平齐。字线隔离结构 180 用于实现相邻字线 190 之间的绝缘，从而保证半导体结构的性能和良率。

在本公开的描述中，需要说明的是，术语“中心”、“上”、“下”、“左”、“右”、“竖直”、“水平”、“内”、“外”等指示的方位或位置关系为基于附图所示的方位或位置关系，仅是为了便于描述本公开和简化描述，而不是指示或暗示所指的装置或元件必须具有特

定的方位、以特定的方位构造和操作，因此不能理解为对本公开的限制。

可以理解的是，本公开所使用的术语“第一”、“第二”等可在本公开中用于描述各种结构，但这些结构不受这些术语的限制。这些术语仅用于将第一个结构与另一个结构区分。

在一个或多个附图中，相同的元件采用类似的附图标记来表示。为了清楚起见，附图中的多个部分没有按比例绘制。此外，可能未示出某些公知的部分。为了简明起见，可以在一幅图中描述经过数个步骤后获得的结构。在下文中描述了本公开的许多特定的细节，例如器件的结构、材料、尺寸、处理工艺和技术，以便更清楚地理解本公开。但正如本领域技术人员能够理解的那样，可以不按照这些特定的细节来实现本公开。

最后应说明的是：以上各实施例仅用以说明本公开的技术方案，而非对其限制；尽管参照前述各实施例对本公开进行了详细的说明，本领域技术人员应当理解：其依然可以对前述各实施例所记载的技术方案进行修改，或者对其中部分或者全部技术特征进行等同替换；而这些修改或者替换，并不使相应技术方案的本质脱离本公开各实施例技术方案的范围。

工业实用性

本公开实施例的半导体结构的制作方法，通过在有源柱的第二段上的不同位置形成两层不同厚度的栅氧化层，且在第三段上形成的栅氧化层的厚度与第二段上较厚端的栅氧化层厚度相同，从而有效减少栅极诱导漏极泄露电流，进而提高半导体结构的性能和良率。

权利要求

1、一种半导体结构的制作方法，包括：

提供基底；

于所述基底上形成多个硅柱，多个所述硅柱阵列排布；

对所述硅柱进行预设处理，形成有源柱，其中，沿第一方向，所述有源柱包括顺序连接的第一段、第二段和第三段；

于所述第二段和所述第三段的侧壁上形成第一栅氧化层；

于所述第一栅氧化层上形成第二栅氧化层，沿第一方向，所述第二栅氧化层的长度小于所述第一栅氧化层的长度，所述第二栅氧化层的顶面与所述第三段的顶面平齐，其中，所述第二栅氧化层的厚度大于所述第一栅氧化层的厚度。

2、根据权利要求 1 所述的半导体结构的制作方法，其中，所述第二栅氧化层的厚度为所述第一栅氧化层的厚度的 1~2 倍。

3、根据权利要求 1 所述的半导体结构的制作方法，其中，以垂直于第一方向的平面为横截面，所述硅柱的横截面形状包括方形；

所述对所述硅柱进行预设处理，形成有源柱，包括：

对所述硅柱进行氧化工艺处理，形成有源柱，所述有源柱的横截面形状包括圆形和/或椭圆形。

4、根据权利要求 1 所述的半导体结构的制作方法，其中，所述于所述基底上形成多个硅柱，包括：

于所述基底内形成多个位线隔离沟槽，多个所述位线隔离沟槽沿第二方向间隔设置，相邻所述位线隔离沟槽之间的所述基底构成条状体；

于所述基底内形成多个字线隔离沟槽，多个所述字线隔离沟槽沿第三方向间隔设置，以将所述条状体分隔成多个硅柱，其中，沿第一方向，所述字线隔离沟槽的深度小于所述位线隔离沟槽的深度。

5、根据权利要求 4 所述的半导体结构的制作方法，其中，所述半导体结构的制作方法还包括：

于所述基底内形成位线隔离结构，多个所述位线隔离结构沿第二方向间隔设置。

6、根据权利要求 5 所述的半导体结构的制作方法，其中，所述于所述基底内形成位线隔离结构，包括：

于所述位线隔离沟槽和所述字线隔离沟槽内形成层叠设置的第一初始介质层、初始位线和第二初始介质层；

沿第一方向，去除部分所述第二初始介质层、部分所述初始位线和部分所述第一初始介质层，形成第一沟槽，被保留下来的第二初始介质层形成第二中间介质层，被保留下来的所述初始位线形成位线，被保留下来的所述第一初始介质层形成第一介质层；

于所述第一沟槽内形成第一初始隔离层；

去除部分所述第二中介质层和部分所述第一初始隔离层，被保留下来的所述第二中介质层形成第二介质层，被保留下来的所述第一初始隔离层形成第一隔离层；

其中，所述第一隔离层和所述第一介质层形成所述位线隔离结构，所述第一段和所述第二段的交界位置与所述第二介质层的顶面平齐。

7、根据权利要求6所述的半导体结构的制作方法，其中，所述于所述第二段和所述第三段的侧壁上形成第一栅氧化层，包括：

利用原子层沉积工艺于所述第二段和所述第三段的侧壁上形成第一栅氧化层；

其中，所述第二介质层的顶面与所述第一栅氧化层的侧壁之间形成填充区。

8、根据权利要求7所述的半导体结构的制作方法，其中，所述于所述第一栅氧化层上形成第二栅氧化层，包括：

于所述填充区内形成牺牲层，所述牺牲层的顶面与所述第二段的预设位置处平齐；

去除部分所述第一栅氧化层，以暴露出所述有源柱的顶面；

形成第二栅氧化层，所述第二栅氧化层的底面与所述牺牲层的顶面连接，所述第二栅氧化层位于包裹在部分所述第二段和所述第三段侧壁上的所述第一栅氧化层的外侧；

去除所述牺牲层，所述第二栅氧化层的侧壁与原本被所述牺牲层覆盖的所述第一栅氧化层的侧壁形成第二沟槽。

9、根据权利要求8所述的半导体结构的制作方法，其中，所述形成第二栅氧化层，包括：

利用原子层沉积工艺形成所述第二栅氧化层。

10、根据权利要求8所述的半导体结构的制作方法，其中，所述半导体结构的制作方法还包括：

于所述第二沟槽内形成字线隔离结构，多个所述字线隔离结构沿第三方向间隔设置。

11、根据权利要求10所述的半导体结构的制作方法，其中，所述于所述第二沟槽内形成字线隔离结构，包括：

于所述第二沟槽内形成初始字线，多个所述初始字线沿第三方向间隔设置；

沿第一方向，去除部分所述初始字线，被保留下来的初始字线形成中间字线，所述中间字线和所述第二栅氧化层的侧壁之间形成第三沟槽；

于所述第三沟槽内形成第三初始介质层；

沿第一方向，去除部分所述第三初始介质层和部分所述中间字线，形成沿第三方向间隔设置的第四沟槽，所述第四沟槽的底部暴露出所述第二介质层的顶面，被保留下来的所述第三初始介质层形成第三介质层，被保留下来的所述中间字线形成两条字线；

于所述第四沟槽内形成所述字线隔离结构。

12、一种半导体结构，包括：

基底；

有源柱，所述有源柱的个数为多个，多个所述有源柱阵列排布在所述基底内，其中，沿第一方向，所述有源柱包括顺序连接的第一段、第二段和第三段；

第一栅氧化层，所述第一栅氧化层包裹所述第二段和所述第三段的侧壁上；

第二栅氧化层，所述第二栅氧化层设置在所述第一栅氧化层的外侧，沿第一方向，所述第二栅氧化层的长度小于所述第一栅氧化层的长度，所述第二栅氧化层的顶面与所述第三段的顶面平齐，其中，所述第二栅氧化层的厚度大于所述第一栅氧化层的厚度。

13、根据权利要求 12 所述的半导体结构，其中，所述第二栅氧化层的厚度为所述第一栅氧化层的厚度的 1~2 倍。

14、根据权利要求 12 所述的半导体结构，其中，所述半导体结构还包括多个位线，多个位线沿第二方向间隔设置，所述位线位于所述有源柱的底端；

其中，所述位线的顶面上设有第二介质层。

15、根据权利要求 14 所述的半导体结构，其中，所述半导体结构还包括位线隔离结构；

所述位线隔离结构包括第一介质层和第一隔离层，所述第一介质层位于所述基底和所述位线的底面之间，所述第一隔离层位于相邻的所述位线之间。

16、根据权利要求 12 所述的半导体结构，其中，所述半导体结构还包括字线，所述字线环绕所述有源柱的第二段设置，所述字线包括第一字线和第二字线，所述第一字线的底面靠近所述第一段，所述第二字线的顶面靠近所述第三段，以垂直于第二方向的平面为纵截面，所述第一字线的纵截面的面积大于所述第二字线的纵截面的面积。

17、根据权利要求 16 所述的半导体结构，其中，所述半导体结构还包括多个字线隔离结构，所述字线隔离结构位于相邻的所述字线之间，所述字线的顶面上设有第三介质层，所述第三介质层的顶面与所述有源柱的顶面平齐。

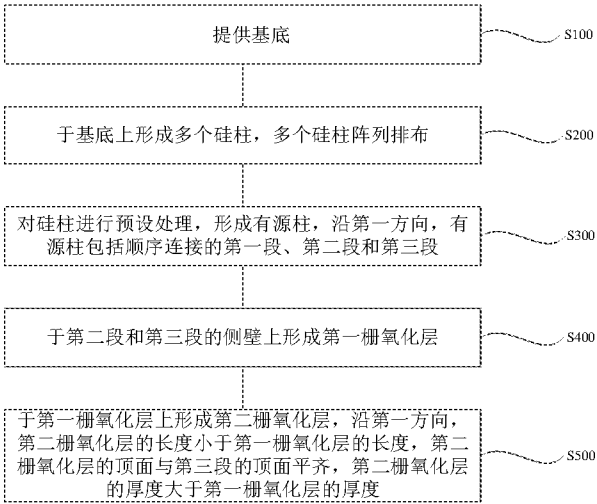


图 1

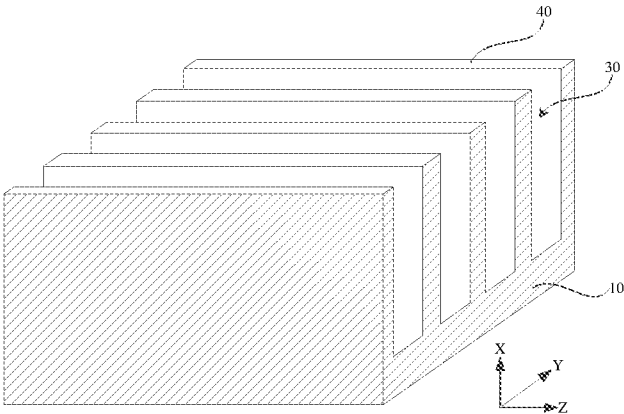


图 2

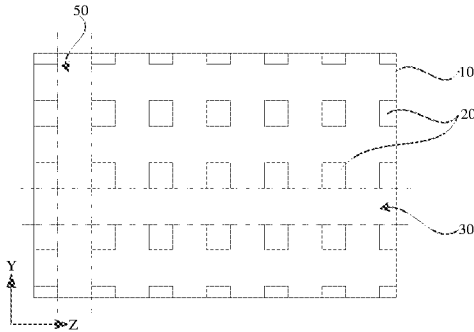


图 3

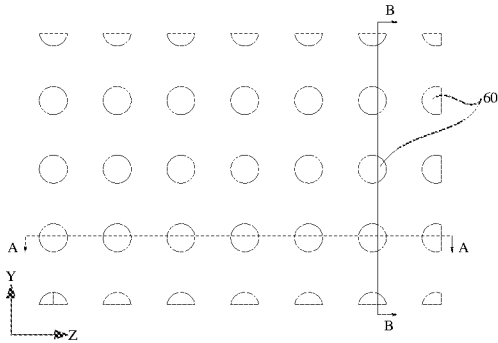


图 4

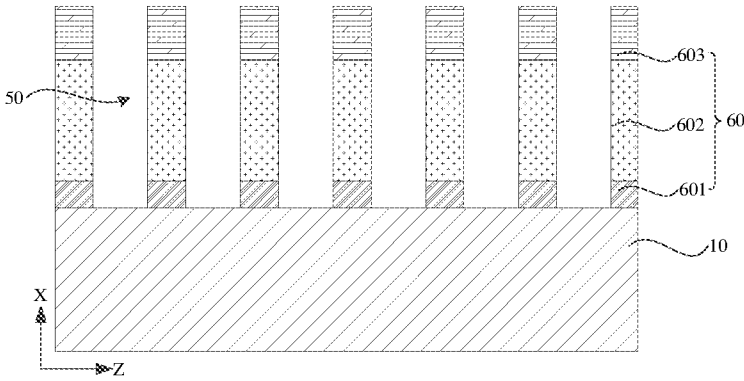


图 5

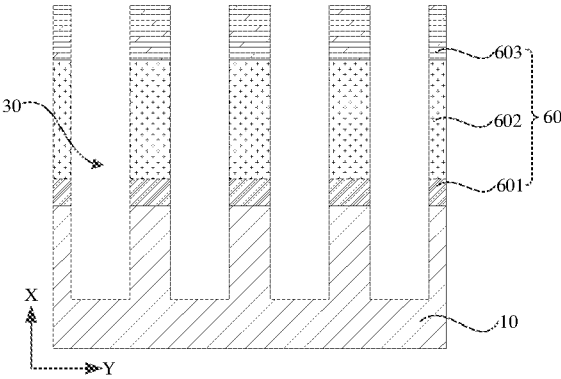


图 6

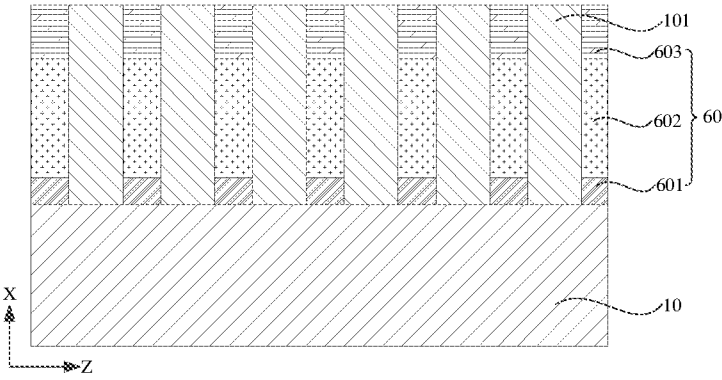


图 7

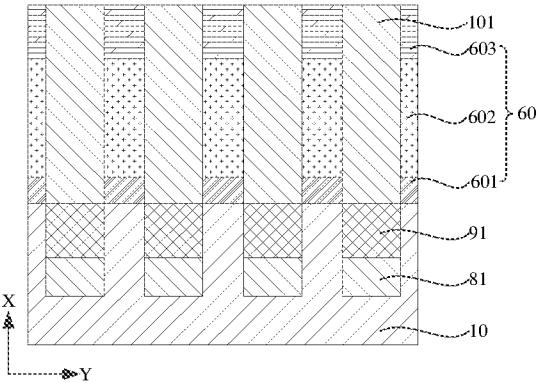


图 8

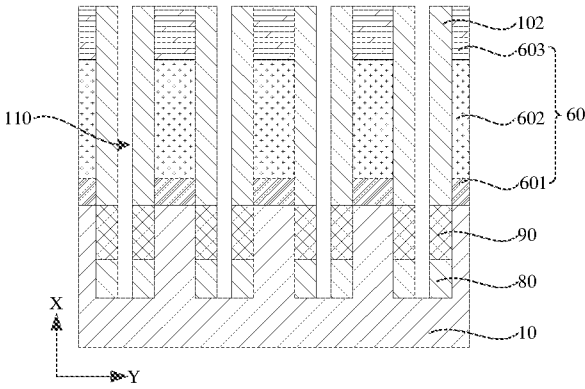


图 9

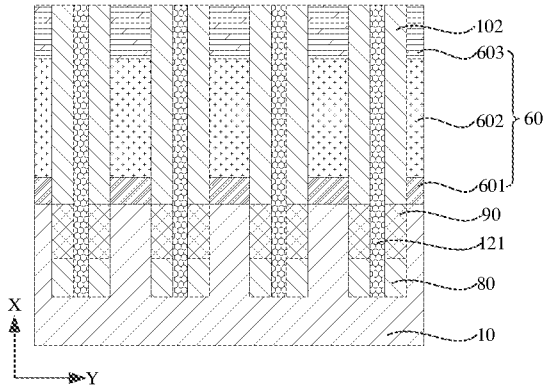


图 10

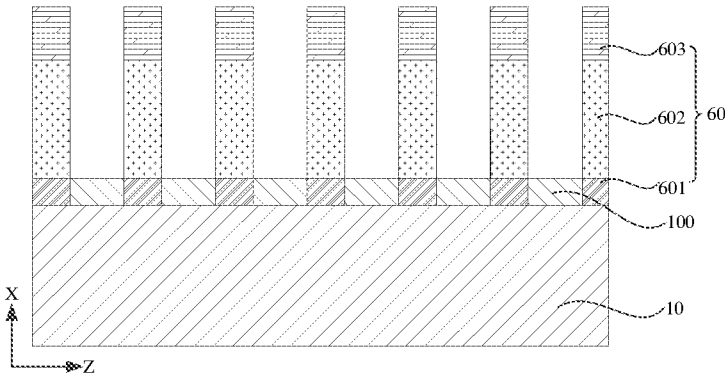


图 11

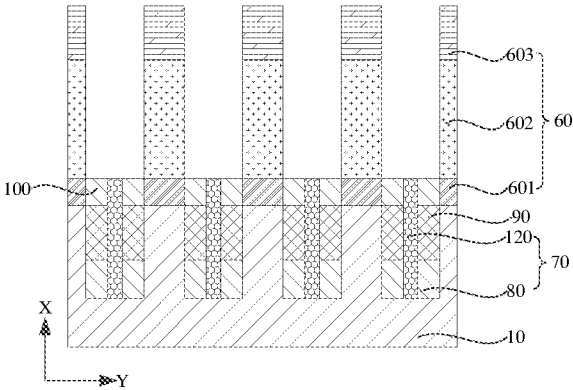


图 12

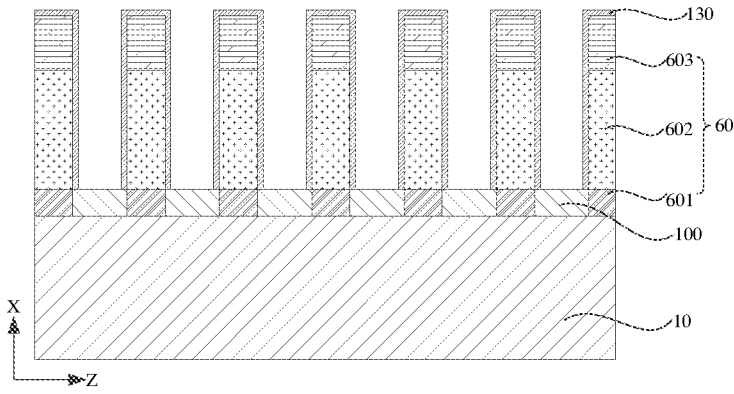


图 13

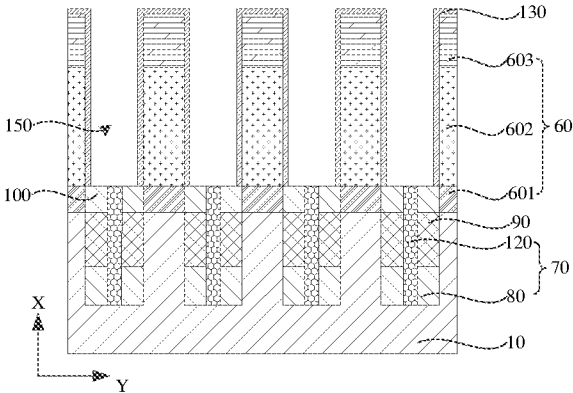


图 14

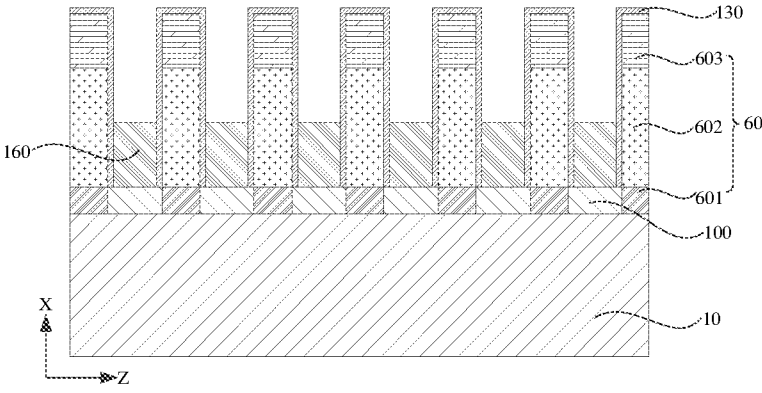


图 15

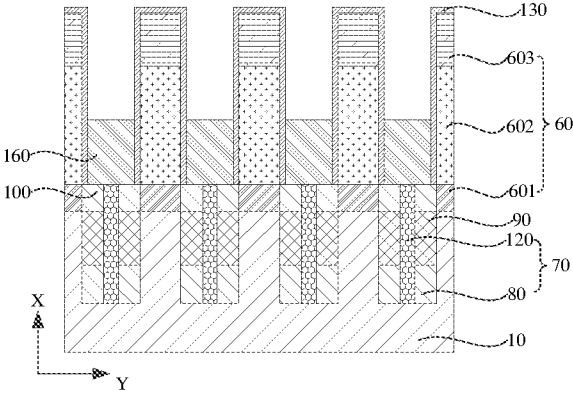


图 16

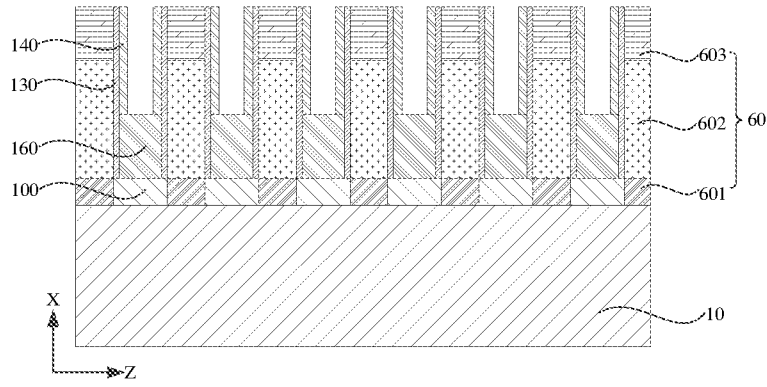


图 17

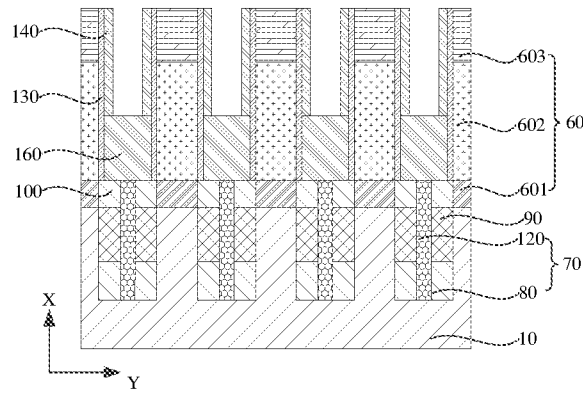


图 18

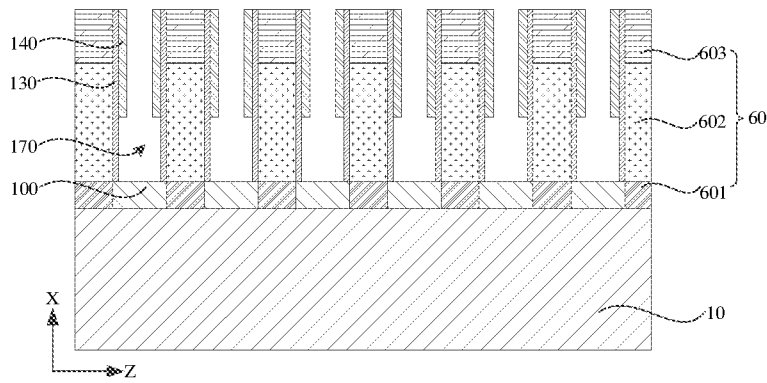


图 19

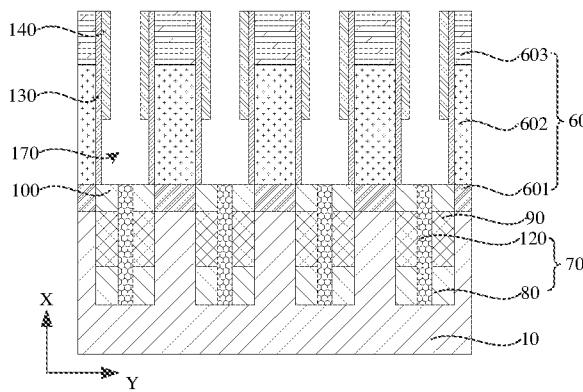


图 20

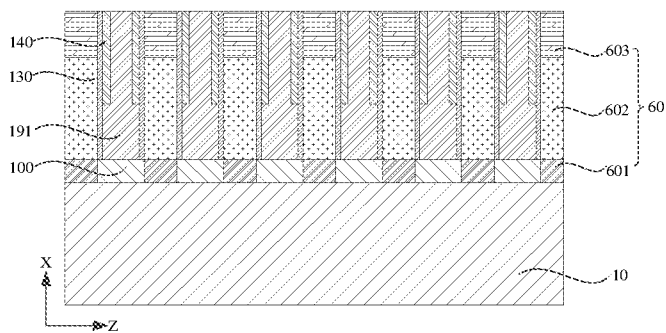


图 21

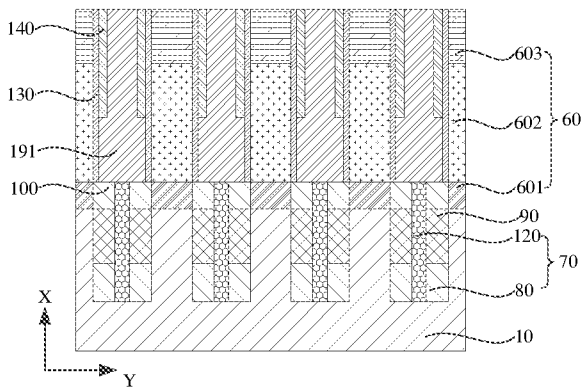


图 22

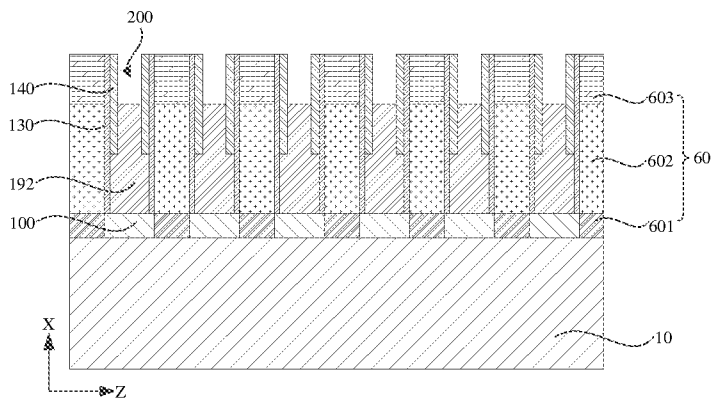


图 23

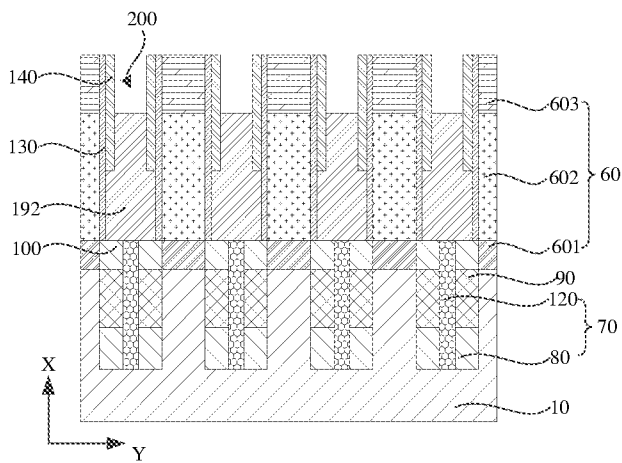


图 24

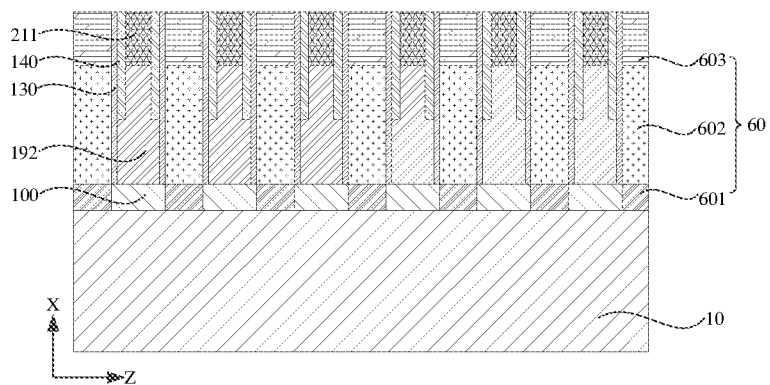


图 25

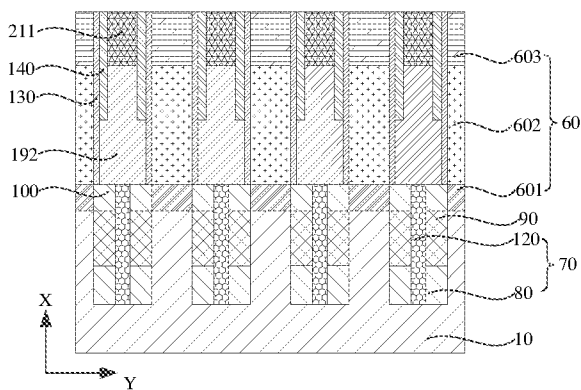


图 26

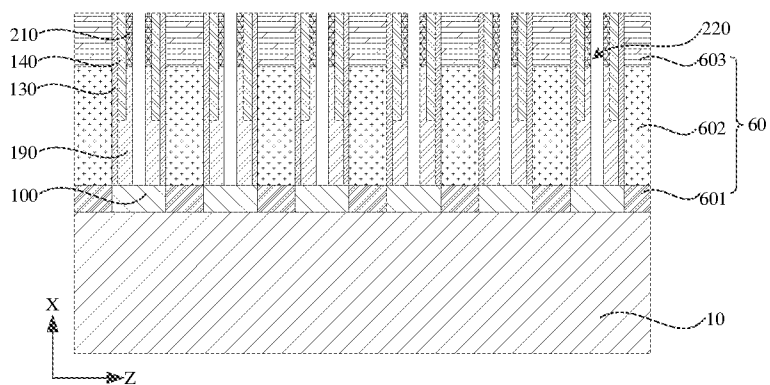


图 27

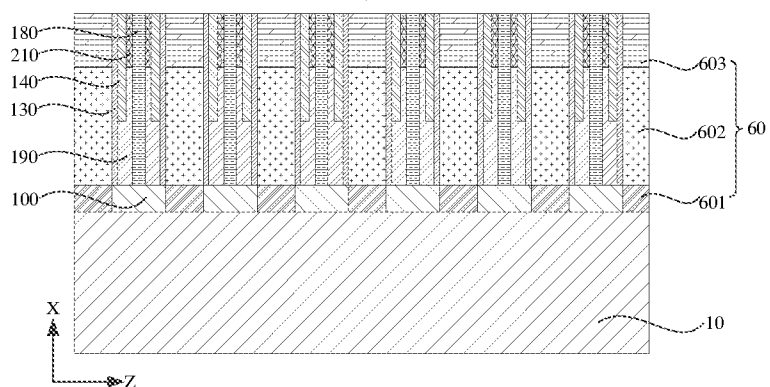


图 28

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/077681

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/8242(2006.01)i; H01L 27/108(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNTXT, ENTXT, ENTXTC, DWPI, CNKI: 半导体结构, 硅柱, 阵列, 有源, 栅氧, 长度, 厚度, 顶面, semiconductor structure, silicon column, array, active, gate oxide, length, thickness, top surface

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 109979880 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CORP. et al.) 05 July 2019 (2019-07-05) description, paragraphs [0041]-[0098], and description, figures 1C-4I	1-17
A	CN 109449158 A (INSTITUTE OF MICROELECTRONICS OF CHINESE ACADEMY OF SCIENCES) 08 March 2019 (2019-03-08) entire document	1-17
A	US 2006043472 A1 (WANG, H. M. et al.) 02 March 2006 (2006-03-02) entire document	1-17
A	US 2007082448 A1 (SAMSUNG ELECTRONICS CO., LTD.) 12 April 2007 (2007-04-12) entire document	1-17



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

27 July 2022

Date of mailing of the international search report

09 August 2022

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2022/077681

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	109979880	A	05 July 2019	None			
CN	109449158	A	08 March 2019	US	2021296316	A1	23 September 2021
				WO	2020082405	A1	30 April 2020
US	2006043472	A1	02 March 2006	US	2006076616	A1	13 April 2006
				US	2006097301	A1	11 May 2006
				US	2006081921	A1	20 April 2006
				US	2007241395	A1	18 October 2007
				US	7253493	B2	07 August 2007
US	2007082448	A1	12 April 2007	KR	100660881	B1	26 December 2006
				US	7368352	B2	06 May 2008

国际检索报告

国际申请号

PCT/CN2022/077681

A. 主题的分类

H01L 21/8242(2006.01)i; H01L 27/108(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNTXT, ENTXT, ENTXTC, DWPI, CNKI: 半导体结构, 硅柱, 阵列, 有源, 栅氧, 长度, 厚度, 顶面, semiconductor structure, silicon column, array, active, gate oxide, length, thickness, top surface

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 109979880 A (中芯国际集成电路制造上海有限公司 等) 2019年7月5日 (2019 - 07 - 05) 说明书第[0041]段-[0098]段, 说明书附图1C-4I	1-17
A	CN 109449158 A (中国科学院微电子研究所) 2019年3月8日 (2019 - 03 - 08) 全文	1-17
A	US 2006043472 A1 (WANG HONGMEI等) 2006年3月2日 (2006 - 03 - 02) 全文	1-17
A	US 2007082448 A1 (SAMSUNG ELECTRONICS CO LTD) 2007年4月12日 (2007 - 04 - 12) 全文	1-17

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2022年7月27日

国际检索报告邮寄日期

2022年8月9日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

杨万里

电话号码 86-010-62089917

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2022/077681

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	109979880	A	2019年7月5日	无			
CN	109449158	A	2019年3月8日	US	2021296316	A1	2021年9月23日
				WO	2020082405	A1	2020年4月30日
US	2006043472	A1	2006年3月2日	US	2006076616	A1	2006年4月13日
				US	2006097301	A1	2006年5月11日
				US	2006081921	A1	2006年4月20日
				US	2007241395	A1	2007年10月18日
				US	7253493	B2	2007年8月7日
US	2007082448	A1	2007年4月12日	KR	100660881	B1	2006年12月26日
				US	7368352	B2	2008年5月6日