

(21)申請案號：109116727

(22)申請日：中華民國 109 (2020) 年 05 月 20 日

(51)Int. Cl. : H03K17/78 (2006.01)

H01H47/00 (2006.01)

H01H49/00 (2006.01)

(30)優先權：2019/06/11

日本

2019-108406

(71)申請人：日商松下知識產權經營股份有限公司(日本) PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD. (JP)

日本

(72)發明人：分木優 BUNGI, YU (JP)；小西保司 KONISHI, YASUSHI (JP)；正木裕隆 MASAKI, HIROTAKA (JP)

(74)代理人：劉法正；尹重君

申請實體審查：無 申請專利範圍項數：11 項 圖式數：10 共 38 頁

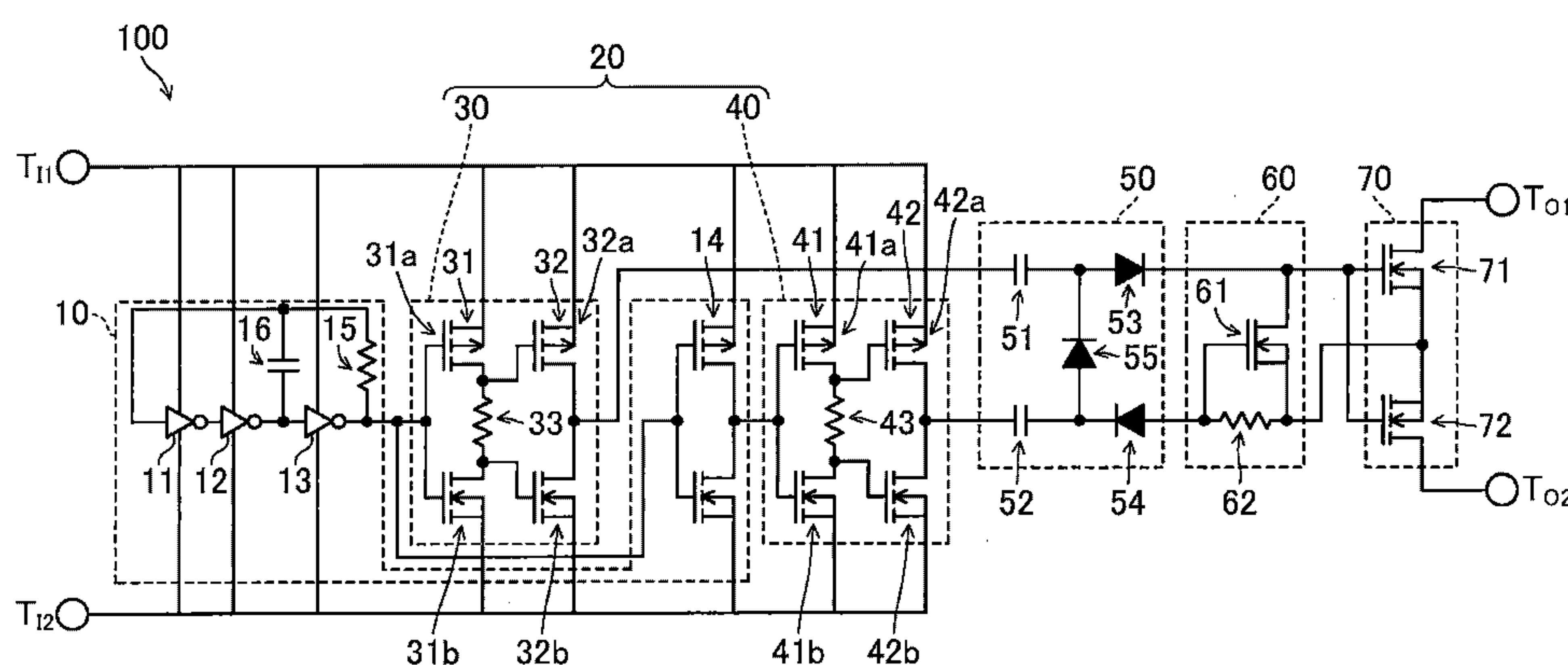
(54)名稱

半導體繼電器

(57)摘要

本公開旨在提供一種能高速運作之半導體繼電器，該半導體繼電器具備穩定運作之 RC 振盪電路。電容絕緣式半導體繼電器 100 具備 RC 振盪電路 10、波形調整電路 20、升壓電路 50、充放電電路 60、以及輸出電路 70。RC 振盪電路 10 產生彼此相位相反的第一及第二信號。波形調整電路 20 將第一及第二信號的上升時間及下降時間分別延長。設置於升壓電路 50 中且彼此並聯的第一及第二絕緣耐壓電容 51、52 中分別輸入波形調整電路 20 的輸出信號。升壓電路 50 接收波形調整電路 20 的輸出信號並產生規定電壓，基於規定電壓驅動輸出電路 70。

指定代表圖：



【圖 2】

符號簡單說明：

10:RC 振盪電路

11~14:第一~第四反相器

15:回授電阻

16:回授電容

20:波形調整電路

30:第一電路

31、32:CMOS 反相器

31a、32a:pMOSFET

31b、32b:nMOSFET

33:第一電阻(電阻元件)

40:第二電路

41、42:CMOS 反相器

41a、42a:pMOSFET

41b、42b:nMOSFET

43:第二電阻(電阻元
件)

50:升壓電路

51:第一絕緣耐壓電容

52:第二絕緣耐壓電容

53~55:第一~第三二極
體

60:充放電電路

61:空乏型 MOSFET
(D-MOSFET)

62:第三電阻

70:輸出電路

71:第一輸出用
MOSFET

72:第二輸出用
MOSFET

100:半導體繼電器

T_{I1}、T_{I2}:輸入端子

T_{O1}、T_{O2}:輸出端子

發明摘要

【發明名稱】(中文/英文)

半導體繼電器

【中文】

本公開旨在提供一種能高速運作之半導體繼電器，該半導體繼電器具備穩定運作之RC振盪電路。電容絕緣式半導體繼電器100具備RC振盪電路10、波形調整電路20、升壓電路50、充放電電路60、以及輸出電路70。RC振盪電路10產生彼此相位相反的第一及第二信號。波形調整電路20將第一及第二信號的上升時間及下降時間分別延長。設置於升壓電路50中且彼此並聯的第一及第二絕緣耐壓電容51、52中分別輸入波形調整電路20的輸出信號。升壓電路50接收波形調整電路20的輸出信號並產生規定電壓，基於規定電壓驅動輸出電路70。

【英文】

【代表圖】

【本案指定代表圖】：圖2

【本代表圖之符號簡單說明】：

- 10 RC振盪電路
- 11~14 第一~第四反相器
- 15 回授電阻
- 16 回授電容
- 20 波形調整電路
- 30 第一電路
- 31、32 CMOS反相器
- 31a、32a pMOSFET
- 31b、32b nMOSFET
- 33 第一電阻（電阻元件）
- 40 第二電路
- 41、42 CMOS反相器
- 41a、42a pMOSFET
- 41b、42b nMOSFET
- 43 第二電阻（電阻元件）
- 50 升壓電路
- 51 第一絕緣耐壓電容
- 52 第二絕緣耐壓電容
- 53~55 第一~第三二極體

- 60 充放電電路
- 61 空乏型MOSFET (D-MOSFET)
- 62 第三電阻
- 70 輸出電路
- 71 第一輸出用MOSFET
- 72 第二輸出用MOSFET
- 100 半導體繼電器
- T_{I1} 、 T_{I2} 輸入端子
- T_{O1} 、 T_{O2} 輸出端子

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體繼電器

【技術領域】

本公開關係一種半導體繼電器，特別關係電容絕緣式半導體繼電器。

【先前技術】

於習知技術中，已知各種於輸入與輸出之間保持絕緣的同時根據輸入信號將輸出信號輸出之半導體繼電器（例如請參照專利文獻1~3）。其中，使用絕緣電容的電容絕緣式半導體繼電器既小型且能於高溫下使用，因此被廣泛地使用（例如請參照專利文獻1）。

專利文獻1所公開之習知半導體繼電器具備：RC振盪電路、升壓電路、充放電電路、以及輸出電路。該RC振盪電路響應連接於輸入端子的輸入信號而振盪並產生信號，該升壓電路接收RC振盪電路產生的信號並產生電壓，該充放電電路以在升壓電路產生的電壓進行充放電，該輸出電路連接於充放電電路。

專利文獻1：日本公開專利公報特開2012-124807號公報

專利文獻2：日本公開專利公報特開昭64-41319號公報

專利文獻3：美國專利第4227098號專利說明書

【發明內容】

—發明欲解決之技術問題—

然而近年來，要求半導體繼電器的高速運作，為滿足該要求，需要增加流入半導體繼電器的輸入端子的輸入電流。因

此，有輸入信號輸入時與沒有輸入信號輸入時，輸入電流的變化量增大。

然而，當連接於輸入端子的電源的電流供給能力較低時，若輸入電流的變化量變大則輸入電壓不穩定，例如於專利文獻1公開的習知半導體繼電器中，存在RC振盪電路的運作變得不穩定之虞。

本公開正是鑑於前述問題而完成者，其目的為提供一種能高速運作之半導體繼電器，該半導體繼電器具備穩定運作之RC振盪電路。

—用於解決技術問題之技術手段—

為達成前述目的，本公開所關係之半導體繼電器為輸入及輸出之間透過電容而絕緣的電容絕緣式半導體繼電器，其具備RC振盪電路、波形調整電路、升壓電路、充放電電路、輸出電路、一對輸出端子，前述RC振盪電路連接於一對輸入端子，響應輸入信號而振盪，生成彼此相位相反的第一信號及第二信號，前述波形調整電路接收前述第一信號及前述第二信號，同時將前述第一信號及前述第二信號的上升時間及下降時間分別延長，前述升壓電路接收從前述波形調整電路輸出的信號並產生規定電壓，前述充放電電路連接於前述升壓電路，前述輸出電路連接於前述充放電電路，前述一對輸出端子連接於前述輸出電路；前述升壓電路為具有彼此並聯的第一絕緣耐壓電容及第二絕緣耐壓電容之電荷泵電路，前述RC振盪電路具有串聯的多級反相器，以及與該多級反相器並聯的回授電阻及回授電容，前述波形調整電路具有分別延長前述第一信號的上升時間及下降時間之第一電路，以及分別延長前述第二信號的上升時間及下降時間之第二電路，從前述第一電路輸出的信號輸入前

述第一絕緣耐壓電容，從前述第二電路輸出的信號輸入前述第二絕緣耐壓電容，基於在前述升壓電路產生的電壓來驅動前述輸出電路。

根據該構成方式能將流入輸入端子的輸入電流的變化量變小，RC振盪電路能穩定運作，進而達成半導體繼電器之高速運作。

—發明之效果—

根據本公開所關係之半導體繼電器，能達成RC振盪電路之穩定運作及半導體繼電器之高速運作。

【圖式簡單說明】

〔圖1〕為揭示第一實施方式所關係的半導體繼電器的概略構成之圖。

〔圖2〕為半導體繼電器之等效電路圖。

〔圖3〕為揭示MOS驅動晶片的電路方塊的概略構成之圖。

〔圖4〕為揭示半導體繼電器中各晶片的安裝狀態之圖。

〔圖5〕為圖4中V-V線的剖面示意圖。

〔圖6〕為將圖2中的一部分放大後之等效電路圖。

〔圖7〕為揭示波形調整電路的內部電位及輸入電流的時間變化之時序圖。

〔圖8〕為用於比較的半導體繼電器之等效電路圖。

〔圖9〕揭示圖8所示的RC振盪電路的輸出電位及輸入電流的時間變化之時序圖。

〔圖10〕為第二實施方式所關係的半導體繼電器之等效電路圖。

【實施方式】

以下參照圖式對本公開的實施方式做詳細的說明。以下較

佳實施方式僅為從本質上說明本發明之示例，並無限制本發明、本發明之適用對象或用途之意圖。

(第一實施方式)

[半導體繼電器的構成]

圖1揭示本實施方式所關係的半導體繼電器的概略構成，圖2揭示半導體繼電器的等效電路圖。圖3揭示MOS驅動晶片的電路方塊的概略構成，圖4揭示半導體繼電器中各晶片的安裝狀態，圖5揭示圖4中V-V線的剖面示意圖。需要說明的是，為了方便說明，於圖3~圖5中省略與接合線連接的焊墊電極的圖示。

如圖1、圖2所示，半導體繼電器100具備一對輸入端子 T_{11} 、 T_{12} 、一對輸出端子 T_{01} 、 T_{02} 、為複數電路方塊的RC振盪電路10、波形調整電路20、升壓電路50、充放電電路60、以及輸出電路70。如稍後敘述，透過於升壓電路50中配置第一絕緣耐壓電容51及第二絕緣耐壓電容52，將輸入與輸出之間絕緣。亦即，構成電容絕緣式半導體繼電器100。

如圖4所示，半導體繼電器100由MOS (Metal-Oxide-Semiconductor) 驅動晶片200 (以下也稱為半導體積體電路晶片200)，形成有圖1、圖2所示的第一輸出用MOS場效電晶體71 (以下稱為第一輸出用MOSFET71) 的第一輸出用晶片300，以及形成有圖1，圖2所示的第二輸出用MOS場效電晶體72 (以下稱為第二輸出用MOSFET72) 的第二輸出用晶片400所構成。如圖3所示，RC振盪電路10、波形調整電路20、升壓電路50、以及充放電電路60被積體於一個具有元件隔離區域201的MOS驅動晶片200。各電路方塊被元件隔離區域201絕緣與隔離，電路方塊透過未圖示的佈線層或擴散區域電氣連

接。作為元件隔離區域201，能適當選擇：形成溝槽並將溝槽內壁氧化，或透過氧摻雜等於溝槽內壁形成氧化膜等。

如圖4、圖5所示，MOS驅動晶片200、第一輸出用晶片300、以及第二輸出用晶片400被安裝於彼此分離的導線架600、601、以及602上，並由絕緣性樹脂700封裝。需要說明的是，MOS驅動晶片200與第一輸出用晶片300，MOS驅動晶片200與第二輸出用晶片400分別透過接合線500電氣連接。如此，半導體繼電器100構成為具有四個端子的半導體封裝體800，前述四個端子為一對輸入端子 T_{I1} 、 T_{I2} 及一對輸出端子 T_{O1} 、 T_{O2} 。

如圖3、圖4所示，RC振盪電路10、波形調整電路20、以及充放電電路60的配置位置，比設置有第一絕緣耐壓電容51及第二絕緣耐壓電容52的升壓電路50，離構成輸出電路70的第一輸出用晶片300及第二輸出用晶片400更遠。

接著，說明半導體繼電器100的各電路方塊的構成。

如圖2所示，RC振盪電路10具有串聯的第一～第四反相器11～14、回授電阻15、以及回授電容16。回授電阻15及回授電容16與第三反相器13並聯。具體而言，回授電容16連接在第一反相器11的輸入節點與第三反相器13的輸入節點之間，回授電阻15連接在第一反相器11的輸入節點與第三反相器13的輸出節點之間。需要說明的是，第一～第四反相器11～14分別構成為CMOS（Complementary Metal-Oxide-Semiconductor）反相器。

如此，從第三反相器13輸出脈衝信號，該脈衝信號具有對應回授電阻15的電阻值與回授電容16的電容值之乘積的振盪頻率；如稍後敘述，從第四反相器14輸出相位與第三反相器13的輸出信號相反的脈衝信號。

第一～第四反相器11～14分別與輸入端子 T_{I1} 、 T_{I2} 相連接，

透過從輸入端子 T_{I1} 、 T_{I2} 輸入的輸入信號供給驅動各反相器 11 ~ 14 所需的電力。無需分別向反相器 11 ~ 14 輸入信號，而輸入端子 T_{I1} 、 T_{I2} 能以簡單的兩端子構成。

如圖 2 所示，從第三反相器 13 的輸出節點分出兩條信號線，一條直接與波形調整電路 20 的第一電路 30 相連接，另一條經由第四反相器 14 與波形調整電路 20 的第二電路 40 相連接。需要說明的是，於下述說明中，有時稱從第三反相器 13 輸入第一電路 30 的信號為第一信號，稱從第四反相器 14 輸入第二電路 40 的信號為第二信號。第一信號及第二信號為具有相同的振盪頻率但彼此相位相反的脈衝信號，這些信號為 RC 振盪電路 10 的輸出信號。第一信號的振幅的絕對值及第二信號的振幅的絕對值大致相等。需要說明的是，本實施方式中的振盪頻率為約數 MHz，但不特別限定於此，根據半導體繼電器 100 所需要具有的性能及構成第一 ~ 第四反相器 11 ~ 14 的電晶體的性能，能適當地改變該振盪頻率。

於本申請說明書中，「大致相同」或「大致相等」等用語為包含於半導體繼電器 100 中傳輸的各個信號的傳輸誤差等而相同或相等之含意，並不嚴格表示成為比較對象的複數信號間振幅、相位、及頻率完全相同或相等。包含構成半導體繼電器 100 的各元件的加工公差及組裝公差而相同或相等之含意，並不嚴格表示成為比較對象的複數元件完全相同或相等。

波形調整電路 20 具有第一電路 30 及第二電路 40，該第一電路 30 為了將第一信號的上升時間及下降時間分別延長而運作，該第二電路 40 為了將第二信號的上升時間及下降時間分別延長而運作。

第一電路 30 為由串聯的兩級 CMOS 反相器 31，32 及第一電

阻（電阻元件）33所構成。

於第一級CMOS反相器31中，p通道MOS場效電晶體（以下稱為pMOSFET）31a的汲極與n通道MOS場效電晶體（以下稱為nMOSFET）31b的汲極透過第一電阻33以電氣連接。於第二級，於此情形為末級CMOS反相器32中，pMOSFET32a的閘極與第一電阻33的一端電氣連接，nMOSFET32b的閘極與第一電阻33的另一端電氣連接。

第二電路40亦同第一電路30，由串聯的兩級CMOS反相器41、42及第二電阻（電阻元件）43所構成。各部分的連接關係亦同第一電路30。稍後詳細說明波形調整電路20的運作。

需要說明的是，第一電路30及第二電路40中的各CMOS反相器31、32、41、42亦分別與輸入端子 T_{I1} 、 T_{I2} 相連接，透過從輸入端子 T_{I1} 、 T_{I2} 輸入的輸入信號供給驅動各CMOS反相器31、32、41、42所需的電力。

構成第一電路30及第二電路40中各CMOS反相器31、32、41、42的各pMOSFET31a、32a、41a、42a構成為：pMOSFET32a、42a的輸出特性與pMOSFET31a、41a的輸出特性相同，或高於pMOSFET31a、41a的輸出特性。例如，於各pMOSFET31a、32a、41a、42a中，pMOSFET32a、42a形成為尺寸大於pMOSFET31a、41a。構成第一電路30中及第二電路40中各CMOS反相器31、32、41、42的各nMOSFET31b、32b、41b、42b亦同，構成為nMOSFET32b、42b的輸出特性與nMOSFET31b、41b的輸出特性相同，或高於nMOSFET31b、41b的輸出特性。例如，於各nMOSFET31b、32b、41b、42b中，nMOSFET32b、42b形成為尺寸大於nMOSFET31b、41b。需要說明的是，構成CMOS反相器31、41的pMOSFET31a、41a及nMOSFET31b、41b可分別形

成為與構成第一～第四反相器11～14的pMOSFET及nMOSFET相同的尺寸。第一電阻33及第二電阻43形成為各自的電阻值大致相等。第一電阻33及第二電阻43的電阻值較回授電阻15的電阻值小約一位數。

升壓電路50為由第一絕緣耐壓電容51、第二絕緣耐壓電容52以及第一～第三二極體53～55所構成的倍壓電路（迪克森型電荷泵電路）。

第一絕緣耐壓電容51及第一二極體53串聯，第二絕緣耐壓電容52及第二二極體54串聯。第三二極體55與第一二極體53及第二二極體54並聯。具體而言，第三二極體55的陰極與第一二極體53的陽極相連接，第三二極體55的陽極與第二二極體54的陰極相連接。

從RC振盪電路10輸出並通過了波形調整電路20的第一信號及第二信號分別輸入第一絕緣耐壓電容51及第二絕緣耐壓電容52。從第一電路30輸出的信號藉由通過第一絕緣耐壓電容51，其直流分量被阻斷，僅其交流分量輸入第一二極體53。同樣地，從第二電路40輸出的信號藉由通過第二絕緣耐壓電容52，其直流分量被阻斷，僅其交流分量輸入第二二極體54。藉此，能將半導體繼電器100的輸入與輸出之間絕緣。

需要說明的是，第一絕緣耐壓電容51及第二絕緣耐壓電容52為例如透過與回授電容16相同的製造工藝形成，但使氧化矽膜等的電容絕緣膜比回授電容16厚，其結果為與回授電容16相比，使絕緣耐壓提升了一位數以上。於本申請說明書中，雖然第一絕緣耐壓電容51及第二絕緣耐壓電容52的絕緣耐壓分別被設計為數十V至數kV，但不特別限定於此，能根據半導體繼電器100的輸入及輸出特性規格進行適當變更。於此情況，當

形成第一絕緣耐壓電容51及第二絕緣耐壓電容52時，調整電容絕緣膜的厚度。

充放電電路60由空乏型MOSFET61（以下稱為D-MOSFET61）及第三電阻62所構成，其對後述輸出電路70的第一輸出用MOSFET71及第二輸出用MOSFET72的閘極分別進行充放電。D-MOSFET61的源極與汲極分別連接於升壓電路50的輸出節點上，第三電阻62連接於D-MOSFET61的閘極與源極之間。

輸出電路70由源極彼此逆串聯的第一輸出用MOSFET71及第二輸出用MOSFET72所構成，第一輸出用MOSFET71的汲極連接於輸出端子 T_{O1} ，第二輸出用MOSFET72的汲極連接於輸出端子 T_{O2} 。

信號從升壓電路50輸入第一輸出用MOSFET71及第二輸出用MOSFET72的閘極。具體而言，僅於第一二極體53接收已通過第一絕緣耐壓電容51的信號而被順向偏壓時，具有輸入第二絕緣耐壓電容52的電壓的兩倍電壓之信號才經由充放電電路60輸入第一輸出用MOSFET71的閘極及第二輸出用MOSFET72的閘極。接著，電荷充到第一輸出用MOSFET71及第二輸出用MOSFET72各自的閘極與源極之間，汲極與源極之間從高阻抗狀態變化為低阻抗狀態。

接下來，說明半導體繼電器100的運作情況。

當輸入信號輸入輸入端子 T_{11} 、 T_{12} 時，RC振盪電路10產生第一信號及第二信號，該第一信號及第二信號為具有規定振盪頻率但彼此相位相反的脈衝信號。

將第一信號輸入波形調整電路20的第一電路30，並為了將第一信號上升時間及下降時間分別延長而對第一信號進行了

調整後，再將第一信號輸入升壓電路50的第一絕緣耐壓電容51。

將第二信號輸入波形調整電路20的第二電路40，並為了將第二信號上升時間及下降時間分別延長而對第二信號進行了調整後，再將第二信號輸入升壓電路50的第二絕緣耐壓電容52。

於升壓電路50中，已通過第一絕緣耐壓電容51及第一二極體53的信號與已通過第二絕緣耐壓電容52及第二二極體54的信號相加，產生電壓成為兩倍的信號。該信號經由充放電電路60輸入第一輸出用MOSFET71的閘極與第二輸出用MOSFET72的閘極。

充放電電路60的D-MOSFET61接收於升壓電路50產生的信號，其汲極變為高電位。因此，D-MOSFET61暫時導通而電流流動，但當該電流流到第三電阻62時，於第三電阻62的兩端產生電位差，因該電位差使D-MOSFET61截止。

當分別施加於第一輸出用MOSFET71及第二輸出用MOSFET72閘極的信號的電壓高於各輸出用MOSFET71、72的臨限電壓時，各輸出用MOSFET71、72導通，而汲極與源極之間成為導通狀態。其結果為，輸出端子 T_{O1} 、 T_{O2} 之間導通，而半導體繼電器100關閉（成為ON狀態）。

另一方面，當輸入信號不再輸入輸入端子 T_{I1} 、 T_{I2} 時，RC振盪電路10不運作，沒有信號從升壓電路50輸入充放電電路60。因此，電流亦不再流入第三電阻62，兩端的電位差變為規定值以下。因此，D-MOSFET61成為導通狀態，已充電給第一輸出用MOSFET71及第二輸出用MOSFET72各自的閘極的電荷被提取而放電。其結果，第一輸出用MOSFET71及第二輸出用

MOSFET72各自的閘極與源極之間因D-MOSFET61而短路。

因此，第一輸出用MOSFET71及第二輸出用MOSFET72各自汲極與源極之間成為非導通狀態，輸出端子 T_{O1} 、 T_{O2} 之間被阻斷，而半導體繼電器100開放（成為OFF狀態）。

〔波形調整電路的內部電位及輸入電流的時間變化〕

圖6揭示將圖2中的一部分放大後的等效電路圖，圖7揭示波形調整電路的內部電位及輸入電流的時間變化。圖8揭示用於比較的半導體繼電器的等效電路圖，圖9揭示圖8所示的RC振盪電路的輸出電位及輸入電流的時間變化。需要說明的是，圖6放大圖示波形調整電路20及第四反相器14。

圖8所示的半導體繼電器110為省略了圖2所示的半導體繼電器100中的波形調整電路20後的半導體繼電器，該半導體繼電器110具有與專利文獻1所示習知的電容絕緣式半導體繼電器相同的構成。

當驅動如此半導體繼電器110時，如圖9所示，從RC振盪電路10輸出的第一信號及第二信號分別急劇上升然後下降。輸入電流僅於第一信號及第二信號的上升期間及下降期間流入輸入端子 T_{I1} 、 T_{I2} ，其波形為半幅值較窄且峰值較高的脈衝波形。亦即，由於輸入電流的變化量變大，因此若連接於輸入端子 T_{I1} 、 T_{I2} 的電源的電流供給能力較低，則有可能發生上述問題。

另一方面，如圖7所示，於本實施方式所關係之半導體繼電器100中，輸入電流的半幅值 T_1 較圖9所示的半幅值 T_2 寬，且峰值 I_{P1} 低於圖9所示的峰值 I_{P2} 。因此，即使於連接於輸入端子 T_{I1} 、 T_{I2} 的電源的電流供給能力較低的情況，RC振盪電路10也能穩定運作，而半導體繼電器100的開關運作能穩定地進行。對此做進一步說明。

如上所述，從RC振盪電路10的第三反相器13輸出第一信號。因此，於圖6所示的第一電路30的節點a的電位的時間變化與第一信號的振幅的時間變化相等。由於從RC振盪電路10的第四反相器14輸出第二信號，因此圖6所示的第二電路40的節點e的電位的時間變化與第二信號的振幅的時間變化相同。

如圖6中第一電路30內部節點的電位變化所示，當節點a的電位從Low電位（以下也稱為L電位）變為High電位（以下也稱為H電位）時，第一級CMOS反相器31被驅動，nMOSFET31b的源極與汲極之間成為導通狀態，儲存於pMOSFET32a及nMOSFET32b各自的閘極的電荷分別經由nMOSFET31b放電。

此時，相當於pMOSFET31a汲極的節點b及相當於nMOSFET31b汲極的節點c從H電位轉變成L電位，但由於電流流入與pMOSFET31a的汲極以及nMOSFET31b的汲極電氣連接的第一電阻33，因此於節點b，電位的下降較節點c緩慢。由於節點b的電位的下降變慢，末級的pMOSFET32導通為止的時間變長。因此，末級的CMOS反相器32的輸出節點即節點d之電位的上升也較節點a及節點c慢。

當節點a的電位從H電位變為L電位時，第一級CMOS反相器31被驅動，pMOSFET31a的源極與汲極之間成為導通狀態，pMOSFET32a及nMOSFET32b各自的閘極經由pMOSFET31a充電。

此時，因受第一電阻33的影響，於節點c，電位的上升較節點b緩慢。由於節點c的電位的上升變慢，末級的nMOSFET32導通為止的時間變長。因此，為末級的CMOS反相器32的輸出節點的節點d之電位的下降也較節點a及節點c緩慢。

如上所述，與對應初始的第一信號的振幅之節點a的電位相

比，節點d的對應已通過第一電路30的第一信號的振幅之電位的上升時間及下降時間分別變長。

如上所述，由於第二電路40與第一電路30的構成相同，如同上述說明，與對應初始的第二信號的振幅之節點e的電位相比，節點h的對應已通過第二電路40的第二信號的振幅之電位的上升時間及下降時間分別變長。然而，節點d的電位及節點e的電位於時間軸上彼此相位相反。

如上所述，由於僅於第一信號及第二信號的上升期間及下降期間有輸入電流動流，因此圖7所示的輸入電流的半幅值T1較圖9所示的半幅值T2更寬。

另一方面，從輸入端子 T_{I1} 、 T_{I2} 供給RC振盪電路10的電荷量相當於輸入電流的時間積分，但圖2所示的半導體繼電器100的該值及圖8所示的半導體繼電器110的該值相同。因此，圖7所示的輸入電流的峰值 I_{P1} 較圖9所示的峰值 I_{P2} 低。

需要說明的是，如圖9所示，於習知構成的半導體繼電器110中，輸入電流的半幅值T2約為數奈秒，相對於此如圖7所示，於本實施方式的半導體繼電器100中，輸入電流的半幅值T1約為數十奈秒。於本實施方式的半導體繼電器100中，輸入電流的峰值 I_{P1} 約變為圖9所示的峰值 I_{P2} 的數分之一。然而，能根據振盪頻率、構成RC振盪電路10中各反相器11~14的pMOSFET、nMOSFET的尺寸、以及第一電阻33及第二電阻43的電阻值等適當地變更這些值。

〔效果等〕

如上述之說明，本公開所關係之半導體繼電器100為一種透過輸入與輸出之間由電容絕緣的電容絕緣式半導體繼電器，其具備RC振盪電路10及波形調整電路20；該振盪電路10

連接於一對輸入端子 T_{I1} 、 T_{I2} ，響應輸入信號而振盪，並產生彼此相位相反的第一信號及第二信號；該波形調整電路20接收第一信號及第二信號，同時將第一信號及第二信號的上升時間及下降時間分別延長。

半導體繼電器100還具備：升壓電路50，其接收從波形調整電路20輸出的信號並產生規定的電壓；連接於升壓電路50的充放電電路60；連接於充放電電路60的輸出電路70；以及連接於輸出電路70的一對輸出端子 T_{O1} 、 T_{O2} 。

升壓電路50為具有彼此並聯的第一絕緣耐壓電容51及第二絕緣耐壓電容52的電荷泵電路，RC振盪電路10具有串聯的第一～第四反相器11～14、以及與第一～第四反相器11～14並聯的回授電阻15及回授電容16。

波形調整電路20具有第一電路30及第二電路40，該第一電路30將第一信號的上升時間及下降時間分別延長，該第二電路40將第二信號的上升時間及下降時間分別延長。

從第一電路30輸出的信號輸入第一絕緣耐壓電容51，從第二電路40輸出的信號輸入第二絕緣耐壓電容52，基於升壓電路50中產生的電壓驅動輸出電路70。

透過如此構成半導體繼電器100，即使於連接於輸入端子 T_{I1} 、 T_{I2} 的電源的電流供給能力較低的情況，也能使流入輸入端子 T_{I1} 、 T_{I2} 的輸入電流的變化量變小。藉此，RC振盪電路10能穩定運作，半導體繼電器100的開關運作亦能高速地進行。

將經由波形調整電路20輸入升壓電路50的第一信號及第二信號，分別輸入第一絕緣耐壓電容51及第二絕緣耐壓電容52，並傳送到下一級的充放電電路60，藉此能良好地維持半導體繼電器100中輸入與輸出之間的絕緣。

需要說明的是，雖然透過將第一絕緣耐壓電容51及第二絕緣耐壓電容52的電容值增大，於升壓時能供給輸出電路70側的電流也會增大，但各電容51、52的面積也會因此而隨之變大，對於半導體繼電器100的小型化不利。第一絕緣耐壓電容51及第二絕緣耐壓電容52的電容值雖然也取決於第一輸出用MOSFET71及第二輸出用MOSFET72的尺寸，但較佳為第一絕緣耐壓電容51及第二絕緣耐壓電容52的電容值約為數pF至數百pF。

由於本實施方式所關係之半導體繼電器100並非如專利文獻1、2所公開的，所謂光電耦合型的繼電器，因此與該類型繼電器相比輸入電流減少到十分之一以下，於長期使用上無特性變動，可靠性提升。

由於不使用LED，因此本實施方式所關係之半導體繼電器100於高溫下的可使用範圍，基本上對應MOS驅動晶片200中的各電路方塊10、20、50、60的可使用範圍。具體而言，上述半導體繼電器100能於125°C以上的高溫下運作。

輸出電路70由源極彼此逆串聯的第一輸出用MOSFET71及第二輸出用MOSFET72所構成，充放電電路60由D-MOSFET(空乏型MOSFET)61、連接D-MOSFET61的閘極及源極的第三電阻62所構成。

充放電電路60透過以於升壓電路50產生的電壓對第一輸出用MOSFET71及第二輸出用MOSFET72的閘極分別充電，使第一輸出用MOSFET71及第二輸出用MOSFET72成為導通狀態，藉此讓一對輸出端子 T_{O1} 、 T_{O2} 之間導通。另一方面，當沒有供給輸入信號時，充放電電路60透過從第一輸出用MOSFET71及第二輸出用MOSFET72的閘極將電荷分別放掉而

放電，使第一輸出用MOSFET71及第二輸出用MOSFET72成為非導通狀態，藉此讓一對輸出端子 T_{O1} 、 T_{O2} 之間成為開放狀態。

透過如此構成充放電電路60及輸出電路70，能高速地開關半導體繼電器100。

再加上於本實施方式所關係之半導體繼電器100中，配置於輸入端子 T_{I1} 、 T_{I2} 及輸出端子 T_{O1} 、 T_{O2} 之間各電路方塊10、20、50、60、70間的電力傳輸效率高，因此能高速地開關半導體繼電器100。

第一電路30由串聯的兩級的CMOS反相器31、32所構成，於第一級的CMOS反相器31中，pMOSFET31a的汲極與nMOSFET31b的汲極經由第一電阻（電阻元件）33電氣連接。於末級的CMOS反相器32中，pMOSFET32a的閘極電氣連接於第一電阻33的一端，nMOSFET32b的閘極電氣連接於第一電阻33的另一端。

第二電路40由串聯的二級的CMOS反相器41、42所構成，於第一級的CMOS反相器41中，pMOSFET41a的汲極與nMOSFET41b的汲極經由第二電阻（電阻元件）43電氣連接。於末級的CMOS反相器42中，pMOSFET42a的閘極電氣連接於第二電阻43的一端，nMOSFET42b的閘極電氣連接於第二電阻43的另一端。

如上所述，透過使波形調整電路20中的第一電路30及第二電路40的構成簡單，能容易將第一信號及第二信號的上升時間及下降時間分別延長。亦能抑制電路的設計成本上升。

需要說明的是，於第一信號及第二信號分別未達到H電位之情況，有時無法充分地取得後級的信號振幅，有可能無法很好地進行半導體繼電器100的開關運作。因此，需要將第一電

阻33及第二電阻43的電阻值設為規定值以下。

RC振盪電路10構成為能透過輸入一對輸入端子 T_{I1} 、 T_{I2} 的輸入信號來驅動多級反相器。

如此，能減少用以驅動RC振盪電路10的端子數，從而能實現半導體繼電器100的小型化。

較佳為，RC振盪電路10、波形調整電路20、以及充放電電路60配置得比第一絕緣耐壓電容51及第二絕緣耐壓電容52離輸出電路70更遠。

如此，能抑制RC振盪電路10、波形調整電路20、充放電電路60包含的回授電阻15及第一～第三電阻33、43、62的各電阻值受輸出電路70產生的熱的影響發生變化。亦能抑制各電路方塊10、20、60包含的pMOSFET、nMOSFET、D-MOSFET61的各輸入及輸出特性受輸出電路70產生的熱的影響而發生變化。藉此，能讓半導體繼電器100以所設計的時序運作。需要說明的是，由於第一絕緣耐壓電容51及第二絕緣耐壓電容52與電阻及各MOSFET相比，較不易受溫度變化的影響，因此可將第一絕緣耐壓電容51及第二絕緣耐壓電容52配置於輸出電路70附近。

較佳為，RC振盪電路10、波形調整電路20、升壓電路50、以及充放電電路60積體於一個具有元件隔離區域201的MOS驅動晶片（半導體積體電路晶片）200。

如此，能將半導體繼電器100小型化，並且因為能減短各電路方塊10、20、50、60間的信號傳輸時間，而能使半導體繼電器100的開關運作高速化。

（第二實施方式）

圖10揭示本實施方式所關係之半導體繼電器的等效電路圖。需要說明的是，於圖10中，與第一實施方式相同的部分將

賦予相同的符號並省略詳細說明。

圖10所示本實施方式的構成於下示方面與圖2所示的第一實施方式的構成相異。亦即，於第一電路30中，第一電容34與末級的CMOS反相器32的pMOSFET32a的閘極並聯，並且第二電容35與並聯nMOSFET32b的閘極並聯。於第二電路40中，第一電容44與末級的CMOS反相器42的pMOSFET42a的閘極並聯，第二電容45與nMOSFET42b的閘極並聯。

根據本實施方式，第一電阻33與第一電容34、以及第一電阻33與第二電容35分別構成RC電路。並且，第二電阻43與第一電容44、以及第二電阻43與第二電容45分別構成RC電路。這些電路的時間常數與第一實施方式所示之電路的時間常數相比較大，該第一實施方式所示之電路僅由第一電阻、第二電阻所構成。因此，能夠使通過波形調整電路20的第一信號及第二信號的上升時間及下降時間分別比第一實施方式所示的構成更長。

因此，即使於連接於輸入端子 T_{11} 、 T_{12} 的電源的電流供給能力較低的情況，也能夠獲得與第一實施方式所示相同的效果。

需要說明的是，第一電容34、44、第二電容35、45的電容值大致相等。第一電容34、44、第二電容35、45的電容值較回授電容16的電容值小約一位數。

（其他實施方式）

RC振盪電路10包含的反相器的級數不限於四級，可為三級，亦可為四級以上。能根據振盪頻率等進行適當變更。只要能從末級的前一級以及末級分別輸出第一信號及第二信號即可。

第一電路30及第二電路40包含的CMOS反相器的級數也不

限於兩級，可為兩級以上。

只要CMOS反相器的級數為兩級，則能達成將信號的上升時間及下降時間分別延長之目的。亦能縮小第一電路30及第二電路40的面積。

升壓電路50並無特別限定於圖2所示的構成。升壓電路50只要能經由第一絕緣耐壓電容51及第二絕緣耐壓電容52供給驅動輸出電路70所需要的電力即可。只要能達成該目的，升壓電路50可為等倍壓電路或N（N為3以上之整數）倍壓電路等。

充放電電路60可為僅由第三電阻62所構成。即使如此，亦能對第一輸出用MOSFET71及第二輸出用MOSFET72各自的閘極進行充放電。需要說明的是，如第一實施方式及第二實施方式所示，透過以D-MOSFET61及第三電阻62構成充放電電路60，能縮短放電時間，而高速放電。藉此，能高速地進行半導體繼電器100的開關運作。

於第一實施方式中揭示之構成為第一及第二輸出用晶片300、400與MOS驅動晶片200分開設置，於封裝體內透過接合線500將兩者加以連接，但也可將第一及第二輸出用晶片300、400積體於MOS驅動晶片200。

如此，能更進一步地實現半導體繼電器100小型化。需要說明的是，若目的為減小輸出電路70的發熱之影響，如第一實施方式所示，較佳之構成為將除了輸出電路70以外之部分單一晶片化，將第一及第二輸出用MOSFET71、72分別以單獨的不同的晶片（第一輸出用晶片300及第二輸出用晶片400）構成，並以樹脂一體封裝。如此能實現小型且可靠性高的半導體繼電器100。

— 產業可利用性 —

本公開的半導體繼電器能抑制輸入電流的變化量，使RC振盪電路穩定運作，因此有用於實現半導體繼電器的高速運作。

【符號說明】

- 10 RC振盪電路
- 11~14 第一~第四反相器
- 15 回授電阻
- 16 回授電容
- 20 波形調整電路
- 30 第一電路
- 31、32 CMOS反相器
- 31a、32a pMOSFET
- 31b、32b nMOSFET
- 33 第一電阻（電阻元件）
- 34 第一電容
- 35 第二電容
- 40 第二電路
- 41、42 CMOS反相器
- 41a、42a pMOSFET
- 41b、42b nMOSFET
- 43 第二電阻（電阻元件）
- 44 第一電容
- 45 第二電容
- 50 升壓電路
- 51 第一絕緣耐壓電容
- 52 第二絕緣耐壓電容
- 53~55 第一~第三二極體

- 60 充放電電路
- 61 空乏型MOSFET (D-MOSFET)
- 62 第三電阻
- 70 輸出電路
- 71 第一輸出用MOSFET
- 72 第二輸出用MOSFET
- 100、110 半導體繼電器
- 200 MOS驅動晶片 (半導體積體電路晶片)
- 201 元件隔離區域
- 300 第一輸出用晶片
- 400 第二輸出用晶片
- 500 接合線
- 600~602 導線架
- 700 絕緣性樹脂
- 800 半導體封裝體
- T_{I1} 、 T_{I2} 輸入端子
- T_{O1} 、 T_{O2} 輸出端子

申請專利範圍

【請求項1】一種半導體繼電器，其為輸入及輸出之間透過電容而絕緣的電容絕緣式半導體繼電器，其具備RC振盪電路、波形調整電路、升壓電路、充放電電路、輸出電路、一對輸出端子，

前述RC振盪電路連接於一對輸入端子，響應輸入信號而振盪，產生彼此相位相反的第一信號及第二信號，

前述波形調整電路接收前述第一信號及前述第二信號，同時將前述第一信號及前述第二信號的上升時間及下降時間分別延長，

前述升壓電路接收從前述波形調整電路輸出的信號並產生規定電壓，

前述充放電電路連接於前述升壓電路，

該輸出電路連接於前述充放電電路，

前述一對輸出端子連接於前述輸出電路；

前述升壓電路為具有彼此並聯的第一絕緣耐壓電容及第二絕緣耐壓電容之電荷泵電路，

前述RC振盪電路具有串聯的多級反相器、以及與前述多級反相器並聯的回授電阻及回授電容，

前述波形調整電路具有將分別延長前述第一信號的上升時間及下降時間分別延長之第一電路、以及將前述第二信號的上升時間及下降時間分別延長之第二電路，

從前述第一電路輸出的信號輸入前述第一絕緣耐壓電容，從前述第二電路輸出的信號輸入前述第二絕緣耐壓電容，

基於前述升壓電路產生的電壓來驅動前述輸出電路。

【請求項2】如請求項1所記載之半導體繼電器，其中：

前述輸出電路由源極彼此逆串聯的第一輸出用MOSFET及第二輸出用MOSFET所構成，

前述充放電電路由空乏型MOSFET及連接該空乏型MOSFET的閘極及源極的第三電阻所構成，透過以於前述升壓電路產生的電壓對前述第一輸出用MOSFET及前述第二輸出用MOSFET的閘極分別進行充電，使前述第一輸出用MOSFET及前述第二輸出用MOSFET成為導通狀態，藉此讓前述一對輸出端子之間導通；當沒有供給前述輸入信號時，前述充放電電路透過從前述第一輸出用MOSFET及前述第二輸出用MOSFET的閘極分別將電荷放掉而放電，使前述第一輸出用MOSFET及前述第二輸出用MOSFET成為非導通狀態，藉此讓前述一對輸出端子之間成為開放狀態。

【請求項3】如請求項1所記載之半導體繼電器，其中：

前述第一電路及前述第二電路分別由串聯的多級CMOS反相器所構成，

於前述多級CMOS反相器中之位於末級的前一級之CMOS反相器中，p通道MOSFET的汲極與n通道MOSFET的汲極透過電阻元件以電氣連接，

於位於末級之CMOS反相器中，p通道MOSFET的閘極以電氣連接於前述電阻元件的一端，n通道MOSFET的閘極以電氣連接於前述電阻元件的另一端。

【請求項4】如請求項2所記載之半導體繼電器，其中：

前述第一電路及前述第二電路分別由串聯的多級CMOS反相器所構成，

於前述多級 CMOS 反相器之位於末級的前一級之 CMOS 反相器中，p 通道 MOSFET 的汲極與 n 通道 MOSFET 的汲極透過電阻元件以電氣連接，

於位於末級之 CMOS 反相器中，p 通道 MOSFET 的閘極電氣連接於前述電阻元件的一端，n 通道 MOSFET 的閘極電氣連接於前述電阻元件的另一端。

【請求項 5】如請求項 3 所記載之半導體繼電器，其中：

於位於末級之 CMOS 反相器中，第一電容與 p 通道 MOSFET 的閘極並聯，第二電容與 n 通道 MOSFET 的閘極並聯。

【請求項 6】如請求項 4 所記載之半導體繼電器，其中：

於位於末級之 CMOS 反相器中，第一電容與 p 通道 MOSFET 的閘極並聯，第二電容與 n 通道 MOSFET 的閘極並聯。

【請求項 7】如請求項 1 至 6 中任一項所記載之半導體繼電器，其中：

前述 RC 振盪電路及前述波形調整電路構成為能透過輸入前述一對輸入端子的前述輸入信號來驅動前述多級反相器。

【請求項 8】如請求項 1 至 6 中任一項所記載之半導體繼電器，其中：

前述 RC 振盪電路、前述波形調整電路、以及前述充放電電路為配置得比前述第一絕緣耐壓電容及前述第二絕緣耐壓電容離前述輸出電路更遠，

前述 RC 振盪電路、前述波形調整電路、前述升壓電路、以及前述充放電電路積體於具有元件隔離區域的半導體積體電路晶片。

【請求項 9】如請求項 8 所記載之半導體繼電器，其中：

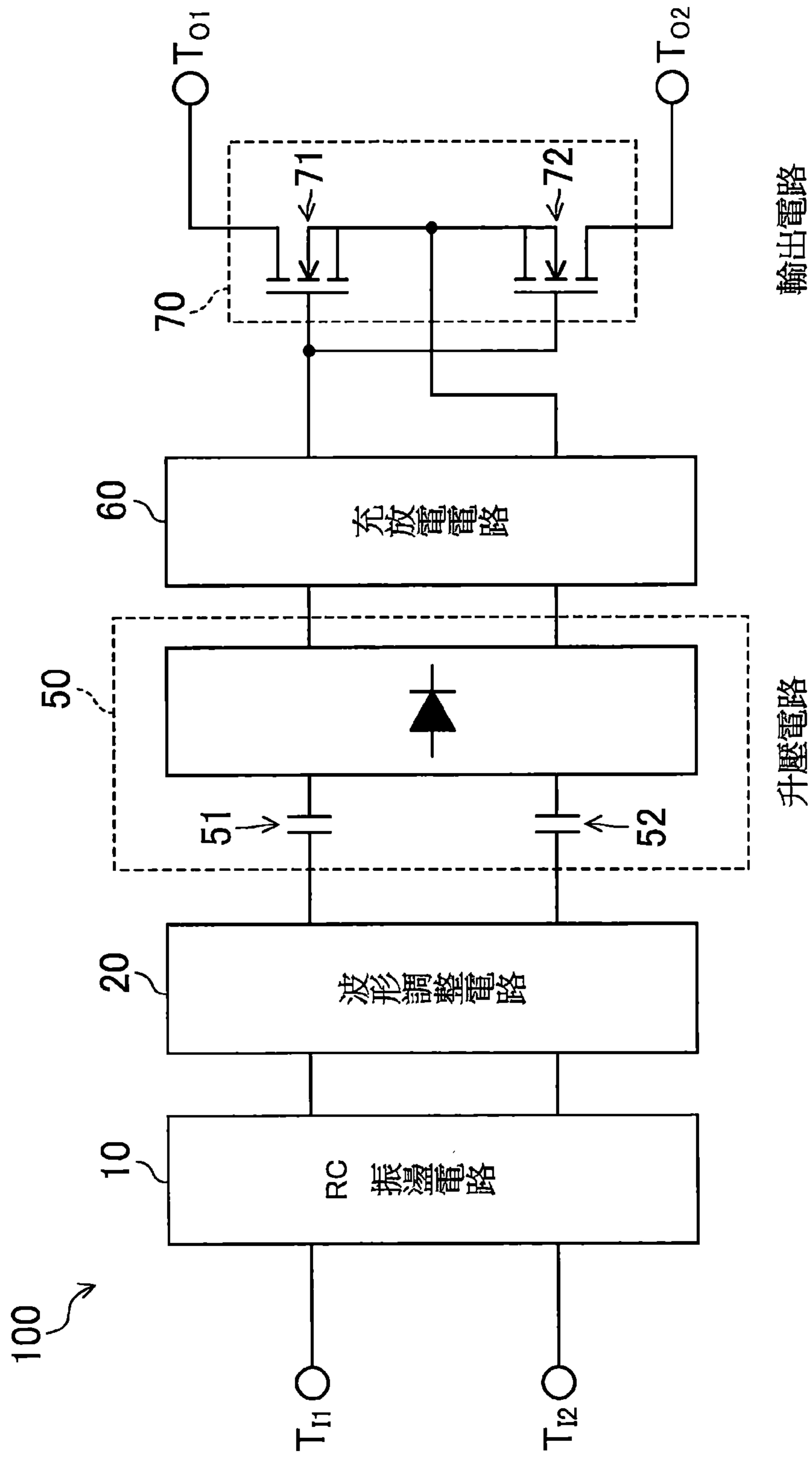
前述輸出電路積體於前述半導體積體電路晶片。

【請求項10】如請求項7所記載之半導體繼電器，其中：
前述RC振盪電路、前述波形調整電路、以及前述充放電電路為配置得比前述第一絕緣耐壓電容及前述第二絕緣耐壓電容離前述輸出電路更遠，

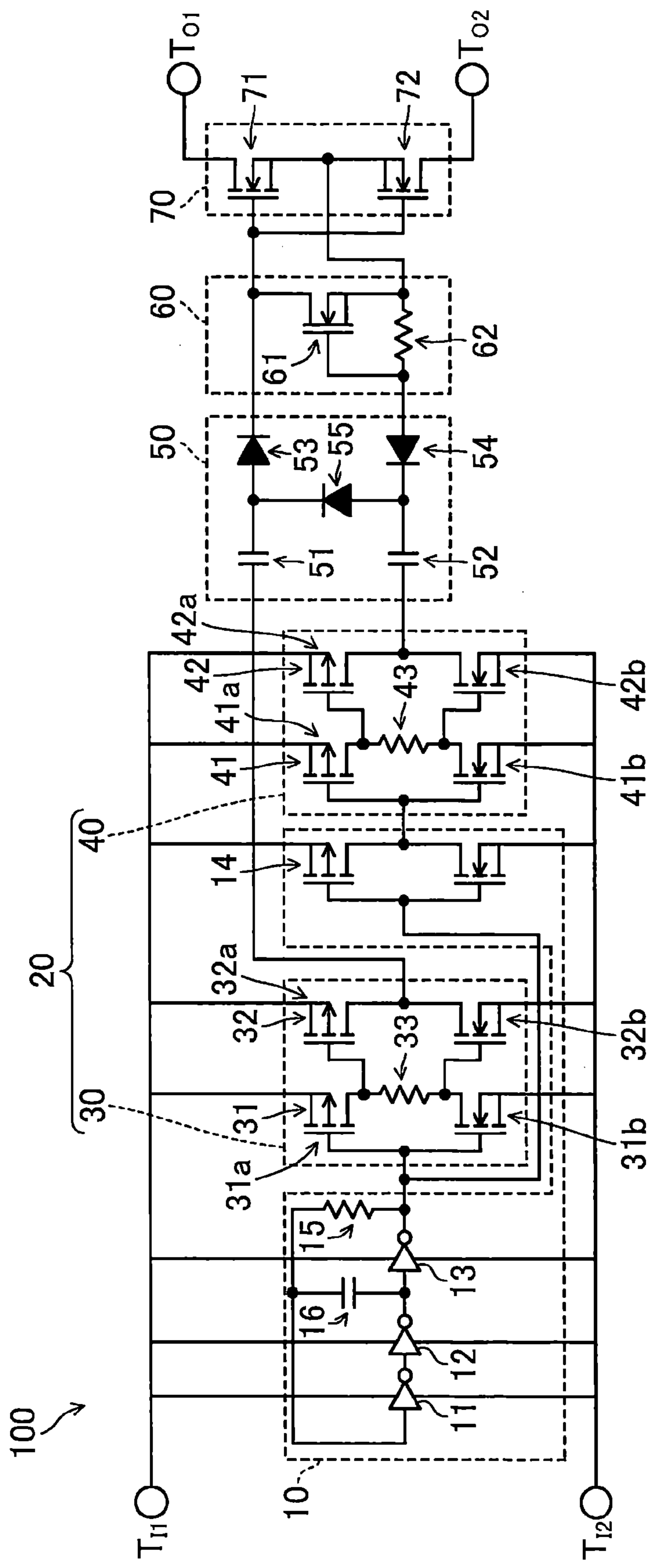
前述RC振盪電路、前述波形調整電路、前述升壓電路、以及前述充放電電路積體於具有元件隔離區域的半導體積體電路晶片。

【請求項11】如請求項10所記載之半導體繼電器，其中：
前述輸出電路積體於前述半導體積體電路晶片。

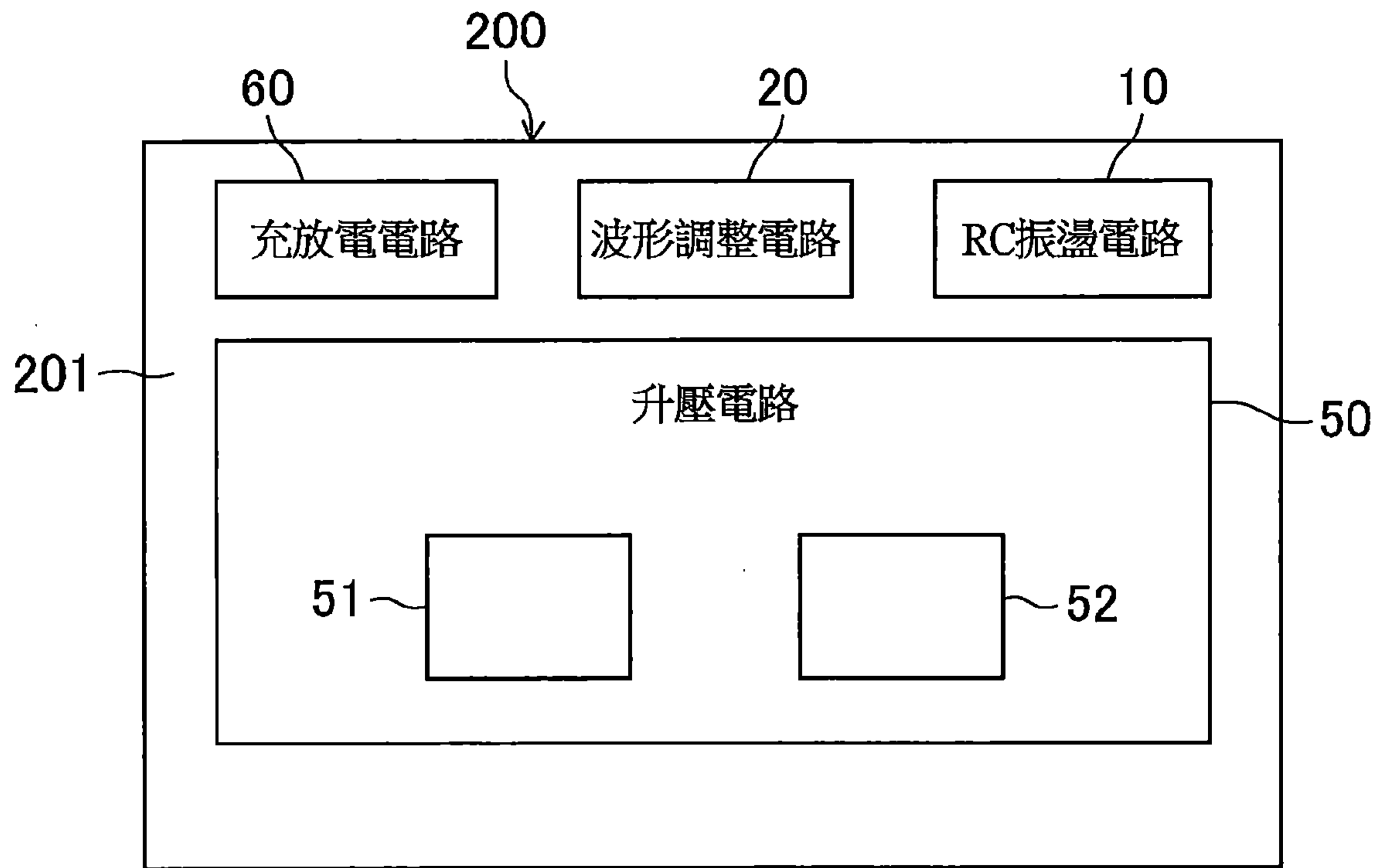
圖式



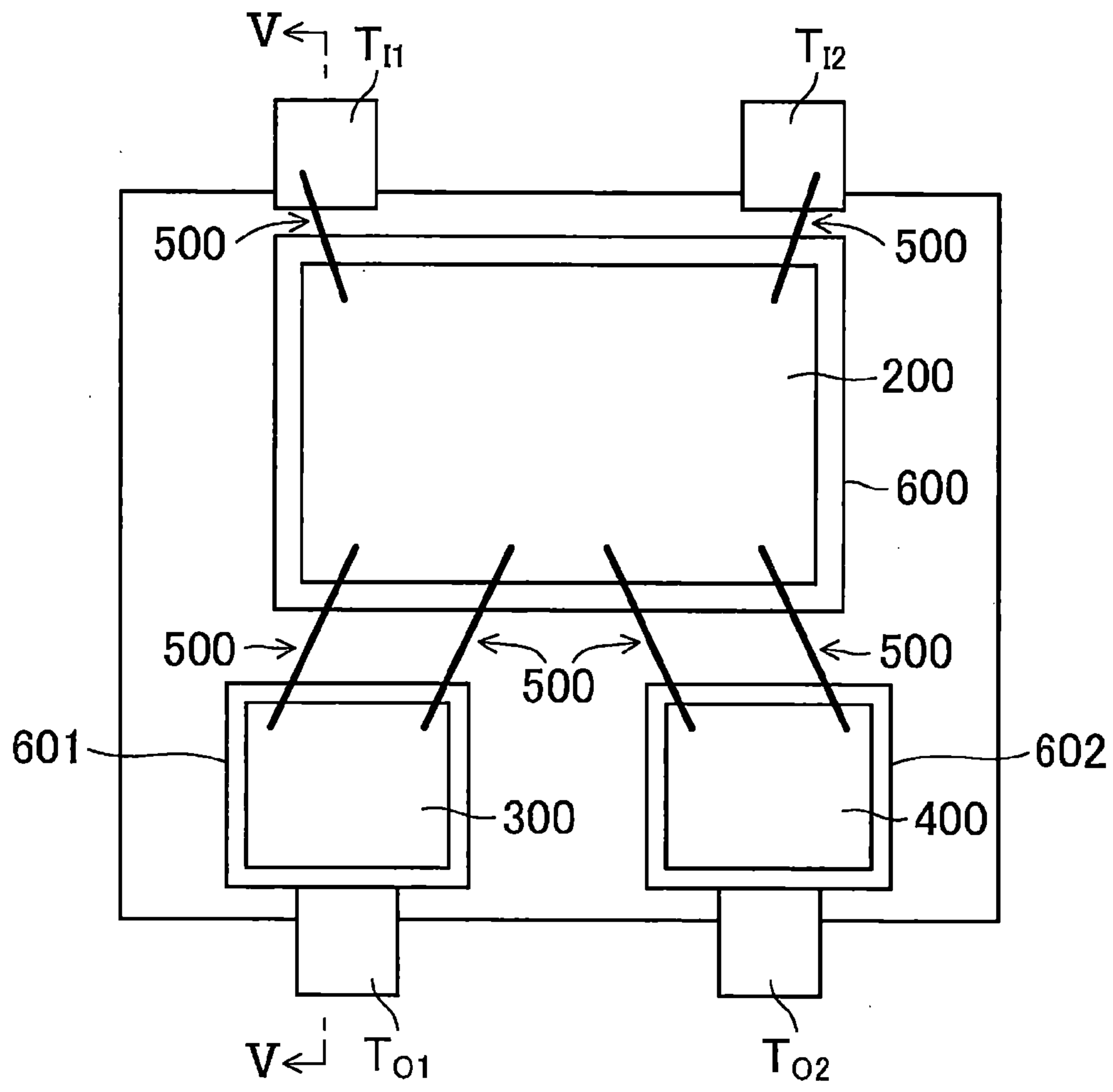
【圖 1】



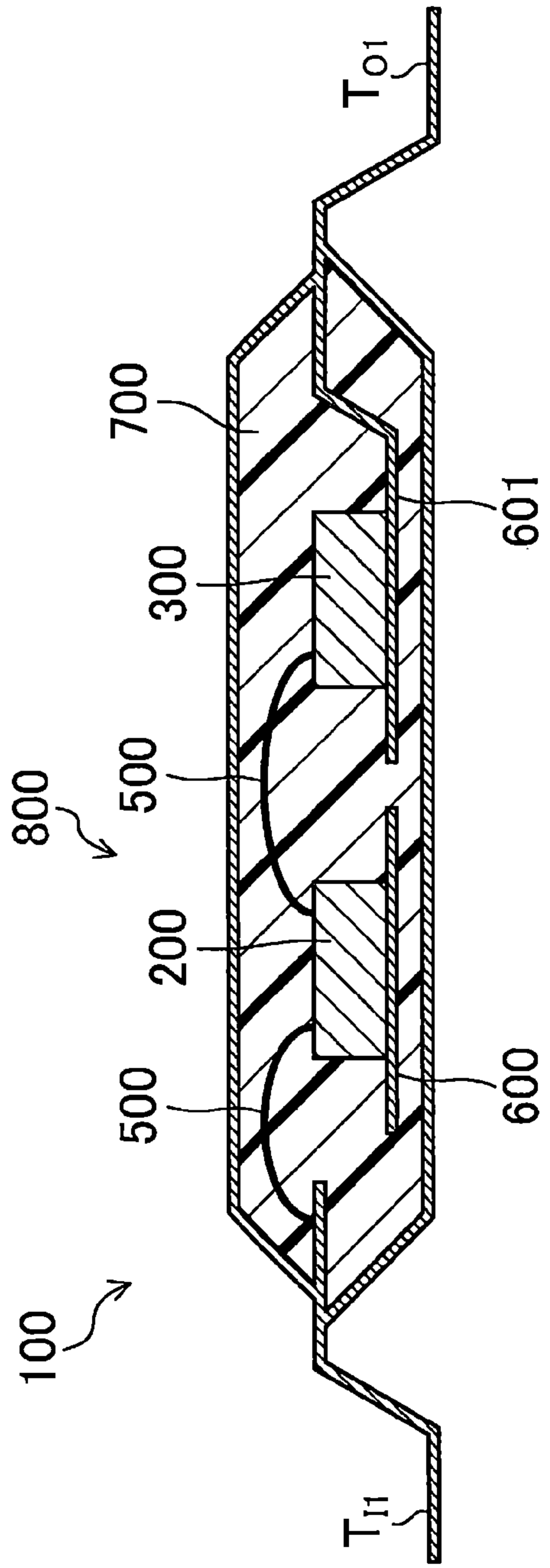
【圖 2】



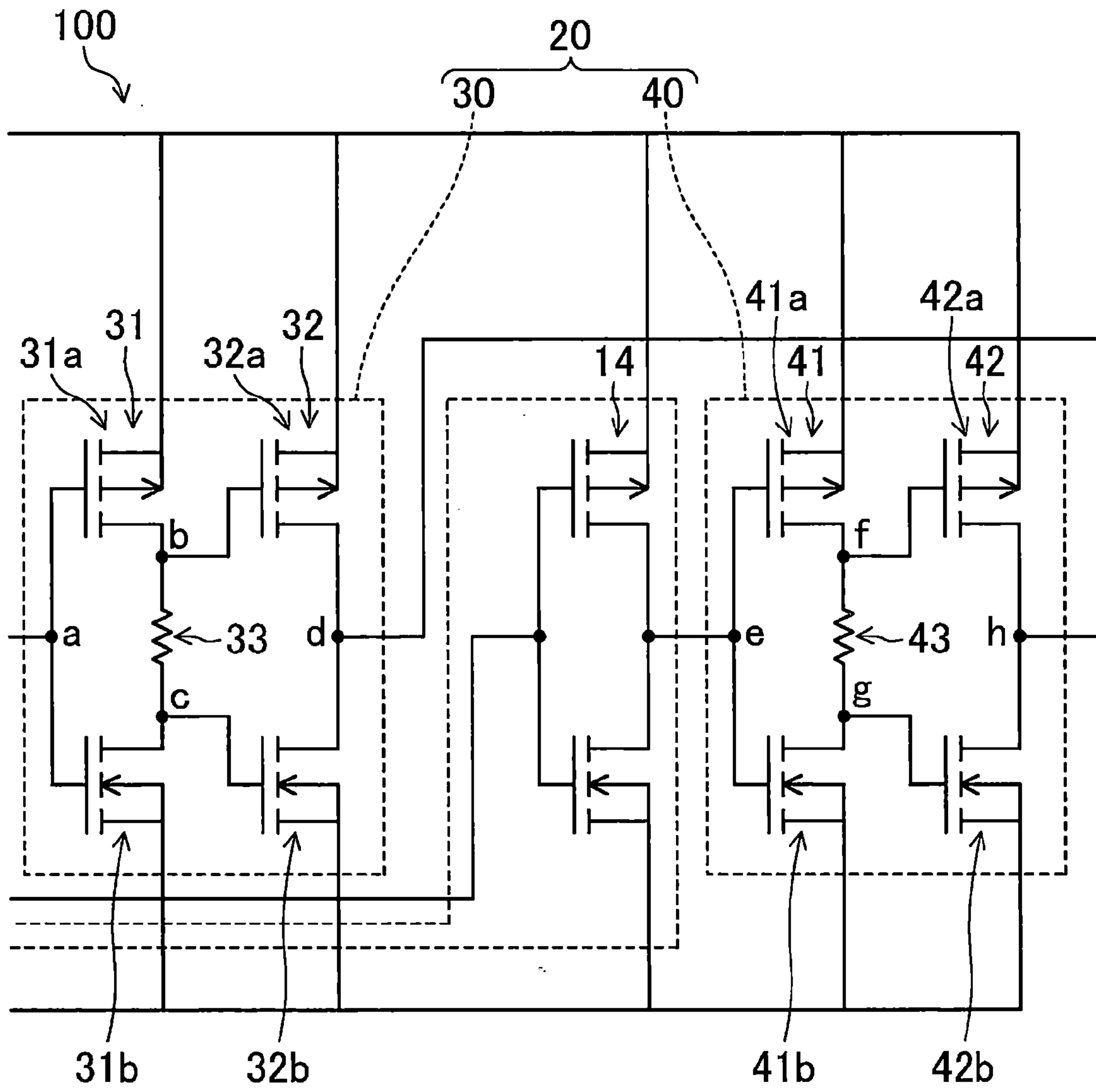
【圖 3】



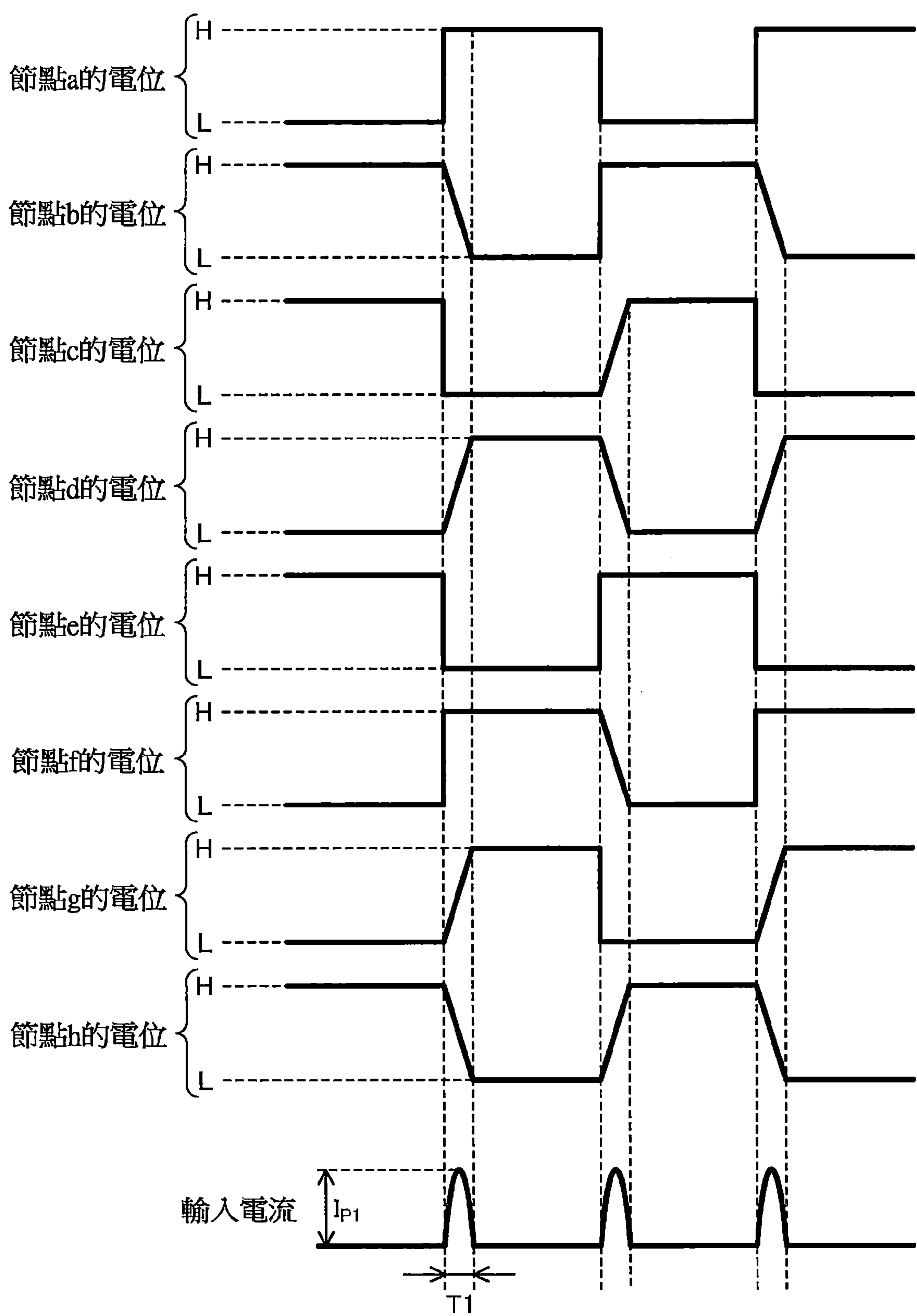
【圖 4】



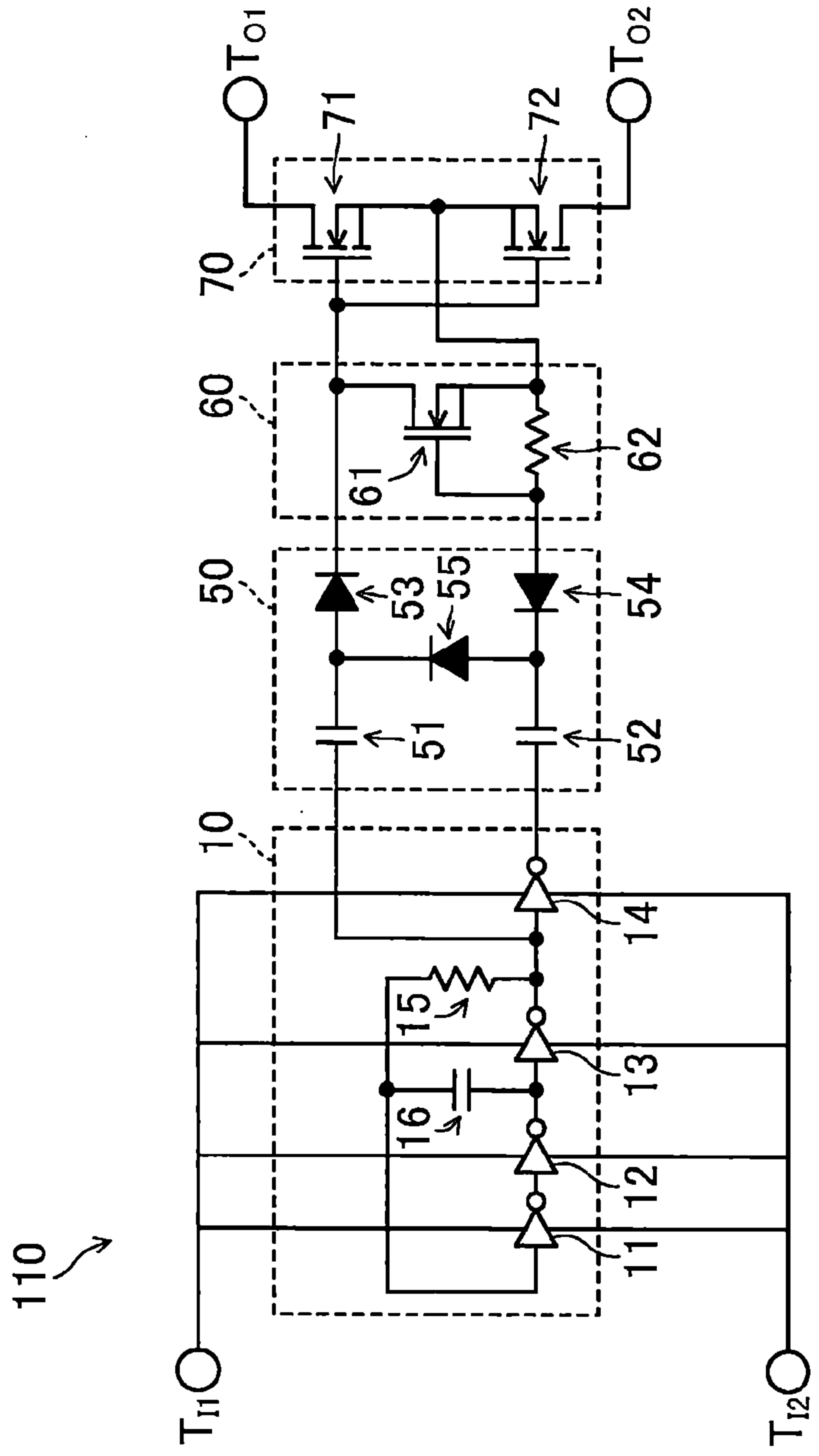
【圖 5】



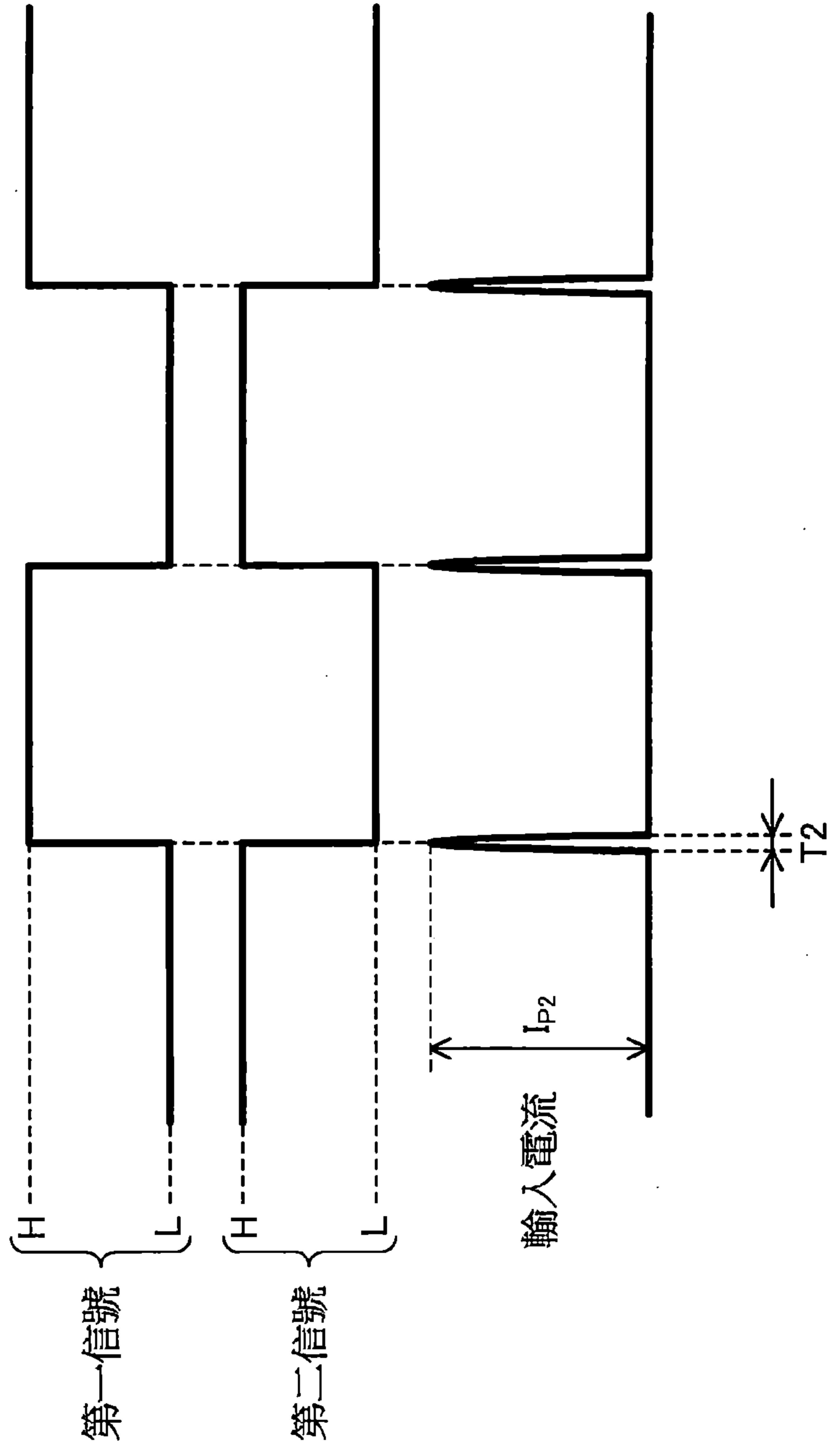
【圖 6】



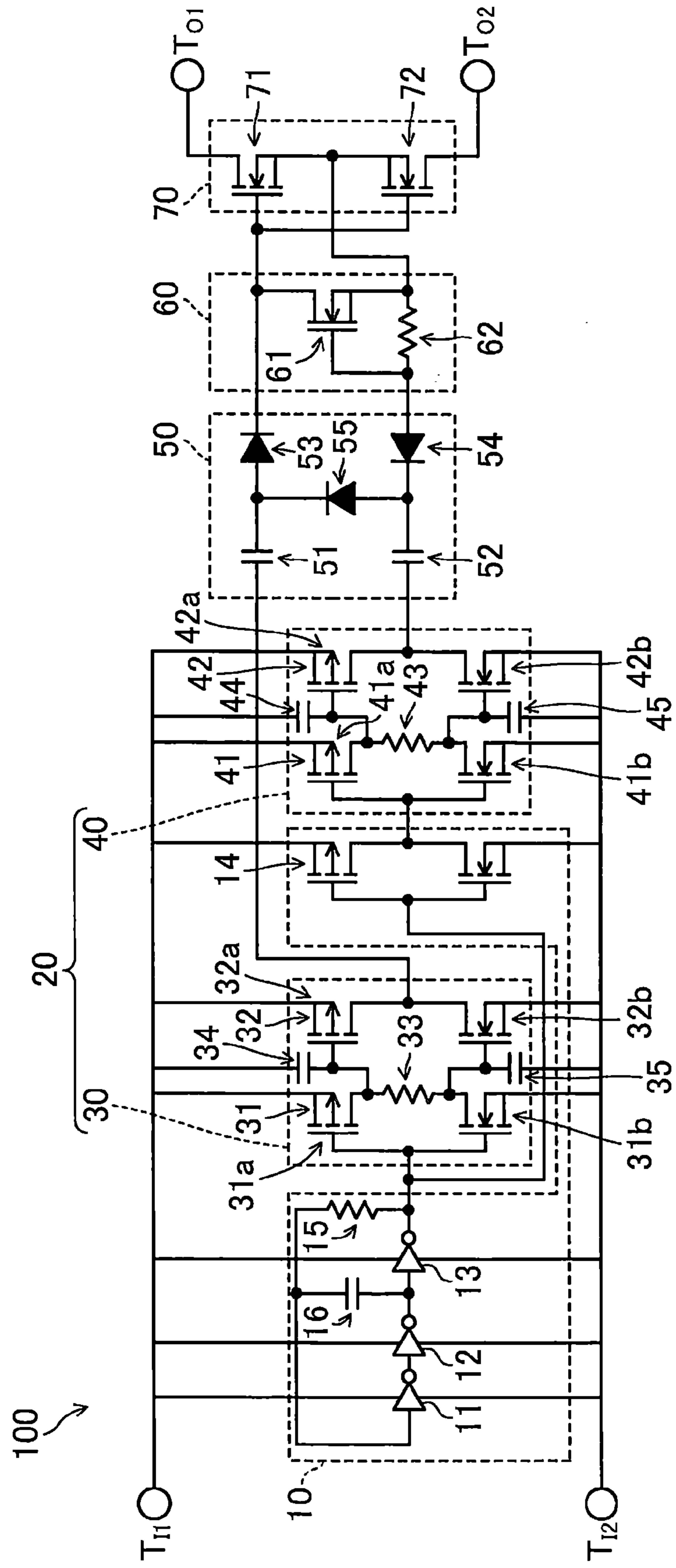
【圖 7】



【圖 8】



【圖 9】



【圖 10】