



(21)申請案號：101149631

(22)申請日：中華民國 95 (2006) 年 03 月 16 日

(51)Int. Cl. : **H01L21/304 (2006.01)****H01L21/20 (2006.01)****H01L21/265 (2006.01)**

(30)優先權：2005/05/24 美國

11/136,057

(71)申請人：克立公司(美國) CREE, INC. (US)

美國

(72)發明人：達斯 米那 K DAS, MRINAL K. (US) ; 羅奈 麥可 LAUGHNER, MICHAEL (US)

(74)代理人：陳長文

(56)參考文獻：

EP 1306890A2

US 6573534B1

US 2005/0020084A1

審查人員：許勝宗

申請專利範圍項數：56 項 圖式數：4 共 45 頁

(54)名稱

具平緩通道之碳化矽裝置之製造方法

METHODS OF FABRICATING SILICON CARBIDE DEVICES HAVING SMOOTH CHANNELS

(57)摘要

本發明提供形成碳化矽功率裝置之方法。於一碳化矽基板上提供一 n⁻碳化矽層。於該 n⁻碳化矽層上提供一 p 型碳化矽井區域。於該 p 型碳化矽井區域上提供一 p⁺碳化矽埋入區域。於該 p⁺碳化矽埋入區域上提供一 n⁺碳化矽區域。該功率裝置之一通道區域鄰接該 p⁺碳化矽埋入區域及該 n⁺碳化矽區域。於該通道區域上提供一 n⁻區域並從該通道區域上去除該 n⁻區域之一部分，使得該 n⁻區域之一部分留在該通道區域上，以提供該通道區域之表面粗度降低。

Methods of forming silicon carbide power devices are provided. An n⁻ silicon carbide layer is provided on a silicon carbide substrate. A p-type silicon carbide well region is provided on the n⁻ silicon carbide layer. A buried region of p⁺ silicon carbide is provided on the p-type silicon carbide well region. An n⁺ region of silicon carbide is provided on the buried region of p⁺ silicon carbide. A channel region of the power device is adjacent the buried region of p⁺ silicon carbide and the n⁺ region of silicon carbide. An n⁻ region is provided on the channel region and a portion of the n⁻ region is removed from the channel region so that a portion of the n⁻ region remains on the channel region to provide a reduction in a surface roughness of the channel region.

指定代表圖：

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：101149631

※申請日期：95.7.16

原申請案號：095109031

※IPC 分類：H01L 21/304 (2006.01)

H01L 21/20 (2006.01)

H01L 21/265 (2006.01)

一、發明名稱：(中文/英文)

具平緩通道之碳化矽裝置之製造方法

METHODS OF FABRICATING SILICON CARBIDE DEVICES
HAVING SMOOTH CHANNELS

二、中文發明摘要：

本發明提供形成碳化矽功率裝置之方法。於一碳化矽基板上提供一 n^- 碳化矽層。於該 n^- 碳化矽層上提供一 p 型碳化矽井區域。於該 p 型碳化矽井區域上提供一 p^+ 碳化矽埋入區域。於該 p^+ 碳化矽埋入區域上提供一 n^+ 碳化矽區域。該功率裝置之一通道區域鄰接該 p^+ 碳化矽埋入區域及該 n^+ 碳化矽區域。於該通道區域上提供一 n^- 區域並從該通道區域上去除該 n^- 區域之一部分，使得該 n^- 區域之一部分留在該通道區域上，以提供該通道區域之表面粗度降低。

三、英文發明摘要：

Methods of forming silicon carbide power devices are provided. An n^- silicon carbide layer is provided on a silicon carbide substrate. A p-type silicon carbide well region is provided on the n^- silicon carbide layer. A buried region of p^+ silicon carbide is provided on the p-type silicon carbide well region. An n^+ region of silicon carbide is provided on the buried region of p^+ silicon carbide. A channel region of the power device is adjacent the buried region of p^+ silicon carbide and the n^+ region of silicon carbide. An n^- region is provided on the channel region and a portion of the n^- region is removed from the channel region so that a portion of the n^- region remains on the channel region to provide a reduction in a surface roughness of the channel region.

四、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

10	(n ⁺ 單晶碳化矽)基板
10A	第一面
10B	第二面
12	n ⁻ 碳化矽層 12/n ⁻ 磊晶層/n ⁻ 層
14	P型碳化矽區域 P井區域/p型區域/p型層
18	p ⁺ 碳化矽埋入區域/p型埋入區域/P型區域
19'	n ⁻ 區域
20	n ⁺ 碳化矽區域/n ⁺ 源極區域
21	n型碳化矽區域
24	源極接觸器
26	閘極接觸器
28	汲極接觸器/歐姆接觸
29	通道區域
30	閘極絕緣層
35	介面
100a	線
100b	線
100c	線

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本發明係關於製造功率裝置之方法及所產生的裝置，而更特定言之，係關於碳化矽功率裝置及製造碳化矽功率裝置之方法。

【先前技術】

功率裝置廣泛被用於承載大電流及支援高電壓。現代功率裝置一般係由單晶矽半導體材料製成。一種廣泛被使用之功率裝置係功率金氧半導體場效電晶體(MOSFET)。在一功率MOSFET中，將一控制信號提供給藉由一插入絕緣體而與半導體表面分離之一閘極電極，該插入絕緣體可為，但不限於，二氧化矽。電流傳導係經由多數載體之傳輸而發生，而不存在用於雙極電晶體操作中的少數載體注入。功率MOSFET能提供一極佳的安全操作區域，且可並聯於一單格結構中。

如熟習此項技術者所熟知，功率MOSFET可包括一橫向結構或一垂直結構。在一橫向結構中，該等汲極、閘極及源極端子係位在一基板之同一面上。相反地，在一垂直結構中，源極及汲極係在基板的相反面上。

一種廣泛被使用的矽功率MOSFET為雙擴散MOSFET(DMOSFET)，其係以一雙擴散程序製造。這些裝置中，一p基極區域與一 n^+ 源極區域經由一遮罩中之一共用開口擴散。該p基極區域被向內驅動得比該 n^+ 源極更深。該p基極與 n^+ 源極區域之間橫向擴散的差異形成一表面通道區域。

B.J. Baliga所著書名為「功率半導體裝置」的教科書(PWS出版公司於1996年出版)中，明確言之，在第7章「功率MOSFET」中，概述了包括DMOSFET在內的功率MOSFET，其所揭示內容以引用方式併入本文中。

在功率裝置開發方面所作的努力還包括碳化矽(SiC)裝置應用在功率裝置方面的研究。與矽相比，碳化矽具有較寬的能帶隙、較低的介電常數、較高的崩潰場強度、較高的導熱性、及較高的飽和電子漂移速度。該些特徵使得碳化矽功率裝置，與傳統矽基功率裝置相比，可在較高的溫度、較高的功率位準以及以較低的指定開啟電阻操作。在Bhatnagar等人1993年在IEEE電子裝置學報，第40卷，第645至655頁中所發表之標題為「6H-SiC、3C-SiC與Si用於功率裝置的比較」的論文中對碳化矽裝置勝過矽裝置之優越性進行了理論分析。由Palmour所發明之標題為「碳化矽中之功率MOSFET」的美國專利第5,506,421號中描述一種以碳化矽製造的功率MOSFET，其係讓渡給本發明之受讓人。由Suvorov等人所發明之標題為「利用植入及橫向擴散之自對準碳化矽功率裝置製造方法」的美國專利第6,107,142號與Suvorov等人所發明之標題為「利用控制退火之碳化矽功率裝置製造方法」的美國專利第6,100,169號亦有關於碳化矽功率裝置的描述，以上兩項專利均係讓渡給本發明之受讓人。

儘管有這些潛在的優點，但要製造包括碳化矽功率MOSFET的功率裝置可能很困難。例如，如前述，雙擴散

的MOSFET(DMOSFET)一般而言係使用雙擴散製程以矽製造，這種製程中，p基極區域向內驅動得比 n^+ 源極更深。不幸的是，在碳化矽中，傳統p型和n型摻質的擴散係數比矽小，因此在可接受的擴散時間和溫度條件下，可能難以獲得需要的p基極及 n^+ 源極區域之深度。亦可使用離子植入法來植入p基極及 n^+ 源極。請參見，例如，Shenoy等人於1997年3月在IEEE電子裝置學刊，第3號，第18卷，第93至95頁所發表的「6H-SiC中的高電壓雙重植入功率MOSFET」。然而，離子植入區域的深度及橫向範圍可能很難控制。此外，由於需要形成一表面通道圍繞該源極區域，因此可能需要使用二個分開的植入遮罩。因此，可能難以讓該p基極與該源極區域彼此對準，藉此可能影響裝置的性能。此外，執行一連串的植入和植入活化退火可能造成橫跨MOSFET的通道形成階梯狀崎嶇表面，而可能減損裝置的性能，表現在例如電阻增加和可靠度降低等方面上。

【發明內容】

本發明之一些具體實施例提供用於形成碳化矽功率裝置的方法。於一碳化矽基板上提供一 n^- 碳化矽層。於該 n^- 碳化矽層上提供一p型碳化矽井區域。於該p型碳化矽井區域上提供一 p^+ 碳化矽埋入區域。於該 p^+ 碳化矽埋入區域上提供一 n^+ 碳化矽區域。該功率裝置之一通道區域鄰接該 p^+ 碳化矽埋入區域及該 n^+ 碳化矽區域。於該通道區域上提供一 n^- 區域，並將該 n^- 區域之一部分從該通道區域去除，使該

n^- 區域之一部分留在該通道區域上，以降低該通道區域的表面粗度。

在本發明之進一步具體實施例中，可利用化學機械拋光(CMP)製程將該 n^- 區域之一部分從該通道區域上去除。該CMP製程可去除該 n^- 區域到剩下大約1000到大約5000 Å。可將該 n^- 區域之一部分從該通道區域之表面粗度的大約2.0倍到大約3.0倍的深度去除。在本發明特定的具體實施例中，在該CMP製程之後，該通道區域上留下大約1500 Å的 n^- 區域。

在本發明之進一步具體實施例中，該表面粗度可為從至少大約28 Å到低於大約1.0 Å的均方根(RMS)表面粗度之降低。可於該通道區域上之該 n^- 區域留下的部分上面形成一厚度從大約100到大約1000 Å之間的犧牲氧化物層再予以去除。藉由形成及去除該犧牲氧化物層，該RMS表面粗度可進一步從低於大約1.0 Å降低到大約0.70 Å。

在本發明之一些具體實施例中，該 n^- 區域可為一 n^- 磊晶層，其於該通道區域上成長至一預定厚度，以使得在去除該 n^- 磊晶層之一部分之後，該通道區域上還留下該 n^- 磊晶層之一部分。在本發明特定的具體實施例中，該 n^- 磊晶層的預定厚度可為從大約1500 Å到大約5000 Å。CMP製程之後，可選擇性地蝕刻該 n^- 區域，將該 n^- 區域從該 n^+ 區域上去除。

在本發明之進一步具體實施例中，可藉由把p型摻質植入到該 n^- 碳化矽層中來形成該p型碳化矽井區域。可藉由

把p型摻質植入到該p型碳化矽井區域中來形成該p⁺碳化矽埋入區域。可藉由把n型摻質植入到該p⁺碳化矽埋入區域上之該p型碳化矽井區域中來形成該n⁺碳化矽區域。可把該植入摻質曝露在一大於約1600°C的溫度下使其活化。

在本發明之進一步具體實施例中，該p型碳化矽井區域可為一位於該n⁻碳化矽層上之p型磊晶層。可藉由把p型碳化矽摻質植入到該p型碳化矽井區域上來形成該p⁺碳化矽埋入區域。可藉由把n型碳化矽摻質植入到該p⁺碳化矽埋入區域上之該p型碳化矽井區域中來形成該n⁺碳化矽區域。

在本發明之一些具體實施例中，可於鄰接該通道區域之該p型碳化矽井區域中形成一n型碳化矽區域。該通道區域可定義於該p⁺碳化矽埋入區域與該n型碳化矽區域之間。該n型碳化矽區域可為碳化矽功率裝置之一接面場效電晶體(JFET)區域。

在本發明之進一步具體實施例中，可於鄰接該通道區域之該p型碳化矽井區域中形成一n型碳化矽區域。該通道區域可定義於該p⁺碳化矽埋入區域與該n型碳化矽區域之間。該n⁻區域只可能留在該通道區域上。

在本發明之進一步具體實施例中，該基板可為一n⁻基板，其係作為該碳化矽功率裝置之一漂移區域。可於該基板上與該n⁻碳化矽層相反的一側提供一n⁺汲極區域。該n⁺汲極區域可為一植入區域或一磊晶區域。在本發明特定的具體實施例中，該碳化矽功率裝置可為一金氧半導體場效

電晶體(MOSFET)。

本發明之一些具體實施例提供形成碳化矽功率裝置之方法。於該功率裝置之一通道區域上生長一碳化矽磊晶區域。以機械的方式去除該碳化矽磊晶區域之一部分，使該碳化矽磊晶區域之一剩餘部分提供該通道區域之表面粗度降低。

在本發明之進一步具體實施例中，該表面粗度之降低可為從至少大約28 Å到低於大約1.0 Å的RMS表面粗度降低。在本發明特定的具體實施例中，可於該碳化矽磊晶區域上形成一犧牲氧化物層，然後再去除該犧牲氧化物層，以進一步降低該通道區域之表面粗度。藉由形成及再去除該犧牲氧化物層，RMS表面粗度可進一步從低於大約1.0 Å降低到大約0.70 Å。

【實施方式】

以下將參考附圖更完整地說明本發明，這些附圖顯示了本發明之具體實施例。然而，本發明可以用許多不同的形式來具體實作，不應被解釋成受限於在此所述之具體實施例。而是，提供這些具體實施例是要使得此一揭示內容更為詳盡及完整，並可將本發明之範疇完整傳達給熟習此項技術之人士。各圖中，為了清楚表達，層與區域的尺寸和相對尺寸有可能誇大。應瞭解，若一元件或層被稱為「在另一元件或層上」、「連接至」或「耦合至」另一元件或層，則其可能直接位於其他元件或層上、連接至或耦合至其他元件或層，或者其間可能存在插入元件或層。相反

地，若一元件被稱為「直接在另一元件或層上」、「直接連接至」或「直接耦合至」另一元件或層，則不存在插入元件或層。相同數字表示相同元件。本文中，「及/或」一詞係包括相關列舉項目中一或多個項目之任何及所有組合。

應瞭解，雖然本文中可能以第一、第二等術語描述各種元件、組件、區域、層及/或區段，但是該等元件、組件、區域、層及/或區段不應受這些術語所限制。這些術語只是用來區別一元件、組件、區域、層或區段與另一元件、組件、區域、層或區段。因此，可將以下說明之一第一元件、組件、區域、層或區段稱為一第二元件、組件、區域、層或區段，並不偏離本發明之教導內容。

此外，本文中可能使用例如「下」或「底」及「上」或「頂」之相對性術語來說明各圖式中一元件與另一元件的關係。應瞭解，使用相對性術語是要涵蓋該元件之不同方位，並不僅限於圖式所示之方位。例如，若顛倒圖式中的裝置，則被描述為在其它元件之「下」側的元件，其方位將轉換成為在該等其它元件之「上」側。因此，示範的術語「下」可涵蓋「下」及「上」之方位，視各圖式的特定方位而定。同樣地，若顛倒圖式之一元件，則被描述為在其它元件「下面」或「之下」的元件將會轉換方位成為在其它元件「之上」。因此，示範的術語「下」或「之下」可涵蓋之上及之下兩者。

本文參考各斷面圖來說明本發明之具體實施例，這些是本發明之理想化的具體實施例的示意圖。因此可以預期，

圖示的形狀可能會因為，例如製造技術及/或公差，而有所變異。因此不應將本發明之具體實施例解釋成限定在本文所述的特定區域之形狀，而是包括，例如，製造上所造成的形狀偏差。例如，一在說明時係顯示為矩形之植入區域通常在其邊緣處會有圓滑或曲線狀特徵及/或呈梯度變化的植入濃度，而非呈現從植入至非植入區域之二元變化。同樣地，利用植入所形成之一埋入區域可能造成在該埋入區域與該植入藉以發生的表面之間的區域中有一些植入。因此，各圖所示區域本質上是示意性的，並非精確顯示一裝置區域之形狀，且並非要限制本發明之範疇。

本文係參考各不同的層/區域之一特定的極性導電類型，來說明本發明的具體實施例。但而，熟習此項技術者將明白，可令該等區域/層之極性倒轉以提供一相反極性之裝置。

本發明之一些具體實施例防止提供功率金氧半導體場效電晶體(MOSFET)及/或可能包含碳化矽摻雜區域的其它功率裝置。如熟習此項技術之人士所知，碳化矽摻雜區域可能藉由磊晶生長及/或藉由植入而形成。例如，一p型碳化矽區域可能在有p型摻質的情況下藉由磊晶生長而形成，或可能藉由在一非摻雜的p型或n型磊晶層中植入p型摻質而形成。由磊晶生長產生的結構不同於由植入產生的結構。因此，術語「磊晶區域」與「植入區域」結構上區別成不同的碳化矽區域，在此可能用來作為碳化矽區域之結構特徵的描述，或作為形成此類碳化矽區域之方法的描

述。

本文雖然參考MOSFET來說明本發明之具體實施例，但本發明之具體實施例亦可用於其它裝置，例如橫向擴散MOSFET(LDMOSFET)、絕緣閘雙極電晶體(IGBT)或例如MOS基裝置等其它裝置，以及例如肖特基及PiN二極體等高電壓裝置，並不偏離本發明的範疇。

在開發例如SiC功率MOSFET等商用碳化矽(SiC)功率裝置方面，表面形態學是一項必須注意的課題。執行一連串的植入步驟和植入活化退火可能造成橫跨裝置通道形成階梯狀崎嶇表面。產生於裝置表面的階梯狀可能達到數百埃，而可能造成電阻增加及裝置的可靠度降低。依據本發明一些具體實施例之方法可提供通道區域表面粗度降低，因此可提升裝置的整體效能。特定言之，依據本發明一些具體實施例之製造功率裝置的方法可於通道區域上提供一額外的 n^- 區域。特定言之，可於裝置之通道區域上形成一 n^- 區域，去除該通道區域之一部分，使得該 n^- 區域之剩餘部分在該通道區域上提供該通道區域之表面粗度降低。因此，可去除該通道區域上階梯狀崎嶇表面之至少一部分，而提供較平緩的通道區域，亦即，一具有表面粗度降低的通道區域。在一些具體實施例中，該去除程序係使用一化學機械拋光製程，其能夠從該通道區域去除從大約1200 Å到大約1400 Å的 n^- 區域之一部分。該 n^- 區域之剩餘部分可提供通道區域從大約至少28 Å到小於於1.0 Å之均方根表面粗度降低，如以下關於圖1至4之進一步討論。

請參考圖 1，圖示為一依據本發明之一些具體實施例之垂直功率 MOSFET 的斷面圖。熟習此項技術者將明白，一般而言會在一單格中複製該等垂直式碳化矽 MOSFET。這些單格顯示於圖上的線 100a 和 100c 或 100b 和 100c 之間。為容易表示，以一二單格 MOSFET 作說明，然而，熟習此項技術者將會明白，可沿一方向或沿二個一般而言係正交的方向納入額外的單格至一 MOSFET 中，並不偏離本發明的範疇。

如圖 1 所示，一依據本發明之一些具體實施例之 MOSFET 包含一 n^+ 單晶碳化矽基板 10，例如，4H 碳化矽。於基板 10 之一第一面 10A 上提供一 n^- 碳化矽層 12。在此使用「 p^+ 」或「 n^+ 」代表以高於同一或另一層或基板之鄰接區域或其它區域之載體濃度所定義的區域。同樣地，「 p^- 」或「 n^- 」代表以低於同一或另一層或基板之鄰接區域或其它區域之載體濃度所定義的區域。

在本發明之一些具體實施例中，一 n^- 基板可作為該裝置之一 n^- 漂移層。在本發明之這些具體實施例中，可於該 n^- 基板之一第二面 10B 上提供一 n^+ 汲極區域。該 n^+ 汲極區域可利用離子植入或磊晶生長的方法提供，並不偏離本發明的範疇。

於該 n^- 碳化矽層 12 上提供一 p 型碳化矽區域 14 且可提供一 MOSFET 之 p 井區域。將可了解，該 p 井區域可為一磊晶區域或一植入區域，並不偏離本發明之範疇。

於一 n^+ 碳化矽區域 20 下方的 p 井區域 14 中提供一 p^+ 碳化

矽埋入區域18，該 n^+ 碳化矽區域20亦提供於該p型區域14中。該 n^+ 區域20可提供裝置之一源極區域。一穿過該p井區域14至該 n^- 碳化矽層12之n型碳化矽區域21在該 n^+ 源極區域20旁邊且互相隔開。將可了解，在該p井區域14係一磊晶層之本發明的具體實施例中，可將該n型碳化矽區域21稱作裝置之一接面場效電晶體(JFET)區域。

該n型碳化矽區域21可提供一n型通道區域29之一部分。該n型碳化矽區域21之一表面可能包含高達數百埃之不希望有的階梯，這些階梯可能造成電阻增加及裝置可靠度降低。此外，在該n型碳化矽區域21與該 p^+ 碳化矽埋入區域18之間的p型區域31，其一面亦包含這些不希望有的階梯。因此，如圖1所示，依據本發明之一些具體實施例，可於該n型碳化矽區域21及該p型區域31上提供一 n^- 區域19'，如此可形成裝置之一通道區域29。特定言之，可於該n型碳化矽區域21、該p型區域31及結構之其它表面等之再生長一n型磊晶層，並選擇性地加以去除，使得一 n^- 區域19'留在該裝置之n型碳化矽區域21及該p型區域31上，但從該 n^+ 源極區域20上被去除，如以下關於圖2A至2J之進一步討論。

關於再生長，在下列專利申請案中有詳細討論：共同讓渡美國專利申請公開案第US 2004/0211980號，標題為「具自對準源極與井區域之碳化矽功率裝置及製造此之方法」，申請日期為2003年4月24日；美國專利申請公開案第US 2004/0119076號，標題為「垂直JFET限制之碳化矽功

率金氧半導體場效電晶體及製造垂直JFET限制之碳化矽金氧半導體場效電晶體的方法」申請日期為2003年10月30日；及美國專利申請公開案第US 2002/0038891號，標題為「具短路通道之碳化矽功率金氧半導體場效電晶體及製造具短路通道之碳化矽金氧半導體場效電晶體的方法」，申請日期為2001年6月24日以上專利申請所揭示內容以引用方式併入本文中。

n型碳化矽區域21及p型區域31上有n⁻區域19'存在可提供通道區域29(n型碳化矽區域21、p型區域31與n⁻區域19'之剩餘部分等的組合)之表面粗度降低。換言之，n⁻區域19'可將n型碳化矽區域21與p型區域31之表面的一些高峰及低谷填平以提供通道區域29與閘極絕緣層30(於下文討論)之間一較平緩的介面35。依據本發明之一些具體實施例，通道區域29可具有一低於約1.0 Å的均方根(RMS)表面粗度。因此，依據本發明之一些具體實施例，可達到從至少大約28 Å到低於大約1.0 Å的RMS表面粗度降低，如以下關於圖2A至3C的進一步討論。依據本發明之一些具體實施例，可於通道區域29之一表面上提供一選擇性的犧牲氧化物層(未顯示)並於隨後將之去除。該犧牲氧化物層可具有從大約100到大約1000 Å的厚度，例如500 Å。形成並去除該犧牲氧化物層可進一步使通道區域29之表面的RMS表面粗度降到大約0.70Å。

一由例如二氧化矽(SiO₂)之適合的介電材料所組成的閘極絕緣層30延伸於通道區域29之上並達到n⁺源極區域20。

於包括n型碳化矽區域21、p型區域31及n⁻區域19'之通道區域29的反面的閘極層上提供一閘極接觸器26。於n⁺源極區域20之間提供一源極接觸器24，且於基板10與p型區域14相反的第二面10B上提供一汲極接觸器28。

將可瞭解，雖然本發明之具體實施例係討論如圖1關於MOSFET的結構，但本發明之具體實施例並不限於此種構造。例如，在本發明之一些具體實施例中，該MOSFET可包含如以下共同讓渡的美國專利申請公開案序列號10/873,394所述之一混合井結構，申請日期為2004年6月22日，標題為「具混合井區域之碳化矽裝置及製造具混合井區域之碳化矽裝置的方法」，其所揭示內容以引用方式併入本文中。

現在請參考圖2A至2J，圖示為依據本發明之一些具體實施例之製造例如MOSFET之功率裝置的處理步驟，將於以下討論。如圖2A所示，於一n⁺碳化矽基板10上，例如一4H碳化矽基板，形成一n⁻磊晶層12。n⁻層12可具有一從大約5到大約200 μm的厚度及一提供從大約 $1 \times 10^{14} \text{ cm}^{-3}$ 到大約 $1 \times 10^{17} \text{ cm}^{-3}$ 之載體濃度的摻質。在本發明之特別的具體實施例中，該n⁻層12約為12 μm厚，且係經過摻雜以提供約 $5 \times 10^{15} \text{ cm}^{-3}$ 的載體濃度。

於該n⁻磊晶層12上提供一p型層14。如前述，該p型層14可提供裝置之一p井區域。該p型層14可為一磊晶區域或一植入區域，並不偏離本發明之範疇。特定言之，在p型層14係一植入區域之本發明的具體實施例中，可植入p型碳

化矽摻質到n⁻層12中以提供該p型層14。在p型層14係一磊晶層之本發明的具體實施例中，該p型層可生長於n⁻層12上。P型層14可具有一從大約0.5到大約3 μm的厚度及一提供從大約 $2 \times 10^{16} \text{ cm}^{-3}$ 到大約 $5 \times 10^{17} \text{ cm}^{-3}$ 之載體濃度的摻雜。在本發明之特別的具體實施例中，該p型層14約為0.5 μm厚，且係經過摻雜以提供大約 $1 \times 10^{16} \text{ cm}^{-3}$ 的載體濃度。進一步如圖2A所示，於p型層14上形成一遮罩層100，並圖案化以形成與裝置之源極區域20及p型埋入區域18對應的開口。

如圖2B和2C所示，可藉由圖案化一遮罩層100來形成p型埋入區域18與源極區域20，該遮罩層100具有與源極區域20的位置對應的開口。p型埋入區域18係利用圖案化的遮罩100以p型摻質離子植入的方式形成。P型埋入區域18可延伸達到例如n⁻層12的漂移區域，以及在一些具體實施例中，進到該漂移區域。該p型摻質可為，例如，鋁或其它適合的p型摻質。在本發明特定的具體實施例中，該p型區域18之厚度小於該區域21可能形成的厚度，例如，從大約0.2 μm到大約1 μm。在本發明之特別的具體實施例中，該p型埋入區域18從離p型層14表面大約0.2 μm的深度延伸到大約0.7 μm的深度。此外，該p型區域18可經過摻雜以提供從大約 $1 \times 10^{17} \text{ cm}^{-3}$ 到大約 $1 \times 10^{18} \text{ cm}^{-3}$ 的載體濃度。

如圖2C所示，源極區域20係採用圖案化的遮罩100將n型摻質植入到p型層14中而形成。用於該n型植入的n型摻質可為，例如，氮及/或磷，然而，亦可使用其它的n型摻

質。該等n型源極區域20可延伸進到p型層中大約0.2 μm 到大約0.3 μm 的距離。該等n型源極區域20可經過摻雜以提供一足以形成良好歐姆接觸的載體濃度。本文中使用的「歐姆接觸」一詞，係指在實質上所有預期的操作頻率(即與歐姆接觸相關的阻抗在所有的操作頻率下實質上均係相同的)及電流之下，與該等接觸相關的阻抗實質上係由關係式 $\text{阻抗} = V/I$ 所提供，其中V為橫跨接觸的電壓，而I為電流。在本發明之特別的具體實施例中，該等n型源極區域延伸進入p型層至大約0.2 μm 的深度，且係經過摻雜以提供至少從大約 $1 \times 10^{19} \text{cm}^{-3}$ 至大約 $1 \times 10^{20} \text{cm}^{-3}$ 的載體濃度。

儘管在此所說明之本發明的具體實施例中，該等p型區域18與該等源極區域20兩者都是使用圖案化遮罩100中相同的窗口來植入，但在本發明之一些具體實施例中，可使用不同尺寸的窗口來補償植入時的散亂。

如圖2D至2E所示，可去除遮罩100並於p井區域14中提供裝置之一n型碳化矽區域21。該n型碳化矽區域21可為一植入區域或一磊晶區域，並不偏離本發明之範疇。在該n型碳化矽區域21係一植入區域之本發明的具體實施例中，可圖案化一第二遮罩層120使其具有與裝置之n型碳化矽區域21對應的開口，如圖2D所示。將可瞭解，在該p井區域14係一磊晶層之本發明的具體實施例中，可將該n型碳化矽區域21稱作裝置之一接面場效電晶體(JFET)區域。

如圖2E所示，可採用圖案化的遮罩120，將n型摻質植入

到p型層14中，來形成n型碳化矽區域21，以使形成的n型碳化矽區域21穿過p型層14達到例如n型磊晶層12之漂移區域。可使用任何適合的n型摻質。在本發明之一些具體實施例中，係使用氮作為該n型摻質。

當裝置係開啟時，此n型區域21可提供一從該MOS通道至該輕度摻雜之漂移區域(12)的路徑，而允許電子從源極區域流向汲極區域。在關閉狀態時，此n通道區域可能從反向偏壓的pn接面起為電子空泛區，該pn接面係形成於該通道區域之兩側上。在該通道區域兩側上之該pn接面可屏蔽該MOS區域，使其免於在關閉狀態時受到高電場的影響，從而得到比例如UMOSFET等溝渠裝置更高的裝置可靠度。

圖2F說明由一沈積氧化物及/或其它鈍化材料組成之一選擇性覆蓋層140之形成。該覆蓋層140可具有一從大約0.01 μm 到大約1 μm 的厚度。任何情況下，不論是否採用覆蓋層140，裝置均可曝露在範圍從大約900°C到1800°C的高退火溫度下，在一些具體實施例中，約為1600°C，並保持數分鐘，例如5分鐘，以活化該n型及p型植入。

如圖2G所示，可去除該覆蓋層140，並於裝置之通道區域29上形成一n⁻碳化矽磊晶區域19。可控制該n⁻碳化矽磊晶區域19的深度，使得在後續製程步驟中，僅該n⁻區域19之一部分可從通道區域29上被去除。在本發明之一些具體實施例中，該n⁻碳化矽區域可具有一從大約1500 Å到大約6000 Å的厚度，及一大約 $5 \times 10^{15} \text{ cm}^{-3}$ 的載體濃度。

如圖 2H 所示， n^- 區域 19 之一部分已被去除。 n^- 區域 19' 之部分留在該 n 型碳化矽區域 21 及該 p 型區域 31 上可定義裝置之通道區域 29 (圖 2I)。該 n^- 區域 19' 之剩餘部分可具有一從大約 1000 Å 到大約 5000 Å 的厚度。在本發明之一些具體實施例中，該 n^- 區域 19' 之剩餘部分可具有一大約從 1500 Å 的厚度。通道區域 29 上 n^- 區域 19' 之剩餘部分之存在可提供通道區域 29 在 n^- 區域 19' 和閘極絕緣層 30 之間之一介面 35 之處的表面粗度降低，如以下關於圖 3 之進一步討論。

將可瞭解，通道區域 29 可由 n^- 區域 19' 之剩餘部分以及在 n 型碳化矽區域 21 和 p 型埋入區域 18 與源極區域 20 之間的 p 井 31 部位所定義。因此， n^- 區域 19' 可以只留在 n 型碳化矽區域 21 和 p 型埋入區域 18 和源極區域 20 之間的 p 井 31 之部分上，而不留在 n 型碳化矽區域 21 上，並不偏離本發明的範圍。

在本發明之一些具體實施例中，可使用化學機械拋光 (CMP) 製程從通道區域 29 的表面去除 n^- 區域 19 之一部分。在本發明之特定的具體實施例中，該 CMP 製程去除該 n^- 區域 19 的一部分可為從大約 2.0 到大約 3.0 倍之通道區域 29 表面粗度的深度。將可瞭解，可使用任何傳統的 CMP 製程作為在此所討論的 CMP 製程，並不偏離本發明的範疇。然而，在此所討論的製程並非去除整個 n^- 區域 19。一般而言，植入區域之厚度為數千埃，而傳統 CMP 製程係在 CMP 製程中去除數微米的薄膜來得到希望的結果。然而，如熟悉此技術之人士所將瞭解者，從圖 2G 的結構去除數微米的

薄膜將會去除全部的植入區域，而使裝置喪失功能。

因此，本發明之一些具體實施例使用去除 n^- 區域19之一部分的CMP製程，留下 n^- 區域19'之一部分在通道區域29上。例如，在本發明之一些具體實施例中，該CMP製程可進行小於大約3小時，例如從大約半小時到大約1小時。換言之，在CMP製程之後，從大約1000到大約5000 Å的 n^- 區域19留在裝置之通道區域29上。因此， n^- 區域之剩餘部分可為從大約1000到大約5000 Å。 n^- 區域19'之剩餘部分在 n 型碳化矽區域21和 p 井區域31上變成通道區域29的一部分，亦即， n^- 區域19'之剩餘部分可填補 n 型碳化矽區域21和 p 井區域31表面上的高峰和低谷。如圖2H所進一步顯示，可於 n^- 區域19'之剩餘部分上提供一遮罩130，且可按照遮罩130對 n^- 區域19'進行圖案化，去除 n^- 區域19'之部分在源極區域20上，如圖2I所示。如前述，在本發明之一些具體實施例中，該 n^- 區域19'可以只留在 n 型碳化矽區域21和源極區域20以及 p 型埋入區域18之間的 p 井區域31上。

如前述，於 n 型區域21和 p 井區域31上提供 n^- 區域19'可降低 n^- 區域19'和閘極絕緣體30之間的面表面粗度。例如，如圖3A所示，在經歷將植入區域活化的退火程序之後， n 型碳化矽區域21和 p 井區域31的表面會有許多的高峰和低谷。這些高峰和低谷(數百埃)可能影響裝置之次最佳效能。在依據本發明一些具體實施例於 n 型碳化矽區域21和 p 井區域31上形成 n^- 區域19並從該 n 型碳化矽區域21和該 p 井區域上去除該 n^- 區域之一部分之後，藉由 n^- 區域19'之剩餘部分，

可去除許多的高峰與低谷，如圖3B所示。特定言之，依據本發明之一些具體實施例，通道區域29之均方根(RMS)表面粗度可從如圖3A之至少大約28 Å降低到如圖3B之小於大約1.0 Å。此外，在本發明之一些具體實施例中，可於通道區域29之一表面上形成並去除一選擇性的犧牲氧化物層(未顯示)。形成並去除該犧牲氧化物層可進一步把RMS表面粗度降低到大約0.70 Å，如圖3C所示。

如圖2I所示，可於裝置上沉積一絕緣材料層30，以提供一閘極絕緣材料。在本發明之一些具體實施例中，該絕緣材料可按照下列專利所述方法形成：美國專利第6,610,366號，標題為「碳化矽層上之氧化物層的N₂O退火方法」；美國專利第6,767,843號，標題為「碳化矽層上之氧化物層的N₂O生長方法」及/或美國專利申請公開案第US 2002/0102358A1號，標題為「於氫環境中使用退火而在碳化矽層上製造氧化層之方法」，以上專利所揭示內容以引用方式併入本文中。在本發明之某些具體實施例中，該絕緣材料可按照Chung等人在文獻「於氧化氮中高溫退火改善4H-SiC MOSFET之反向通道移動」中所述的方法形成，其所揭示內容以引用方式併入本文中。如圖2I進一步顯示，可藉由在閘極絕緣材料30上形成一金屬接觸器而形成一閘極接觸器26。適合的閘極接觸器材料包括，但不限於，鋁、多晶矽和鈾。此外，熟習此項技術之人士將明白，亦可使用一多層閘極接觸器。

如圖2J所示，可在絕緣材料30'中形成若干接觸孔，並在

該等接觸孔中形成歐姆接觸以提供源極接觸器 24。同樣地，可於基板 10 上形成一歐姆接觸 28。適合的歐姆接觸器材料包括，但不限於，鎳、鈦合金、和鋁。然後可在一範圍從 500°C 到大約 1200°C 的高溫下對沉積的金屬接觸器進行退火處理。例如，可在該等接觸器上沉積覆層金屬，以幫助與裝置之連接。

熟習此項技術者將瞭解，可改變圖 2A 至 2J 中各步驟的順序。因此，例如，可先形成 n 型碳化矽區域 21，再形成 n⁺ 區域 20，並不偏離本發明之範疇。同樣地，p⁺ 埋入區域 18 可在 n⁺ 區域 20 或 n 型碳化矽區域 21 形成之前或之後形成。同樣地，接觸器 24 之形成順序可為，例如，沉積及圖案化一金屬層，然後提供絕緣層 30' 並在該絕緣層中形成達到該等接觸器 24 的開口。因此，不應將本發明解釋成須限定和本文所述操作順序完全一致，而應該是涵蓋其它製造順序，依照本發明所揭示之內容，熟習此項技術者將可明白該等製造順序。

現在請參考圖 4，圖示為傳統裝置和使用依據本發明之一些具體實施例之方法所製造裝置的汲極電壓 (V) 對汲極電流 (A) 的比較圖。如圖 4 所示，相同汲極電壓下，依據本發明之一些具體實施例所製造的 MOSFET，其汲極電流比傳統 MOSFET 高。

在圖式與說明書中，已揭示本發明典型之較佳具體實施例，雖然使用了特定的術語，但該等術語之使用僅係一般性及說明性的意義，目的並非限制，本發明之範疇係在以

下申請專利範圍中提出。

【圖式簡單說明】

圖1為一依據本發明之一些具體實施例之功率MOSFET的斷面圖。

圖2A至2J為依據本發明之一些具體實施例之製造圖1之功率MOSFET的處理步驟的斷面圖。

圖3A至3C為使用依據本發明之一些具體實施例之方法所製造MOSFET的通道影像。

圖4為傳統裝置和使用依據本發明之一些具體實施例之方法所製造裝置的汲極電壓(V)對汲極電流(A)的比較圖。

【主要元件符號說明】

10	(n ⁺ 單晶碳化矽)基板
10A	第一面
10B	第二面
12	n ⁻ 碳化矽層12/n ⁻ 磊晶層/n ⁻ 層
14	P型碳化矽區域/P井區域/p型區域/p型層
18	p ⁺ 碳化矽埋入區域/p型埋入區域/P型區域
19	n ⁻ 碳化矽磊晶區域/n ⁻ 區域
19'	n ⁻ 區域
20	n ⁺ 碳化矽區域/n ⁺ 源極區域
21	n型碳化矽區域
24	源極接觸器
26	閘極接觸器
28	汲極接觸器/歐姆接觸

29	通道區域
30	閘極絕緣層
30'	絕緣材料/絕緣層
31	p型區域
35	介面
100	遮罩層
100a	線
100b	線
100c	線
120	第二遮罩層
130	遮罩
140	覆蓋層

七、申請專利範圍：

1. 一種功率裝置，其包含：

一 p 型導電井區域；

在該 p 型導電井區域中之一埋入 p^+ 導電區域；

在該埋入 p^+ 導電區域上之一 n^+ 導電區域；以及

該功率裝置之一通道區域係鄰接該埋入 p^+ 導電區域及該 n^+ 導電區域，該功率裝置之該通道區域具有一均方根 (RMS) 表面粗度，其約低於 1.0 \AA 。

2. 如請求項 1 之裝置：

其中該 p 型導電井區域包含一 p 型碳化矽井區域；

其中該埋入 p^+ 導電區域包含一在該 p 型碳化矽井區域中之一 p^+ 碳化矽埋入區域；及

其中該 n^+ 導電區域包含一在該 p^+ 碳化矽埋入區域上之一 n^+ 碳化矽區域。

3. 如請求項 2 之裝置，其進一步包含位於該功率裝置之該通道區域上之一 n^- 碳化矽區域，該 n^- 碳化矽區域之存在提供了該通道區域之一表面粗度之一降低。

4. 如請求項 3 之裝置，其中位於該通道區域上之該碳化矽 n^- 區域具有從大約 1000 到大約 5000 \AA 之一厚度。

5. 如請求項 4 之裝置，其中位於該通道區域上之該碳化矽 n^- 區域之該厚度約為 1500 \AA 。

6. 如請求項 3 之裝置，其中該 n^- 區域包含在去除一 n^- 磊晶層之一被去除部份後，於該通道區域上之該 n^- 磊晶層之一剩餘部份。

7. 如請求項6之裝置，其中在去除該被去除部份之前，該 n^- 磊晶層具有大約從1500 Å至大約6000 Å之一厚度。
8. 如請求項3之裝置，其進一步包含在鄰接該通道區域之該p型碳化矽井區域中之一碳化矽n型區域，其中該通道區域係定義於該 p^+ 碳化矽埋入區域與該碳化矽n型區域之間，且其中該 n^- 區域僅剩餘在該通道區域之上。
9. 如請求項2之裝置，其進一步包含：
 - 一碳化矽基板，其中該p型碳化矽井區域係被提供於該碳化矽基板之上；以及
 - 一 n^- 碳化矽層，其介於該碳化矽基板與該p型碳化矽井區域之間，
 - 其中該p型碳化矽井區域包含一於該 n^- 碳化矽層中之一p型碳化矽植入區域；
 - 其中該 p^+ 碳化矽埋入區域包含一於該p型碳化矽井區域中之一 p^+ 碳化矽植入區域；以及
 - 其中該碳化矽 n^+ 區域包含一於該 p^+ 碳化矽埋入區域上之該p型碳化矽井區域中之一植入n型區域。
10. 如請求項2之裝置，其進一步包含：
 - 一碳化矽基板，其中該p型碳化矽井區域係被提供於該碳化矽基板之上；以及
 - 一 n^- 碳化矽層，其介於該碳化矽基板與該p型碳化矽井區域之間；
 - 其中該p型碳化矽井區域包含一於該 n^- 碳化矽層中之一p型磊晶層；

其中該 p^+ 碳化矽埋入區域包含一於該 p 型碳化矽井區域中之一 p 型碳化矽植入區域；

其中該碳化矽 n^+ 區域包含一於該碳化矽 p^+ 區域上之該 p 型碳化矽井區域中之之一 n 型碳化矽植入區域。

11. 如請求項2之裝置，其進一步包含於鄰接該通道區域之該 p 型碳化矽井區域中之一碳化矽 n 型區域，其中該通道係定義在該 p^+ 碳化矽埋入區域與該碳化矽 n 型區域之間，以及其中該碳化矽 n 型區域為該功率裝置之一接面場效電晶體(JFET)區域。

12. 如請求項2之裝置，其進一步包含：

一碳化矽基板，其中該 p 型碳化矽井區域係被提供於該碳化矽基板之上；以及

一 n^- 碳化矽層，其介於該碳化矽基板與該 p 型碳化矽井區域之間，

其中該基板包含一 n^- 基板，其係作為該功率裝置之一漂移區域，該裝置進一步包括在該基板上與該 n^- 碳化矽層相反面上之一 n^+ 汲極區域。

13. 如請求項12之裝置，其中該 n^+ 汲極區域包含在該 n^- 基板中之一植入 n^+ 汲極區域或於該 n^- 基板上之一磊晶 n^+ 汲極區域。

14. 如請求項2之裝置，其中該功率裝置包含一金氧半導體場效電晶體(MOSFET)。

15. 如請求項1之裝置，其中該 n^+ 導電區域係直接位於該埋入 p^+ 碳化矽區域之上。

16. 一種功率裝置，其包含：

一 p 型導電井區域；

於該 p 型導電井區域中之一埋入 p⁺導電區域；

於該埋入 p⁺導電區域上之一 n⁺導電區域；

該功率裝置之一通道區域係鄰接該埋入 p⁺導電區域及該 n⁺導電區域，該功率裝置之該通道區域具有一均方根 (RMS) 表面粗度，其約低於 1.0 Å，

其中該 p 型導電井區域包含一 p 型碳化矽井區域；

其中該埋入 p⁺導電區域包含一於該 p 型碳化矽井區域中之一 p⁺碳化矽埋入區域；

其中該 n⁺導電區域包含一於該 p⁺碳化矽埋入區域上之一碳化矽 n⁺區域；以及

於該通道區域之一表面上之一犧牲氧化物層，該犧牲氧化物層具有從大約 100 到大約 1000 Å 的一厚度，其中該通道區域之該 RMS 表面粗度於該犧牲氧化物層被形成後被減低至大約 0.70 Å。

17. 一種功率裝置，其包含：

一 p 型導電井區域；

於該 p 型導電井區域中之一埋入 p⁺導電區域；

於該埋入 p⁺導電區域上之一 n⁺導電區域；

該功率裝置之一通道區域係鄰接該埋入 p⁺導電區域及該 n⁺導電區域，該功率裝置之該通道區域具有一均方根 (RMS) 表面粗度，其約低於 1.0 Å；以及

位於該功率裝置之該通道區域上之一 n⁻碳化矽區域，

該n⁻碳化矽區域之存在提供了該通道區域之一表面粗度之一降低，

其中該表面粗度之該降低係從至少大約28 Å到低於大約1.0 Å之一均方根(RMS)表面粗度之一降低。

18. 一金氧半導體場效電晶體(MOSFET)，其包含具有低於大約1.0 Å之一均方根(RMS)表面粗度之一通道區域。
19. 如請求項18之MOSFET，其進一步包含於該MOSFET之該通道區域上之一n⁻碳化矽區域，該n⁻碳化矽區域之存在提供了該通道區域之一表面粗度之一降低。
20. 如請求項19之MOSFET，其中位於該通道區域上之該碳化矽n⁻區域具有從大約1000到大約5000 Å之一厚度。
21. 如請求項20之MOSFET，其中位於該通道區域上之該碳化矽n⁻區域之該厚度約為1500 Å。
22. 如請求項19之MOSFET，其中該n⁻區域包含在去除一n⁻磊晶層之一被去除部份後，於該通道區域上之該n⁻磊晶層之一剩餘部份。
23. 如請求項22之MOSFET，其中在去除該被去除部份之前，該n⁻磊晶層具有一大約從1500 Å至大約6000 Å之一厚度。
24. 如請求項19之MOSFET，其進一步包含：
 - 一碳化矽基板；
 - 在該碳化矽基板上之一n⁻碳化矽層；
 - 在該n⁻碳化矽層上之一p型碳化矽井區域；
 - 在該p型碳化矽井區域中之一p⁺碳化矽埋入區域；

以及位於該 p^+ 碳化矽埋入區域上之一碳化矽 n^+ 區域，

其中該MOSFET之該通道區域係鄰接該 p^+ 碳化矽埋入區域及該碳化矽 n^+ 區域。

25. 如請求項24之MOSFET，其進一步包含一碳化矽 n 型區域在鄰接該通道區域之該 p 型碳化矽井區域中，其中該通道區域係定義於該 p^+ 碳化矽埋入區域與該碳化矽 n 型區域之間，且其中該 n^- 區域僅剩餘在該通道區域之上。
26. 如請求項24之MOSFET，其進一步包含一碳化矽 n 型區域在鄰接該通道區域之該 p 型碳化矽井區域中，其中該通道區域係定義於該 p^+ 碳化矽埋入區域與該碳化矽 n 型區域之間，且其中該碳化矽 n 型區域係該MOSFET之一接面場效電晶體(JFET)區域。
27. 如請求項24之MOSFET，其中該基板包含一 n^- 基板，其係作為該MOSFET之一漂移區域，該MOSFET進一步包括在該基板上與該 n^- 碳化矽層相反面上之一 n^+ 汲極區域。
28. 如請求項27之MOSFET，其中該 n^+ 汲極區域包含在該 n^- 基板上之一植入 n^+ 汲極區域或於該 n^- 基板上之一磊晶 n^+ 汲極區域。
29. 一金氧半導體場效電晶體(MOSFET)，其包含：
一具有低於大約 1.0 \AA 之一均方根(RMS)表面粗度之一通道區域；以及
於該通道區域之一表面上之一犧牲氧化物層，該犧牲氧化物層具有從大約 100 到大約 1000 \AA 之一厚度，其中

該通道區域之該RMS表面粗度於該犧牲氧化物層被形成後被減低至大約 0.70 \AA 。

30. 一金氧半導體場效電晶體(MOSFET)，其包含：

一具有低於大約 1.0 \AA 之一均方根(RMS)表面粗度之一通道區域；以及

於該MOSFET之該通道區域上之一 n^- 碳化矽區域，該 n^- 碳化矽區域之存在提供了該通道區域之一表面粗度之一降低，

其中該表面粗度之該降低係從至少大約 28 \AA 到低於大約 1.0 \AA 之一均方根(RMS)表面粗度之一降低。

31. 一種功率裝置，其包含：

一p型導電井區域；

在該p型導電井區域中之一埋入 p^+ 導電區域；

在該埋入 p^+ 導電區域上之一 n^+ 導電區域；

該功率裝置之一通道區域係鄰接該埋入 p^+ 導電區域及該 n^+ 導電區域；以及

位於該功率裝置之該通道區域上之一 n^- 導電區域，該 n^- 導電區域之存在提供了該通道區域之一表面粗度之一降低。

32. 如請求項31之裝置：

其中該p型導電井區域包含一p型碳化矽井區域；

其中該埋入 p^+ 導電區域包含在該p型碳化矽井區域中之一 p^+ 碳化矽埋入區域；

其中該 n^+ 導電區域包含在該 p^+ 碳化矽埋入區域上之一

碳化矽 n^+ 區域；

其中該 n^- 導電區域包含一 n^- 碳化矽區域。

33. 一種形成一碳化矽功率裝置之方法，其包括：

提供一 n 型碳化矽區域；

提供鄰接該 n 型碳化矽區域之一 p 型碳化矽區域；以及

僅在該裝置之一通道區域上提供一 n^- 碳化矽區域，該 n^- 碳化矽區域提供該碳化矽功率裝置之該通道區域之表面粗度之一降低；

其中碳化矽功率裝置之該通道區域包含該 n 型碳化矽區域、該 p 型碳化矽區域及該 n^- 碳化矽區域之至少部分。

34. 如請求項 33 之方法：

其中該 n 型碳化矽區域與該 p 型碳化矽區域包含高度高達數百埃之在其表面上之階梯；以及

其中該 n^- 碳化矽區域係提供於該通道區域中之該 n 型碳化矽區域與該 p 型碳化矽區域之該等表面上之該等階梯上，該等階梯上之該 n^- 碳化矽區域之存在提供了該碳化矽功率裝置之該通道區域之表面粗度之該降低。

35. 如請求項 34 之方法，其中該表面粗度之該降低係從至少大約 28 Å 到低於大約 1.0 Å 之一均方根 (RMS) 表面粗度之一降低。

36. 如請求項 34 之方法，其中該碳化矽功率裝置之該通道區域具有一均方根 (RMS) 表面粗度，其低於約 1.0 Å。

37. 如請求項 34 之方法，其進一步包含提供一閘極絕緣層於該 n 型碳化矽層與該 p 型碳化矽層區域上，其中該 n^- 碳化

矽區域填補該n型碳化矽層與該p型碳化矽區域之該等表面上的高峰和低谷以提供一介於該通道區域與一閘極絕緣層間之一較平緩表面。

38. 如請求項34之方法，其中提供一n⁻區域包含：

形成一n型磊晶層於該n型碳化矽區域與該p型碳化矽區域上；以及選擇性地去除該n型磊晶層之一部分，以提供該n⁻區域，以使得該n⁻區域之一部分留在該等階梯上，以提供該通道區域之一表面粗度之該降低。

39. 如請求項38之方法，其中選擇性去除包含執行一化學機械拋光(CMP)製程於該n型磊晶層，該CMP製程從該通道區域去除僅該n⁻區域之一部分。

40. 如請求項39之方法，其中該CMP製程被執行小於大約3.0小時。

41. 如請求項40之方法，其中該CMP製程被執行從大約半小時到大約1小時。

42. 如請求項39之方法，其中該CMP製程從該通道區域上去除該n⁻型磊晶層至留下從大約1000到大約5000 Å。

43. 如請求項39之方法，其中該選擇性去除進一步包含該n型磊晶層之一部分去除掉該通道區域之該表面粗度之從大約2.0到3.0倍的一深度。

44. 如請求項39之方法，其進一步包含提供一犧牲氧化物層於該通道區域以及去除該犧牲氧化物層，其中提供與移除該犧牲氧化物層進一步降低該通道區域之該RMS表面粗度。

45. 如請求項44之方法，其中該通道之該表面之該RMS表面粗度不大於約 0.7 \AA 。
46. 如請求項34之方法，其中提供該n⁻碳化矽區域包含提供具有從大約1000至大約5000 \AA 之一厚度之一n⁻碳化矽區域。
47. 一碳化矽功率裝置，其包含：
一n型碳化矽區域；
一p型碳化矽區域係鄰接該n型碳化矽通道；以及
一n-碳化矽區域，其提供該碳化矽功率裝置之一通道區域之表面粗度之一降低。
48. 如請求項47之裝置，其中該n型碳化矽區域與該p型碳化矽區域包含高度高達數百埃之在其表面上之階梯；以及其中該n⁻碳化矽區域係提供於該n型碳化矽區域與該p型碳化矽區域之該等表面上之該等階梯上，該等階梯上之該n⁻碳化矽區域之存在提供了該碳化矽功率裝置之該通道區域之表面粗度之該降低。
49. 如請求項48之裝置，其中在該表面粗度之該降低係一從至少大約28 \AA 至少於大約1.0 \AA 之一均方根(RMS)表面粗度之一降低。
50. 如請求項48之裝置，其中該碳化矽功率裝置之該通道區域具有一均方根(RMS)表面粗度，其低於約1.0 \AA 。
51. 如請求項48之裝置，其進一步包含於該n型碳化矽層與該p型碳化矽層區域上之一閘極絕緣層，其中該n⁻碳化矽區域填補該n型碳化矽層與該p型碳化矽區域之該等表面

上的高峰和低谷以提供一介於該通道區域與一閘極絕緣層間之一較平緩表面。

52. 如請求項48之裝置，其中該n⁻碳化矽區域具有從大約1000至大約5000 Å之一厚度。

53. 如請求項48之裝置，其中該碳化矽之該通道區域包含該n型碳化矽區域，該p型碳化矽區域以及該n⁻碳化矽區域。

54. 如請求項48之裝置，其進一步包含在該通道區域上之一犧牲氧化層，其中該犧牲氧化層之該存在與移除進一步降低該通道區域之該RMS表面粗度。

55. 如請求項54之裝置，其中該通道區域之該表面之該RMS表面粗度不大於約0.7 Å。

56. 一種形成一碳化矽功率裝置之方法，其包括：

提供一n型碳化矽區域；

提供鄰接該n型碳化矽區域之一p型碳化矽區域；以及

提供一n⁻碳化矽區域，其提供該碳化矽功率裝置之一通道區域之表面粗度之一降低；

其中該碳化矽功率裝置之該通道區域包含該n型碳化矽區域、該p型碳化矽區域及該n⁻碳化矽區域之至少部分；

其中該n型碳化矽區域及該p型碳化矽區域包含高度高達數百埃之在其表面上之階梯；及

其中該n⁻碳化矽區域係提供於該n型碳化矽區域與該p型碳化矽區域之該等表面上之該等階梯上，該等階梯上

之該 n⁻碳化矽區域之存在提供了該碳化矽功率裝置之該
通道區域之表面粗度之該降低。

八、圖式：

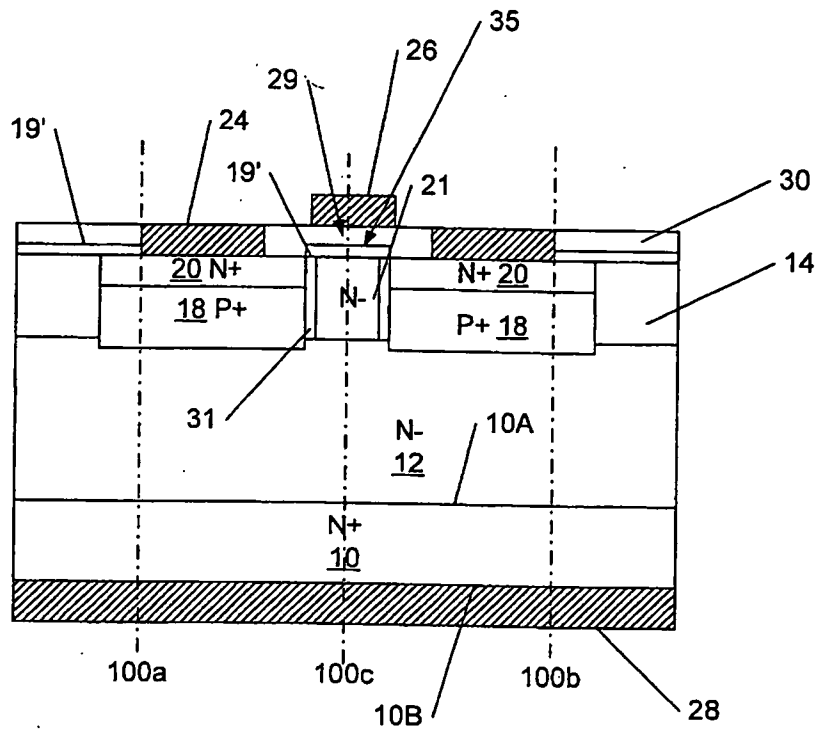


圖1

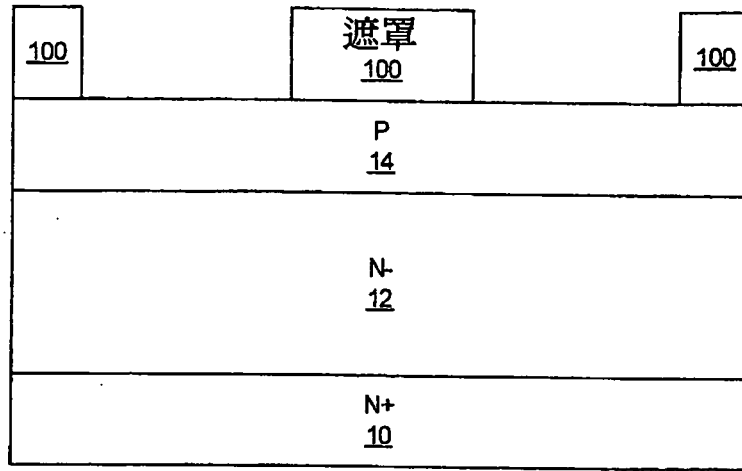


圖2A

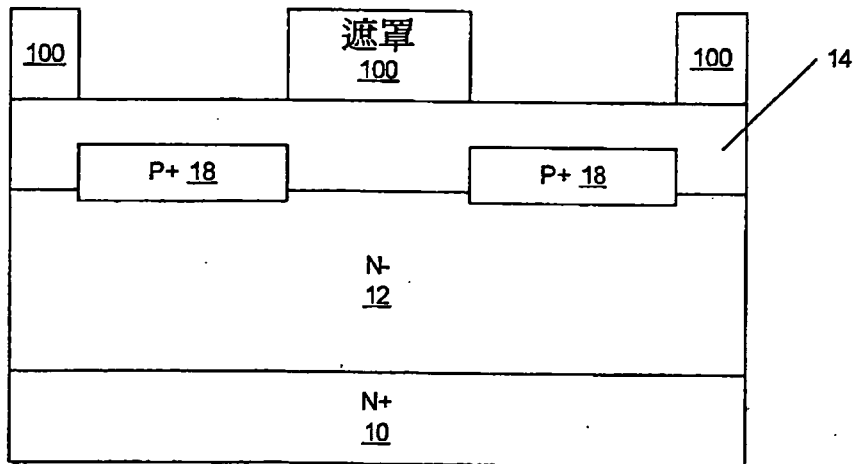


圖2B

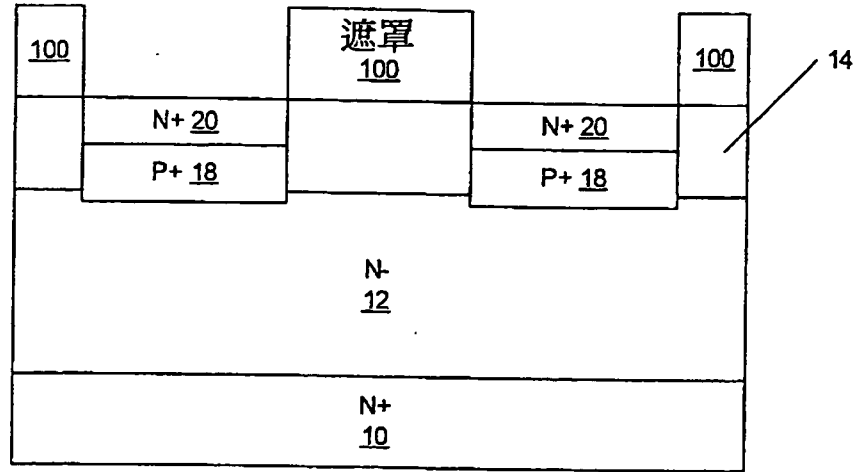


圖2C

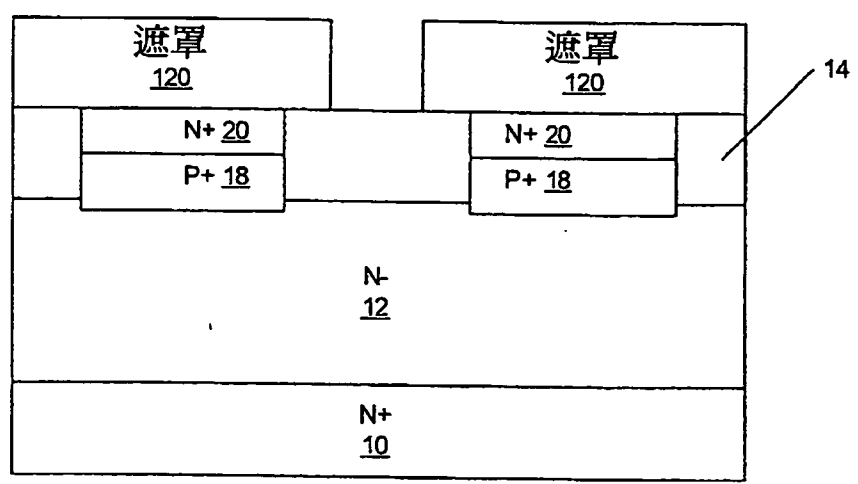


圖2D

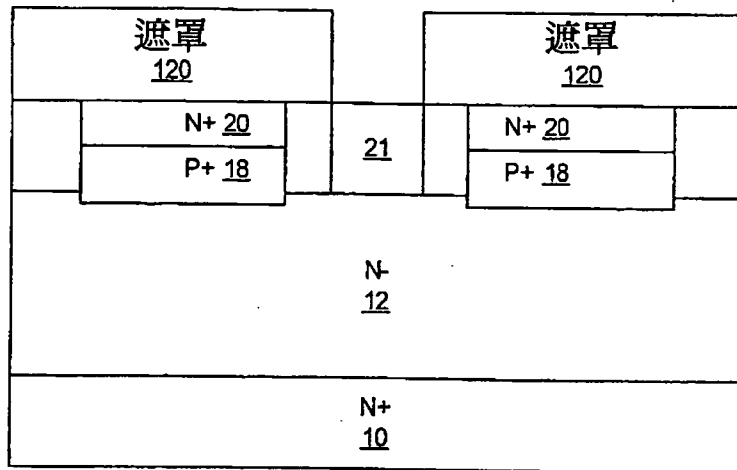


圖2E

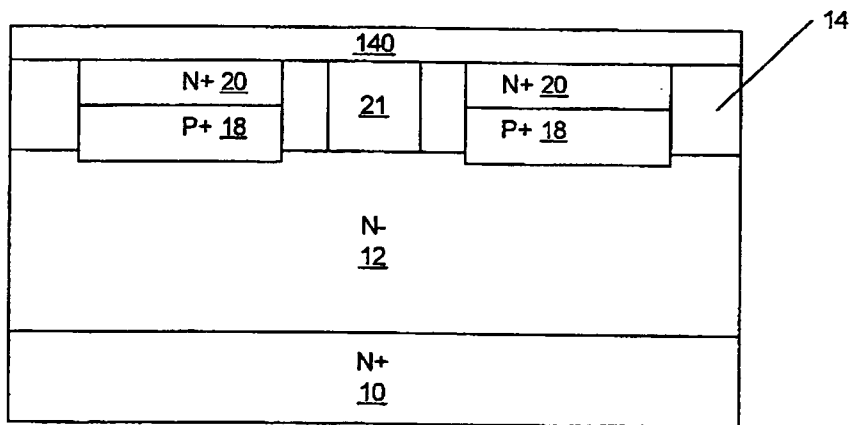


圖2F

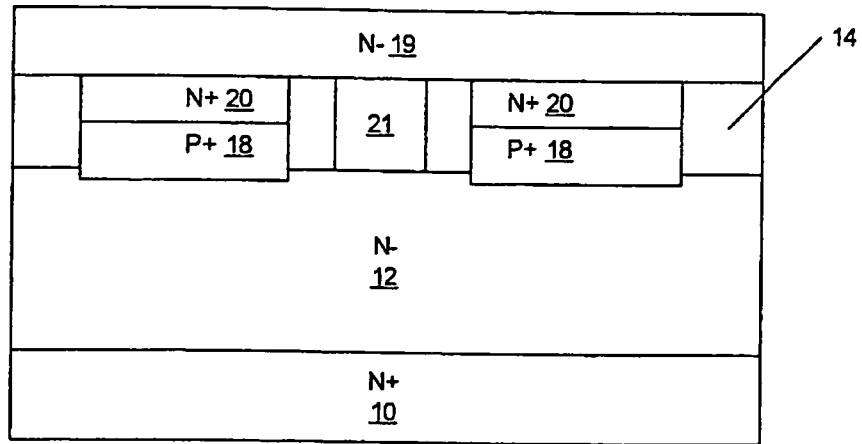


圖2G

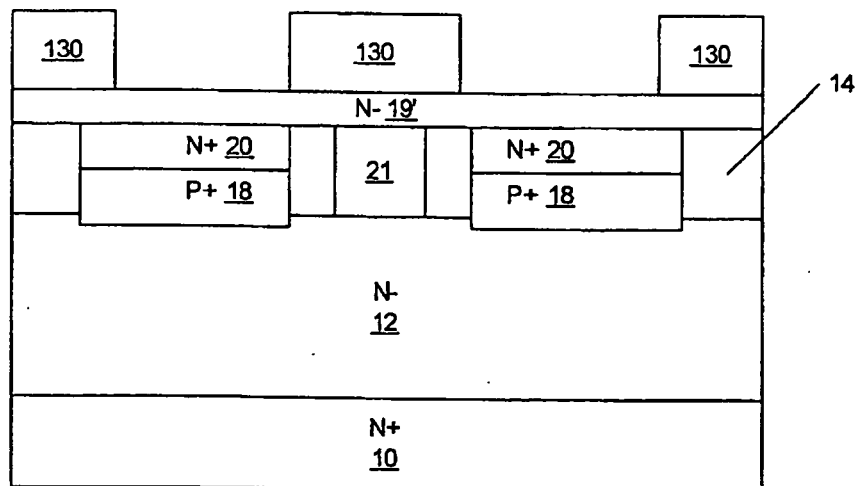


圖2H

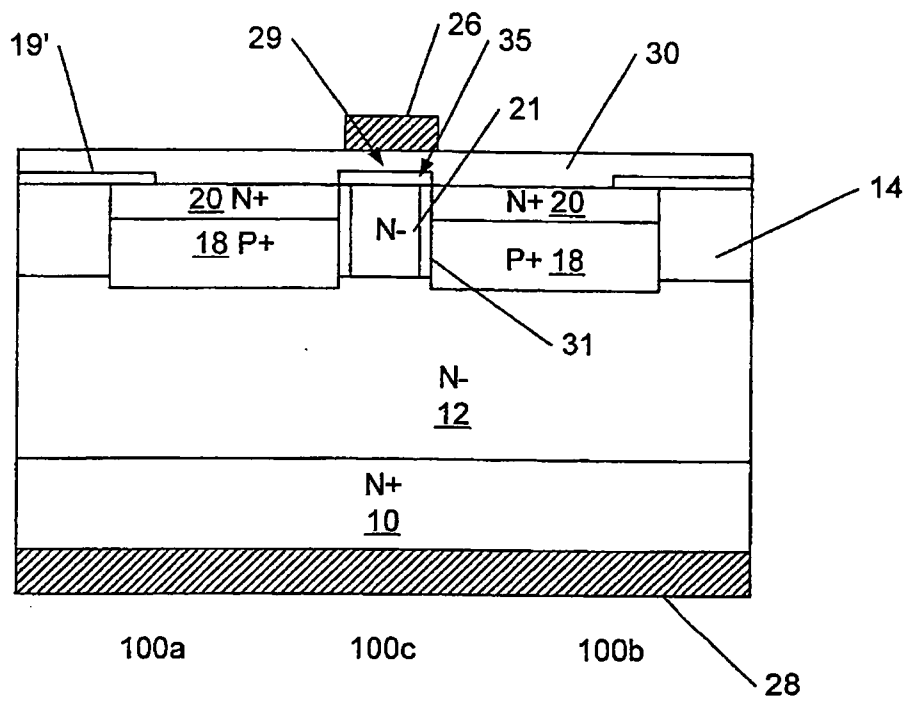


圖2I

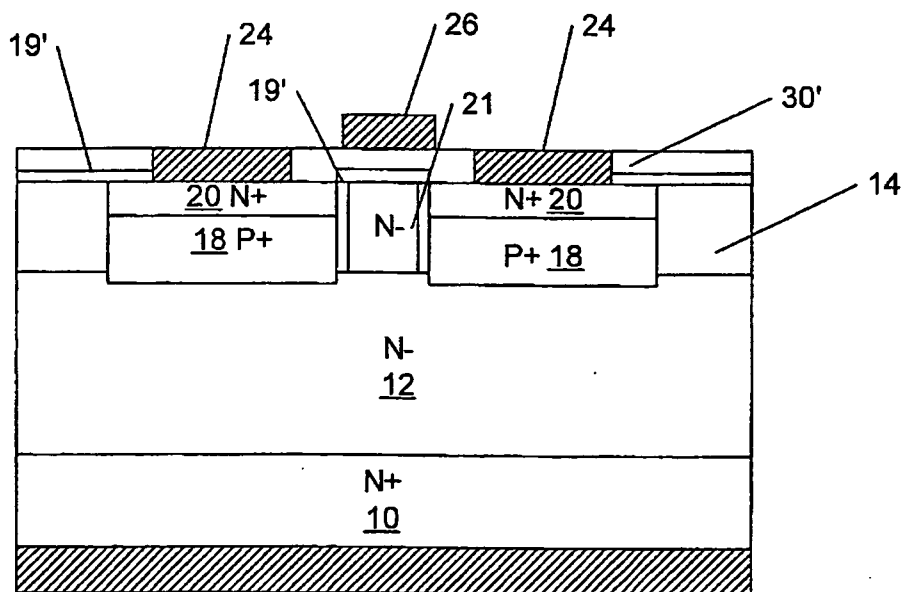


圖2J

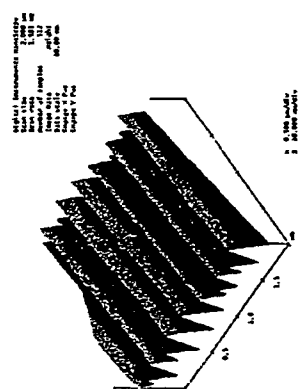


圖1a 原來的磊晶， $Z_{RMS} = 28A$
A

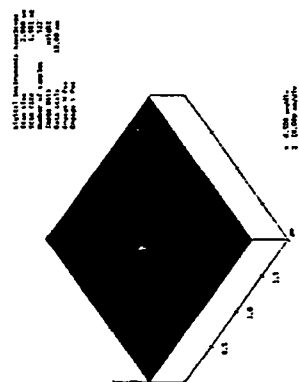


圖1b 經1小時CMP
之後， $Z_{RMS} = 1A$
B

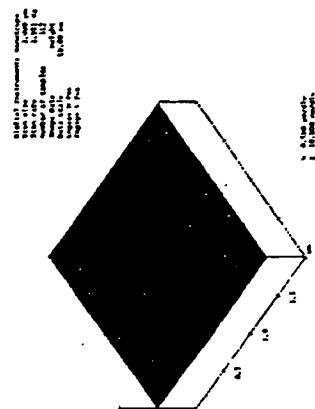


圖1c CMP + 犧牲氧化物層
之後， $Z_{RMS} = 0.7A$
C

圖3

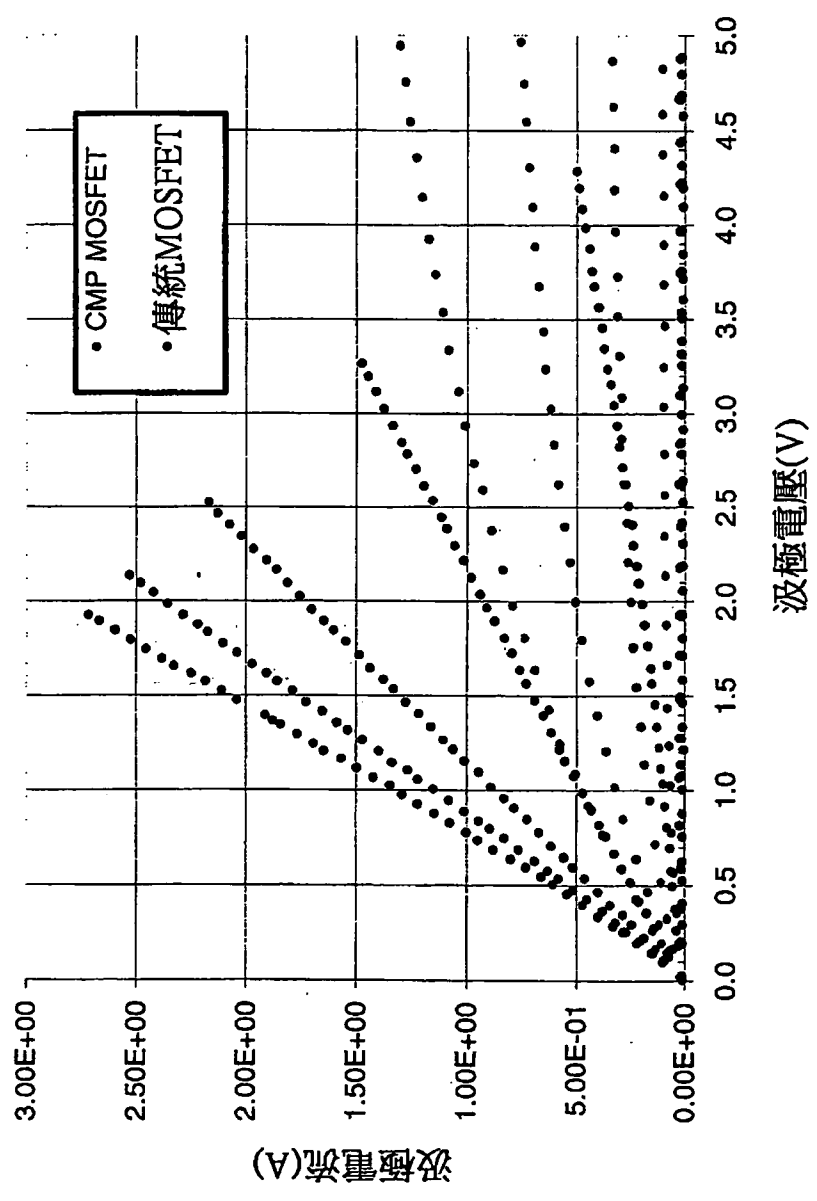


圖4