

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-10849

(P2008-10849A)

(43) 公開日 平成20年1月17日(2008.1.17)

| (51) Int. Cl. | F I | テーマコード (参考) |
|-------------------------|----------------------|-------------|
| HO 1 L 29/786 (2006.01) | HO 1 L 29/78 6 1 3 Z | 5 F 0 3 8 |
| HO 1 L 21/336 (2006.01) | HO 1 L 29/78 6 2 7 G | 5 F 0 4 8 |
| HO 1 L 21/20 (2006.01) | HO 1 L 21/20 | 5 F 1 1 0 |
| HO 1 L 21/822 (2006.01) | HO 1 L 27/04 C | 5 F 1 5 2 |
| HO 1 L 27/04 (2006.01) | HO 1 L 27/08 3 3 1 E | |

審査請求 未請求 請求項の数 12 O L (全 24 頁) 最終頁に続く

(21) 出願番号 特願2007-141450 (P2007-141450)
 (22) 出願日 平成19年5月29日 (2007.5.29)
 (31) 優先権主張番号 特願2006-153548 (P2006-153548)
 (32) 優先日 平成18年6月1日 (2006.6.1)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 熱海 知昭
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 井上 広樹
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 Fターム(参考) 5F038 AC05 DF01 DF05 DF12 EZ11
 EZ20
 5F048 AC04 AC10 BA16 BC06 BF07
 BF16 BG07

最終頁に続く

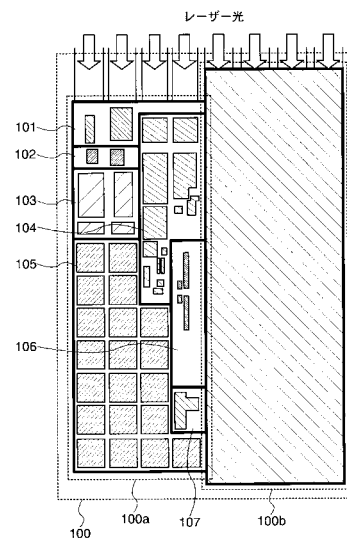
(54) 【発明の名称】 半導体装置及び半導体装置の作製方法

(57) 【要約】

【課題】 基板上に形成された半導体薄膜を用いた場合であっても、信号処理の高速化を実現し、一定の通信距離の確保を可能とする半導体装置及びその作製方法を提供することを課題とする。

【解決手段】 基板上に設けられた容量部を具備するアナログ回路部と、デジタル回路部とを有する半導体装置において、当該容量部に、それぞれ複数の容量素子を含む複数のブロックと、第1の配線と、第2の配線とを設ける。また、各ブロックに設けられた複数の容量素子の各々は、第1の不純物領域と、第1の不純物領域を挟んで互いに離間して設けられた複数の第2の不純物領域とを具備する半導体膜と、第1の不純物領域の上方に絶縁膜を介して設けられた導電膜とを有し、第1の不純物領域、絶縁膜及び導電膜により容量が形成されるように設ける。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

それぞれ複数の容量素子から構成される複数のブロックと、第 1 の配線と、第 2 の配線を具備する容量部を有し、

前記複数の容量素子の各々は、

第 1 の不純物領域と、前記第 1 の不純物領域を挟んで設けられた複数の第 2 の不純物領域とを有する半導体膜と、

前記第 1 の不純物領域の上方に絶縁膜を介して設けられた導電膜とを有し、

前記第 1 の不純物領域、前記絶縁膜及び前記導電膜により容量が形成され、

前記導電膜は前記第 1 の配線と電氣的に接続され、

前記第 2 の不純物領域は前記第 2 の配線と電氣的に接続され、

前記複数の容量素子が互いに並列に接続されていることを特徴とする半導体装置。

10

【請求項 2】

それぞれ複数の容量素子から構成される複数のブロックと、第 1 の配線と、第 2 の配線を具備する容量部を有し、

前記複数の容量素子の各々は、

第 1 の不純物領域と、前記第 1 の不純物領域を挟んで設けられた複数の第 2 の不純物領域とを有する半導体膜と、

前記第 1 の不純物領域の上方に絶縁膜を介して設けられた導電膜とを有し、

前記第 1 の不純物領域、前記絶縁膜及び前記導電膜により容量が形成され、

前記複数の容量素子の各々に設けられた前記導電膜は、前記第 1 の配線を介して互いに電氣的に接続され、

前記複数の容量素子の各々に設けられた前記第 2 の不純物領域は、前記第 2 の配線を介して互いに電氣的に接続されていることを特徴とする半導体装置。

20

【請求項 3】

請求項 1 又は請求項 2 において、

前記第 1 の不純物領域に含まれる不純物元素の濃度が前記第 2 の不純物領域に含まれる不純物元素の濃度より小さいことを特徴とする半導体装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一項において、

前記第 1 の配線と前記第 2 の配線が同一面上に設けられていることを特徴とする半導体装置。

30

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一項において、

前記複数のブロックに設けられた複数の容量素子が互いに並列に接続されていることを特徴とする半導体装置。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか一項において、

前記第 1 の配線は、前記導電膜より抵抗が低い材料で設けられていることを特徴とする半導体装置。

40

【請求項 7】

請求項 1 乃至請求項 6 のいずれか一項において、

前記複数のブロックにおいて、第 1 のブロックに設けられた半導体膜と、前記第 1 のブロックに隣接する第 2 のブロックに設けられた半導体膜との最短の間隔が $20\ \mu\text{m}$ 以上 $200\ \mu\text{m}$ 以下であることを特徴とする半導体装置。

【請求項 8】

基板上に複数の半導体膜を有するブロックを複数形成し、

前記複数の半導体膜に第 1 の不純物元素を導入して第 1 の不純物領域を形成し、

前記複数の半導体膜を覆うように第 1 の絶縁膜を形成し、

前記半導体膜の一部を覆うように前記第 1 の絶縁膜を介して前記複数の半導体膜上にそ

50

れぞれ導電膜を選択的に形成し、

前記導電膜をマスクとして前記複数の半導体膜に第2の不純物元素を導入して、前記導電膜と重ならない領域に第2の不純物領域を形成し、

前記複数の半導体膜及び前記導電膜を覆うように第2の絶縁膜を形成し、

前記第2の絶縁膜上に、前記導電膜と電氣的に接続する第1の配線及び前記第2の不純物領域と電氣的に接続する第2の配線とを形成し、

前記第1の配線は、前記複数の半導体膜の上方にそれぞれ形成された前記導電膜が互いに電氣的に接続されるように設け、

前記第2の配線は、前記複数の半導体膜にそれぞれ形成された前記第2の不純物領域が互いに電氣的に接続されるように設けることを特徴とする半導体装置の作製方法。 10

【請求項9】

基板上に半導体膜を形成し、

前記半導体膜にレーザー光を照射して結晶質半導体膜を形成し、

前記結晶質半導体膜を選択的にエッチングして、複数の結晶質半導体膜を有するブロックを複数設け、

前記複数の結晶質半導体膜に第1の不純物元素を導入して第1の不純物領域を形成し、

前記複数の結晶質半導体膜を覆うように第1の絶縁膜を形成し、

前記結晶質半導体膜の一部を覆うように前記第1の絶縁膜を介して前記複数の結晶質半導体膜上にそれぞれ導電膜を選択的に形成し、

前記導電膜をマスクとして前記複数の結晶質半導体膜に第2の不純物元素を導入して、前記導電膜と重ならない領域に第2の不純物領域を形成し、 20

前記複数の結晶質半導体膜及び前記導電膜を覆うように第2の絶縁膜を形成し、

前記第2の絶縁膜上に、前記導電膜と電氣的に接続する第1の配線及び前記第2の不純物領域と電氣的に接続する第2の配線とを形成し、

前記第1の配線は、前記複数の結晶質半導体膜の上方にそれぞれ形成された前記導電膜が互いに電氣的に接続されるように設け、

前記第2の配線は、前記複数の結晶質半導体膜にそれぞれ形成された前記第2の不純物領域が互いに電氣的に接続されるように設けることを特徴とする半導体装置の作製方法。

【請求項10】

請求項8又は請求項9において、 30

前記第1の不純物領域に含まれる不純物元素の濃度を前記第2の不純物領域に含まれる不純物元素の濃度より小さくすることを特徴とする半導体装置の作製方法。

【請求項11】

請求項8乃至請求項10のいずれか一項において、

前記第1の配線を、前記導電膜より抵抗が低い材料で形成することを特徴とする半導体装置の作製方法。

【請求項12】

請求項8乃至請求項11のいずれか一項において、

前記複数のブロックにおいて、第1のブロックに設けられた半導体膜と、前記第1のブロックに隣接する第2のブロックに設けられた半導体膜との最短の間隔を20 μ m以上200 μ m以下とすることを特徴とする半導体装置の作製方法。 40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置及び当該半導体装置の作製方法に、特に薄膜トランジスタを用いた半導体装置の作製方法に関する。

【背景技術】

【0002】

近年、インターネットの普及で、IT (Information Technology) は全世界に浸透し、大変革をもたらしている。特に最近ではユビキタス情報社会と言 50

われるように、いつでも、どこでも、ネットワークにアクセスできる環境が整ってきている。このような環境の中、個々の対象物にID（個体識別番号）を与えることで、その対象物の履歴を明確にし、生産、管理等に役立てるといった個体認識技術が注目されている。

【0003】

その中でも現在、単結晶Si基板を用いて作製された超小型ICチップと、無線通信用のアンテナとを組み合わせた小型の半導体装置（RFID（Radio Frequency Identification）タグ、IDタグ、ICタグ、無線タグ、無線チップ、電子タグともよばれる）が脚光を浴びている。当該半導体装置は、無線通信装置（以下、「リーダ/ライタ」と記す）を用いることによって、無線でデータを書き込んだり、データを読み出すことができる。

10

【0004】

このような半導体装置の応用分野として、例えば、流通業界における商品管理が挙げられる。現在では、バーコードなどを利用した商品管理が主流であるが、バーコードは光学的に読み取るため、遮蔽物があるとデータを読み取れない。一方、上述した半導体装置では、無線でデータを読み取るため、遮蔽物があっても読み取れる。従って、商品管理の効率化、低コスト化等が可能なRFIDタグ等の半導体装置は、バーコードの代替技術として期待されており、また、当該半導体装置は、ICカード、ICタグ付きラベル、乗車券、航空旅客券、料金の自動精算など、広範な応用が期待されている（例えば、特許文献1、特許文献2参照）。

20

【0005】

また、様々な商品にRFIDタグ等の半導体装置を設けるにあたって、当該半導体装置を安価に提供することが望まれているが、単結晶Si基板を用いて半導体装置の製造を行う場合、単結晶Si基板は高価であるため低コスト化に限界がある。さらに、現在Si基板は様々な分野に用いられており、Si基板が大量に用いられることになると、Si基板の供給不足が懸念される。その結果、単結晶Si基板を用いた場合、ますます低コスト化が困難となる。

【0006】

一方で、半導体装置を安価に提供するため、ガラス基板やプラスチック基板上に形成した半導体薄膜を用いて半導体装置を形成する技術が研究されている。このような基板であれば、その面積や形状に大きな制限はないため、例えば、1辺が1メートル以上の矩形のものを用いれば、円形のシリコン基板と比較して、生産性の向上や、製造コストの低減が期待されている。

30

【0007】

また、半導体薄膜を用いて半導体装置を製造する場合、当該半導体装置の信号処理速度等を向上させるため、結晶性の半導体薄膜が利用されるが、基板上に形成された半導体薄膜の結晶状態や、当該半導体薄膜を用いて形成された回路のレイアウト等に、処理速度や通信距離等が依存するといった問題がある。今後、このような半導体装置は、低コスト化、処理速度の高速化及び通信距離の拡大がますます要求される。

【特許文献1】特開2002-366917号公報

40

【特許文献2】特開2002-123805号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

本発明は、基板上に形成された半導体薄膜を用いた場合であっても、信号処理の高速化を実現し、一定の通信距離の確保を可能とする半導体装置及び当該半導体装置の作製方法を提供することを課題とする。

【課題を解決するための手段】

【0009】

本発明の半導体装置は、それぞれ複数の容量素子から構成される複数のブロックと、第

50

1の配線と、第2の配線を具備する容量部を有し、複数の容量素子の各々は、第1の不純物領域と、第1の不純物領域を挟んで離間して設けられた第2の不純物領域とを有する半導体膜と、第1の不純物領域の上方に絶縁膜を介して設けられた導電膜とを有し、第1の不純物領域、絶縁膜及び導電膜により容量が形成され、導電膜は第1の配線と電氣的に接続され、第2の不純物領域は第2の配線と電氣的に接続され、複数の容量素子が互いに並列に接続されている。なお、ここでいうブロックとは、複数の容量素子がまとまって設けられた一群(かたまり)を指しており、より具体的には複数の容量素子の各々に含まれる半導体膜が複数まとまって設けられた一群(かたまり)を指している。

【0010】

また、本発明の半導体装置は、それぞれ複数の容量素子から構成される複数のブロックと、第1の配線と、第2の配線を具備する容量部を有し、複数の容量素子の各々は、第1の不純物領域と、第1の不純物領域を挟んで離間して設けられた第2の不純物領域とを有する半導体膜と、第1の不純物領域の上方に絶縁膜を介して設けられた導電膜とを有し、第1の不純物領域、絶縁膜及び導電膜により容量が形成され、複数の容量素子の各々に設けられた導電膜は、第1の配線を介して互いに電氣的に接続され、複数の容量素子の各々に設けられた第2の不純物領域は、第2の配線を介して互いに電氣的に接続されている。

10

【0011】

本発明の半導体装置は、上記構成において、第1の配線と第2の配線が同一面上に設けられていることを特徴としている。また、複数のブロックに設けられた複数の容量素子が互いに並列に接続されていることを特徴としている。また、第1の配線は、導電膜より抵抗が低い材料で設けられていることを特徴としている。

20

【0012】

本発明の半導体装置は、上記構成において、複数のブロックにおいて、異なるブロックにそれぞれ設けられた半導体膜同士の間隔が、 $20\mu\text{m}$ 以上 $200\mu\text{m}$ 以下であることを特徴とする半導体装置。

【0013】

本発明の半導体装置の作製方法は、基板上に複数の半導体膜を有するブロックを複数形成し、複数の半導体膜に第1の不純物元素を導入して第1の不純物領域を形成し、複数の半導体膜を覆うように第1の絶縁膜を形成し、半導体膜の一部を覆うように第1の絶縁膜を介して複数の半導体膜上にそれぞれ導電膜を選択的に形成し、導電膜をマスクとして複数の半導体膜に第2の不純物元素を導入して、導電膜と重ならない領域に第2の不純物領域を形成し、複数の半導体膜及び導電膜を覆うように第2の絶縁膜を形成し、第2の絶縁膜上に、導電膜と電氣的に接続する第1の配線及び第2の不純物領域と電氣的に接続する第2の配線とを形成し、第1の配線は、複数の半導体膜の上方にそれぞれ形成された導電膜が互いに電氣的に接続されるように設け、第2の配線は、複数の半導体膜にそれぞれ形成された第2の不純物領域が互いに電氣的に接続されるように設ける。

30

【0014】

また、本発明の半導体装置の作製方法は、基板上に半導体膜を形成し、半導体膜にレーザー光を照射して結晶質半導体膜を形成し、結晶質半導体膜を選択的にエッチングして、複数の結晶質半導体膜を有するブロックを複数設け、複数の結晶質半導体膜に第1の不純物元素を導入して第1の不純物領域を形成し、複数の結晶質半導体膜を覆うように第1の絶縁膜を形成し、結晶質半導体膜の一部を覆うように第1の絶縁膜を介して複数の結晶質半導体膜上にそれぞれ導電膜を選択的に形成し、導電膜をマスクとして複数の結晶質半導体膜に第2の不純物元素を導入して、導電膜と重ならない領域に第2の不純物領域を形成し、複数の結晶質半導体膜及び導電膜を覆うように第2の絶縁膜を形成し、第2の絶縁膜上に、導電膜と電氣的に接続する第1の配線及び第2の不純物領域と電氣的に接続する第2の配線とを形成し、第1の配線は、複数の結晶質半導体膜の上方にそれぞれ形成された導電膜が互いに電氣的に接続されるように設け、第2の配線は、複数の結晶質半導体膜にそれぞれ形成された第2の不純物領域が互いに電氣的に接続されるように設ける。

40

【0015】

50

本発明の半導体装置の作製方法は、上記作製方法において、第1の不純物領域に含まれる不純物元素の濃度を第2の不純物領域に含まれる不純物元素の濃度より小さくすることを特徴としている。また、第1の配線を、導電膜より抵抗が低い材料で形成することを特徴としている。

【0016】

本発明の半導体装置の作製方法は、上記作製方法において、複数のブロックの各々に設けられた半導体膜同士の最短の間隔を20 μm以上200 μm以下に形成することを特徴としている。

【発明の効果】

【0017】

レーザー光の照射によって形成される大粒径結晶領域の半導体膜を用いて、回路や容量素子を形成することによって、信号処理の高速化を実現し、一定の通信距離の確保を可能とすることができる。

【発明を実施するための最良の形態】

【0018】

本発明の実施の形態について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々な変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同じものを指す符号は異なる図面間で共通して用いる場合がある。

【0019】

(実施の形態1)

本実施の形態では、本発明の半導体装置に関して、図面を参照して説明する。

【0020】

本発明の半導体装置100は、アナログ回路部100aとデジタル回路部100bとを有しており、アナログ回路部100aとデジタル回路部100bは分割して配置されている(図1参照)。アナログ回路部100aは、復調回路101、変調回路102、整流回路103、定電圧回路104、容量部105、発振回路106、リセット回路107等を有している。デジタル回路部100bは、メモリ部、メモリ回路等を有している。

【0021】

また、アナログ回路部100aやデジタル回路部100bに設けられる回路は、基板上に形成された半導体薄膜を用いて作製された薄膜トランジスタ等によって構成されている。また、容量部105には、基板上に形成された半導体薄膜を用いて作製された容量素子が複数設けられている。以下に、薄膜トランジスタと容量素子の断面構造の一例に関して図2を参照して説明する。

【0022】

図2(A)は、基板201上に薄膜トランジスタ210、220、容量素子230が設けられた例を示している。なお、ここでは、薄膜トランジスタ210がpチャネル型であり、薄膜トランジスタ220がnチャネル型とした場合に関して説明する。

【0023】

薄膜トランジスタ210は、少なくとも基板201上に絶縁膜202を介して設けられた半導体膜211と、当該半導体膜211上に設けられたゲート絶縁膜として機能する絶縁膜203と、絶縁膜203上に設けられたゲート電極213とを有している。半導体膜211は、ゲート電極213の下方に設けられたチャネル形成領域211aと、当該チャネル形成領域211aを挟んで離間して設けられたソース領域又はドレイン領域として機能する不純物領域211bを有している。

【0024】

また、薄膜トランジスタ220も同様に、基板201上に絶縁膜202を介して設けられた半導体膜221と、当該半導体膜221上に設けられたゲート絶縁膜として機能する絶縁膜203と、絶縁膜203上に設けられたゲート電極223とを有している。半導体

10

20

30

40

50

膜 2 2 1 は、ゲート電極 2 2 3 の下方に設けられたチャネル形成領域 2 2 1 a と、当該チャネル形成領域 2 2 1 a を挟んで離間して設けられたソース領域又はドレイン領域として機能する不純物領域 2 2 1 b を有している。

【 0 0 2 5 】

また、容量素子 2 3 0 は、少なくとも基板 2 0 1 上に絶縁膜 2 0 2 を介して設けられた半導体膜 2 3 1 と、当該半導体膜 2 3 1 上に設けられた絶縁膜 2 0 3 と、絶縁膜 2 0 3 上に設けられた導電膜 2 3 3 とを有しており、半導体膜 2 3 1、絶縁膜 2 0 3 及び導電膜 2 3 3 により容量が形成される。半導体膜 2 3 1 は、導電膜 2 3 3 の下方に設けられた第 1 の不純物領域 2 3 1 a と、当該第 1 の不純物領域 2 3 1 a を挟んで離間して設けられた第 2 の不純物領域 2 3 1 b とを有している。ここでは、容量素子 2 3 0 において、半導体膜 2 3 1 と導電膜 2 3 3 は電極として機能する。

10

【 0 0 2 6 】

また、薄膜トランジスタ 2 1 0、2 2 0、容量素子 2 3 0 を覆うように絶縁膜 2 0 5 が設けられており、当該絶縁膜 2 0 5 上に導電膜 2 1 5 a、2 1 5 b、2 2 5 a、2 2 5 b、2 3 5 a、2 3 5 b が設けられている。具体的には、導電膜 2 1 5 a、2 1 5 b は、薄膜トランジスタ 2 1 0 において離間して設けられたソース領域又はドレイン領域として機能する不純物領域 2 1 1 b とそれぞれ電氣的に接続するように設けられている。また、導電膜 2 2 5 a、2 2 5 b は、薄膜トランジスタ 2 2 0 において離間して設けられたソース領域又はドレイン領域として機能する不純物領域 2 2 1 b とそれぞれ電氣的に接続するように設けられている。また、導電膜 2 3 5 a、2 3 5 b は、容量素子 2 3 0 において離間して設けられた第 2 の不純物領域 2 3 1 b とそれぞれ電氣的に接続するように設けられており、且つ導電膜 2 3 5 a と導電膜 2 3 5 b とが絶縁膜 2 0 5 上において電氣的に接続されるように設けられている。

20

【 0 0 2 7 】

また、上述した構造において、薄膜トランジスタ 2 1 0、2 2 0 の一方又は両方に L D D 領域を設けた構造としてもよい(図 2 (B))。例えば、n チャネル型の薄膜トランジスタ 2 2 0 において、ゲート電極 2 2 3 の側面に接して絶縁膜 2 2 4 (サイドウォールともいう)を形成し、当該絶縁膜 2 2 4 の下方に L D D 領域として機能する不純物領域 2 2 1 c を設けた構造とすることもできる。この場合、薄膜トランジスタ 2 1 0 のゲート電極 2 1 3 の側面に接して絶縁膜 2 1 4 が形成され、容量素子 2 3 0 の導電膜 2 3 3 の側面に接して絶縁膜 2 3 4 が形成される。なお、ここでは、n チャネル型の薄膜トランジスタ 2 2 0 に L D D 領域として機能する不純物領域 2 2 1 c を設けた例を示したが、もちろん p チャネル型の薄膜トランジスタ 2 1 0 に L D D 領域を設けてもよい。

30

【 0 0 2 8 】

また、本発明の半導体装置において、基板 2 0 1 上に形成された半導体膜 2 1 1、2 2 1 として結晶質半導体膜を用いる。結晶質半導体膜を用いた薄膜トランジスタは、非晶質半導体膜を用いた薄膜トランジスタと比較して電界効果移動度(モビリティ)が高く、動作速度を向上することができる。本実施の形態では、結晶質半導体膜を、例えば、基板上にアモルファスシリコン等の非晶質半導体膜を形成した後に、当該非晶質半導体膜にレーザー光の照射(レーザーアニール)を行い結晶化させることにより得ることができる。特に、基板として耐熱性があまり高くないガラス基板等を用いる場合には、当該基板の熱変形を避けるために半導体膜の結晶化にレーザーアニールを用いることが非常に有効となる。なお、ここでいうレーザーアニール法とは、半導体膜に形成された損傷層やアモルファス層をアニールする技術や、基板上に形成された非晶質半導体膜を結晶化させる技術を指している。

40

【 0 0 2 9 】

一般的に、基板上に形成された半導体膜にレーザー光を照射して当該半導体膜の結晶化を行う場合、結晶化に必要なエネルギーを得るためにレーザー光の形状を、例えば、長辺と短辺を有する線状(矩形状、楕円状等も含まれる)に整形し、当該線状のレーザー光を短辺方向に走査させることにより行われる。レーザー光が照射された半導体膜には、線状

50

のレーザー光の走査方向に沿って伸長する結晶粒界を有する結晶粒（大粒径結晶粒）が形成される。一度の走査で得られる結晶性領域の幅は、線状に整形されたレーザー光の長辺の幅に概略等しい。そのため、基板全面に形成された半導体膜を全て結晶化するためには、線状のレーザー光の一度の走査により得られた結晶領域の幅ずつ、線状のレーザー光の走査する位置を長辺方向にずらしてレーザー光の照射を行う。

【0030】

一方、結晶領域の形成と同時に線状のレーザー光の長辺方向の両端において、エネルギーの減衰による結晶性不良領域が形成される場合がある。図6に、基板上に形成された半導体膜に線状のレーザー光を照射して結晶化させた後の半導体膜の表面の像を示す。図6から、レーザー光が照射された半導体膜において、結晶領域の両端部分にエネルギーの減衰により十分に結晶化されない領域（結晶化不良領域）が観察された。また、当該結晶化不良領域における半導体膜の表面には凹凸が生じていることが確認された。

10

【0031】

このように、線状のレーザー光を複数回走査して半導体膜の結晶化を行う場合、レーザー光の走査方向において結晶領域が連続して形成されるが、走査方向と直交する方向において、半導体膜に形成される結晶領域と結晶領域の間に結晶性不良領域が生じる。結晶性不良領域においては半導体膜の表面に凹凸が生じ、平坦性が十分でないため、当該結晶性不良領域の半導体膜を用いて薄膜トランジスタや容量素子等を作製した場合には電気特性のばらつきや動作不良の原因となる。

【0032】

従って、本実施の形態で示す半導体装置では、結晶性不良領域を避けた部分の半導体膜を用いて薄膜トランジスタや容量素子等を形成する。つまり、レーザーアニールにより得られた大粒径結晶粒が形成された領域の半導体膜を用いて、上述した回路を構成するトランジスタや容量部を構成する容量素子を形成できるように、回路や容量部のレイアウトを決定する。通常、レーザー光の走査方向や大粒径結晶粒が形成される領域の幅は決まっているため、その幅に対応して薄膜トランジスタを設けるように回路を配置する。具体的には、大粒径結晶粒が形成される領域の幅は、照射するレーザー光のエネルギーに依存するが、約200 μm 以上1500 μm 以下であるため、この範囲内に薄膜トランジスタ等を利用される半導体薄膜を設ける。一方、複数回レーザー光を走査して大粒径結晶粒が形成される領域を形成した場合、 n 回目のレーザー光の走査により形成される大粒径結晶粒が形成される領域と $n+1$ 回目のレーザー光の走査により得られる大粒径結晶粒が形成される領域の間に、幅が約3 μm ~10 μm の結晶性不良領域が形成されるため、当該結晶性不良領域を避けた部分に半導体薄膜を設ける。

20

30

【0033】

また、半導体装置の小型化に伴い、容量部は限られた範囲内で多くの容量を形成できるように設ける必要がある。一方で、容量素子を構成する半導体膜も平坦性が必要とされるため、結晶性不良領域を避けた部分に設ける必要がある。容量素子を設ける場合には、電極間に設けられる絶縁膜を薄く形成することにより大きい容量を形成できるが、平坦性が悪い電極（例えば、半導体膜）上に薄い絶縁膜を形成した場合にはショートする恐れが非常に高くなる。

40

【0034】

従って、本実施の形態で示す半導体装置を構成する容量部において、容量素子に含まれる半導体膜を結晶性不良領域を避けて設ける。また、限られた範囲でより多くの容量を形成するために、引き回し配線等の半導体膜以外を結晶性不良領域に配置して、容量素子が形成される領域に高密度に配置されるように容量素子を複数のブロックに分割して設ける。ここでは、それぞれ複数の容量素子を含むブロックを複数設ける。なお、ブロックとは、複数の容量素子がまとまって設けられた一群（かたまり）を指している。

【0035】

次に、本発明の容量部の一例に関して図面を参照して説明する。なお、図5(A)は図

50

4におけるA - B間の断面図を示し、図5(B)は図4におけるC - D間の断面図を示している。

【0036】

本実施の形態で示す容量部は、第1の配線301と、第2の配線302と、複数設けられた容量素子303とを有している。また、複数設けられた容量素子303は、複数のブロック300a ~ 300iに分割して設けられている。つまり、ブロック300a ~ 300i毎に容量素子303が複数形成されている(図3参照)。ここでは、各ブロックにおいて、複数の半導体膜を島状に形成して容量素子を複数設けている。これは、容量素子において半導体膜の面積を大きくした場合、半導体膜の抵抗が高い場合には、半導体の面積の分だけ十分な容量を形成できないためである。

10

【0037】

ブロック毎に複数設けられた容量素子303は、第1の不純物領域231aと当該第1の不純物領域231aを挟んで互いに離間して設けられた第2の不純物領域231bとを具備する半導体膜231と、半導体膜231の上方に絶縁膜203を介して設けられた導電膜233とを少なくとも有している。また、当該容量素子303は、半導体膜231、絶縁膜203及び導電膜233により容量が形成される(図4、図5参照)。

【0038】

容量素子303における導電膜233は、第1の配線301と電気的に接続されており、半導体膜231の第2の不純物領域231bは第2の配線302と電気的に接続されている。また、複数の容量素子の各々に設けられた導電膜233は互いに電気的に接続されており、ここでは、第1の配線301を介して互いに電気的に接続されている。つまり、複数の容量素子の各々の導電膜233は独立して設けられており、第1の配線を介して互いに電気的に接続されている。また、複数の容量素子の各々に設けられた複数の第2の不純物領域231bは、第2の配線302を介して互いに電気的に接続されている。これら複数の容量素子は、互いに並列に接続するように設けられている。

20

【0039】

また、本実施の形態で示す容量部は、一つのブロック内において互いに隣接する容量素子にそれぞれ設けられた半導体膜同士の間隔 r_1 と、隣接する異なるブロックに設けられた容量素子に設けられた半導体膜同士の最短の間隔 r_2 が、 $r_1 < r_2$ を満たすように設けられている。なお、ここでは隣接するブロック同士の間隔は、それぞれのブロックに含まれる半導体膜同士の最短距離をいう。

30

【0040】

なお、ここでいう半導体膜同士の間隔は、レーザー光の走査方向と直交する方向における半導体膜同士の間隔を指す。大粒径結晶粒が形成される領域間に形成される結晶性不良領域が、レーザー光の走査方向に沿って形成されるためである。従って、本実施の形態では、間隔 r_2 は、レーザー光の照射によって形成される結晶性不良領域の幅より大きくなるようにすることが好ましい。結晶性不良領域における半導体膜の表面は平坦性が十分でなく、結晶性不良領域の半導体膜を用いて容量素子を形成した場合にはショート等の恐れがあるためである。また、間隔 r_2 を20 μm 以上200 μm 以下、好ましくは50 μm 以上100 μm 以下とすることが好ましい。なぜなら、結晶性不良領域は、幅約3 μm ~ 10 μm で形成されるため、間隔 r_2 はプロセス上のマージンを考慮して結晶性不良領域の幅より少し大きく設けることが好ましく、且つ間隔 r_2 を広くとりすぎた場合は容量素子を設けるための面積が減少し、十分な容量を確保できなくなるからである。

40

【0041】

また、ここでは、配線抵抗等を考慮してレーザー光の走査方向においても容量素子をブロック毎に分割して設け、当該ブロック間に引き回し配線等を設けている。しかし、配線抵抗等の影響がほとんどない場合には、レーザー光の走査方向においては大粒径結晶粒が形成される領域が連続して形成されているためブロック毎に分割して設けない構成とすることも可能である。

【0042】

50

また、容量素子 303 は、作製工程の簡略化を図るため、回路を構成する他の薄膜トランジスタと同一の工程で設けることが好ましい。例えば、容量素子 303 の絶縁膜 203 としては、薄膜トランジスタのゲート絶縁膜を用いることが好ましい。特に、ゲート絶縁膜を薄く形成する場合には、容量素子 303 の容量を大きくとることが可能となる。

【0043】

また、半導体膜 231 の第 2 の不純物領域 231 b は薄膜トランジスタのソース領域又はドレイン領域として機能する不純物領域と同時に高濃度の不純物元素を導入することにより形成することが好ましい。半導体膜 231 の第 1 の不純物領域 231 a は、第 2 の不純物領域 231 b と同様に高濃度の不純物元素を導入して設けてもよいが、高濃度の不純物元素を導入する際に絶縁膜 203 がダメージを受ける恐れがある。そのため、第 2 の不純物領域に導入する不純物元素より低濃度の不純物元素を導入することにより形成することが好ましい。つまり、本実施の形態では、第 1 の不純物領域 231 a に含まれる不純物元素の濃度は第 2 の不純物領域 231 b に含まれる不純物元素の濃度より小さくなるように設ける。本実施の形態では、複数の容量素子を並列に設けることや、膜厚が薄い絶縁膜 203 を利用することを考慮すると、第 1 の不純物領域 231 a の形成の際に、絶縁膜 203 に加わるダメージを低減することは非常に有効となる。

10

【0044】

また、本実施の形態では、ブロック 300 a ~ 300 i 毎に設けられた複数の容量素子 303 を並列に接続する。このように、複数の容量素子を並列に接続することにより大きい容量を形成することができる。なお、このように複数の容量素子を並列に接続した場合、信頼性が懸念されるが、本実施の形態では、容量素子 303 の半導体膜 231 を凹凸が生じる結晶性不良領域を避けて平坦性が高い大粒径結晶領域に設け、さらに半導体膜 231 に第 1 の不純物領域 231 a を形成する際に、第 2 の不純物領域に添加する不純物元素より低濃度の不純物元素を導入して絶縁膜 203 に加わるダメージを最小限に抑えることにより信頼性を向上させている。

20

【0045】

また、容量素子 303 の導電膜 233 は、回路を構成する他の薄膜トランジスタのゲート電極と同時に形成することにより作製工程の簡略化を図ることができる、好ましい。また、この場合、複数の容量素子 303 において、隣接する容量素子の導電膜 233 を共通に設けてもよいが、上述したように、導電膜 233 より抵抗が小さい材料を用いて、形成した第 1 の配線 301 を介して複数の容量素子の各々に設けられた導電膜 233 を接続することによって配線抵抗を小さくし、消費電力を低減することができる。

30

【0046】

また、本実施の形態で示した半導体装置において、分割して設けられたアナログ回路とデジタル回路を囲むように配線を設けた構造とすることができる。このように、配線をアナログ回路とデジタル回路を囲むように設けることによって、半導体装置の回路における配線抵抗を小さくし、ノイズの影響を抑制することができる。また、ここでは、デジタル回路部 100 b の周りを囲むように高電源電位 (VDD) を供給する配線 150 a と低電源電位 (VSS) を供給する配線 150 b を設ける (図 11 参照)。一方、アナログ回路部 100 a の周りには低電源電位 (VSS) を供給する配線 150 a を設け、接地配線として機能しうる配線 150 b はアナログ回路部 100 a を囲むようには設けない構成とする。なお、低電源電位 (以下、VSS) は GND とすることができる。

40

【0047】

また、アンテナを介して受信した高周波信号が配線を伝わって回路に入力される場合、配線が長くなったり曲がったりすることによって、信号の反射や空間への漏洩が発生し、高周波信号の損失が大きくなる。従って、本実施の形態で示す半導体装置では、高周波信号が伝わる配線の長さを短くし直線となるように、高周波信号を受信する整流回路 103 をアンテナ接続部分 160 の近傍に配置する。このように、設けることによって、配線を伝わる際に損失する高周波信号を低減することが可能となる。

【0048】

50

このように、レーザー光の照射によって形成される大粒径結晶領域の半導体膜を用いて、回路や容量素子を形成することによって、移動度の高い薄膜トランジスタを作製でき、高い信頼性を有し且つ大容量の容量素子を得ることができるため、信号処理の高速化を実現し、一定の通信距離の確保を可能とすることができる。

【0049】

なお、本実施の形態は、本明細書の他の実施の形態と自由に組み合わせて行うことができる。

【0050】

(実施の形態2)

本実施の形態では、本発明の半導体装置の作製方法の一例に関して図面を参照して説明する。 10

【0051】

まず、基板401上に絶縁膜402を介して、半導体膜403を形成する。次に、当該半導体膜403にレーザー光を照射することによって、半導体膜403に結晶性領域403a(大粒径結晶粒が形成される領域)を形成する(図7(A))。なお、結晶性領域403aの端部には、結晶性不良領域が403bが形成される。

【0052】

基板401は、ガラス基板、石英基板、金属基板(例えば、ステンレス基板など)、セラミック基板、Si基板等の半導体基板から選択されるものである。他にもプラスチック基板として、ポリエチレンテレフタレート(PET)、ポリエチレンナフタレート(PEN)、ポリエーテルサルホン(PES)、アクリルなどの基板を選択することもできる。 20

【0053】

絶縁膜402は、CVD法やスパッタリング法等を用いて、酸化シリコン、窒化シリコン、酸化窒化シリコン(SiO_xN_y)($x > y > 0$)、窒化酸化シリコン(SiN_xO_y)($x > y > 0$)等の絶縁材料を用いて形成する。例えば、絶縁膜402を2層構造とする場合、第1層目の絶縁膜として窒化酸化シリコン膜を形成し、第2層目の絶縁膜として酸化窒化シリコン膜を形成するとよい。また、第1層目の絶縁膜として窒化シリコン膜を形成し、第2層目の絶縁膜として酸化シリコン膜を形成してもよい。このように、プロテクト層として機能する絶縁膜402を形成することによって、基板401からNaなどのアルカリ金属やアルカリ土類金属が、この上に形成する素子に悪影響を与えることを防ぐことができる。なお、基板401として石英を用いるような場合には絶縁膜402を省略してもよい。 30

【0054】

半導体膜403は、CVD法等により、シリコン等の非晶質半導体膜を用いて形成する。

【0055】

レーザー光の照射によって結晶化を行う場合には、レーザー光の光源としてLD励起の連続発振(CW)レーザー(YVO_4 、第2高調波(波長532nm))を用いることができる。特に第2高調波に限定する必要はないが、第2高調波はエネルギー効率の点で、さらに高次の高調波より優れている。CWレーザーを半導体膜に照射すると、連続的に半導体膜にエネルギーが与えられるため、一旦半導体膜を熔融状態にすると、熔融状態を継続させることができる。さらに、CWレーザーを走査することによって半導体膜の固液界面を移動させ、この移動の方向に沿って一方向に長い結晶粒を形成することができる。また、固体レーザーを用いるのは、気体レーザー等と比較して、出力の安定性が高く、安定した処理が見込まれるためである。なお、CWレーザーに限らず、繰り返し周波数が10MHz以上のパルスレーザーを用いることも可能である。繰り返し周波数が高いパルスレーザーを用いると、半導体膜が熔融してから固化するまでの時間よりもレーザーのパルス間隔が短ければ、常に半導体膜を熔融状態にとどめることができ、固液界面の移動により一方向に長い結晶粒で構成される半導体膜を形成することができる。その他のCWレーザー及 50

び繰り返し周波数が10MHz以上のパルスレーザーを使用することもできる。例えば、気体レーザーとしては、Arレーザー、Krレーザー、CO₂レーザー等がある。固体レーザーとして、YAGレーザー、YLFレーザー、YAlO₃レーザー、GdVO₄レーザー、KGWレーザー、KYWレーザー、アレキサンドライトレーザー、Ti:サファイアレーザー、Y₂O₃レーザー、YVO₄レーザー等がある。また、YAGレーザー、Y₂O₃レーザー、GdVO₄レーザー、YVO₄レーザーなどはセラミックスレーザとも呼ばれる。金属蒸気レーザーとしてはヘリウムカドミウムレーザ等が挙げられる。また、レーザー発振器において、レーザー光をTEM₀₀(シングル横モード)で発振して射出すると、被照射面において得られる線状のビームスポットのエネルギー均一性を上げることができるので好ましい。その他にも、パルス発振のエキシマレーザーを用いても良い。

10

【0056】

なお、半導体膜403にしきい値電圧等を制御するため、あらかじめ低濃度の不純物元素を導入しておいてもよい。この場合は、半導体膜403において、後にチャネル形成領域となる領域にも不純物元素が導入されることとなる。不純物元素としては、n型を付与する不純物元素又はp型を付与する不純物元素を用いることができる。n型を示す不純物元素としては、リン(P)やヒ素(As)等を用いることができる。p型を示す不純物元素としては、ボロン(B)やアルミニウム(Al)やガリウム(Ga)等を用いることができる。例えば、不純物元素として、ボロン(B)を $5 \times 10^{15} \sim 5 \times 10^{17} / \text{cm}^3$ の濃度で含まれるように半導体膜403の全面にあらかじめ導入する。

【0057】

次に、半導体膜403を選択的にエッチングすることによって、島状の半導体膜404a~404d、405a~405dを形成する(図7(B))。ここでは、半導体膜403における結晶性不良領域403bを選択的に除去し、結晶性領域403aが設けられた半導体膜403を利用して島状の半導体膜を設ける。なお、半導体膜404a~404dは後に形成される薄膜トランジスタを構成し、半導体膜405a~405dは後に形成される容量素子を構成する。また、半導体膜404a、404bと、半導体膜404c、404dとの間、又は、半導体膜405a、405bと、半導体膜405c、405dとの間は、結晶性不良領域の分だけ間隔が生じることとなる。

20

【0058】

次に、島状の半導体膜404a~404d、半導体膜405a~405dを覆うように絶縁膜406を形成した後、半導体膜405a~405dに選択的に不純物元素を導入して不純物領域407を形成する(図7(C))。半導体膜404a~404dの上方に形成された絶縁膜406は薄膜トランジスタにおけるゲート絶縁膜として機能し、半導体膜405a~405dの上方の絶縁膜406は容量素子の誘電体層として機能する。

30

【0059】

不純物元素としては、n型を付与する不純物元素又はp型を付与する不純物元素を用いることができる。n型を示す不純物元素としては、リン(P)やヒ素(As)等を用いることができる。p型を示す不純物元素としては、ボロン(B)やアルミニウム(Al)やガリウム(Ga)等を用いることができる。

【0060】

また、半導体膜405a~405dは容量素子において電極として機能する。そのため、不純物元素を導入することにより半導体膜405a~405dの導電率を増加することが好ましいが、高濃度の不純物元素を導入した場合に絶縁膜406がダメージを受ける。その結果、容量素子がショートする恐れがある。そのため、不純物元素を導入する場合には絶縁膜406にダメージを与えない条件で行うことが好ましく、例えば、半導体膜405a~405dにリン(P)を導入することによりn型を示す不純物領域407を形成する。

40

【0061】

次に、半導体膜404a~404d、半導体膜405a~405dの上方に絶縁膜406を介して導電膜408a~408d、導電膜409a~409dを選択的に形成する。

50

ここでは、半導体膜404a~404dの上方に導電膜408a~408dをそれぞれ形成し、半導体膜405a~405dの上方に導電膜409a~409dをそれぞれ形成している。その後、導電膜408a~408dをマスクとして半導体膜404a~404dに不純物元素を導入して不純物領域410を形成する。続けて、半導体膜404b、404d、半導体膜405a~405dを選択的にレジストで覆い、半導体膜404a、404cに導電膜408a、408cをマスクとして不純物元素を導入する。その結果、半導体膜404a、404cにチャンネル形成領域411a、ソース領域又はドレイン領域として機能する不純物領域411bが形成される(図7(D))。

【0062】

また、半導体膜404a、404cにおいて、ソース領域又はドレイン領域として機能する不純物領域411bは、チャンネル形成領域411aを挟んで離間して設けられている。

【0063】

導電膜408a~408d、導電膜409a~409dは、タンタル(Ta)、タングステン(W)、チタン(Ti)、モリブデン(Mo)、アルミニウム(Al)、銅(Cu)、クロム(Cr)、ニオブ(Nb)等から選択された元素またはこれらの元素を主成分とする合金材料若しくは化合物材料で形成することができる。また、これらの元素を窒化した金属窒化膜で形成することもできる。他にも、リン等の不純物元素をドーピングした多結晶珪素に代表される半導体材料により形成することもできる。ここでは、導電膜408a~408d、導電膜409a~409dとして、窒化タンタル、タングステンを順に積層させた積層構造で設ける。

【0064】

不純物元素としては、n型を付与する不純物元素又はp型を付与する不純物元素を用いることができる。n型を示す不純物元素としては、リン(P)やヒ素(As)等を用いることができる。p型を示す不純物元素としては、ボロン(B)やアルミニウム(Al)やガリウム(Ga)等を用いることができる。ここでは、リン(P)を導入することによりn型を示す不純物領域410を形成し、ボロン(B)を導入することによりp型を示す不純物領域411bを形成する。

【0065】

次に、導電膜408a~408d、導電膜409a~409dの側面に接するように絶縁膜412a~412d、絶縁膜413a~413dを形成する(図8(A))。なお、絶縁膜412a~412d、絶縁膜413a~413dはサイドウォールともいう。

【0066】

絶縁膜412a~412d、絶縁膜413a~413dの作製方法としては、まず、絶縁膜406を覆うように、プラズマCVD法やスパッタリング法等により、珪素、珪素の酸化物又は珪素の窒化物の無機材料を含む絶縁膜や、有機樹脂等の有機材料を含む絶縁膜を単層又は積層して形成する。次に、これらの絶縁膜を、垂直方向を主体とした異方性エッチングにより選択的にエッチングすることによって、導電膜408a~408d、導電膜409a~409dの側面に接する絶縁膜を形成する。なお、絶縁膜412a~412d、絶縁膜413a~413dの形成と同時に、絶縁膜406の一部がエッチングされて除去される場合がある(図8(A)参照)。絶縁膜406の一部が除去された場合、残存する絶縁膜406は、導電膜408a~408d、導電膜409a~409d及び絶縁膜412a~412d、絶縁膜413a~413dの下方に形成される。

【0067】

次に、半導体膜404a、404cを選択的にレジストで覆い、半導体膜404b、404d、半導体膜405a~405dに、導電膜408b、408d、導電膜409a~409d、絶縁膜412b、412d、絶縁膜413a~413dをマスクとして不純物元素を導入する。その結果、半導体膜404b、404dに、チャンネル形成領域414a、ソース領域又はドレイン領域として機能する不純物領域414b、LDD領域として機能する不純物領域414cが形成される。また、半導体膜405a~405dに、第1の

不純物領域 4 1 5 a、第 2 の不純物領域 4 1 5 b が形成される (図 8 (B)) 。

【 0 0 6 8 】

半導体膜 4 0 4 b、4 0 4 d において、ソース領域又はドレイン領域として機能する不純物領域 4 1 4 b と L D D 領域として機能する不純物領域 4 1 4 c は、いずれもチャンネル形成領域 4 1 4 a を挟んで離間して設けられ、チャンネル形成領域 4 1 4 a とソース領域又はドレイン領域として機能する不純物領域 4 1 4 b との間であって、絶縁膜 4 1 2 b、4 1 2 d の下方に L D D 領域として機能する不純物領域 4 1 4 c が設けられている。また、半導体膜 4 0 5 a ~ 4 0 5 d において、第 2 の不純物領域 4 1 5 b は第 1 の不純物領域 4 1 5 a を挟んで離間して設けられている。

【 0 0 6 9 】

不純物元素としては、n 型を付与する不純物元素又は p 型を付与する不純物元素を用いることができる。n 型を示す不純物元素としては、リン (P) やヒ素 (A s) 等を用いることができる。p 型を示す不純物元素としては、ボロン (B) やアルミニウム (A l) やガリウム (G a) 等を用いることができる。ここでは、リン (P) を導入することにより n 型を示す不純物領域 4 1 4 b、4 1 4 c、不純物領域 4 1 5 a、4 1 5 b を形成する。本実施の形態では、不純物領域 4 1 4 b、4 1 4 c、第 2 の不純物領域 4 1 5 b を、第 1 の不純物領域 4 1 5 a に含まれる不純物元素より濃度が高くなるように導入する。

【 0 0 7 0 】

次に、半導体膜 4 0 4 a ~ 4 0 4 d、半導体膜 4 0 5 a ~ 4 0 5 d、導電膜 4 0 8 a ~ 4 0 8 d、導電膜 4 0 9 a ~ 4 0 9 d を覆うように絶縁膜 4 1 6 を形成する (図 8 (C)) 。

【 0 0 7 1 】

絶縁膜 4 1 6 は、C V D 法やスパッタ法等により、酸化珪素 (S i O x)、窒化珪素 (S i N x)、酸化窒化珪素 (S i O x N y) (x > y)、窒化酸化珪素 (S i N x O y) (x > y) 等の酸素または窒素を有する絶縁層や D L C (ダイヤモンドライクカーボン) 等の炭素を含む膜、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料またはシロキサン樹脂等のシロキサン材料からなる単層または積層構造で設けることができる。なお、シロキサン材料とは、S i - O - S i 結合を含む材料に相当する。シロキサンは、シリコン (S i) と酸素 (O) との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基 (例えばアルキル基、芳香族炭化水素) が用いられる。置換基として、フルオロ基を用いることもできる。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。

【 0 0 7 2 】

次に、絶縁膜 4 1 6 を覆うように絶縁膜 4 1 7 を形成し、当該絶縁膜 4 1 7 上に、導電膜 4 1 8 a ~ 4 2 5 a、4 1 8 b ~ 4 2 5 b を形成する (図 8 (D)) 。

【 0 0 7 3 】

ここでは、導電膜 4 1 8 a、4 1 8 b は、半導体膜 4 0 4 a におけるソース領域又はドレイン領域として機能する不純物領域 4 1 1 b と電氣的に接続するように設けられている。同様に、導電膜 4 1 9 a、4 1 9 b は半導体膜 4 0 4 b における不純物領域 4 1 4 b と、導電膜 4 2 0 a、4 2 0 b は半導体膜 4 0 4 c における不純物領域 4 1 1 b と、導電膜 4 2 1 a、4 2 1 b は半導体膜 4 0 4 d における不純物領域 4 1 4 b と電氣的に接続するように設けられている。また、導電膜 4 2 2 a、4 2 2 b は、半導体膜 4 0 5 a における第 2 の不純物領域 4 1 5 b と電氣的に接続するように設けられている。同様に、導電膜 4 2 3 a、4 2 3 b は半導体膜 4 0 5 b における第 2 の不純物領域 4 1 5 b と、導電膜 4 2 4 a、4 2 4 b は半導体膜 4 0 5 c における第 2 の不純物領域 4 1 5 b と、導電膜 4 2 5 a、4 2 5 b は半導体膜 4 0 5 d における第 2 の不純物領域 4 1 5 b と電氣的に接続するように設けられている。

【 0 0 7 4 】

また、導電膜 4 2 2 a と導電膜 4 2 2 b は、絶縁膜 4 1 7 上において電氣的に接続している。また、導電膜 4 2 2 a ~ 4 2 5 a、4 2 2 b ~ 4 2 5 b は、互いに電氣的に接続し

10

20

30

40

50

ている。

【0075】

絶縁膜417は、CVD法やスパッタ法等により、酸化珪素(SiO_x)、窒化珪素(SiN_x)、酸化窒化珪素(SiO_xN_y) (x>y)、窒化酸化珪素(SiN_xO_y) (x>y)等の酸素または窒素を有する絶縁層やDLC(ダイヤモンドライクカーボン)等の炭素を含む膜、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料またはシロキサン樹脂等のシロキサン材料からなる単層または積層構造で設けることができる。本実施の形態では、絶縁膜416を形成した後に熱処理を行い半導体膜404a~404d、半導体膜405a~405dの活性化を行った後に絶縁膜417を形成する。

10

【0076】

導電膜418a~425a、418b~425bは、CVD法やスパッタリング法等により、アルミニウム(Al)、タングステン(W)、チタン(Ti)、タンタル(Ta)、モリブデン(Mo)、ニッケル(Ni)、白金(Pt)、銅(Cu)、金(Au)、銀(Ag)、マンガン(Mn)、ネオジウム(Nd)、炭素(C)、シリコン(Si)から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層又は積層で形成する。アルミニウムを主成分とする合金材料とは、例えば、アルミニウムを主成分としニッケルを含む材料、又は、アルミニウムを主成分とし、ニッケルと、炭素と珪素の一方又は両方とを含む合金材料に相当する。導電膜418a~425a、418b~425bは、例えば、バリア膜とアルミニウムシリコン(Al-Si)膜とバリア膜の積層構造、バリア膜とアルミニウムシリコン(Al-Si)膜と窒化チタン膜とバリア膜の積層構造を採用するとよい。なお、バリア膜とは、チタン、チタンの窒化物、モリブデン、又はモリブデンの窒化物からなる薄膜に相当する。アルミニウムやアルミニウムシリコンは抵抗値が低く、安価であるため、導電膜418a~425a、418b~425bを形成する材料として最適である。また、上層と下層のバリア層を設けると、アルミニウムやアルミニウムシリコンのヒロックの発生を防止することができる。また、還元性の高い元素であるチタンからなるバリア膜を形成すると、結晶質半導体層上に薄い自然酸化膜ができていたとしても、この自然酸化膜を還元し、結晶質半導体層と良好なコンタクトをとることができる。

20

【0077】

以上の工程により、半導体装置を作製することができる。また、薄膜トランジスタの構成は、様々な形態をとることができる。特定の構成に限定されない。例えば、ゲート本数が2本以上になっているマルチゲート構造を用いてもよい。マルチゲート構造にすることにより、オフ電流の低減や、トランジスタの耐圧の向上や、飽和領域で動作する時にドレインとソース間電圧が変化しても、ドレインとソース間電流の変化を低減することができる。また、n型の薄膜トランジスタだけでなくp型の薄膜トランジスタにもLDD領域を設けてもよい。LDD領域を設けることにより、オフ電流の低減や、トランジスタの耐圧の向上や、飽和領域で動作する時にドレインとソース間電圧が変化しても、ドレインとソース間電流の変化を低減することができる。

30

【0078】

なお、本実施の形態は、本明細書の他の実施の形態と自由に組み合わせて行うことができる。

40

【0079】

(実施の形態3)

本実施の形態では、本発明の半導体装置の一例に関して図面を参照して説明する。具体的にはPLL(Phase Locked Loop)回路部が設けられた半導体装置に関して図面を参照して説明する。

【0080】

図9は無線信号により命令やデータの送受信を行うことのできる半導体装置の一構成例を示すブロック図である。この半導体装置は、アンテナ部902、高周波回路部903、

50

電源回路部 905、ロジック回路部 907 を要素として含んでいる。アンテナ部 902 は、リーダ/ライタとも呼ばれる通信装置と信号の送受信を行う。信号を送る搬送波の周波帯は、長波帯の 1 ~ 135 kHz、短波帯の 6.78 MHz、13.56 MHz、27.125 MHz、40.68 MHz、5.0 MHz、マイクロ波帯の 2.45 GHz、5.8 GHz、24.125 GHz 等が適用される。アンテナ部 902 は通信周波数帯に応じてコイル型やモノポール若しくはダイポール型の形態となる。

【0081】

アンテナ部 902 が受信した搬送波は、検波容量部 904 を介して電源回路部 905 と、ロジック回路部 907 に分流する。電源回路部 905 では整流回路部 910 によって半波整流され、それが保持容量部 912 に充電される。定電圧回路部 914 は受信した搬送波の電力に対して、ある一定以上の電力が供給されても一定電圧を出力してこの半導体装置にあるロジック回路部 907 等の動作に必要な電力を供給する。

10

【0082】

高周波回路部 903 における復調回路部 908 は搬送波を復調して、ロジック回路部 907 の動作に必要なクロック信号を生成し、さらにそれを補正する機能を有する PLL 回路部 918 と、コード認識及び判定回路部 916 に信号を出力する。例えば、復調回路部 908 は、振幅変調 (ASK) の受信信号から、振幅の変動を "0" 又は "1" の受信データとして検出する。復調回路部 908 は、例えばローパスフィルターを含んで構成されている。また、変調回路部 906 は送信データを振幅変調 (ASK) の送信信号として送信する。

20

【0083】

コード認識及び判定回路部 916 は、命令コードを認識し判定する。各コード認識及び判定回路部 916 が認識及び判定する命令コードは、フレーム終了信号 (EOF、end of frame)、フレーム開始信号 (SOF、start of frame)、フラグ、コマンドコード、マスク長 (mask length)、マスク値 (mask value) 等である。また、各コード認識及び判定回路部 916 は、送信エラーを識別する巡回冗長検査 (CRC、cyclic redundancy check) 機能も含む。コード認識及び判定回路部 916 からの結果は、メモリコントローラ部 920 に出力される。メモリコントローラ部 920 は、判定結果に基づいて、メモリ部 922 の読み出しを制御する。メモリ部 922 から読み出されたデータは、符号化回路部 924 にて符号化され、変調回路部 906 によって変調を行い、応答信号が生成する。

30

【0084】

メモリ部 922 の構成としては、固定データのみを記憶するマスク ROM (Read Only Memory)、SRAM (Static Random Access Memory) などの任意読み出し書き込み可能メモリ、電荷蓄積浮遊電極を有する不揮発性メモリなどを適用可能である。

【0085】

このように、図 9 で示す半導体装置は、リーダ/ライタとも呼ばれる通信装置からの命令を受信して、メモリ部 922 にデータを書き込み、若しくはメモリ部 922 からデータを読み出す機能を有している。

40

【0086】

上記構成及び機能を有する半導体装置における回路のレイアウトについて以下に説明する。

【0087】

上述した回路において、PLL 回路部 918 は、同一基板上に集積された様々な回路において、供給される信号に同期した任意の周波数のクロック信号を生成する回路として適用されている。PLL 回路部 918 は、電圧制御発振回路 (以下 VCO (Voltage Controlled Oscillator) 回路) を有し、VCO 回路の出力を帰還信号にして、供給される信号との位相比較を行う。そして、PLL 回路部 918 は、供給される信号と帰還信号が一定の位相になるよう負帰還により出力信号の調整を行う。

50

【0088】

しかし、プロセス等の製造条件によって、PLL回路部918が影響を受け、出力信号の周波数を所望の周波数にすることができなくなる場合がある。従って、本実施の形態の半導体装置において、PLL回路部918と相互関係がある回路を隣接して設ける。ここでは、PLL回路部918と定電圧回路部914を隣接して設けることにより、PLL回路部918の動作を安定させることができる。さらに、1回の走査で得られる結晶質半導体膜の領域にPLL回路部918と定電圧回路部914を構成する半導体膜を配置することによって、プロセスの影響を低減し、より効果的にPLL回路部918の動作改善を図ることが可能となる。

【0089】

このような半導体装置は、生産性やコストを考慮した場合、単結晶シリコン基板を用いてMOSトランジスタで形成するより、ガラス等の絶縁基板を用い、薄膜トランジスタを用いて製造することが好ましい。

【0090】

すなわち、このような非接触でデータの送受信が可能な半導体装置を社会に普及させるためには、そもそも製造原価を下げる必要がある。しかしながら、半導体集積回路の製造技術を使って、新たな製造ラインを構築するには、設備投資の額が増大してしまうので低コスト化を図ることが難しい。例えば、12インチウエハを使う製造ラインを作るには、概略1500億円の設備投資が必要であり、さらにランニングコストを追加すると単価を100円以下とすることは非常に困難である。また、12インチウエハの面積は約73000mm²であり、仮に、幅20~50μmのブレードを持つダイシング装置によって分断する際に、約100μmの加工幅が必要とされることを無視したとしても、1mm角のチップを切り出す場合には73000個、0.4mm角のチップを切り出すことにしても182500個しか取ることができないので、十分な供給量を確保することは非常に困難となる。一方、上述したように、ガラス等の絶縁基板を用いる薄膜トランジスタで当該半導体装置を製造する場合には、単結晶シリコン基板と比較して大面積基板を用いることが可能であるため、1枚の基板からより多くのチップを作製することができる。

【0091】

なお、本実施の形態は、本明細書の他の実施の形態と自由に組み合わせて行うことができる。

【0092】

(実施の形態4)

本実施の形態では、本発明の半導体装置の使用形態の一例について説明する。

【0093】

本発明の半導体装置の用途は広範にわたり、非接触で対象物の履歴等の情報を明確にし、生産・管理等に役立てる商品であればどのようなものにも適用することができる。例えば、紙幣、硬貨、有価証券類、証券類、無記名債券類、包装用容器類、書籍類、記録媒体、身の回り品、乗物類、食品類、衣類、保健用品類、生活用品類、薬品類及び電子機器等に設けて使用することができる。これらの例に関して図10を用いて説明する。

【0094】

紙幣、硬貨とは、市場に流通する金銭であり、特定の地域で貨幣と同じように通用するもの(金券)、記念コイン等を含む。有価証券類とは、小切手、証券、約束手形等を指す(図10(A))。証券類とは、運転免許証、住民票等を指す(図10(B))。無記名債券類とは、切手、おこめ券、各種ギフト券等を指す(図10(C))。包装用容器類とは、お弁当等の包装紙、ペットボトル等を指す(図10(D))。書籍類とは、書物、本等を指す(図10(E))。記録媒体とは、DVDソフト、ビデオテープ等を指す(図10(F))。乗物類とは、自転車等の車両、船舶等を指す(図10(G))。身の回り品とは、靴、眼鏡等を指す(図10(H))。食品類とは、食料品、飲料等を指す。衣類とは、衣服、履物等を指す。保健用品類とは、医療器具、健康器具等を指す。生活用品類とは、家具、照明器具等を指す。薬品類とは、医薬品、農薬等を指す。電子機器とは、液晶

10

20

30

40

50

表示装置、E L表示装置、テレビジョン装置（テレビ受像機、薄型テレビ受像機）、携帯電話機等を指す。

【0095】

紙幣、硬貨、有価証券類、証書類、無記名債券類等に半導体装置80を設けることにより、偽造を防止することができる。また、包装用容器類、書籍類、記録媒体等、身の回り品、食品類、生活用品類、電子機器等に半導体装置80を設けることにより、検品システムやレンタル店のシステムなどの効率化を図ることができる。乗物類、保健用品類、薬品類等に半導体装置80を設けることにより、偽造や盗難の防止、薬品類ならば、薬の服用の間違いを防止することができる。半導体装置80の設け方としては、物品の表面に貼ったり、物品に埋め込んだりして設ける。例えば、本ならば紙に埋め込んだり、有機樹脂からなるパッケージなら当該有機樹脂に埋め込んだりするとよい。

10

【0096】

このように、包装用容器類、記録媒体、身の回り品、食品類、衣類、生活用品類、電子機器等に半導体装置を設けることにより、検品システムやレンタル店のシステムなどの効率化を図ることができる。また乗物類に半導体装置を設けることにより、偽造や盗難を防止することができる。また、動物等の生き物に埋め込むことによって、個々の生き物の識別を容易に行うことができる。例えば、家畜等の生き物にセンサーを備えた半導体装置を埋め込むことによって、生まれた年や性別または種類等はもちろん体温等の健康状態を容易に管理することが可能となる。

【0097】

なお、本実施の形態は、本明細書の他の実施の形態と自由に組み合わせて行うことができる。

20

【図面の簡単な説明】

【0098】

【図1】本発明の半導体装置の一例を示す図。

【図2】本発明の半導体装置の一例を示す図。

【図3】本発明の半導体装置における容量部の一例を示す図。

【図4】本発明の半導体装置における容量部の一例を示す図。

【図5】本発明の半導体装置における容量部の一例を示す図。

【図6】半導体膜にレーザー光を照射した後の表面像を示す図。

30

【図7】本発明の半導体装置の作製方法の一例を示す図。

【図8】本発明の半導体装置の作製方法の一例を示す図。

【図9】本発明の半導体装置の一例を示す図。

【図10】本発明の半導体装置の使用形態の一例を示す図。

【図11】本発明の半導体装置の一例を示す図。

【符号の説明】

【0099】

| | |
|-----|--------|
| 80 | 半導体装置 |
| 100 | 半導体装置 |
| 101 | 復調回路 |
| 102 | 変調回路 |
| 103 | 整流回路 |
| 104 | 定電圧回路 |
| 105 | 容量部 |
| 106 | 発振回路 |
| 107 | リセット回路 |
| 108 | ロジック回路 |
| 122 | メモリ部 |
| 201 | 基板 |
| 202 | 絶縁膜 |

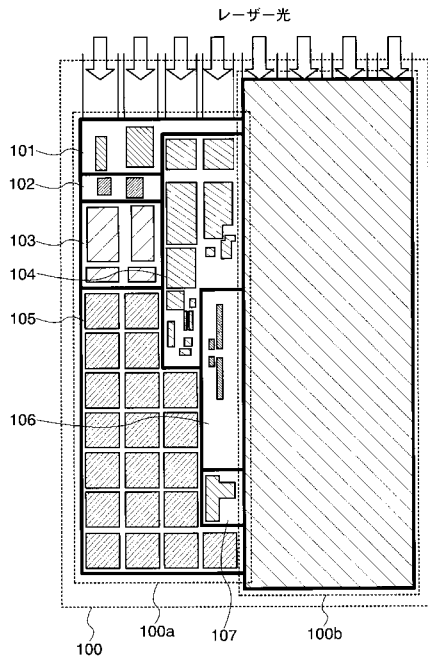
40

50

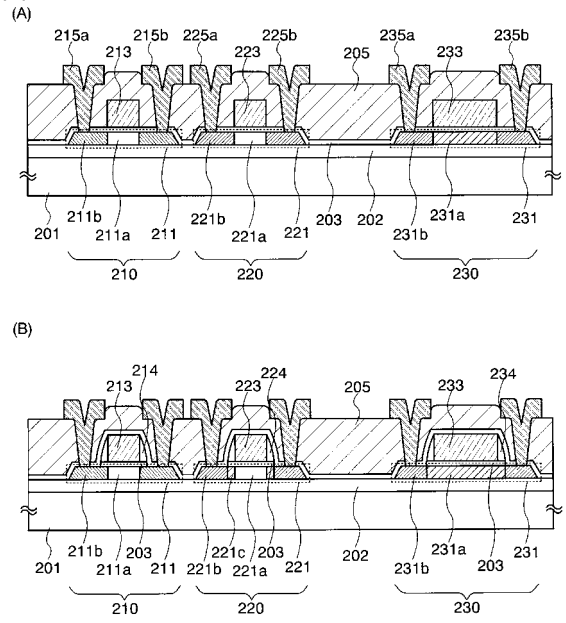
| | | |
|---------|------------|----|
| 2 0 3 | 絶縁膜 | |
| 2 0 4 | 絶縁膜 | |
| 2 0 5 | 絶縁膜 | |
| 2 1 0 | 薄膜トランジスタ | |
| 2 1 1 | 半導体膜 | |
| 2 1 3 | ゲート電極 | |
| 2 1 4 | 絶縁膜 | |
| 2 2 0 | 薄膜トランジスタ | |
| 2 2 1 | 半導体膜 | |
| 2 2 3 | ゲート電極 | 10 |
| 2 2 4 | 絶縁膜 | |
| 2 3 0 | 容量素子 | |
| 2 3 1 | 半導体膜 | |
| 2 3 3 | 導電膜 | |
| 2 3 4 | 絶縁膜 | |
| 3 0 1 | 配線 | |
| 3 0 2 | 配線 | |
| 3 0 3 | 容量素子 | |
| 4 0 1 | 基板 | |
| 4 0 2 | 絶縁膜 | 20 |
| 4 0 3 | 半導体膜 | |
| 4 0 6 | 絶縁膜 | |
| 4 0 7 | 不純物領域 | |
| 4 1 0 | 不純物領域 | |
| 4 1 6 | 絶縁膜 | |
| 4 1 7 | 絶縁膜 | |
| 9 0 2 | アンテナ部 | |
| 9 0 3 | 高周波回路部 | |
| 9 0 4 | 検波容量部 | |
| 9 0 5 | 電源回路部 | 30 |
| 9 0 6 | 変調回路部 | |
| 9 0 7 | ロジック回路部 | |
| 9 0 8 | 復調回路部 | |
| 9 1 0 | 整流回路部 | |
| 9 1 2 | 保持容量部 | |
| 9 1 4 | 定電圧回路部 | |
| 9 1 6 | 判定回路部 | |
| 9 1 8 | P L L 回路部 | |
| 9 2 0 | メモリコントローラ部 | |
| 9 2 2 | メモリ部 | 40 |
| 9 2 4 | 符号化回路部 | |
| 1 0 0 a | アナログ回路部 | |
| 1 0 0 b | デジタル回路部 | |
| 1 5 0 a | 配線 | |
| 1 5 0 b | 配線 | |
| 2 1 1 a | チャネル形成領域 | |
| 2 1 1 b | 不純物領域 | |
| 2 1 5 a | 導電膜 | |
| 2 2 1 a | チャネル形成領域 | |
| 2 2 1 b | 不純物領域 | 50 |

| | | |
|---------|----------|----|
| 2 2 1 c | 不純物領域 | |
| 2 2 5 a | 導電膜 | |
| 2 3 1 a | 不純物領域 | |
| 2 3 1 b | 不純物領域 | |
| 2 3 5 a | 導電膜 | |
| 2 3 5 b | 導電膜 | |
| 3 0 0 a | ブロック | |
| 4 0 3 a | 結晶性領域 | |
| 4 0 3 b | 結晶性不良領域 | |
| 4 0 4 a | 半導体膜 | 10 |
| 4 0 4 b | 半導体膜 | |
| 4 0 4 c | 半導体膜 | |
| 4 0 4 d | 半導体膜 | |
| 4 0 5 a | 半導体膜 | |
| 4 0 5 b | 半導体膜 | |
| 4 0 5 c | 半導体膜 | |
| 4 0 5 d | 半導体膜 | |
| 4 0 8 a | 導電膜 | |
| 4 0 8 b | 導電膜 | |
| 4 0 9 a | 導電膜 | 20 |
| 4 1 1 a | チャネル形成領域 | |
| 4 1 1 b | 不純物領域 | |
| 4 1 2 a | 絶縁膜 | |
| 4 1 2 b | 絶縁膜 | |
| 4 1 3 a | 絶縁膜 | |
| 4 1 4 a | チャネル形成領域 | |
| 4 1 4 b | 不純物領域 | |
| 4 1 4 c | 不純物領域 | |
| 4 1 5 a | 不純物領域 | |
| 4 1 5 b | 不純物領域 | 30 |
| 4 1 8 a | 導電膜 | |
| 4 1 9 a | 導電膜 | |
| 4 2 0 a | 導電膜 | |
| 4 2 1 a | 導電膜 | |
| 4 2 2 a | 導電膜 | |
| 4 2 2 b | 導電膜 | |
| 4 2 3 a | 導電膜 | |
| 4 2 4 a | 導電膜 | |
| 4 2 5 a | 導電膜 | |

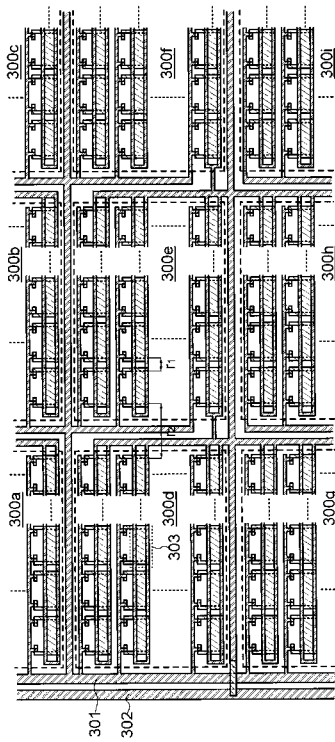
【 図 1 】



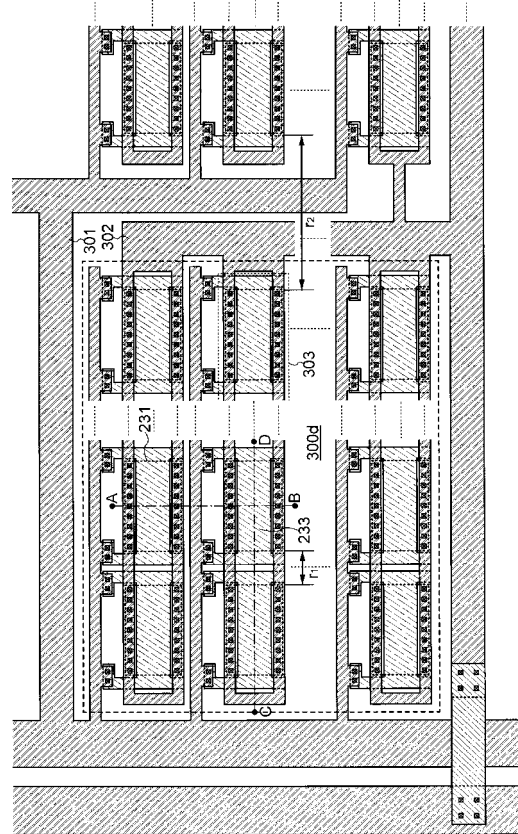
【 図 2 】



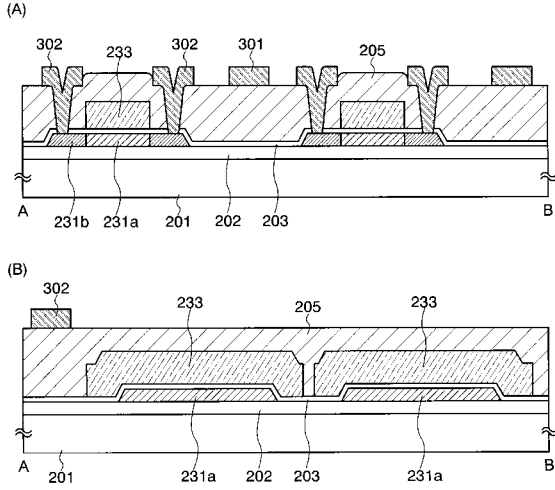
【 図 3 】



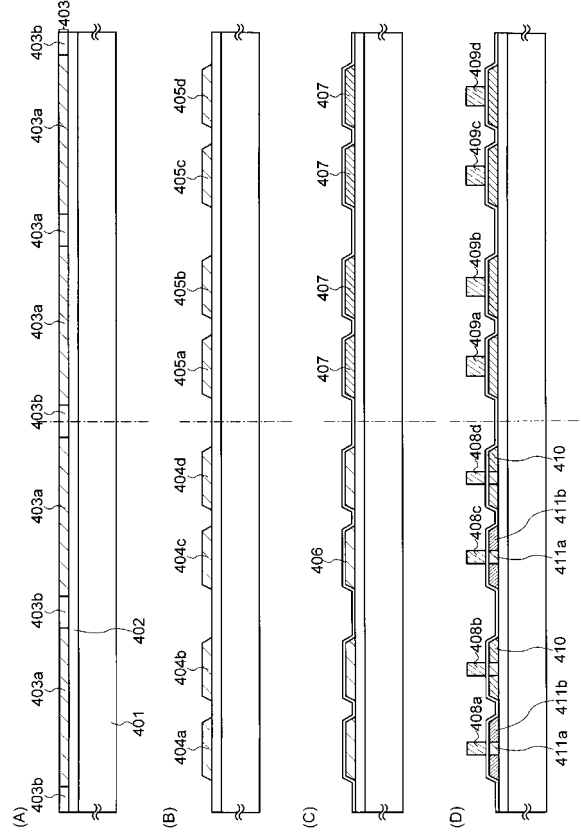
【 図 4 】



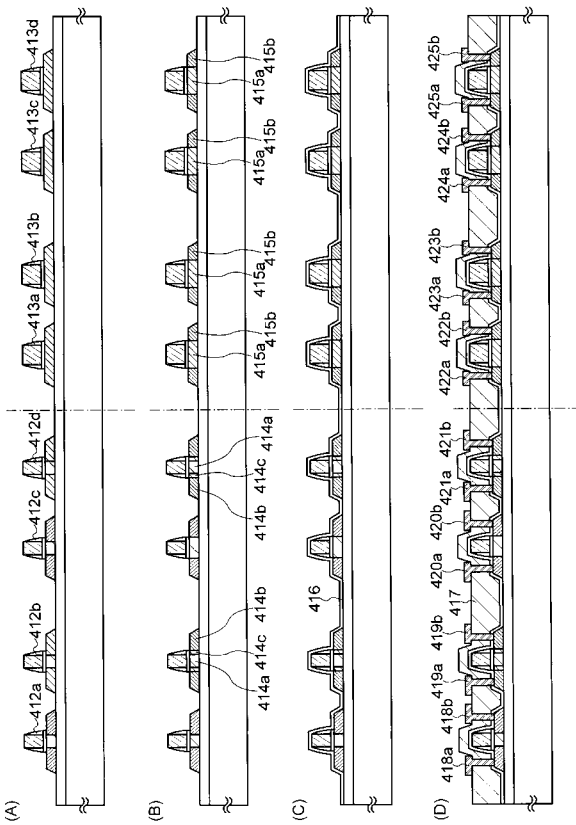
【 図 5 】



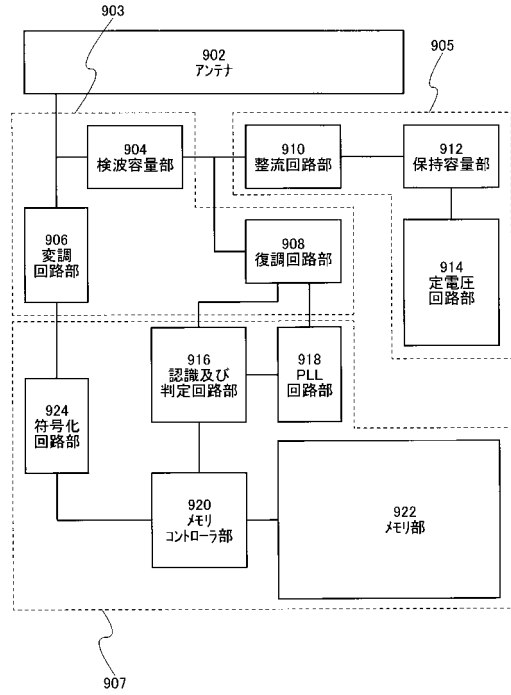
【 図 7 】



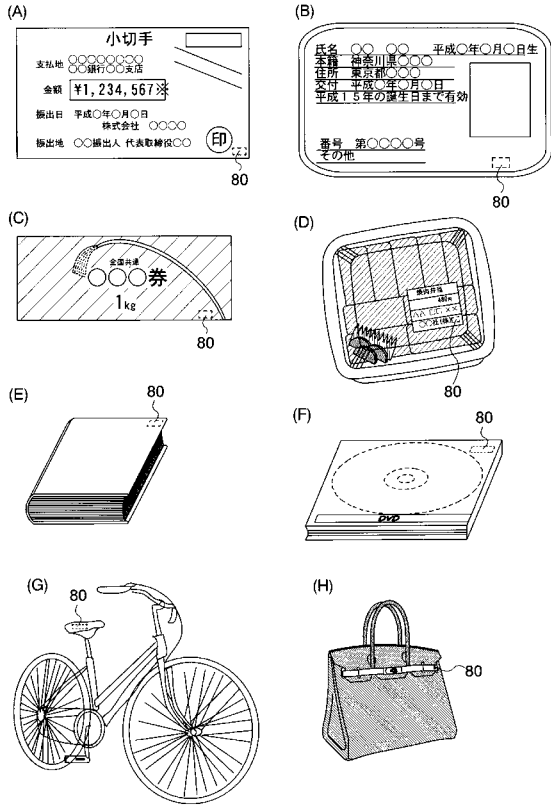
【 図 8 】



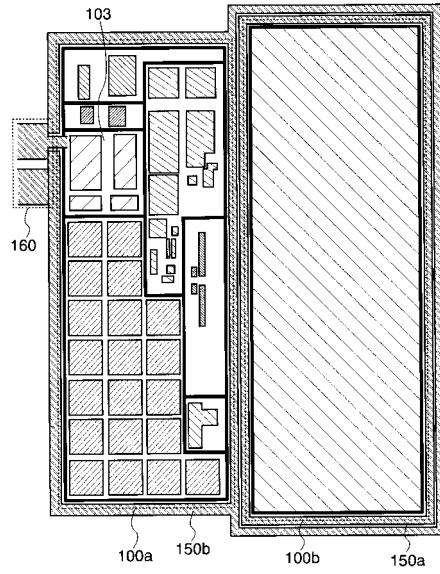
【 図 9 】



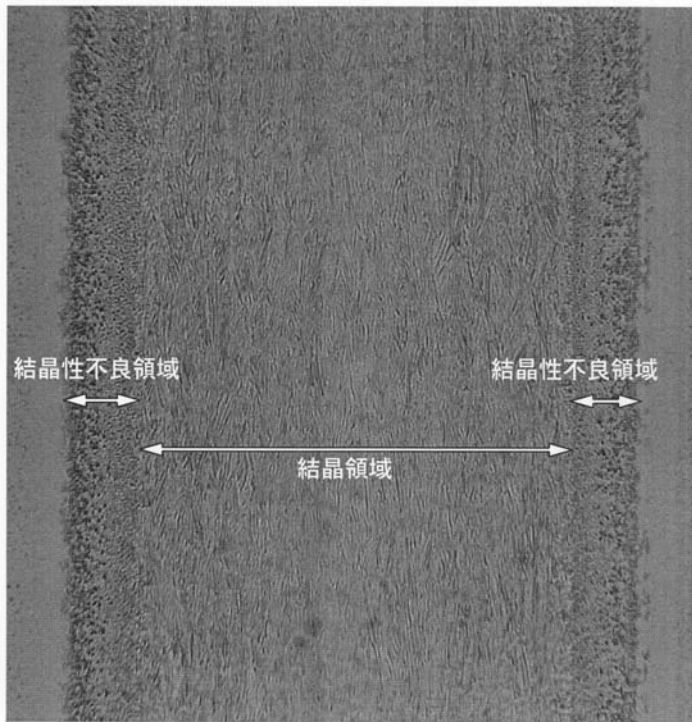
【 図 1 0 】



【 図 1 1 】



【 図 6 】



フロントページの続き

(51) Int. Cl. F I テーマコード (参考)
H O 1 L 27/08 (2006.01) H O 1 L 27/08 1 0 2 A
H O 1 L 21/8234 (2006.01)
H O 1 L 27/088 (2006.01)

F ターム(参考) 5F110 AA04 BB03 BB20 CC02 DD01 DD02 DD03 DD05 DD13 DD14
DD15 DD17 EE01 EE02 EE03 EE04 EE06 EE09 EE32 GG02
GG13 GG32 GG34 GG44 GG52 HJ01 HJ13 HL01 HL02 HL03
HL04 HL06 HL08 HL11 HL23 HL24 HM15 NN03 NN22 NN23
NN24 NN27 NN34 NN35 NN72 PP03 PP04 QQ11
5F152 AA03 AA06 AA13 BB02 CC02 CC03 CC04 CC05 CC06 CC08
CD13 CD14 CD15 CE05 CE12 CE32 FF02 FF03 FF04 FF06
FF07 FF08 FF28 FF47 FG01 FG03 FG05 FG23 FH04