

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2024 年 7 月 11 日 (11.07.2024)



(10) 国际公布号
WO 2024/146271 A1

(51) 国际专利分类号:
H10B 12/00 (2023.01)

安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(21) 国际申请号: PCT/CN2023/131182

(22) 国际申请日: 2023 年 11 月 13 日 (13.11.2023)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202310010668.3 2023年1月3日 (03.01.2023) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(72) 发明人: 鲍锡飞 (BAO, Xifei); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。 张旭 (ZHANG, Xu); 中国安

(74) 代理人: 上海晨皓知识产权代理事务所 (普通合伙) (SHANGHAI CHENHAO INTELLECTUAL PROPERTY LAW FIRM GENERAL PARTNERSHIP); 中国上海市黄浦区制造局路787号二幢202B室, Shanghai 200011 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(54) Title: SEMICONDUCTOR STRUCTURE, MANUFACTURING METHOD THEREFOR AND MEMORY

(54) 发明名称: 一种半导体结构及其制作方法以及存储器

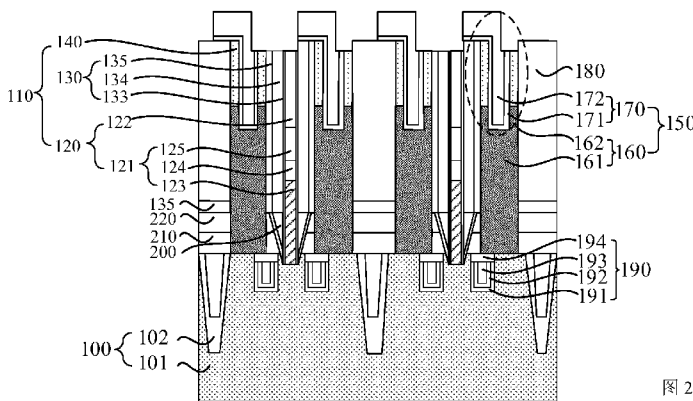


图 2

(57) Abstract: Provided in the embodiments of the present disclosure are a semiconductor structure, a manufacturing method therefor and a memory. The semiconductor structure comprises a substrate, a bit line structure and a capacitor contact structure. The bit line structure comprises a bit line main body, a first side wall isolation layer and a second side wall isolation layer, the first side wall isolation layer being located on a side wall of the bit line main body, the first side wall isolation layer comprising a first portion and a second portion, and the second side wall isolation layer being located at the second portion of the first side wall isolation layer. The capacitor contact structure comprises a contact plug and a landing pad, the contact plug covering the first portion and being in contact with the bottom surface of the second side wall isolation layer, and the landing pad being located on the top surface of the contact plug.

(57) 摘要: 本公开实施例提供一种半导体结构及其制作方法以及存储器, 其中, 半导体结构包括: 衬底、位线结构及电容接触结构; 位线结构包括: 位线主体、第一侧墙隔离层及第二侧墙隔离层; 第一侧墙隔离层位于位线主体的侧壁, 第一侧墙隔离层第一部分和第二部分; 第二侧墙隔离层位于第一侧墙隔离层的第二部分; 电容接触结构包括: 接触插塞和着陆垫, 接触插塞覆盖第一部分, 且与第二侧墙隔离层的底面接触; 着陆垫位于接触插塞的顶面。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

一种半导体结构及其制作方法以及存储器

交叉引用

- 5 [0001] 本公开要求于 2023 年 01 月 03 日递交的名称为“一种半导体结构及其制作方法以及存储器”、申请号为 202310010668.3 的中国专利申请的优先权，其通过引用被全部并入本公开。

技术领域

- [0002] 本公开实施例涉及半导体领域，特别涉及一种半导体结构及其制作方法以及存储器。

背景技术

- 10 [0003] 存储器是用来存储程序和各种数据信息的记忆部件。一般计算机系统使用的随机存取内存(Random Access Memory, RAM)可分为动态随机存取存储器(Dynamic Random Access Memory, DRAM)与静态随机存取存储器(Static Random-Access Memory, SRAM)两种，动态随机存取存储器是计算机中常用的半导体存储器件，由许多重复的存储单元组成。
- 15 [0004] 存储单元通常包括电容器和晶体管，晶体管的漏极与位线结构相连、源极与电容器相连，电容器包括电容接触结构和电容，存储单元的字线结构能够控制晶体管的沟道区的打开或关闭，进而通过位线结构读取存储在电容器中的数据信息，或者通过位线结构将数据信息写入到电容器中进行存储。
- [0005] 目前，半导体结构的可靠性有待提高。

发明内容

- 20 [0006] 本公开实施例提供一种半导体结构及其制作方法以及存储器，至少可以提高半导体结构的可靠性。
- [0007] 根据本公开一些实施例，本公开实施例一方面提供一种半导体结构，包括：衬底；位线结构，所述位线结构位于所述衬底表面，所述位线结构包括：位线主体；第一侧墙隔离层，所述第一侧墙隔离层位于所述位线主体的侧壁，所述第一侧墙隔离层包括靠近所述衬底的第一部分和远离所述衬底的第二部分；第二侧墙隔离层，所述第二侧墙隔离层位于所述第一侧墙隔离层的所述第二部分；
- 25 电容接触结构，所述电容接触结构位于所述位线结构的一侧，且所述电容接触结构包括：接触插塞，所述接触插塞位于所述衬底的表面，所述接触插塞覆盖所述第一侧墙隔离层的所述第一部分，且所述接触插塞的顶面与所述第二侧墙隔离层的底面接触；着陆垫，所述着陆垫位于所述接触插塞的顶面，且所述着陆垫还覆盖所述第二侧墙隔离层的表面、第一侧墙隔离层的部分顶面及位线主体的部分的顶面。
- 30 [0008] 在一些实施例中，所述接触插塞包括：平坦部，所述平坦部与所述衬底接触；突出部，所述突出部位于所述平坦部的顶面，且所述突出部的顶面与所述第二侧墙隔离层的底面接触。
- [0009] 在一些实施例中，所述平坦部及所述突出部围成有容纳空间，所述着陆垫填充所述容纳空间。
- 35 [0010] 在一些实施例中，所述着陆垫包括：扩散阻挡层和金属层，所述扩散阻挡层覆盖所述突出部的侧壁及所述第二侧墙隔离层的表面，且所述扩散阻挡层还覆盖所述位线结构的顶面，所述金属层覆盖所述扩散阻挡层的表面。
- [0011] 在一些实施例中，所述位线主体沿第一方向延伸，在垂直于所述第一方向的第二方向上，所述突出部的宽度是所述平坦部宽度的 0.05~0.15。
- 40 [0012] 在一些实施例中，所述位线主体沿第一方向延伸，在垂直于所述第一方向的第二方向上，所述第二侧墙隔离层的宽度是所述第一侧墙隔离层宽度的 0.15~0.25。
- [0013] 在一些实施例中，所述半导体结构还包括：介质层，所述介质层位于相邻的所述位线结构之间，所述介质层侧壁与所述电容接触结构的侧壁接触。。
- [0014] 在一些实施例中，所述第二侧墙隔离层还位于所述介质层的侧壁。
- 45 [0015] 在一些实施例中，所述第一侧墙隔离层包括：第一隔离子层，所述第一隔离子层位于所

述位线主体的侧壁；第二隔离子层，所述第二隔离子层位于所述第一隔离子层的侧壁；第三隔离子层，所述第三隔离子层位于所述第二隔离子层的侧壁。

[0016] 在一些实施例中，所述衬底包括：有源区及定义所述有源区的隔离结构；所述位线主体包括：依次层叠的导电层和盖层；其中，所述接触插塞和所述导电层均与所述有源区接触。

[0017] 根据本公开一些实施例，本公开实施例另一方面还提供一种半导体结构的制作方法，包括：提供衬底；形成初始位线结构，所述初始位线结构位于所述衬底表面，所述初始位线结构包括：位线主体；第一侧墙隔离层，所述第一侧墙隔离层位于所述位线主体的侧壁，所述第一侧墙隔离层包括靠近所述衬底的第一部分和远离所述衬底的第二部分；形成初始接触插塞，所述初始接触插塞位于所述衬底的表面且位于相邻的所述初始位线结构之间，所述初始接触插塞覆盖所述第一侧墙隔离层的所述第一部分；形成第二侧墙隔离层，所述第二侧墙隔离层位于所述第一侧墙隔离层的所述第二部分，所述第二侧墙隔离层的底面与所述初始接触插塞的顶面接触，所述第二侧墙隔离层与所述初始位线结构共同形成位线结构；以所述第二侧墙隔离层为掩膜刻蚀部分所述初始接触插塞，剩余所述初始接触插塞作为接触插塞；形成着陆垫，所述着陆垫位于所述接触插塞的顶面，且所述着陆垫还覆盖第二侧墙隔离层的表面、第一侧墙隔离层的部分顶面及位线主体的部分的顶面，所述接触插塞和所述着陆垫共同形成电容接触结构。

[0018] 在一些实施例中，形成所述初始接触插塞的方法包括：形成介质层，所述介质层位于所述相邻的所述位线主体之间且与所述第一侧墙隔离层间隔，且所述介质层、所述第一侧墙隔离层及所述衬底围成凹槽；形成所述初始接触插塞，所述初始接触插塞位于所述凹槽内。

[0019] 在一些实施例中，形成所述介质层的方法包括：形成牺牲层，所述牺牲层位于相邻的所述位线主体之间，且与所述第一侧墙隔离层表面接触；图形化所述牺牲层，以形成第一凹槽；形成介质层，所述介质层填充所述第一凹槽。

[0020] 在一些实施例中，形成所述第二侧墙隔离层的方法包括：形成第二初始侧墙隔离层，所述第二初始侧墙隔离层覆盖所述初始位线结构的顶面、所述初始位线结构的部分侧壁、所述介质层的顶面、所述介质层的部分侧壁及所述初始接触插塞的顶面；回刻蚀所述第二初始侧墙隔离层，剩余所述第二初始侧墙隔离层作为所述第二侧墙隔离层。

[0021] 在一些实施例中，形成所述第一侧墙隔离层包括：形成第一隔离子层，所述第一隔离子层位于所述位线主体的侧壁；形成第二隔离子层，所述第二隔离子层位于所述第一隔离子层的侧壁；形成第三隔离子层，所述第三隔离子层位于所述第二隔离子层的侧壁。

[0022] 在一些实施例中，形成所述着陆垫的方法包括：形成初始扩散阻挡层，所述初始扩散阻挡层覆盖所述接触插塞的顶面及部分位线结构的表面；形成初始金属层，所述初始金属层覆盖所述初始扩散阻挡层的表面；图形化所述初始金属层及所述初始扩散阻挡层，剩余所述初始金属层及所述初始扩散阻挡层作为扩散阻挡层及金属层，所述扩散阻挡层及所述金属层共同形成所述着陆垫。

[0023] 根据本公开一些实施例，本公开实施例又一方面还提供一种存储器，包括：如上述的半导体结构。

附图说明

[0024] 一个或多个实施例通过与之对应的附图中的图片进行示例性说明，这些示例性说明并不构成对实施例的限定，除非有特别申明，附图中的图不构成比例限制；为了更清楚地说明本公开实施例或传统技术中的技术方案，下面将对实施例中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本公开的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

[0025] 图1为本公开一实施例提供的一种半导体结构的俯视图；

[0026] 图2为本公开一实施例提供的一种半导体结构的剖视图；

[0027] 图3为本公开一实施例提供的一种半导体结构的局部放大示意图；

[0028] 图4为本公开一实施例提供的第二种半导体结构的剖视图；

[0029] 图5为本公开一实施例提供的一种半导体结构的局部放大示意图；

[0030] 图6至图24为本公开一实施例提供的一种半导体结构的制作方法各步骤对应的结构示意图。

具体实施方式

[0031] 随着集成度的不断微缩，电容接触结构的着陆垫之间的间距也越来越近，因此导致在形成着陆垫的过程中不易刻蚀完全，导致相邻的着陆垫之间容易短接，且着陆垫与位线结构之间的间距

也越来越近，导致着陆垫与位线结构之间也容易出现短接。

[0032] 本公开实施提供一种半导体结构，通过设置位于位线主体侧壁的第一侧墙隔离层的第二部分可以增加位线结构的顶面宽度，从而可以增加用于形成着陆垫的刻蚀窗口，从而可以使得形成的着陆垫形貌较佳，避免相邻的着陆垫之间出现短接，且通过形成第二侧墙隔离层，可以增加着陆垫与位线结构之间的绝缘性，避免着陆垫与位线结构之间短接。

[0033] 下面将结合附图对本公开的各实施例进行详细的阐述。然而，本领域的普通技术人员可以理解，在本公开各实施例中，为了使读者更好地理解本公开而提出了许多技术细节。但是，即使没有这些技术细节和基于以下各实施例的种种变化和修改，也可以实现本公开所要求保护的技术方案。

[0034] 参考图 1 至图 5，图 1 为本公开实施例提供的一种半导体结构的俯视图；图 2 为本公开实施例提供的沿图 1 中 AA' 方向的第一种剖视图，图 3 为沿图 2 中虚线框内的放大示意图；图 4 为沿图 1 中 AA' 方向的第二种剖视图，图 5 为沿图 4 中虚线框内的放大示意图。

[0035] 在一些实施例中，半导体结构包括：衬底 100；位线结构 110，位线结构 110 位于衬底 100 表面，位线结构 110 包括：位线主体 120；第一侧墙隔离层 130，第一侧墙隔离层 130 位于位线主体 120 的侧壁，第一侧墙隔离层 130 包括靠近衬底 100 的第一部分 131 和远离衬底 100 的第二部分 132；第二侧墙隔离层 140，第二侧墙隔离层 140 位于第一侧墙隔离层 130 的第二部分 132；电容接触结构 150，电容接触结构 150 位于相邻的位线结构 110 之间，且电容接触结构 150 包括：接触插塞 160，接触插塞 160 位于衬底 100 的表面，接触插塞 160 覆盖第一侧墙隔离层 130 的第一部分 131，且接触插塞 160 的顶面与第二侧墙隔离层 140 的底面接触；着陆垫 170，着陆垫 170 位于接触插塞 160 的顶面，且着陆垫 170 还覆盖第二侧墙隔离层 140 的表面、第一侧墙隔离层 130 的部分顶面及位线主体 120 的部分的顶面。

[0036] 通过设置第一侧墙隔离层 130 可以用于增加相邻位线结构 110 之间的绝缘性能，且可以减少相邻位线结构 110 之间的寄生电容，且通过形成第一侧墙隔离层 130 可以用于保护位线主体 120，通过形成位于第一侧墙隔离层 130 的第二部分 132 的第二侧墙隔离层 140 可以便于在形成电容接触结构的过程中使得形成的着陆垫 170 相互间隔，从而可以避免相邻的着陆垫 170 之间短接，且还可以增加着陆垫 170 与相邻位线结构 110 之间的绝缘性，从而可以提高半导体结构可靠性。

[0037] 在一些实施例中，衬底 100 的材料可以是硅、锗或者锗化硅等材料，且还可以在衬底 100 的材料中进行掺杂，以衬底 100 的材料是硅为例，在衬底 100 中掺杂微量的三价元素，例如：硼、镓、铟或铝等，从而可以形成 P 型衬底；同理，在衬底 100 中掺杂微量的五价元素，例如：磷、锑、砷等，从而可以形成 N 型衬底，衬底 100 掺杂元素的选择可以根据实际的需求及产品性能等方面进行考量，本公开不对衬底 100 的材料及掺杂的元素进行限制。

[0038] 在一些实施例中，衬底 100 包括：有源区 101 及有源区 101 之间的隔离结构 102，位线主体 120 可以包括依次层叠的导电层 121 及盖层 122，导电层 121 与有源区 101 接触，通过设置导电层 121 可以作为位线结构 110 中用于传输数据信息的部分，通过设置盖层 122 可以将导电层 121 的顶面保护起来，从而可以提高位线主体 120 的可靠性。

[0039] 在一些实施例中，隔离结构 102 可以作为 STI (shallow trench isolation) 浅沟槽隔离结构以将相邻的有源区 101 进行隔离。

[0040] 在一些实施例中，隔离结构 102 的材料可以仅包括氧化硅；在一些实施例中，隔离结构 102 的材料可以多层膜层的堆叠，例如是氧化硅膜层及氮氧化硅膜层的堆叠。

[0041] 在一些实施例中，导电层 121 可以包括：层叠设置的第一位线导电层 123、位线阻挡层 124 及第二位线导电层 125，通过设置导电层 121 包括层叠设置的第一位线导电层 123、位线阻挡层 124 及第二位线导电层 125 可以提高位线主体 120 传输数据信息的可靠性。

[0042] 在一些实施例中，第一位线导电层 123 的材料可以是多晶硅等半导体材料，位线阻挡层 124 的材料可以是氮化钛，第二位线导电层 125 的材料可以是钨等金属，通过设置第一位线导电层 123 的材料为多晶硅等半导体材料可以降低位线主体 120 与衬底 100 之间的接触面的界面态，降低衬底与位线主体 120 之间传输数据信息时出现异常的可能性，通过设置位线阻挡层 124 可以避免第二位线导电层 125 中的金属离子扩散至第一位线导电层 123 内，避免影响第一位线导电层 123 的性能，通过设置第二位线导电层 125 的材料为金属材料可以提高位线主体 120 传输数据信息的传输速率。

[0043] 在一些实施例中，导电层 121 还可以仅包括单层膜层，例如仅由多晶硅组成、或者仅由金属钨组成。

[0044] 在一些实施例中，盖层 122 的材料可以是氮化硅。

[0045] 在一些实施例中，第一侧墙隔离层 130 可以包括：第一隔离子层 133，第一隔离子层 133 位于位线主体 120 的侧壁；第二隔离子层 134，第二隔离子层 134 位于第一隔离子层 133 的侧壁；第

三隔离子层 135，第三隔离子层 135 位于第二隔离子层 134 的侧壁。通过设置第一侧墙隔离层 130 由第一隔离子层 133、第二隔离子层 134 及第三隔离子层 135 组成可以增加第一侧墙隔离层 130 的绝缘性能，从而可以避免相邻的位线结构 110 之间出现短接。

[0046] 在一些实施例中，第一隔离子层 133 的材料可以是氮化硅，第二隔离子层 134 的材料可以是氧化硅，第三隔离子层 135 的材料可以是氮化硅，也就是说，第一侧墙隔离层 130 可以为 N-O-N（氮化层-氧化层-氮化层）结构，通过在两层氮化层之间设置一层氧化层可以提高第一侧墙隔离层 130 的绝缘性能，且可以减少相邻位线结构 110 之间的寄生电容，且氮化层的材质较硬，通过设置两层氮化层可以改善第一侧墙隔离层 130 的形貌。

[0047] 在一些实施例中，第一隔离子层 133 的材料、第二隔离子层 134 的材料及第三隔离子层 135 的材料也可以是其他绝缘材料，且可以第一隔离子层 133 的材料、第二隔离子层 134 的材料及第三隔离子层 135 的材料可以相同也可以不同。

[0048] 在一些实施例中，参考图 2 及图 3，位于位线主体 120 一侧的第二侧墙隔离层 140 的顶面低于位于位线主体 120 另一侧的第二侧墙隔离层的顶面，可以理解的是，在一些实施例中，形成着陆垫 170 的过程中会刻蚀试剂会过刻蚀掉部分第二侧墙隔离层 140 及部分扩散阻挡层 171，因此会使位于位线主体 120 一侧的第二侧墙隔离层 140 低于另一侧的第二侧墙隔离层。

[0049] 在一些实施例中，参考图 4，位于位线主体 120 的两侧的第二侧墙隔离层 140 的顶面齐平，也就是说将通过控制刻蚀过程以保护第二侧墙隔离层 140，通过设置第二侧墙隔离层 140 位于位线主体 120 的两侧可以增加刻蚀着陆垫 170 中扩散阻挡层 171 的工艺窗口，从而可以使得在形成间隔的着陆垫 170 时候提高形成的着陆垫 170 的形貌，从而提高形成的半导体结构的可靠性。

[0050] 继续参考图 1 至图 5，第二侧墙隔离层 140 还位于介质层 180 的侧壁，通过设置第二侧墙隔离层 140 的侧壁同样可以增加刻蚀着陆垫 170 中扩散阻挡层 171 的工艺窗口，从而可以使得在形成间隔的着陆垫 170 时候将提高形成的着陆垫 170 的形貌，从而提高形成的半导体结构的可靠性。

[0051] 在一些实施例中，第二侧墙隔离层 140 位于介质层 180 的两侧侧壁；在一些实施例中，第二侧墙隔离层 140 位于介质层 180 的一侧侧壁。

[0052] 在一些实施例中，位线主体 120 沿第一方向 X 延伸，在垂直于第一方向 X 的第二方向 Y 上，第二侧墙隔离层 140 的宽度是第一侧墙隔离层 130 宽度的 0.15~0.25，通过设置第二侧墙隔离层 140 的宽度是第一侧墙隔离层 130 宽度的 0.15~0.25 可以具有一定改善扩散阻挡层 171 的工艺窗口的同时避免影响后续形成着陆垫 170 的尺寸。

[0053] 可以理解的是，第二侧墙隔离层 140 的宽度越大，增加刻蚀扩散阻挡层 171 工艺窗口的尺寸也就越大，第二侧墙隔离层 140 的宽度越小，后续可以用于形成着陆垫 170 的空间也就越大，越便于形成着陆垫 170，因此，当第二侧墙隔离层 140 的宽度小于第一侧墙隔离层 130 宽度的 0.15，改善扩散阻挡层 171 工艺窗口的性能不佳，当第二侧墙隔离层 140 的宽度大于第一侧墙隔离层 130 宽度的 0.25，会使形成着陆垫 170 的尺寸较小，会增加着陆垫 170 的接触电阻。

[0054] 在一些实施例中，第二侧墙隔离层 140 的宽度可以是 10nm~20nm，例如是 13nm、15nm 或 17nm 等。

[0055] 在一些实施例中，第一侧墙隔离层 130 的宽度可以是 1~5nm，例如是 2nm、3nm 或者 4nm 等。

[0056] 在一些实施例中，接触插塞 160 还位于介质层 180 的侧壁，且接触插塞 160 的顶面也与位于介质层 180 的侧壁上的第二侧墙隔离层 140 的底面接触连接。也就是说，介质层 180 和位线结构 110 围成了形成接触插塞 160 的空间，接触插塞 160 位于介质层 180 和位线结构 110 围成的空间内，通过介质层 180 和位线结构 110 定义了接触插塞 160 的形貌。

[0057] 在一些实施例中，有源区包括：第一掺杂区、第二掺杂区及第三掺杂区，其中第二掺杂区及第三掺杂区位于第一掺杂区的两侧，导电层 121 与第一掺杂区接触连接，位于同一位线结构 110 两侧的两个接触插塞 160 分别与第二掺杂区及第三掺杂区接触连接。

[0058] 在一些实施例中，接触插塞 160 包括：平坦部 161，平坦部 161 与衬底 100 接触；突出部 162，突出部 162 位于平坦部 161 的顶面，且突出部 162 的顶面与第二侧墙隔离层 140 的底面接触。可以理解的是，通过设置突出部 162 及平坦部 161 可以降低形成着陆垫 170 的过程中对位线结构 110 的损伤，从而提高半导体结构的可靠性。

[0059] 在一些实施例中，平坦部 161 及突出部 162 围成有容纳空间，着陆垫 170 填充容纳空间。可以理解的是，对于一个接触插塞 160 而言，包括一个平坦部 161 及两个突出部 162，两个突出部 162 的侧壁及平坦部 161 的顶面围成容纳空间，通过设置着陆垫 170 位于容纳空间内可以在形成间隔的着陆垫 170 的过程中，避免形成工艺影响位线结构 110 的第一侧墙隔离层 130，且可以通过刻蚀

负载效应控制工艺的停止，从而可以提高半导体结构的可靠性。

[0060] 在一些实施例中，接触插塞 160 与有源区 101 接触，通过设置接触插塞 160 与有源区 101 接触以实现接触插塞 160 与有源区 101 之间数据信息的传输。

[0061] 在一些实施例中，平坦部 161 与有源区 101 接触。

[0062] 参考图 4，图 4 为本公开实施例沿图 2 虚线圈内的放大示意图，可以理解的是，在刻蚀形成间隔的着陆垫 170 的过程中，不可避免的会刻蚀掉部分位线结构 110 第一侧墙隔离层 130，随着刻蚀过程的进行，部分着陆垫 170 的材料可能会随着刻蚀第一侧墙隔离层 130 形成的间隙渗入位线结构 110，导致位线结构 110 与着陆垫 170 之间短接，然而通过设置着陆垫 170 位于容纳空间内，由于着陆垫 170 与接触插塞 160 的刻蚀选择比较大，因此刻蚀过程中不会刻蚀过多的接触插塞 160，因此，随着刻蚀工艺的进行，开始刻蚀时，刻蚀着陆垫 170 的刻蚀工艺窗口的宽度为第一宽度 D1，刻蚀至暴露突出部 162 的顶面时，刻蚀着陆垫 170 的刻蚀工艺窗口的宽度为第二宽度 D2，可以看出，刻蚀工艺的工艺窗口减小，由刻蚀负载效应可知，刻蚀工艺窗口越小，刻蚀越难进行，因此，相当于控制了刻蚀着陆垫 170 的刻蚀停止，通过设置突出部 162 可以保护位线结构 110 的第一侧墙隔离层 130，可以避免位线结构 110 与着陆垫 170 之间短接。

[0063] 参考图 1 及图 2，在一些实施例中，位线主体 120 沿第一方向 X 延伸，在垂直于第一方向 X 的第二方向 Y 上，突出部 162 的宽度是平坦部 161 宽度的 0.05~0.15，例如突出部 162 的宽度为平坦部 161 宽度的 0.07 或 0.10 等等，可以理解的是，这里的第二方向 Y 也就是位线主体 120 间隔排布的方向，这里的宽度也就是突出部 162 沿第二方向 Y 的尺寸，通过设置突出部 162 的宽度是平坦部 161 宽度的 0.05~0.15 可以在具有一定保护第一侧墙隔离层 130 的能力的前提下，避免位于容纳空间内的着陆垫的体积过小，从而可以提高半导体结构的可靠性。

[0064] 可以理解的是，当突出部 162 的宽度小于平坦部 161 宽度的 0.05 时，虽然接触插塞 160 与着陆垫 170 的刻蚀选择比较大，但是由于接触插塞 160 太薄，因此仍存在将接触插塞 160 刻蚀穿的风险，当突出部 162 的宽度大于平坦部 161 宽度的 0.15 时，容纳空间内用于容纳着陆垫 170 的空间减小，不利于形成着陆垫 170，且形成的着陆垫 170 与接触插塞 160 之间的接触电阻也会增大。

[0065] 在一些实施例中，突出部 162 的宽度与第二侧墙隔离层 140 的宽度相等，通过设置突出部 162 的宽度与第二侧墙隔离层 140 的宽度相等可以便于形成突出部 162，即，可以通过直接以第二侧墙隔离层 140 为掩膜刻蚀形成突出部 162。

[0066] 在一些实施例中，突出部 162 的宽度也可以小于第二侧墙隔离层 140 或者大于第二侧墙隔离层 140。

[0067] 在一些实施例中，接触插塞 160 的宽度为 20nm~40nm，例如是 25nm、30nm 或者 35nm 等。

[0068] 需要说明的是，上述的宽度为沿图 1 中第二方向 Y 的尺寸，并非图 2 及图 3 所示的宽度。

[0069] 在一些实施例中，着陆垫 170 包括：扩散阻挡层 171 和金属层 172，扩散阻挡层 171 覆盖突出部 162 的侧壁及第二侧墙隔离层 140 的表面，且扩散阻挡层 171 还覆盖位线结构 110 的顶面，金属层 172 覆盖扩散阻挡层 171 的表面。扩散阻挡层 171 用于避免金属层 172 中的金属离子扩散至第二侧墙隔离层 140 及接触插塞 160 内，避免影响第二侧墙隔离层 140 及接触插塞 160 的性能。

[0070] 在一些实施例中，半导体结构还包括：介质层 180，介质层 180 位于相邻的位线结构 110 之间，介质层 180 侧壁与电容接触结构 150 的侧壁接触。通过设置介质层 180 可以与位线结构 110 围成用于形成电容接触结构 150 的凹槽，也就是说，通过形成介质层 180 可以用于定义电容接触结构 150 的形貌，从而可以提高形成的电容接触结构 150 的形貌，且降低了形成电容接触结构 150 的工艺难度。

[0071] 在一些实施例中，介质层 180 的材料可以是氮化硅等绝缘材料。

[0072] 在一些实施例中，半导体结构还可以包括：字线结构 190，字线结构 190 可以位于衬底 100 内，也就是埋入式字线，通过设置字线结构 190 可以用于控制半导体结构内形成晶体管的导通与断开，通过形成埋入式字线可以增加半导体结构的集成度，减小半导体结构的尺寸。

[0073] 在一些实施例中，字线结构 190 可以包括：栅介质层 191、字线阻挡层 192、字线导电层 193 及字线保护层 194，栅介质层 191 位于字线阻挡层 192 与衬底 100 之间，字线阻挡层 192 位于字线导电层 193 的表面，字线保护层 194 位于字线导电层 193 的顶面。通过栅介质层 191 可以避免字线导电层 193 与衬底 100 之间接触，避免衬底 100 的载流子流向字线导电层 193，字线阻挡层 192 用于避免字线导电层 193 内的导电离子扩散至栅介质层 191 内，避免影响栅介质层 191 性能，字线保护层 194 用于保护字线导电层 193，从而可以减少字线导电层 193 上受到的损伤。

[0074] 在一些实施例中，半导体结构还包括层叠设置的第一隔离层 210 及第二隔离层 220，第一隔离层 210 及第二隔离层 220 可以在形成隔离结构的时候同步形成。

[0075] 在一些实施例中，第一隔离层 210 的材料可以是氧化硅等材料，第二隔离层 220 的材料可以是氮化硅等材料。

[0076] 在一些实施例中，半导体结构还包括第一填充层 200，可以理解的是，在形成与衬底 100 接触的位线结构 110 时，通常会刻蚀部分衬底 100，从而使得形成的位线结构 110 部分位于衬底 100 内，然而在刻蚀衬底的过程中，随着刻蚀试剂的消耗，会形成一个类似倒梯形的结构，也就是上面的开口大，下面的开口小，因此在形成导电层 121 后，形成的导电层 121 的侧壁会与衬底 100 间隔，不利于后续形成其他结构，且形成的第一隔离层 133 不易将导电层 121 的侧壁与衬底 100 之间的间隙填满，因此通过形成第一填充层 200 将导电层 121 与衬底 100 之间的间隙填满，从而可以便于后续的步骤，且可以提高半导体结构的可靠性。

[0077] 在一些实施例中，第一填充层 200 的材料可以是氧化硅等绝缘材料。

[0078] 本公开实施例通过设置第一侧墙隔离层 130 可以用于增加相邻位线结构 110 之间的绝缘性能，且可以减少相邻位线结构 110 之间的寄生电容，且通过形成第一侧墙隔离层 130 可以用于保护位线主体 120，通过形成位于第一侧墙隔离层 130 的第二部分 132 的第二侧墙隔离层 140 可以便于在形成电容接触结构的过程中使得形成的着陆垫 170 相互间隔，从而可以避免相邻的着陆垫 170 之间短接，且还可以增加着陆垫 170 与相邻位线结构 110 之间的绝缘性，从而可以提高半导体结构可靠性。

[0079] 本公开另一实施例还提供一种半导体结构的制作方法，该半导体结构的制作方法可以用于形成上述半导体结构，以下将结合附图对本公开另一实施例提供的半导体结构的制作方法进行说明，需要说明的是前述实施例相同或相应的部分，可参考前述实施例的相应说明，以下将不做赘述。

[0080] 参考图 6 至图 24 及图 1 至图 5，图 6 至图 24 为本公开一实施例提供的一种半导体结构的制作方法各步骤对应的结构示意图。

[0081] 本公开实施例提供的半导体结构的制作方法包括：提供衬底 100，形成初始位线结构 111，初始位线结构 111 位于衬底 100 表面，初始位线结构 111 包括：位线主体 120；第一侧墙隔离层 130，第一侧墙隔离层 130 位于位线主体 120 的侧壁，第一侧墙隔离层 130 包括靠近衬底 100 的第一部分 131 和远离衬底 100 的第二部分 132；形成初始接触插塞 163，初始接触插塞 163 位于衬底 100 的表面且位于相邻的初始位线结构 111 之间，初始接触插塞 163 覆盖第一侧墙隔离层 130 的第一部分 131；形成第二侧墙隔离层 140，第二侧墙隔离层 140 位于第一侧墙隔离层 130 的第二部分 132，第二侧墙隔离层 140 的底面与初始接触插塞 163 的顶面接触，第二侧墙隔离层 140 与初始位线结构 111 共同形成位线结构 110；以第二侧墙隔离层 140 为掩膜刻蚀部分初始接触插塞 163，剩余初始接触插塞 163 作为接触插塞 160；形成着陆垫 170，着陆垫 170 位于接触插塞 160 的顶面，且着陆垫 170 还覆盖第二侧墙隔离层 140 的表面、第一侧墙隔离层 130 的部分顶面及位线主体 120 的部分的顶面，接触插塞 160 和着陆垫 170 共同形成电容接触结构 150。

[0082] 通过形成初始位线结构 111 可以对形成初始接触插塞 163 提供限位空间，可以便于初始接触插塞 163 的形成，通过形成初始接触插塞 163 为形成接触插塞 160 提供工艺基础，通过形成第二侧墙隔离层 140 与初始位线结构 111 共同构成位线结构 110，且通过在初始位线结构 111 的侧壁形成第二侧墙隔离层 140 可以增加位线结构 110 的顶面尺寸，从而便于后续形成着陆垫 170，通过增加位线结构 110 的顶面尺寸也就是增加了形成着陆垫 170 的工艺窗口，从而可以便于形成相互间隔的着陆垫，避免相邻的着陆垫 170 之间相互短接，从而可以提高形成的电容接触结构 150 的可靠性。参考图 6 至图 11，形成初始位线结构 111。

[0083] 参考图 6，提供衬底 100，在一些实施例中，在形成初始位线结构 111 之前，可以先在衬底 100 上形成层叠设置的第一隔离层 210、第二隔离层 220 及第二牺牲层 230。

[0084] 在一些实施例中，形成第一隔离层 210、第二隔离层 220 及第二牺牲层 230 之后，可以形成初始导电层 126。初始导电层 126 包括：第一位线导电层 123、位线阻挡层 124 及第二位线导电层 125，其中，第一位线导电层 123 贯穿第一隔离层 210、第二隔离层 220 及第二牺牲层 230 与衬底 100 接触电连接，位线阻挡层 124 覆盖在第二牺牲层 230 及第一位线导电层 123 的顶面，第二位线导电层 125 位于位线阻挡层 124 的顶面。

[0085] 在一些实施例中，形成初始导电层 126 之后，可以形成初始盖层 127，初始盖层 127 位于第二位线导电层 125 的顶面。

[0086] 在一些实施例中，形成初始盖层 127 之后，可以形成层叠设置的第三牺牲层 240、第四牺牲层 250 及第一掩膜层 260，其中，第三牺牲层 240 位于初始盖层 127 的顶面，第四牺牲层 250 位于第三牺牲层 240 的顶面，第一掩膜层 260 位于第四牺牲层 250 的顶面，且第一掩膜层 260 在衬底 100 的表面上的正投影位于第一位线导电层 123 在衬底 100 表面上的正投影内。通过形成第三牺牲层 240 与第四牺牲层 250 可以提高后续掩膜刻蚀形成图案的精确性，通过形成第一掩膜层 260 可以为后续形

成导电层及盖层提供基础。

[0087] 参考图 7 至图 11, 形成第一侧墙隔离层 130。

[0088] 参考图 7, 以第一掩膜层 260 为掩膜刻蚀初始导电层 126 及初始盖层 127 以形成位线主体 120, 剩余初始导电层 126 作为导电层 121, 剩余初始盖层 127 作为盖层 122。

[0089] 在一些实施例中, 形成位线主体 120 之后, 可以去除第三牺牲层 240、第四牺牲层 250 及第一掩膜层 260。

[0090] 在一些实施例中, 去除第三牺牲层 240、第四牺牲层 250 及第一掩膜层 260 之后, 还可以形成第一隔离子层 133, 第一隔离子层 133 位于位线主体 120 的侧壁。

[0091] 在一些实施例中, 形成第一隔离子层 133 之后, 可以形成第一填充层 200 及第二填充层 270, 第一填充层 200 覆盖在第一隔离子层 133 的表面, 第二填充层 270 覆盖在第一填充层 200 的表面。可以理解的是, 在形成位线主体 120 的过程中, 形成的位线主体 120 的侧壁与衬底 100 之间包括有间隙, 且位线主体 120 的侧壁与第一隔离层 210、第二隔离层 220 之间也存在间隙, 这部分间隙会影响后续的工艺步骤, 因此通过形成第一填充层 200 及第二填充层 270 将位线主体 120 的侧壁与衬底 100 之间的间隙填满, 且将位线主体 120 的侧壁与第一隔离层 210、第二隔离层 220 之间的间隙填满, 从而可以便于后续工艺步骤。

[0092] 在一些实施例中, 第一隔离子层 133 可以是氮化层、第一填充层 200 可以是氧化层且第二填充层 270 可以是氮化层, 也就是在位线主体 120 的侧壁上形成了 N-O-N(氮化层-氧化层-氮化层)的结构, 不仅可以提高后续形成的相邻的位线结构之间的绝缘性, 降低相邻位线结构的寄生电容, 还可以提高后续形成的位线结构与字线结构 190 绝缘性, 且可以降低位线结构与字线结构 190 之间的寄生电容。

[0093] 参考图 8 至图 10, 形成第二隔离子层 134, 第二隔离子层 134 位于第一隔离子层 133 的侧壁。

[0094] 参考图 8, 刻蚀第一填充层 200 及第二填充层 270 以暴露第二隔离层 220 的侧壁。

[0095] 参考图 9, 形成第二隔离子层 134, 第二隔离子层 134 覆盖第二隔离层 220 的顶面及第一隔离子层 133 的侧壁。

[0096] 参考图 10, 刻蚀部分第二隔离子层 134, 以暴露第二隔离层 220 的表面。

[0097] 参考图 11, 形成第三隔离子层 135, 第三隔离子层 135 位于第二隔离子层 134 的侧壁。从而, 可以将第一隔离子层 133、第二隔离子层 134 和第三隔离子层 135 作为位线结构的第一侧墙隔离层。

[0098] 在一些实施例中, 也可以将第一隔离子层 133、第一填充层 200 及第二填充层 270 作为位线结构的第一侧墙隔离层, 然而通过刻蚀第一填充层 200 及第二填充层 270 再形成第二隔离子层 134 及第三隔离子层 135 的方式可以提高第一侧墙隔离层的可靠性, 通过将第一隔离子层 133、第一填充层 200 及第二填充层 270 作为位线结构的第一侧墙隔离层的方式可以减少工艺步骤。

[0099] 参考图 12 至图 20, 其中图 15 为图 14 的俯视图, 形成初始接触插塞 163。

[00100] 在一些实施例中, 形成初始接触插塞 163 的方法可以包括: 形成介质层 180, 介质层 180 位于相邻的位线主体 120 之间且与第一侧墙隔离层 130 间隔, 且介质层 180、第一侧墙隔离层 130 及衬底 100 围成凹槽 280; 形成初始接触插塞 163, 初始接触插塞 163 位于凹槽 280 内。通过形成介质层 180 可以为形成初始接触插塞 163 提供工艺基础, 也就是说, 通过介质层 180 及位线主体 120 定义初始接触插塞 163 的形貌, 并通过向介质层 180、第一侧墙隔离层 130 及衬底 100 围成的凹槽 280 内直接填充初始接触插塞 163 的材料的方式可以降低形成初始接触插塞 163 的工艺难度。

[00101] 参考图 12 至图 17, 形成介质层 180 的方法包括: 形成牺牲层 290, 牺牲层 290 位于相邻的位线主体 120 之间, 且与第一侧墙隔离层 130 表面接触; 图形化牺牲层 290, 以形成第一凹槽, 形成介质层 180, 介质层 180 填满第一凹槽。通过形成牺牲层 290 并通过刻蚀牺牲层 290 形成第一凹槽的方式可以提高形成介质层 180 的形貌, 从而可以提高形成的半导体结构的可靠性。

[00102] 参考图 12, 形成牺牲层 290。

[00103] 参考图 13, 研磨牺牲层 290, 以使牺牲层 290 的顶面与位线主体 120 的顶面齐平。

[00104] 参考图 14 及图 15, 形成保护层 300, 保护层 300 位于牺牲层 290 及位线主体 120 的顶面, 通过形成保护层 300 可以将初始位线结构 111 保护起来, 从而避免后续的工艺步骤影响初始位线结构 111。

[00105] 在一些实施例中, 形成保护层 300 之后, 可以形成第五牺牲层 310、第六牺牲层 320 及第二掩膜层 330, 第五牺牲层 310 位于保护层 300 的顶面, 第六牺牲层 320 位于第五牺牲层 310 的顶面, 第二掩膜层 330 位于第六牺牲层 320 的顶面, 通过形成第二掩膜层 330 为后续形成第一凹槽提供

工艺基础。

[00106] 参考图 16 及图 17, 以第二掩膜层 330 为掩膜刻蚀牺牲层 290, 并形成填充第一凹槽的介质层 180。

[00107] 参考图 16, 形成第一凹槽后, 可以去除第二掩膜层 330、第六牺牲层 320 及第五牺牲层 310; 去除第二掩膜层 330、第六牺牲层 320 及第五牺牲层 310 后, 可以形成介质层 180, 介质层 180 还位于保护层 300 的顶面。

[00108] 参考图 17, 采用化学机械研磨的方式去除部分介质层 180, 以暴露保护层 300 的顶面。

[00109] 参考图 18 至图 20, 形成初始接触插塞 163。

[00110] 参考图 18, 去除保护层 300 及牺牲层 290, 并通过去除保护层 300 及牺牲层 290 形成的凹陷刻蚀第一隔离层 210 及第二隔离层 220, 直至暴露衬底 100 中的有源区, 可以理解的是, 此时, 介质层 180、第一侧墙隔离层 130 及衬底 100 围成凹槽 280。

[00111] 参考图 19, 形成接触插塞材料层 164, 接触插塞材料层 164 填满凹槽 280(参考图 18), 且接触插塞材料层 164 还位于介质层 180 及初始位线结构 111 的顶面。

[00112] 参考图 20, 结合化学机械研磨和回刻蚀的方式去除部分接触插塞材料层 164, 以形成初始接触插塞 163。初始接触插塞 163 的顶面低于初始位线结构 111 的顶面。

[00113] 在一些实施例中, 还可以去除部分介质层 180, 以使介质层 180 的顶面与初始位线结构 111 的顶面齐平。例如, 通过化学机械研磨去除部分接触插塞材料层 164 的同时, 去除部分介质层 180。

[00114] 需要说明的是, 这里的齐平是指, 介质层 180 的顶面与初始位线结构 111 的顶面完全齐平, 或者介质层 180 的顶面与初始位线结构 111 的顶面之间的高度差在误差允许的范围内(即基本齐平), 介质层 180 的顶面与初始位线结构 111 的顶面之间的高度差在误差允许的范围内也可以视为齐平。

[00115] 参考图 20, 形成第二侧墙隔离层 140。可以理解的是, 形成第二侧墙隔离层 140 后, 后续形成着陆垫的过程中, 位于位线结构 110 顶面的初始着陆垫的面积增加, 也就是说, 可以用于刻蚀初始着陆垫的工艺窗口增加, 可以避免后续形成的着陆垫 170 之间因为未刻蚀干净导致短接, 提高形成的着陆垫的可靠性。

[00116] 在一些实施例中, 形成第二侧墙隔离层 140 的方法可以包括: 形成第二初始侧墙隔离层, 第二初始侧墙隔离层覆盖介质层 180 的顶面、部分介质层 180 的侧壁及初始接触插塞的顶面, 回刻蚀第二初始侧墙隔离层, 剩余第二初始侧墙隔离层作为第二侧墙隔离层 140。通过先形成第二初始侧墙隔离层再刻蚀的方式形成第二侧墙隔离层 140 可以提高形成的第二侧墙隔离层 140 形貌。

[00117] 在一些实施例中, 形成第二初始侧墙隔离层可以通过原子气相沉积的方式, 以在介质层 180 的顶面、介质层 180 的侧壁、初始接触插塞的顶面及位线结构 110 的侧壁及顶面上形成第二初始侧墙隔离层, 再通过刻蚀去除介质层 180 顶面的第二初始侧墙隔离层、部分初始接触插塞顶面的第二初始侧墙隔离层及位线结构 110 顶面的第二初始侧墙隔离层, 保留介质层 180 侧壁的第二初始侧墙隔离层及位线结构 110 侧壁的第二初始侧墙隔离层作为第二侧墙隔离层 140。

[00118] 参考图 21, 以第二侧墙隔离层 140 为掩膜刻蚀初始接触插塞 163 以形成接触插塞 160。可以理解的是, 通过刻蚀部分初始接触插塞 163, 从而使得后续在形成着陆垫的过程中, 部分着陆垫位于刻蚀初始接触插塞 163 形成的凹陷内, 以使后续在刻蚀初始着陆垫的过程中终止刻蚀过程, 提高形成的半导体结构的可靠性。

[00119] 参考图 22 至图 24 及图 1 至图 5, 其中图 24 为图 23 虚线框内的放大示意图。

[00120] 在一些实施例中, 形成着陆垫 170 的方法可以包括: 形成初始扩散阻挡层 174, 初始扩散阻挡层 174 覆盖接触插塞 160 的顶面及部分位线结构 110 的表面; 形成初始金属层 175, 初始金属层 175 覆盖初始扩散阻挡层 174 的表面; 图形化初始金属层 175 及初始扩散阻挡层 174, 剩余初始金属层 175 及初始扩散阻挡层 174 作为扩散阻挡层 171 及金属层 172, 扩散阻挡层 171 及金属层 172 共同形成着陆垫 170。通过先形成初始扩散阻挡层 174 及初始金属层 175 然后刻蚀方式可以提高形成的着陆垫 170 的形貌。

[00121] 在一些实施例中, 图形化初始金属层 175 及初始扩散阻挡层 174 的方法包括: 形成第三掩膜层 340, 第三掩膜层 340 位于初始金属层 175 的顶面, 通过以第三掩膜层 340 为掩膜刻蚀初始金属层 175 及初始扩散阻挡层 174 以形成着陆垫 170。

[00122] 可以理解的是, 在刻蚀初始金属层 175 及初始扩散阻挡层 174 的过程中, 不可避免的是, 还会刻蚀第二侧墙隔离层 140, 在相关技术中, 并没有第二侧墙隔离层 140, 因此, 在刻蚀初始金属层 175 及初始扩散阻挡层 174 的过程中会刻蚀第一侧墙隔离层 130, 随着刻蚀的不断进行, 部分刻蚀产生的杂质可能会顺着刻蚀第一侧墙隔离层 130 产生的缝隙与位线主体 120 短接, 从而会使电容接触

结构 150 与位线结构 110 短接,通过设置第二侧墙隔离层 140 可以增加第一侧墙隔离层 130 第一部分 131 的厚度,从而降低刻蚀产生的杂质导致电容接触结构 150 与位线主体 120 短接的概率,且通过形成第二侧墙隔离层 140 还可以增加初始扩散阻挡层 174 位于位线结构 110 顶面部分的长度,也就增加了刻蚀初始扩散阻挡层 174 的工艺窗口,从而可以降低刻蚀初始扩散阻挡层 174 的难度,避免产生相邻的着陆垫 170 因为扩散阻挡层 171 未刻蚀干净导致短接。

[00123] 在一些实施例中,部分初始金属层 175 位于接触插塞 160 顶面的凹陷内,可以理解的是,在相关技术中,刻蚀初始金属层 175 的工艺通常较难控制,在刻蚀过程中通常会将初始金属层 175 刻蚀穿,然而将初始金属层 175 刻蚀穿就会导致在刻蚀过程中无法避免的刻蚀部分第一侧墙隔离层 130,且刻蚀第一侧墙隔离层 130 的刻蚀过程同样较难控制,因此就可能会导致形成的金属层 172 与位线结构 110 短接,通过设置部分初始金属层 175 位于接触插塞 160 顶面的凹陷内,由于着陆垫 170 与接触插塞 160 的刻蚀选择比较大,因此刻蚀过程中不会刻蚀过多的接触插塞 160,因此,随着刻蚀工艺的进行,开始刻蚀时,刻蚀着陆垫 170 的刻蚀工艺窗口的宽度为第一宽度 D1,刻蚀至暴露突出部 162 的顶面时,刻蚀着陆垫 170 的刻蚀工艺窗口的宽度为第二宽度 D2,可以看出,刻蚀工艺的工艺窗口减小,由刻蚀负载效应可知,刻蚀工艺窗口越小,刻蚀越难进行,因此,相当于控制了刻蚀着陆垫 170 的刻蚀停止,通过设置突出部 162 可以保护位线结构 110 的第一侧墙隔离层 130,可以避免位线结构 110 与着陆垫 170 之间短接。

[00124] 本公开实施例通过形成初始位线结构 111 可以对形成初始接触插塞 163 提供限位空间,可以便于初始接触插塞 163 的形成,通过形成初始接触插塞 163 为形成接触插塞 160 提供工艺基础,通过形成第二侧墙隔离层 140 以与初始位线结构 111 共同构成位线结构 110,且通过在初始位线结构 111 的侧壁形成第二侧墙隔离层 140 可以增加位线结构 110 的顶面尺寸,从而便于后续形成的着陆垫,通过增加位线结构 110 的顶面尺寸也就是增加了形成着陆垫 170 的工艺窗口,从而可以便于形成相互间隔的着陆垫,避免相邻的着陆垫 170 之间相互短接,从而可以提高形成的电容接触结构 150 的可靠性。

[00125] 本公开实施例还提供一种存储器,包括如上述的半导体结构,需要说明的是前述实施例相同或相应的部分,可参考前述实施例的相应说明,以下将不做赘述。

[00126] 需要说明的是,存储器可以是基于半导体装置或组件的存储单元或装置。例如,存储器装置可以是易失性存储器,例如动态随机存取存储器 DRAM、同步动态随机存取存储器 SDRAM、双倍数据速率同步动态随机存取存储器 DDR SDRAM、低功率双倍数据速率同步动态随机存取存储器 LPDDR SDRAM、图形双倍数据速率同步动态随机存取存储器 GDDR SDRAM、双倍数据速率类型双同步动态随机存取存储器 DDR2 SDRAM、双倍数据速率类型三同步动态随机存取存储器 DDR3 SDRAM、双倍数据速率第四代同步动态随机存取存储器 DDR4 SDRAM、晶闸管随机存取存储器 TRAM 等;或者可以是非易失性存储器,例如相变随机存取存储器 PRAM、磁性随机存取存储器 MRAM、电阻式随机存取存储器 RRAM 等。

[00127] 本领域的普通技术人员可以理解,上述各实施方式是实现本公开的具体实施例,而在实际应用中,可以在形式上和细节上对其作各种改变,而不偏离本公开实施例的精神和范围。任何本领域技术人员,在不脱离本公开实施例的精神和范围内,均可作各种改动与修改,因此本公开实施例的保护范围应当以权利要求限定的范围为准。

权 利 要 求 书

1. 一种半导体结构，包括：
衬底（100）；
- 5 位线结构（110），所述位线结构（110）位于所述衬底（100）表面，所述位线结构（110）包括：位线主体（120）；第一侧墙隔离层（130），所述第一侧墙隔离层（130）位于所述位线主体（120）的侧壁，所述第一侧墙隔离层（130）包括靠近所述衬底（100）的第一部分（131）和远离所述衬底（100）的第二部分（132）；第二侧墙隔离层（140），所述第二侧墙隔离层（140）位于所述第一侧墙隔离层（130）的所述第二部分（132）；
- 10 电容接触结构（150），所述电容接触结构（150）位于所述位线结构（110）的一侧，且所述电容接触结构（150）包括：接触插塞（160），所述接触插塞（160）位于所述衬底（100）的表面，所述接触插塞（160）覆盖所述第一侧墙隔离层（130）的所述第一部分（131），且所述接触插塞（160）的顶面与所述第二侧墙隔离层（140）的底面接触；着陆垫（170），所述着陆垫（170）位于所述接触插塞（160）的顶面，且所述着陆垫（170）还覆盖所述第二侧墙隔离层（140）的表面、第一侧墙隔离层（130）的部分顶面及位线主体（120）的部分的顶面。
- 15 2. 根据权利要求1所述的半导体结构，其中，所述接触插塞（160）包括：平坦部（161），所述平坦部（161）与所述衬底（100）接触；突出部（162），所述突出部（162）位于所述平坦部（161）的顶面，且所述突出部（162）的顶面与所述第二侧墙隔离层（140）的底面接触。
3. 根据权利要求2所述的半导体结构，其中，所述平坦部（161）及所述突出部（162）围成有容纳空间，
- 20 所述着陆垫（170）填充满所述容纳空间。
4. 根据权利要求3所述的半导体结构，其中，所述着陆垫（170）包括：扩散阻挡层（171）和金属层（172），所述扩散阻挡层（171）覆盖所述突出部（162）的侧壁及所述第二侧墙隔离层（140）的表面，且所述扩散阻挡层（171）还覆盖所述位线结构（110）的顶面，所述金属层（172）覆盖所述扩散阻挡层（171）的表面。
- 25 5. 根据权利要求2所述的半导体结构，其中，所述位线主体（120）沿第一方向（X）延伸，在垂直于所述第一方向（X）的第二方向（Y）上，所述突出部（162）的宽度是所述平坦部（161）宽度的0.05~0.15。
6. 根据权利要求1所述的半导体结构，其中，所述位线主体（120）沿第一方向（X）延伸，在垂直于所述第一方向（X）的第二方向（Y）上，所述第二侧墙隔离层（140）的宽度是所述第一侧墙隔离层（130）宽度的0.15~0.25。
- 30 7. 根据权利要求1所述的半导体结构，其中，所述半导体结构还包括：介质层（180），所述介质层（180）位于相邻的所述位线结构（110）之间，所述介质层（180）侧壁与所述电容接触结构（150）的侧壁接触。
8. 根据权利要求7所述的半导体结构，其中，所述第二侧墙隔离层（140）还位于所述介质层（180）的侧壁。
- 35 9. 根据权利要求1所述的半导体结构，其中，所述第一侧墙隔离层（130）包括：
第一隔离子层（133），所述第一隔离子层（133）位于所述位线主体（120）的侧壁；
第二隔离子层（134），所述第二隔离子层（134）位于所述第一隔离子层（133）的侧壁；
第三隔离子层（135），所述第三隔离子层（135）位于所述第二隔离子层（134）的侧壁。
- 40 10. 根据权利要求1所述的半导体结构，其中，所述衬底（100）包括：有源区（101）及定义所述有源区（101）的隔离结构（102）；所述位线主体（120）包括：依次层叠的导电层（121）和盖层（122）；其中，所述接触插塞（160）和所述导电层（121）均与所述有源区（101）接触。
11. 一种半导体结构的制作方法，包括：
提供衬底（100）；

形成初始位线结构(111)，所述初始位线结构(111)位于所述衬底(100)表面，所述初始位线结构(111)包括：位线主体(120)；第一侧墙隔离层(130)，所述第一侧墙隔离层(130)位于所述位线主体(120)的侧壁，所述第一侧墙隔离层(130)包括靠近所述衬底(100)的第一部分(131)和远离所述衬底(100)的第二部分(132)；

- 5 形成初始接触插塞(163)，所述初始接触插塞(163)位于所述衬底(100)的表面且位于相邻的所述初始位线结构(111)之间，所述初始接触插塞(163)覆盖所述第一侧墙隔离层(130)的所述第一部分(131)；

- 10 形成第二侧墙隔离层(140)，所述第二侧墙隔离层(140)位于所述第一侧墙隔离层(130)的所述第二部分(132)，所述第二侧墙隔离层(140)的底面与所述初始接触插塞(163)的顶面接触，所述第二侧墙隔离层(140)与所述初始位线结构(111)共同形成位线结构(110)；

以所述第二侧墙隔离层(140)为掩膜刻蚀部分所述初始接触插塞(163)，剩余所述初始接触插塞(163)作为接触插塞(160)；

- 15 形成着陆垫(170)，所述着陆垫(170)位于所述接触插塞(160)的顶面，且所述着陆垫(170)还覆盖第二侧墙隔离层(140)的表面、第一侧墙隔离层(130)的部分顶面及位线主体(120)的部分的顶面，所述接触插塞(160)和所述着陆垫(170)共同形成电容接触结构(150)。

12. 根据权利要求11所述的半导体结构的制作方法，其中，形成所述初始接触插塞(163)的方法包括：形成介质层(180)，所述介质层(180)位于所述相邻的所述位线主体(120)之间且与所述第一侧墙隔离层(130)间隔，且所述介质层(180)、所述第一侧墙隔离层(130)及所述衬底(100)围成凹槽(280)；

- 20 形成所述初始接触插塞(163)，所述初始接触插塞(163)位于所述凹槽(280)内。

13. 根据权利要求12所述的半导体结构的制作方法，其中，形成所述介质层(180)的方法包括：

形成牺牲层(290)，所述牺牲层(290)位于相邻的所述位线主体(120)之间，且与所述第一侧墙隔离层(130)表面接触；

图形化所述牺牲层(290)，以形成第一凹槽；

- 25 形成介质层(180)，所述介质层(180)填充满所述第一凹槽。

14. 根据权利要求13所述的半导体结构的制作方法，其中，形成所述第二侧墙隔离层(140)的方法包括：

形成第二初始侧墙隔离层，所述第二初始侧墙隔离层覆盖所述初始位线结构(111)的顶面、所述初始位线结构(111)的部分侧壁、所述介质层(180)的顶面、所述介质层(180)的部分侧壁及所述初始接触插塞(163)的顶面；

- 30 回刻蚀所述第二初始侧墙隔离层，剩余所述第二初始侧墙隔离层作为所述第二侧墙隔离层(140)。

15. 根据权利要求11所述的半导体结构的制作方法，其中，形成所述第一侧墙隔离层(130)包括：

形成第一隔离子层(133)，所述第一隔离子层(133)位于所述位线主体(120)的侧壁；

形成第二隔离子层(134)，所述第二隔离子层(134)位于所述第一隔离子层(133)的侧壁；

形成第三隔离子层(135)，所述第三隔离子层(135)位于所述第二隔离子层(134)的侧壁。

- 35 16. 根据权利要求11所述的半导体结构的制作方法，其中，形成所述着陆垫(170)的方法包括：

形成初始扩散阻挡层(174)，所述初始扩散阻挡层(174)覆盖所述接触插塞(160)的顶面及部分位线结构(110)的表面；

形成初始金属层(175)，所述初始金属层(175)覆盖所述初始扩散阻挡层(174)的表面；

- 40 图形化所述初始金属层(175)及所述初始扩散阻挡层(174)，剩余所述初始金属层(175)及所述初始扩散阻挡层(174)作为扩散阻挡层(171)及金属层(172)，所述扩散阻挡层(171)及所述金属层(172)共同形成所述着陆垫(170)。

17. 一种存储器，包括如权利要求1~10任一项所述的半导体结构。

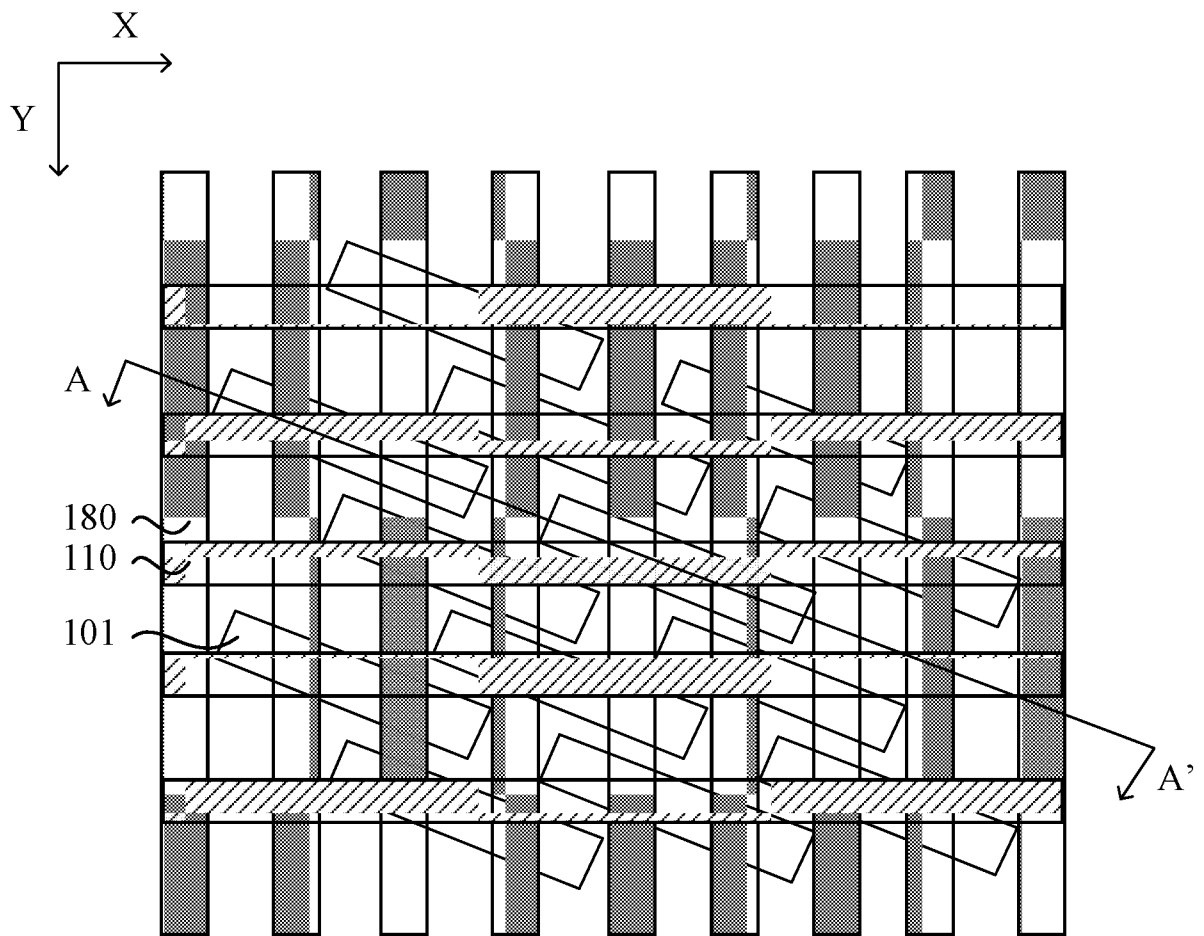


图 1

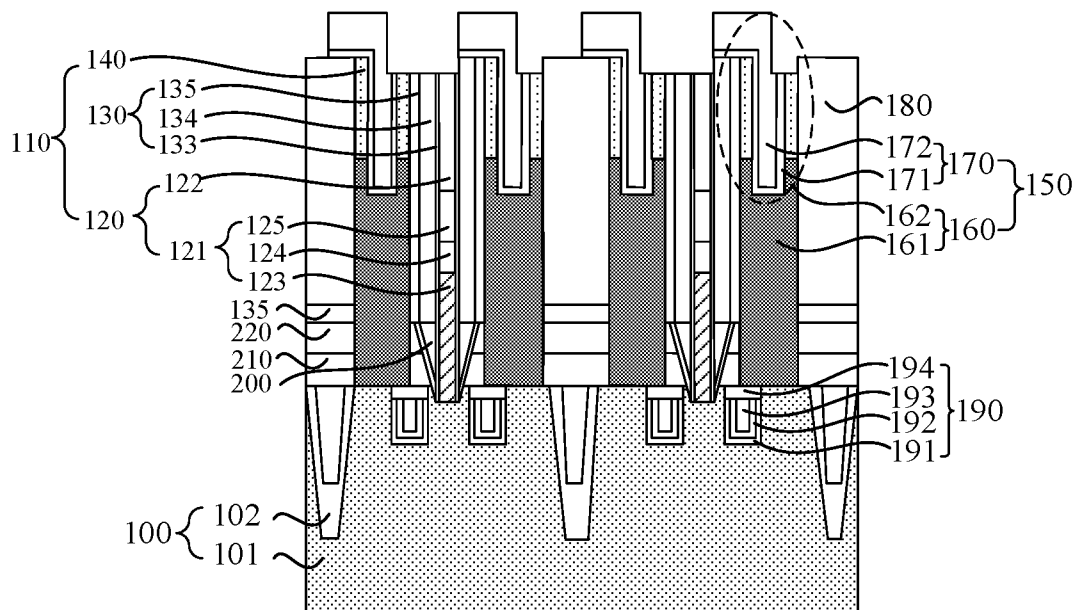


图 2

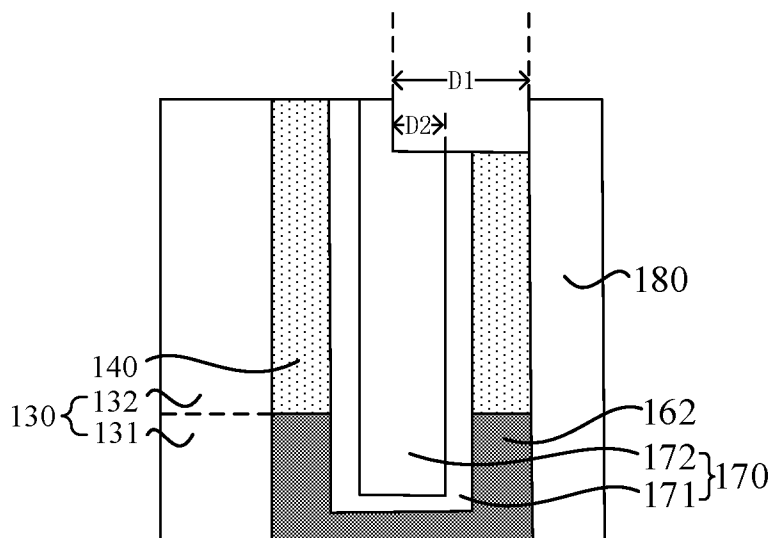


图 3

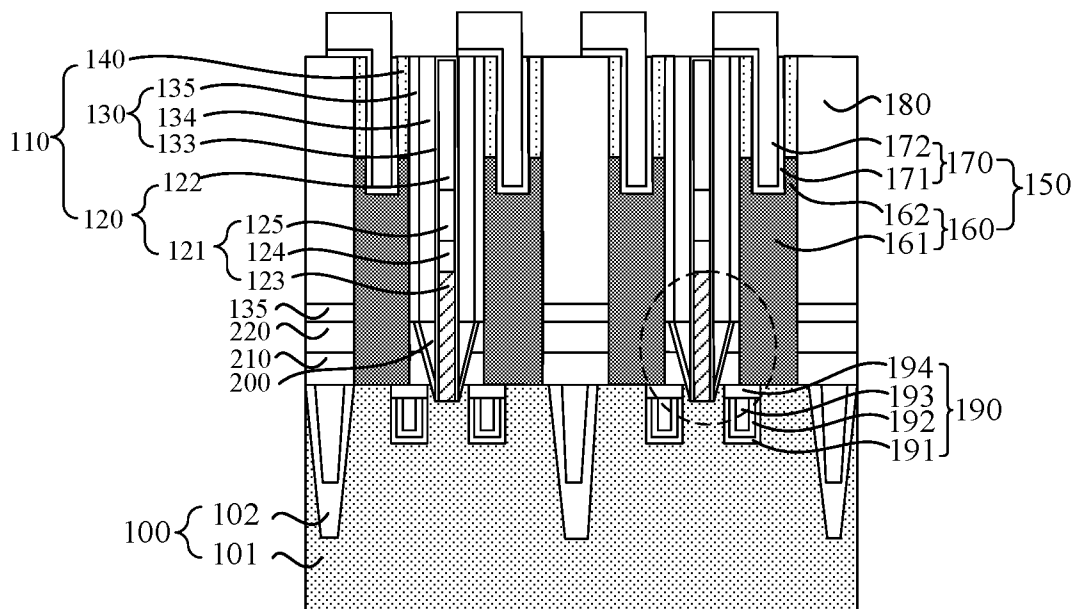


图 4

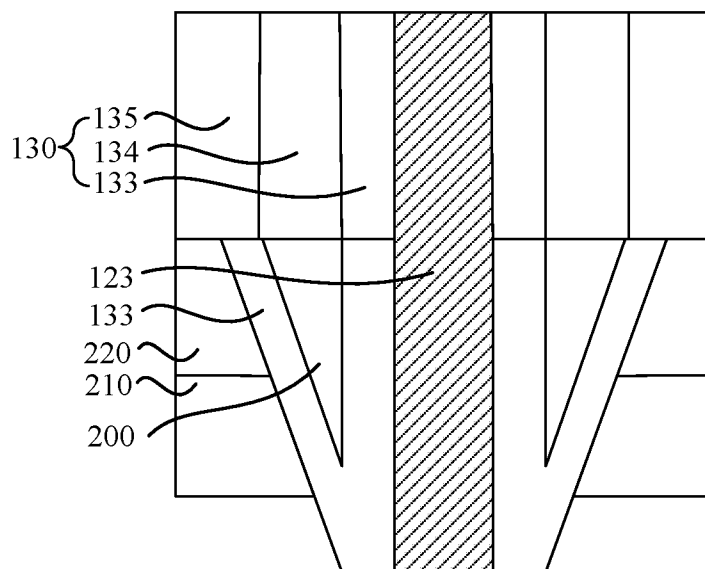


图 5

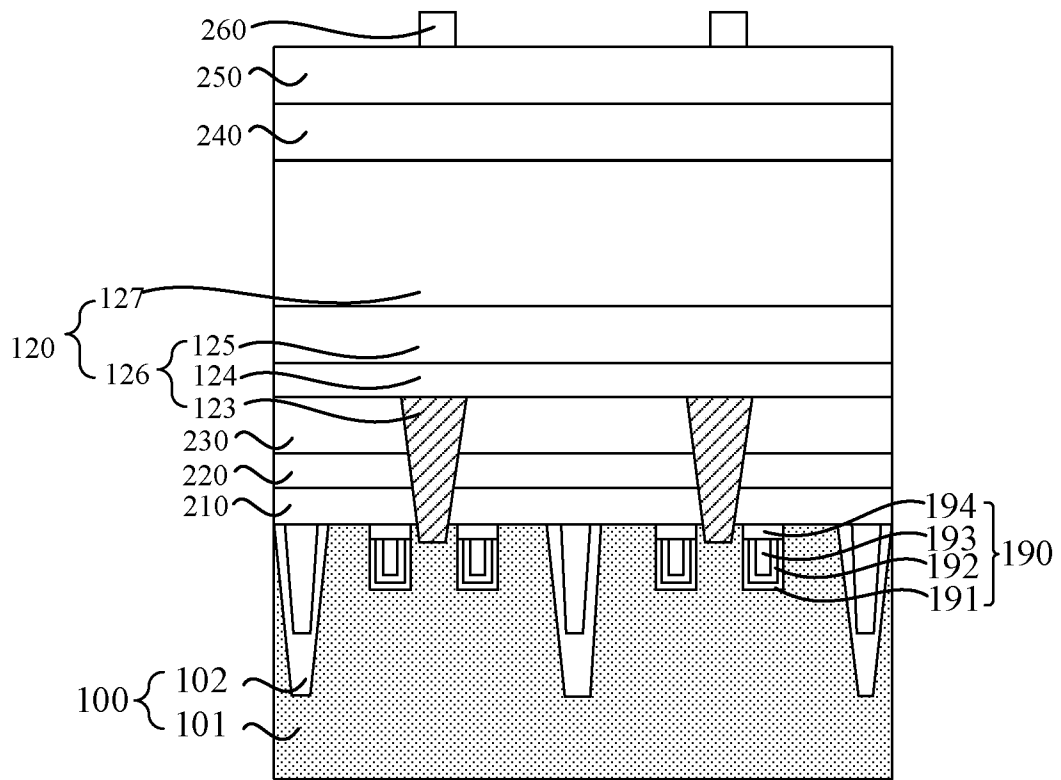


图 6

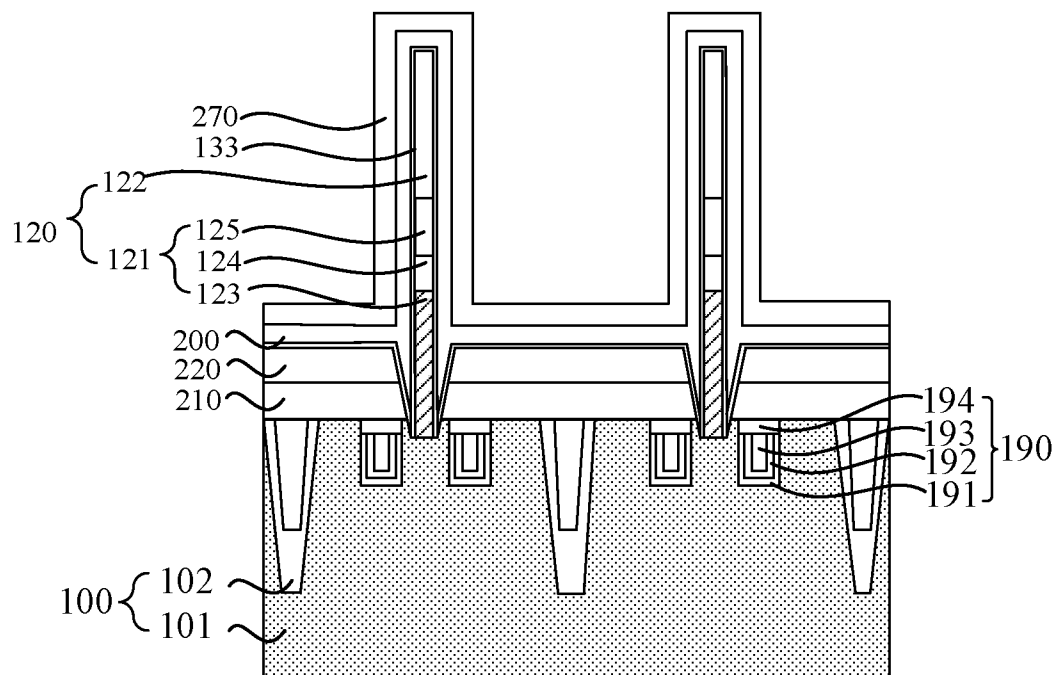


图 7

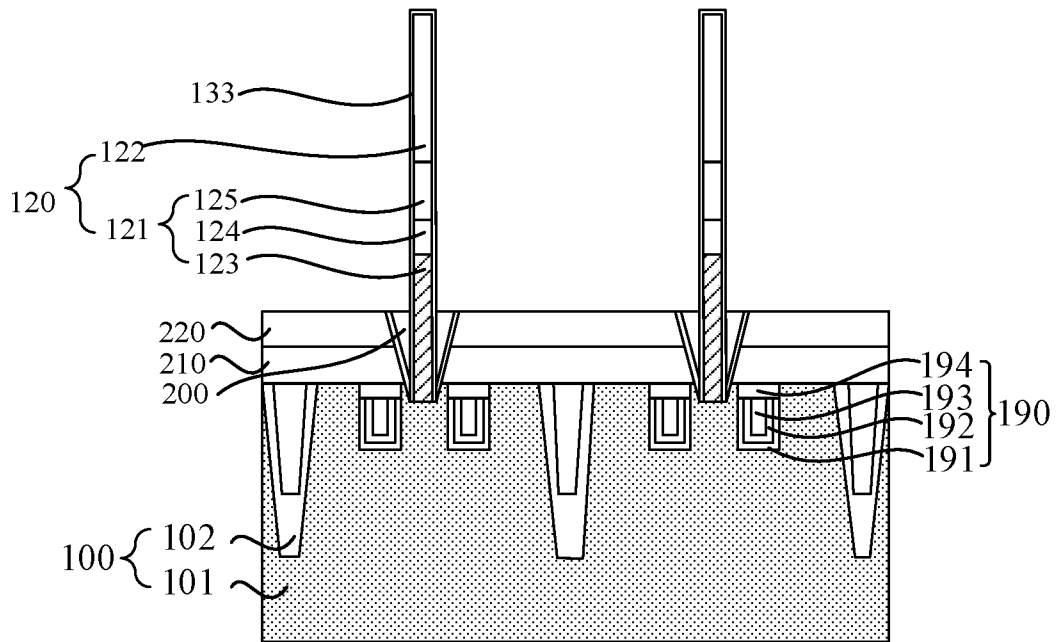


图 8

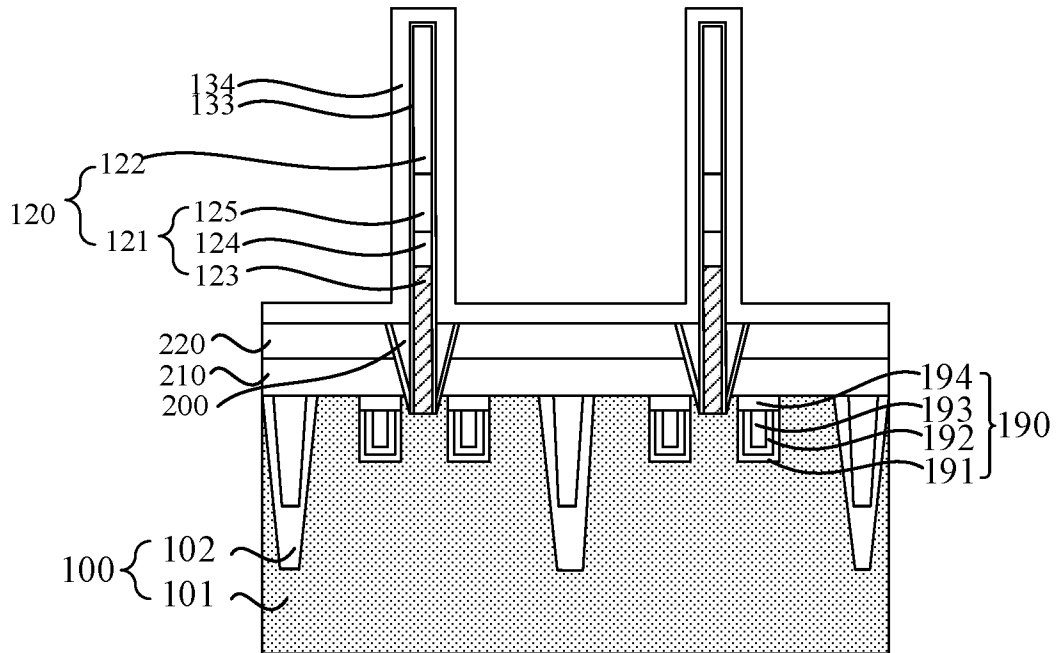


图 9

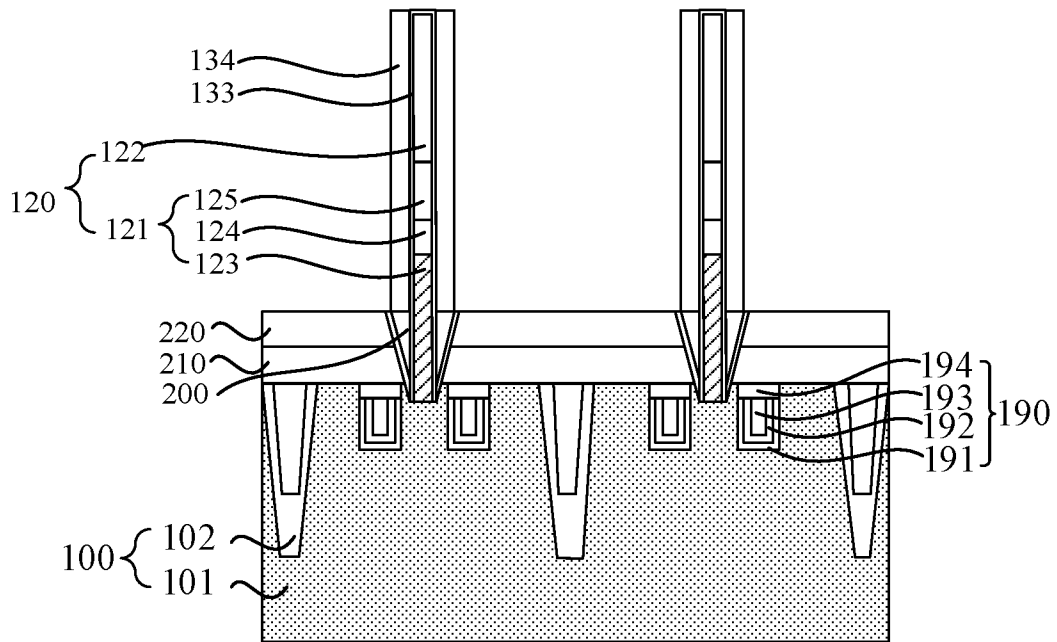


图 10

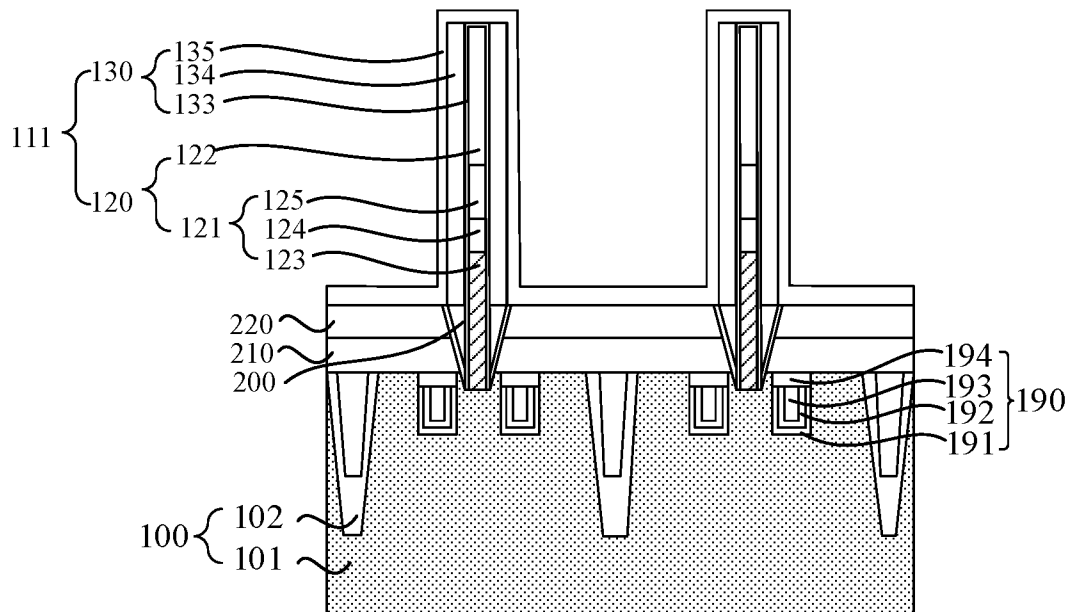


图 11

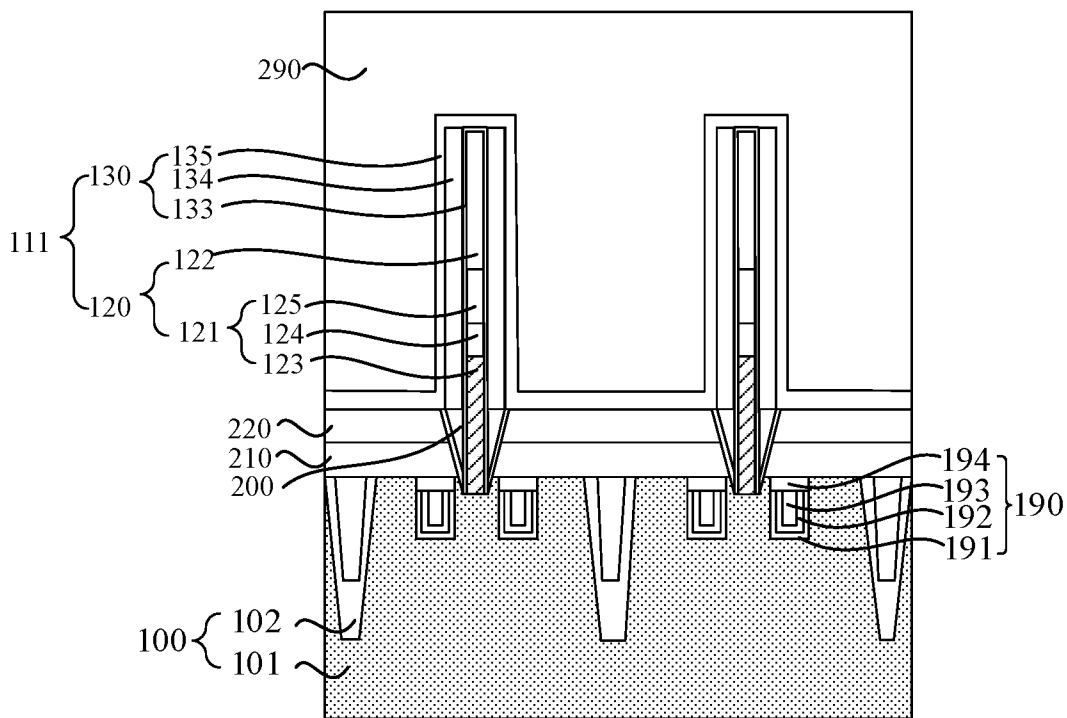


图 12

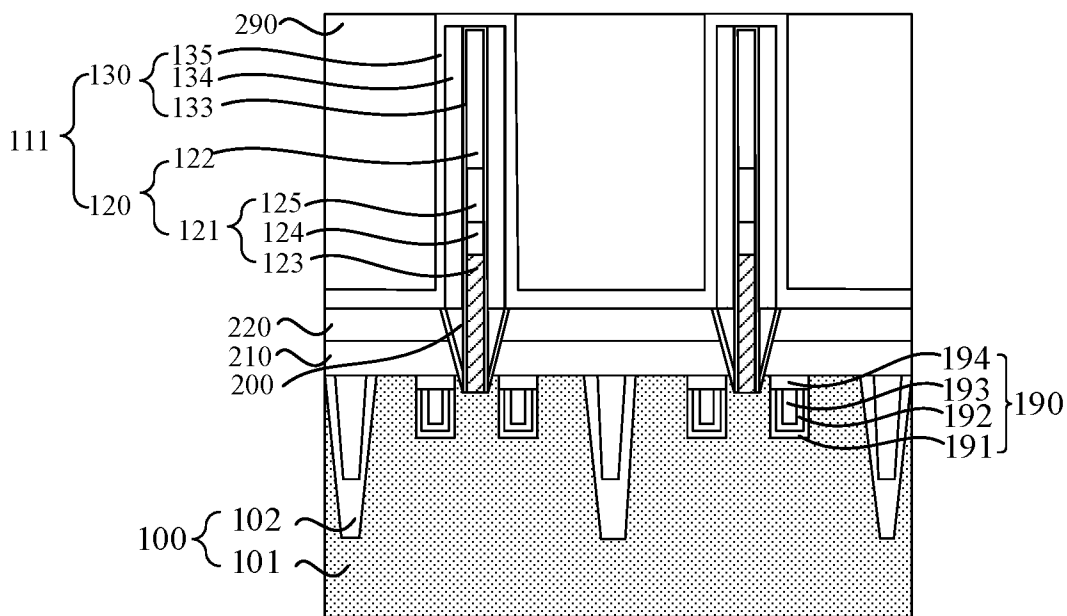


图 13

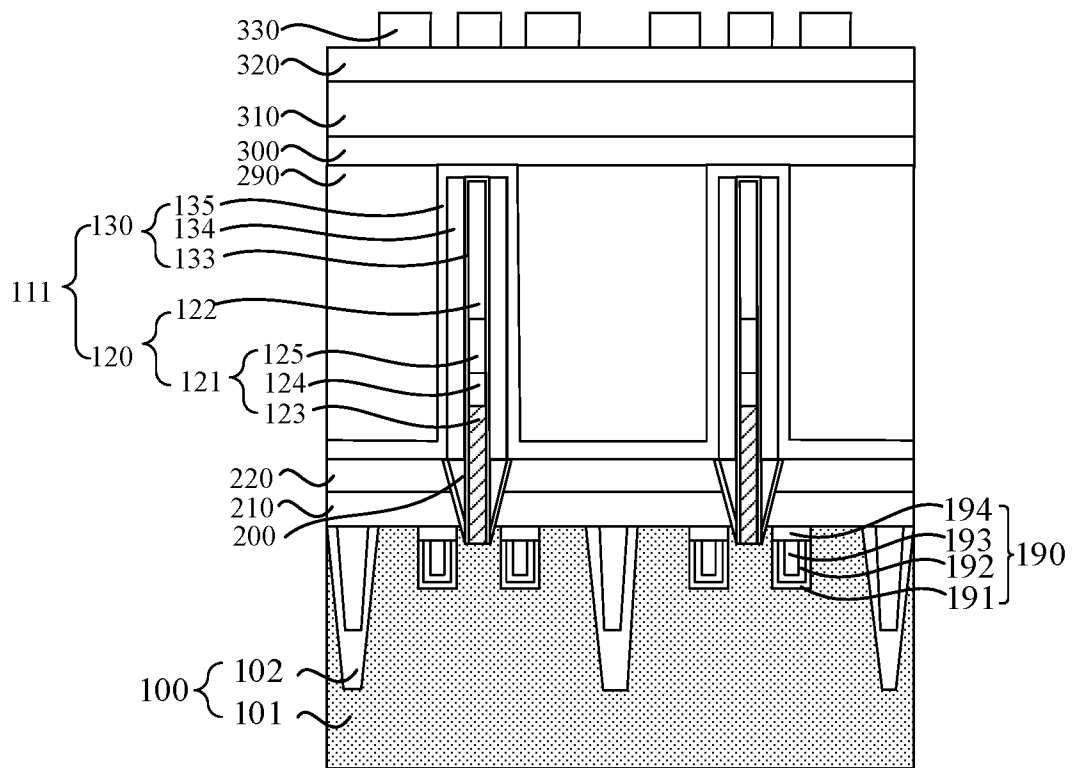


图 14

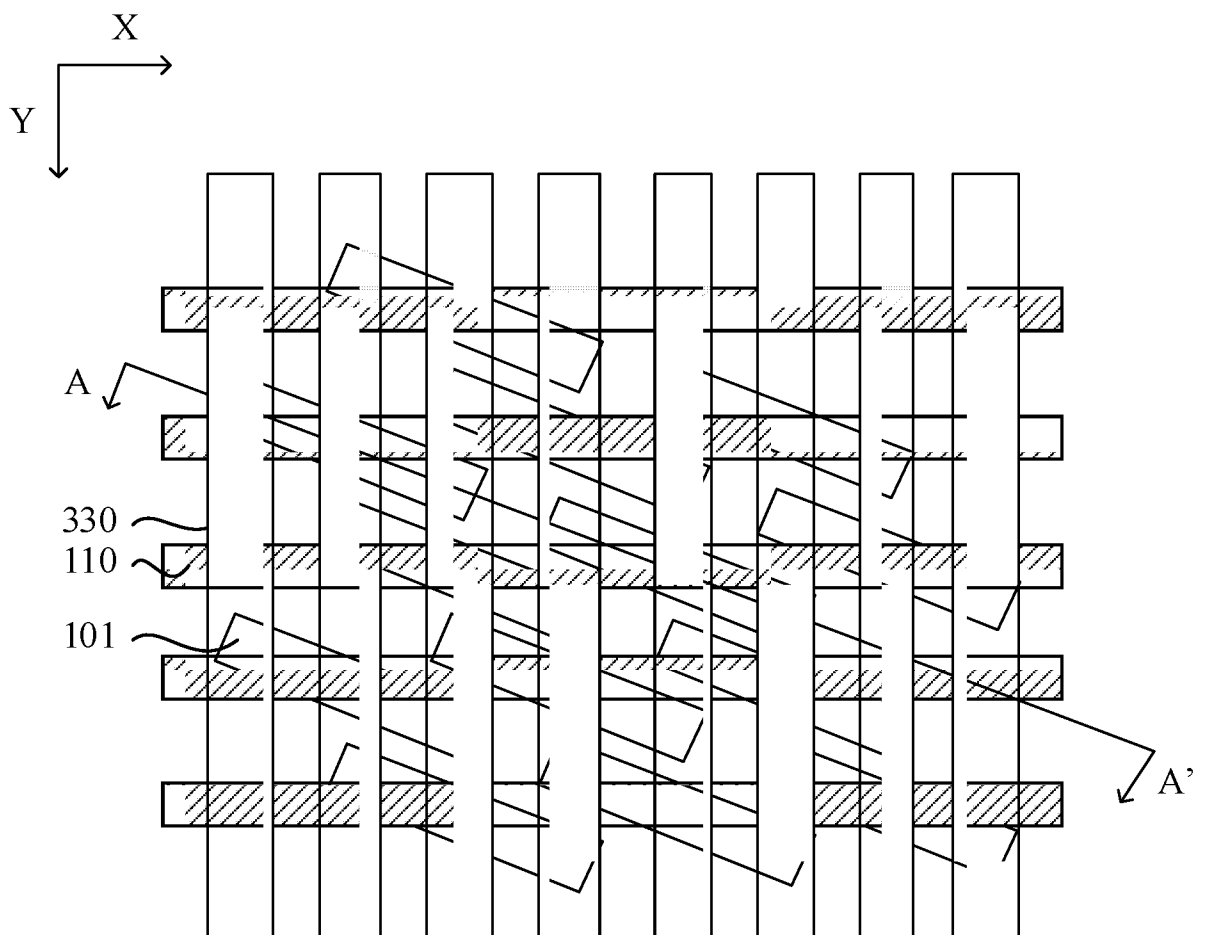


图 15

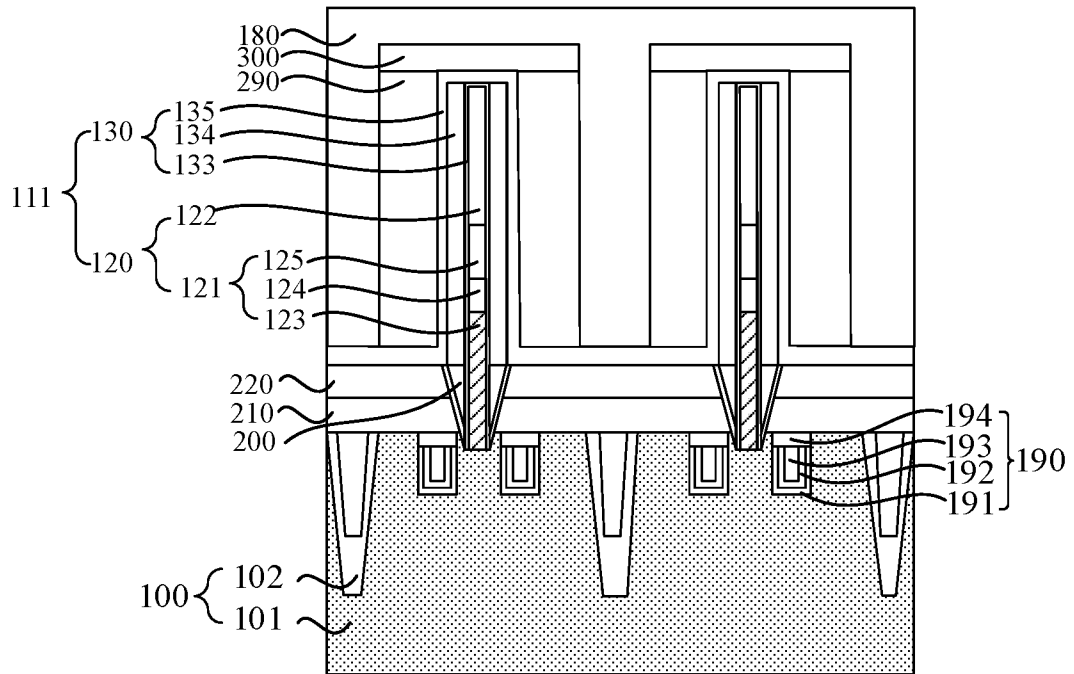


图 16

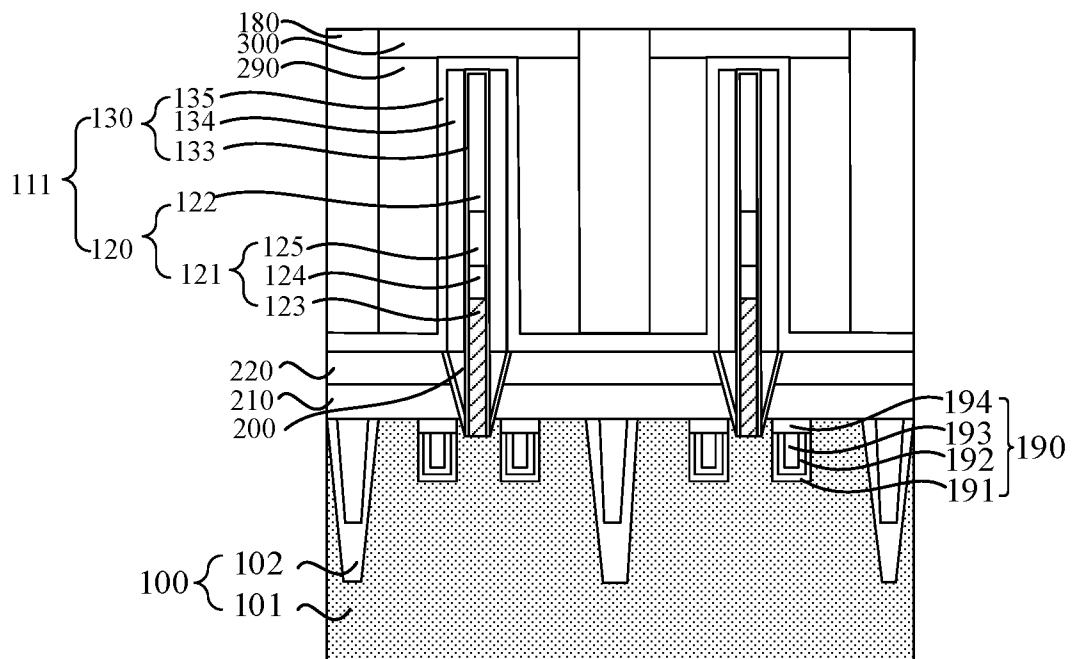


图 17

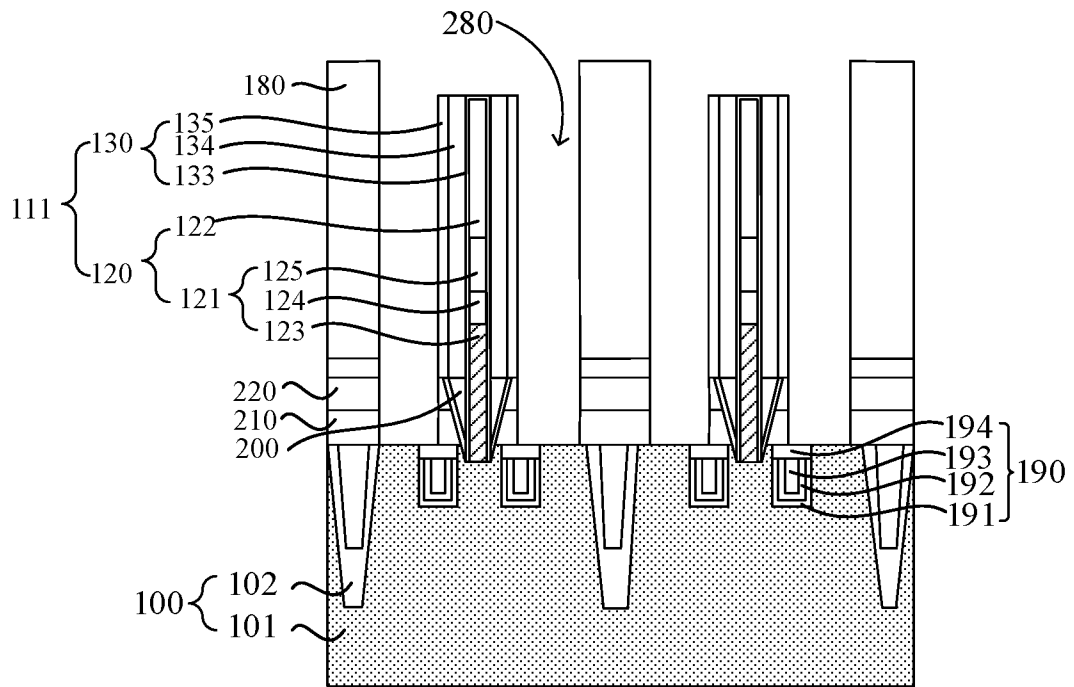


图 18

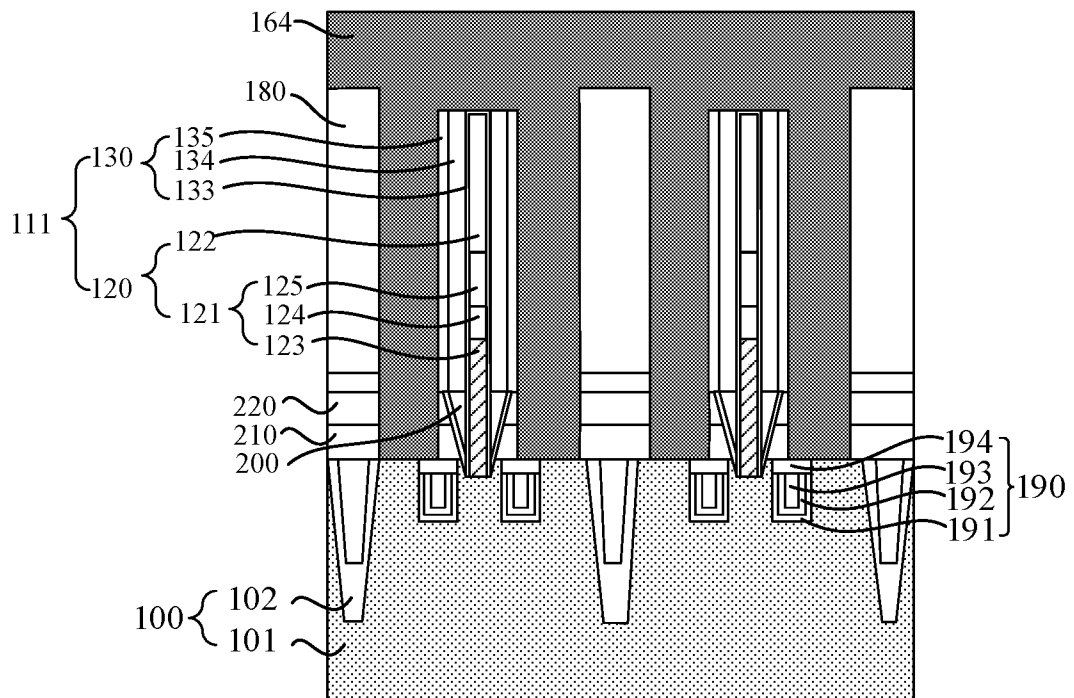


图 19

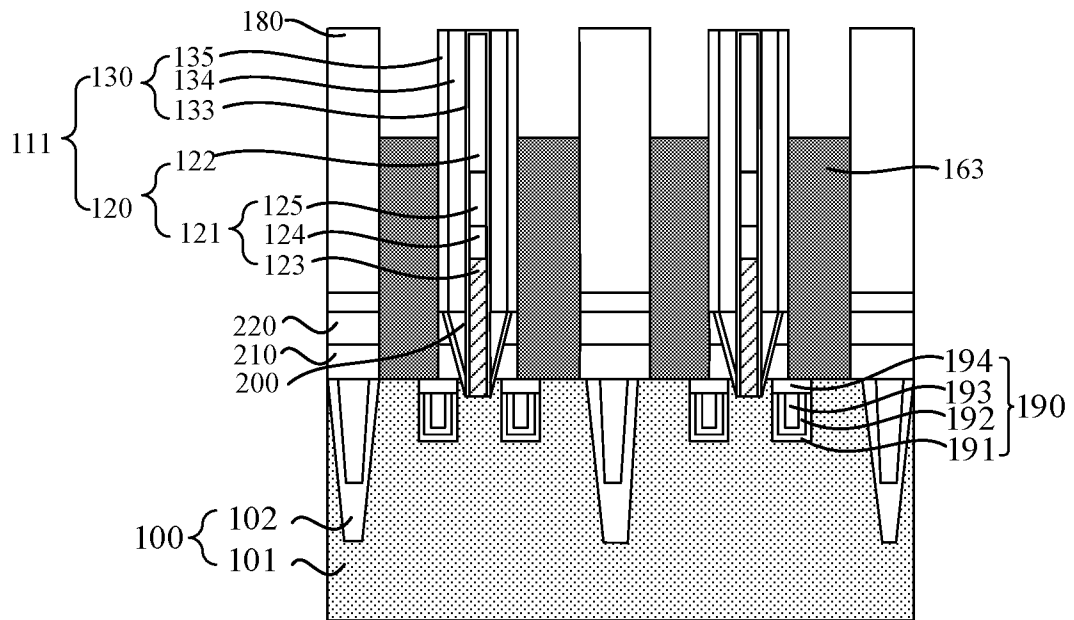


图 20

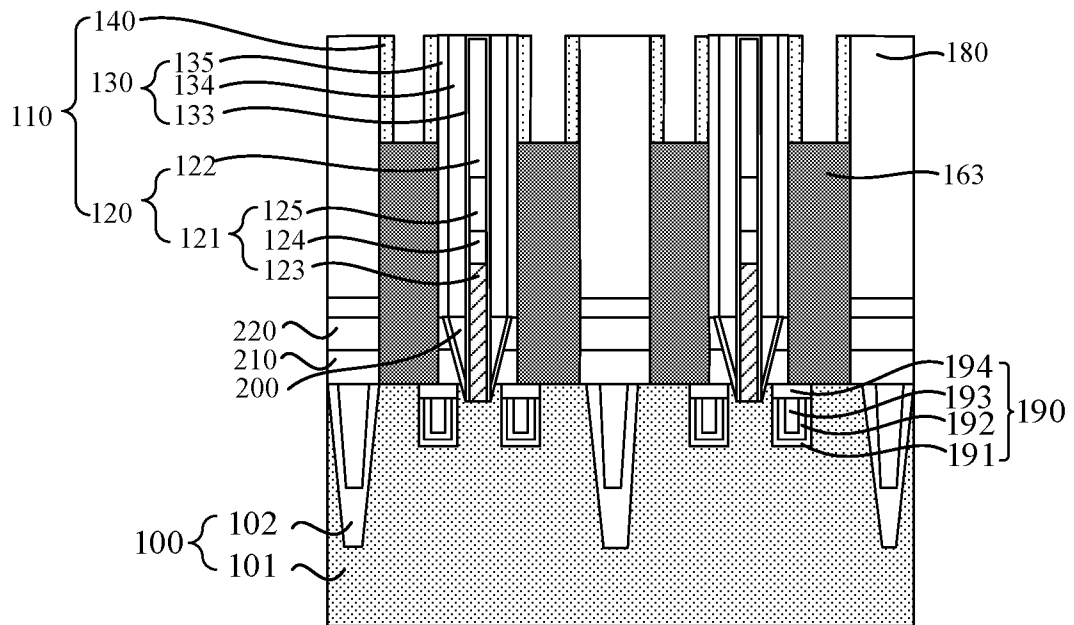


图 21

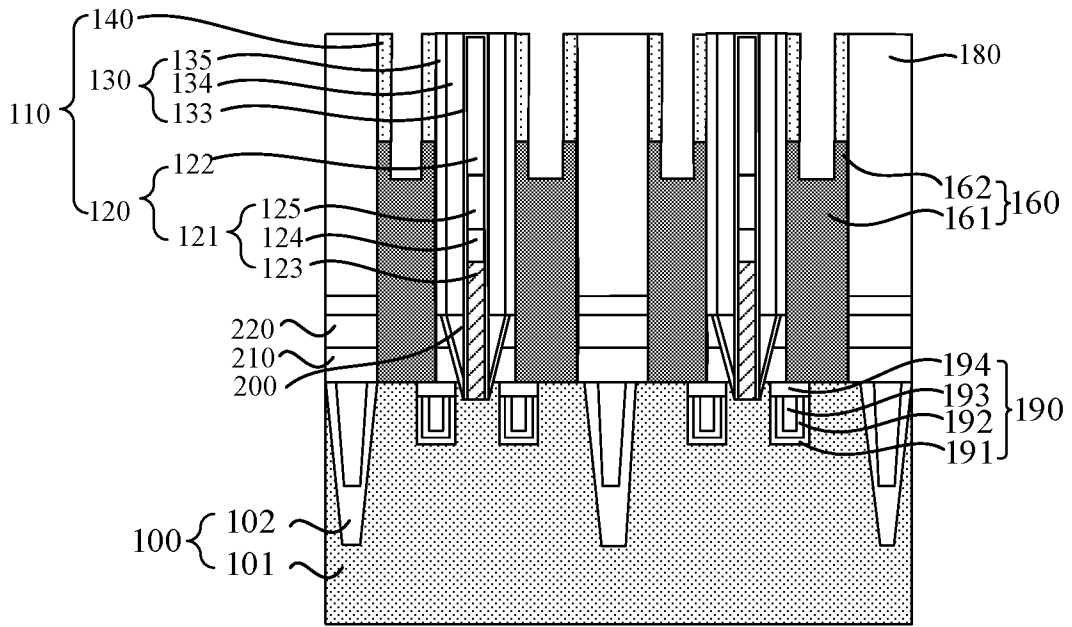


图 22

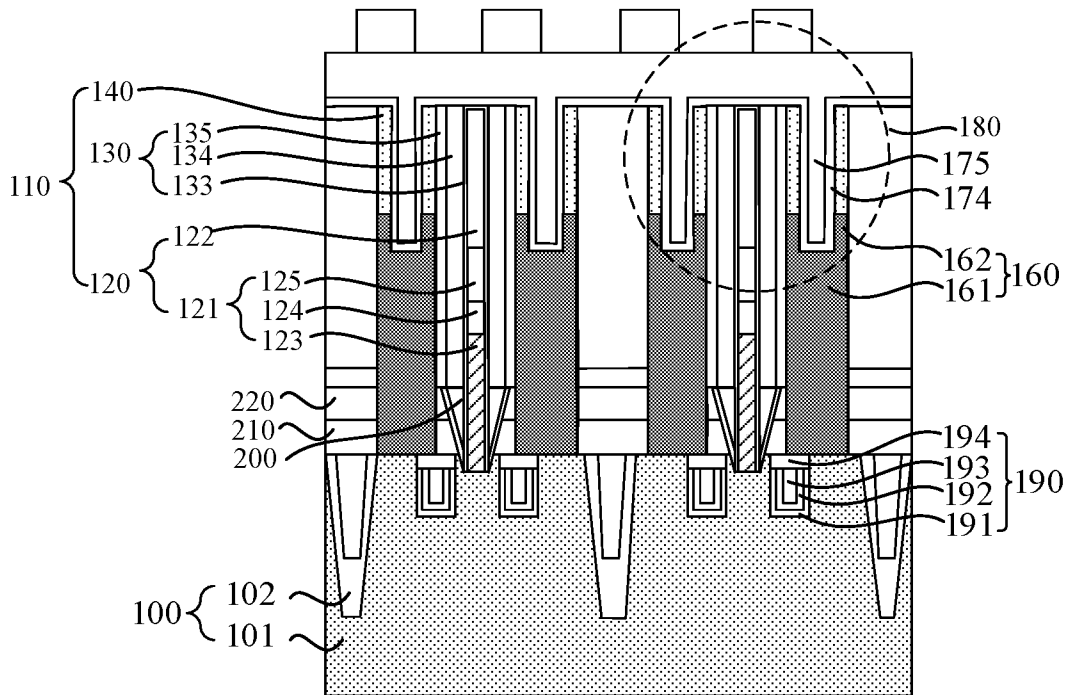


图 23

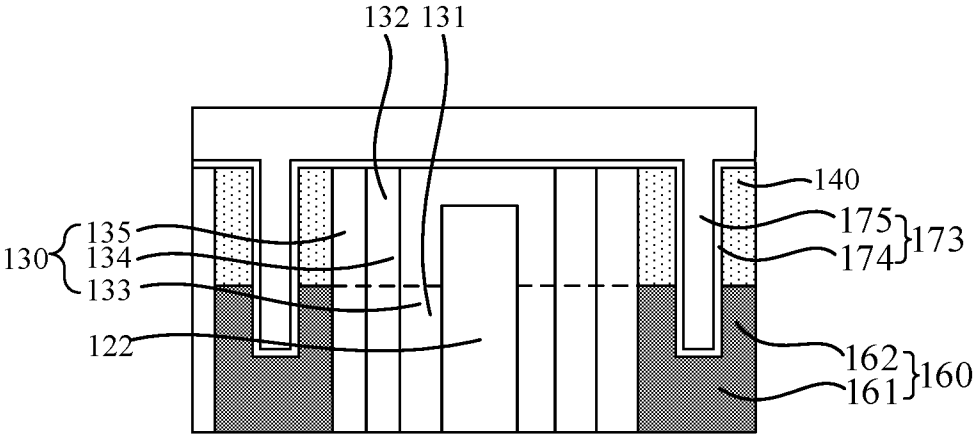


图 24

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/131182

A. CLASSIFICATION OF SUBJECT MATTER H10B 12/00(2023.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC: H10B, H01L Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) DWPI, CNTXT, ENTXTC, ENTXT, CNKI: 位线, 侧, 电容, 插塞, 接触; bit line, side, spacer, capacitor, plug, contact		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 105280608 A (SK HYNIX INC.) 27 January 2016 (2016-01-27) entire document	1-17
A	KR 20150137224 A (SK HYNIX INC.) 09 December 2015 (2015-12-09) entire document	1-17
A	US 2006205141 A1 (PARK, J. M. et al.) 14 September 2006 (2006-09-14) entire document	1-17
A	WO 2022012169 A1 (CHANGXIN MEMORY TECHNOLOGIES, INC.) 20 January 2022 (2022-01-20) entire document	1-17
A	CN 114093870 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 25 February 2022 (2022-02-25) entire document	1-17
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 08 February 2024		Date of mailing of the international search report 18 February 2024
Name and mailing address of the ISA/CN China National Intellectual Property Administration (ISA/ CN) China No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2023/131182

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	105280608	A	27 January 2016	KR	20160012826	A	03 February 2016
				KR	102238951	B1	12 April 2021
				US	2016027727	A1	28 January 2016
				US	9786598	B2	10 October 2017
KR	20150137224	A	09 December 2015	KR	102242963	B1	23 April 2021
US	2006205141	A1	14 September 2006	KR	100577542	B1	10 May 2006
				US	7749834	B2	06 July 2010
WO	2022012169	A1	20 January 2022	US	2022139763	A1	05 May 2022
CN	114093870	A	25 February 2022	US	2023056204	A1	23 February 2023
				WO	2022042022	A1	03 March 2022
				CN	114093870	B	13 October 2023

A. 主题的分类

H10B 12/00(2023.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H10B, H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

DWPI, CNTXT, ENTXTC, ENTXT, CNKI: 位线, 侧, 电容, 插塞, 接触; bit line, side, spacer, capacitor, plug, contact

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 105280608 A (爱思开海力士有限公司) 2016年1月27日 (2016 - 01 - 27) 全文	1-17
A	KR 20150137224 A (SK HYNIX INC) 2015年12月9日 (2015 - 12 - 09) 全文	1-17
A	US 2006205141 A1 (PARK JE-MIN等) 2006年9月14日 (2006 - 09 - 14) 全文	1-17
A	WO 2022012169 A1 (CHANGXIN MEMORY TECH INC) 2022年1月20日 (2022 - 01 - 20) 全文	1-17
A	CN 114093870 A (长鑫存储技术有限公司) 2022年2月25日 (2022 - 02 - 25) 全文	1-17

☐ 其余文件在C栏的续页中列出。

☒ 见同族专利附件。

★ 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“D” 申请人在国际申请中引证的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“p” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2024年2月8日

国际检索报告邮寄日期

2024年2月18日

ISA/CN的名称和邮寄地址

中国国家知识产权局
中国北京市海淀区蓟门桥西土城路6号 100088

授权官员

王晓峰

电话号码 (+86) 62089918

PCT/ISA/210 表(第2页) (2022年7月)

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2023/131182

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	105280608	A	2016年1月27日	KR	20160012826	A	2016年2月3日
				KR	102238951	B1	2021年4月12日
				US	2016027727	A1	2016年1月28日
				US	9786598	B2	2017年10月10日
KR	20150137224	A	2015年12月9日	KR	102242963	B1	2021年4月23日
US	2006205141	A1	2006年9月14日	KR	100577542	B1	2006年5月10日
				US	7749834	B2	2010年7月6日
WO	2022012169	A1	2022年1月20日	US	2022139763	A1	2022年5月5日
CN	114093870	A	2022年2月25日	US	2023056204	A1	2023年2月23日
				WO	2022042022	A1	2022年3月3日
				CN	114093870	B	2023年10月13日