

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5322467号
(P5322467)

(45) 発行日 平成25年10月23日 (2013. 10. 23)

(24) 登録日 平成25年7月26日 (2013. 7. 26)

(51) Int. Cl.	F I
HO 1 L 21/02 (2006. 01)	HO 1 L 27/12 B
HO 1 L 27/12 (2006. 01)	HO 1 L 21/76 D
HO 1 L 21/762 (2006. 01)	HO 1 L 21/76 A
HO 1 L 21/764 (2006. 01)	HO 1 L 29/78 6 2 7 D
HO 1 L 21/336 (2006. 01)	HO 1 L 27/08 3 3 1 E
請求項の数 3 (全 37 頁) 最終頁に続く	

(21) 出願番号	特願2008-72639 (P2008-72639)	(73) 特許権者	000153878
(22) 出願日	平成20年3月20日 (2008. 3. 20)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2008-283171 (P2008-283171A)		神奈川県厚木市長谷 3 9 8 番地
(43) 公開日	平成20年11月20日 (2008. 11. 20)	(72) 発明者	山崎 舜平
審査請求日	平成23年3月1日 (2011. 3. 1)		神奈川県厚木市長谷 3 9 8 番地 株式会社
(31) 優先権主張番号	特願2007-106578 (P2007-106578)		半導体エネルギー研究所内
(32) 優先日	平成19年4月13日 (2007. 4. 13)		
(33) 優先権主張国	日本国 (JP)	審査官	岩本 勉

最終頁に続く

(54) 【発明の名称】 表示装置の製造方法及びトランジスタを含む回路の製造方法

(57) 【特許請求の範囲】

【請求項 1】

一のパネルを含む面積に分割された複数の単結晶半導体層を、絶縁層を介して絶縁表面を有する基板上に接合し、

前記複数の単結晶半導体層から選択された一のまとまりを同時に露光して回路パターンを形成することにより、個々の前記単結晶半導体層を用いてトランジスタを含む回路を形成し、

前記複数の単結晶半導体層から選択された一のまとまりは、露光装置が1回に露光する範囲のまとまりとすることを特徴とする表示装置の製造方法。

【請求項 2】

請求項 1 において、

前記露光装置が1回に露光する範囲のまとまりは、アライメントマーカを有し、

前記アライメントマーカを用いて、前記単結晶半導体層の位置合わせを行うことを特徴とする表示装置の製造方法。

【請求項 3】

第1の面積に分割された複数の単結晶半導体層を、絶縁層を介して絶縁表面を有する基板上に接合し、

前記複数の単結晶半導体層から選択された一のまとまりを同時に露光して回路パターンを形成することにより、個々の前記単結晶半導体層を用いてトランジスタを含む回路を形成し、

前記複数の単結晶半導体層から選択された一のまとまりは、露光装置が1回に露光する範囲のまとまりとすることを特徴とするトランジスタを含む回路の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、SOI (Silicon on Insulator) 基板及びそれにより製造される表示装置に関する。特に貼り合わせSOI技術に関するものであって、ガラス等の絶縁表面を有する基板に単結晶若しくは多結晶の半導体層を接合させたSOI基板及び当該SOI基板を用いて製造される表示装置に関する。

10

【背景技術】

【0002】

近年、VLSI技術が飛躍的な進歩を遂げる中で、高速化、低消費電力化を実現できるSOI構造が注目されている。この技術は、従来バルク単結晶シリコンで形成されていた電界効果トランジスタ (FET; Field Effect Transistor) の活性領域 (チャネル形成領域) を、単結晶シリコン薄膜とする技術である。SOI構造を用いてMOS型電界効果トランジスタを作製すると、従来のバルク単結晶シリコン基板を用いる場合よりも寄生容量を小さくでき、高速化に有利になることが知られている。

【0003】

20

従来のSOI基板を製造する方法としては、水素イオン注入剥離法が知られている (例えば、特許文献1参照)。水素イオン注入剥離法は、シリコンウェハに水素イオンを注入することによって表面から所定の深さに微小気泡層を形成し、該微小気泡層を劈開面とすることで、別のシリコンウェハに薄い単結晶シリコン層 (SOI層) を接合する。さらにSOI層を剥離する加熱処理を行うことに加え、酸化性雰囲気下での加熱処理によりSOI層に酸化膜を形成した後に該酸化膜を除去し、次に1000乃至1300の還元性雰囲気下で加熱処理を行って接合強度を高める必要があるとされている。

【0004】

SOI基板を用いた半導体装置の一例として、本出願人によるものが知られている (特許文献2参照)。この場合にも、SOI層において応力に起因する準位や欠陥を除去するために1050乃至1150の加熱処理が必要であることが開示されている。

30

【特許文献1】国際公開第00/24059号パンフレット

【特許文献2】特開2000-12864号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

従来のSOI基板の製造方法では、SOI層の接合強度を強固なものとするために1000以上の高温で加熱処理する必要がある。そのため、液晶パネル等の表示装置の製造に用いられるガラス基板のように、耐熱温度が600程度の基板にSOI層を形成することが困難であった。仮に水素イオン注入剥離法でSOI層をガラス基板上に設けたとしても、高温の加熱処理を適用することができないために、SOI層の接合強度が弱いといった問題があった。さらに、従来の水素イオン注入剥離法を利用したSOI基板は、1枚のシリコンウェハに対し1枚のシリコンウェハを貼りあわせてその内の1枚のシリコンウェハを薄膜化することによりSOI構造を得ていた。そのため、シリコンウェハの大きさに依存しており、大面積化を図ることは難しかった。

40

【0006】

上記問題に鑑み、本発明はSOI基板の大面積化を図り、当該SOI基板を用いた表示装置の製造の生産性を向上させることを目的の一とする。また、表示装置の高性能化を目的の一とする。

【課題を解決するための手段】

50

【 0 0 0 7 】

絶縁表面を有する基板上に複数の単結晶半導体層を接合させ、当該単結晶半導体層によりトランジスタを含む回路を形成して表示装置を製造することを要旨とする。

【 0 0 0 8 】

当該単結晶半導体層は、単結晶半導体基板から剥離されたものが適用される。単結晶半導体基板に替えて多結晶半導体基板を適用しても良い。単結晶半導体層は、一つの表示パネルに相当する大きさ（パネルサイズ）、具体的には一のパネルを含む面積に分割され、絶縁表面を有する基板上に接合される。

【 0 0 0 9 】

単結晶半導体基板から複数の単結晶半導体層を転置する場合には、一のアライメントマーカーに複数の単結晶半導体層が属するようにしても良い。

10

【 0 0 1 0 】

本発明の一は、絶縁表面を有する基板上に、一のパネルを含む面積に分割された複数の単結晶半導体層を絶縁層を介して接合し、複数の単結晶半導体層から選択された一のまとまりを同時に露光して回路パターンを転写し形成することにより、個々の単結晶半導体層を用いてトランジスタを含む回路を形成する表示装置の製造方法である。

【 0 0 1 1 】

本発明の一は、絶縁表面を有する基板上に、一のパネルを含む面積に分割された複数の単結晶半導体層を、有機シランを原料ガスとして化学気相成長法により成膜する酸化シリコン層を介して接合し、複数の単結晶半導体層から選択された一のまとまりを同時に露光して回路パターンを転写し形成することにより、個々の単結晶半導体層を用いてトランジスタを含む回路を形成する表示装置の製造方法である。

20

【 0 0 1 2 】

また、本発明の一は、複数の単結晶半導体層から選択された一のまとまりは、露光装置で1回に露光できる範囲、つまり露光装置が1回に露光する範囲のまとまりとしてもよい。また、一のまとまりには、一のアライメントマーカーに複数の前記単結晶半導体層が属していてもよい。

【 0 0 1 3 】

また、本発明の一は、絶縁表面を有する基板上にトランジスタを含む回路を有し、トランジスタに、単結晶半導体を含むチャネル形成領域を有し、トランジスタのチャネル形成領域と前記絶縁表面を有する基板との間には、有機シランを原料ガスとして化学気相成長法により成膜された酸化シリコン層が設けられている表示装置である。

30

【 0 0 1 4 】

また、本発明の一は、有機シランとしては、テトラエトキシシラン、トリメチルシラン、テトラメチルシラン、テトラメチルシクロテトラシロキサン、オクタメチルシクロテトラシロキサン、ヘキサメチルジシラザン、トリエトキシシラン、又はトリスジメチルアミノシランを用いることができる。

【 0 0 1 5 】

また、本発明の一は、絶縁表面を有する基板として、アルミノシリケートガラス、アルミノホウケイ酸ガラス、又はバリウムホウケイ酸ガラス、石英基板、サファイヤ基板、又はセラミック基板を用いることができる。

40

【 0 0 1 6 】

なお、本明細書において、表示装置とは、液晶素子、発光素子、又は電気泳動素子などの表示素子を用いたデバイス、すなわち画像表示デバイスを示す。また、表示パネル（液晶パネル、発光パネル）に外部入力端子、例えばフレキシブルプリント配線（FPC：Flexible Printed Circuit）もしくはTAB（Tape Automated Bonding）テープもしくはTCP（Tape Carrier Package）が取り付けられたモジュール、TABテープやTCPの先にプリント配線板が設けられたモジュール、または表示パネルにCOG（Chip On Glass）方式によりIC（集積回路）やCPU（中央演算処理装置）が直接実装されたモジュール

50

も全て表示装置に含むものとする。

【発明の効果】

【0017】

本発明を適用することで、SOI基板の面積化が可能となり、当該SOI基板を用いた表示装置の製造における生産性を向上させることができる。また、SOI基板を用いた表示装置の高性能化を図ることができる。

【発明を実施するための最良の形態】

【0018】

本発明の実施の形態について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなく、その形態及び詳細を様々に変更しうることは、当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同じものを指す符号は異なる図面間で共通して用いる場合がある。

10

【0019】

(実施の形態1)

本実施の形態に係るSOI基板は、単結晶半導体基板から、異種基板（以下、「ベース基板」ともいう）に転置して形成する。以下、本実施の形態に係るSOI基板及びその製造方法の一形態について説明する。

【0020】

20

図1(A)、図1(B)に、本発明に係るSOI基板の構成を示す斜視図の例を示す。また、図2(A)、(B)及び図3(A)、(B)に、本発明に係るSOI基板の断面図の例を示す。

【0021】

図1(A)及び図2(A)、(B)において、SOI基板100は、ベース基板110の一表面上に、絶縁層120及び単結晶半導体層130（以下、SOI層ともいう）が順次積層された積層体が複数設けられた構成を有する。SOI層130は、絶縁層120を介してベース基板110上に設けられており、いわゆるSOI構造を形成している。つまり、1枚のベース基板110上に複数のSOI層130が設けられて、1枚のSOI基板100を形成している。なお、図2では、便宜上1枚のベース基板110に2つのSOI層130が設けられている例を示す。

30

【0022】

SOI層130は単結晶半導体であり、代表的には単結晶シリコンが適用される。その他、水素イオン注入剥離法を利用して単結晶半導体基板若しくは多結晶半導体基板から剥離可能であるシリコン、ゲルマニウムや、ガリウムヒ素、インジウムリンなどの化合物半導体である結晶性半導体層を適用することもできる。

【0023】

本発明に係るSOI基板は、当該SOI基板を構成するSOI層130のサイズを、所望のパネルサイズとすることを特徴の1つとしている。SOI層130は、所望のパネルサイズである一のパネルを含む面積に分割されている。なお、本明細書における「パネルサイズ」とは、表示パネルの表示部及びその周辺の額縁部（非表示部）を合わせたサイズを示す。また、「サイズ」とは、面積を示すものとする。本発明に係るSOI基板は、ベース基板110上に、所望のパネルサイズである一のパネルを含む面積に分割された複数のSOI層130が絶縁層120を介して接合している。

40

【0024】

パネルサイズは用途により適宜選択すればよいが、例えば対角10インチ未満の中小型パネルサイズとすることができる。中小型パネルとして携帯電話機を想定する場合、表示部のサイズ（画面サイズ）としては、例えば対角2.2インチ（56mm）、対角2.4インチ（61mm）、対角2.6インチ（66mm）等が知られている。これらのパネルサイズとする場合は、画面サイズに表示部周辺の額縁部のサイズ（画面額縁サイズ）を考

50

慮したサイズとすればよい。

【0025】

S O I 層 1 3 0 の形状は特に限定されないが、矩形状（正方形を含む）とすると加工が容易になり、ベース基板 1 1 0 にも集積度良く貼り合わせることができ好ましい。また、ディスプレイ等の表示装置のパネルとする場合は、S O I 層 1 3 0 のアスペクト比が 4 : 3 となるようにすることが好ましい。S O I 層 1 3 0 を所望の一のパネルを含む面積、つまり所望のパネルサイズ程度とすることで、完成する S O I 基板を用いて製造した表示パネルを組み込んで各種表示装置を製造する際に、パネル毎に歩留まりを管理することが可能となる。また、個々のパネルを分断する際に、素子にダメージが入るのを防止することができる。よって、歩留まりの向上を図ることができる。さらに、S O I 層 1 3 0 を所望の一のパネルを含む面積に分割する、つまり S O I 層 1 3 0 を所望のパネルサイズ程度とすることで、各パネルの素子を 1 つの S O I 層で形成することができ、特性のばらつきを抑えることが可能になる。

10

【0026】

ベース基板 1 1 0 は絶縁表面を有する基板または絶縁基板を用いる。具体的には、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスのような電子工業用に使われる各種ガラス基板、石英基板、セラミック基板、サファイヤ基板が挙げられる。好ましくはベース基板 1 1 0 としてガラス基板を用いるのがよく、例えば第 6 世代（1 5 0 0 m m × 1 8 5 0 m m）、第 7 世代（1 8 7 0 m m × 2 2 0 0 m m）、第 8 世代（2 2 0 0 m m × 2 4 0 0 m m）といわれる大面積のマザーガラス基板を用いる。大面積のマザーガラス基板をベース基板 1 1 0 として用い、本発明を適用して S O I 基板を製造することで、S O I 基板の大面積化が実現できる。また、絶縁表面を有する基板であるベース基板上に、一のパネルを含む面積に分割された複数の S O I 層、具体的には所望のパネルサイズに分割された複数の S O I 層を絶縁層を介して接合した S O I 基板は、個々の S O I 層が所望のパネルサイズであるため、1 枚のベース基板で製造できる表示パネルの数（面取り数）を増大させることができる。したがって、該表示パネルを組み込んで製造する最終製品（表示装置）の生産性を向上させることができる。

20

【0027】

ベース基板 1 1 0 と S O I 層 1 3 0 の間には、絶縁層 1 2 0 が設けられている。絶縁層 1 2 0 は単層構造としても積層構造としてもよいが、ベース基板 1 1 0 と接合する面（以下、「接合面」ともいう）は、平滑面を有し親水性表面となるようにする。以下、本明細書では、接合面に形成する層を接合層ともいう。図 2（A）は絶縁層 1 2 0 として接合層 1 2 2 を形成する例を示している。平滑面を有し親水性表面を形成できる接合層 1 2 2 としては、酸化シリコン層が適している。特に、有機シランを原料ガスに用いて化学気相成長法により作製される酸化シリコン層が好ましい。有機シランとしては、テトラエトキシシラン（略称；T E O S：化学式 $\text{Si}(\text{OC}_2\text{H}_5)_4$ ）、テトラメチルシラン（T M S：化学式 $\text{Si}(\text{CH}_3)_4$ ）、トリメチルシラン（ $(\text{CH}_3)_3\text{SiH}$ ）、テトラメチルシクロテトラシロキサン（T M C T S）、オクタメチルシクロテトラシロキサン（O M C T S）、ヘキサメチルジシラザン（H M D S）、トリエトキシシラン（ $\text{SiH}(\text{OC}_2\text{H}_5)_3$ ）、トリスジメチルアミノシラン（ $\text{SiH}(\text{N}(\text{CH}_3)_2)_3$ ）等のシリコン含有化合物を用いることができる。

30

40

【0028】

上記平滑面を有し親水性表面を形成する接合層 1 2 2 は、膜厚 5 n m 乃至 5 0 0 n m の範囲で設けることが好ましい。接合層 1 2 2 の膜厚を上記範囲内とすることで、被成膜表面の表面荒れを平滑化すると共に、当該膜の成長表面の平滑性を確保することが可能である。また、接合する基板（図 2（A）ではベース基板 1 1 0）との歪みを緩和することができる。なお、ベース基板 1 1 0 にも、接合層 1 2 2 と同様の酸化シリコン層を設けてもよい。本発明に係る S O I 基板は、絶縁表面を有する基板若しくは絶縁基板であるベース基板 1 1 0 に S O I 層 1 3 0 を接合するに際し、接合を形成する面の一方若しくは双方に、好ましくは有機シランを原料ガスとして成膜した酸化シリコン層でなる接合層を設ける

50

ことで強固な接合を形成することができる。

【0029】

図2(B)は絶縁層120を積層構造とする例を示している。具体的には、絶縁層120として接合層122及び窒素含有絶縁層124の積層構造を形成する例を示している。なお、ベース基板110との接合面には接合層122が形成されるようにするため、SOI層130と接合層122との間に窒素含有絶縁層124が設けられた構成とする。窒素含有絶縁層124は、窒化シリコン層、窒化酸化シリコン層又は酸化窒化シリコン層を用いて単層構造又は積層構造で形成する。例えば、SOI層130側から酸化窒化シリコン層、窒化酸化シリコン層を積層して窒素含有絶縁層124とすることができる。接合層122はベース基板110と接合を形成するために設けるのに対し、窒素含有絶縁層124は、可動イオンや水分等の不純物がSOI層130に拡散して汚染されることを防ぐために設けることが好ましい。

10

【0030】

なお、酸化窒化シリコン層とは、その組成として、窒素よりも酸素の含有量が多いものを示し、ラザフォード後方散乱法(RBS: Rutherford Backscattering Spectrometry)及び水素前方散乱法(HFS: Hydrogen Forward Scattering)を用いて測定した場合に、濃度範囲として酸素が50原子%~70原子%、窒素が0.5原子%~15原子%、Siが25原子%~35原子%、水素が0.1原子%~10原子%の範囲で含まれるものをいう。また、窒化酸化シリコン層とは、その組成として、酸素よりも窒素の含有量が多いものを示し、RBS及びHFSを用いて測定した場合に、濃度範囲として酸素が5原子%~30原子%、窒素が20原子%~55原子%、Siが25原子%~35原子%、水素が10原子%~30原子%の範囲で含まれるものをいう。但し、酸化窒化シリコンまたは窒化酸化シリコンを構成する原子の合計を100原子%としたとき、窒素、酸素、Si及び水素の含有比率が上記の範囲内に含まれるものとする。

20

【0031】

図1(B)及び図3(A)、(B)は、ベース基板110に接合層を含む絶縁層150を形成する例を示している。絶縁層150は、単層構造でも積層構造でもよいが、SOI層130との接合面は平滑面を有し親水性表面を形成するようにする。なお、ベース基板110と接合層との間には、ベース基板110として用いられるガラス基板からアルカリ金属若しくはアルカリ土類金属などの可動イオンの拡散を防ぐため、バリア層が設けられていることが好ましい。

30

【0032】

図3(A)は、絶縁層150としてバリア層152、接合層154の積層構造を形成する例を示している。接合層154としては、前記接合層122と同様の酸化シリコン層を設ければよい。また、SOI層130に適宜接合層を設けてもよい。図3(A)では、SOI層130にも接合層122を設ける例を示している。このような構成とすることで、ベース基板110及びSOI層130を接合させる際に接合層同士で接合を形成するため、より強固な接合を形成することができる。バリア層152は、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層又は窒化酸化シリコン層を用いて単層構造又は積層構造で形成する。好ましくは、窒素を含有する絶縁層を用いて形成する。

40

【0033】

図3(B)は、ベース基板110に接合層を設ける例を示している。具体的には、ベース基板110に絶縁層150としてバリア層152と接合層154の積層構造を設けている。また、SOI層130には酸化シリコン層126を設けている。ベース基板110にSOI層130を接合する際には、酸化シリコン層126が接合層154と接合を形成する。酸化シリコン層126は、熱酸化法により形成されたものが好ましい。また、酸化シリコン層126としてケミカルオキシドを適用することもできる。ケミカルオキシドは、例えばオゾン含有水で半導体基板表面を処理することで形成することができる。ケミカルオキシドは半導体基板の表面の平坦性を反映して形成されるので好ましい。

50

【 0 0 3 4 】

次に、本発明に係る S O I 基板の製造方法について説明する。ここでは、図 2 (A) に示す S O I 基板の製造方法の例について、図 4 乃至図 6 を用いて説明する。

【 0 0 3 5 】

まず、半導体基板 1 0 1 を準備する (図 4 (A) 、図 6 (A) 参照) 。半導体基板 1 0 1 としては、市販の半導体基板、例えば、単結晶半導体基板や多結晶半導体基板を用いればよい。具体的には、シリコン基板やゲルマニウム基板などの半導体基板、ガリウムヒ素やインジウムリンなどの化合物半導体基板が挙げられる。市販のシリコン基板としては、直径 5 インチ (1 2 5 m m) 、直径 6 インチ (1 5 0 m m) 、直径 8 インチ (2 0 0 m m) 、直径 1 2 インチ (3 0 0 m m) サイズのものが代表的であり、その形状は円形のものがほとんどである。また、膜厚は 1 . 5 m m 程度まで適宜選択できる。

10

【 0 0 3 6 】

次に、半導体基板 1 0 1 の表面から電界で加速されたイオン 1 0 4 を注入し、所定の深さの領域にイオンドーピング層 1 0 3 を形成する (図 4 (A) 、図 6 (A) 参照) 。なお、本明細書におけるイオンの注入は、加速されたイオンを照射して、該照射したイオンを構成する元素を半導体基板中に含ませることを指す。また、イオンドーピング層とは、半導体基板へイオンを照射し、イオンの照射により微小な空洞を有するように脆弱化された領域であり、以下、「イオンドーピング層」を「分離層」という。後の熱処理によって分離層で分断することで、ベース基板上に S O I 層を形成することができる。イオン 1 0 4 の照射は、後にベース基板に転置する S O I 層の膜厚を考慮して行われる。好ましくは、S O I 層の膜厚が 5 n m 乃至 5 0 0 n m 、より好ましくは 1 0 n m 乃至 2 0 0 n m の厚さとなるようにする。イオンを照射する際の加速電圧及びイオンのドーズ量は、転置する S O I 層の膜厚を考慮して適宜選択する。イオン 1 0 4 は、水素、ヘリウム、又はフッ素等のハロゲンのイオンを用いることができる。なお、イオン 1 0 4 としては、水素、ヘリウム、又はハロゲン元素から選ばれたソースガスをプラズマ励起して生成された一の原子又は複数の同一の原子からなるイオン種を照射することが好ましい。水素を注入する場合には、 H^+ 、 H_2^+ 、 H_3^+ イオンを含ませると共に、 H_3^+ イオンの割合を高めておくことイオンの照射効率を高めることができ、照射時間を短縮することができるため好ましい。また、このような構成とすることで、剥離を容易に行うことができる。

20

【 0 0 3 7 】

なお、所定の深さに分離層 1 0 3 を形成するために、イオン 1 0 4 を高ドーズ条件で照射する必要がある場合がある。このとき、条件によっては半導体基板 1 0 1 の表面が粗くなってしまう。そのため、半導体基板のイオンが照射される表面に、保護層として窒化シリコン層又は窒化酸化シリコン層などを膜厚 5 0 n m 乃至 2 0 0 n m の範囲で設けておいてもよい。

30

【 0 0 3 8 】

次に、半導体基板 1 0 1 に接合層 1 2 2 を形成する (図 4 (B) 、図 6 (B) 参照) 。接合層 1 2 2 は、半導体基板 1 0 1 がベース基板と接合を形成する面に形成する。ここで形成する接合層 1 2 2 としては、上述のように有機シランを原料ガスに用いた化学気相成長法により成膜される酸化シリコン層が好ましい。その他に、シランを原料ガスに用いた化学気相成長法により成膜される酸化シリコン層を適用することもできる。化学気相成長法による成膜では、半導体基板 1 0 1 に形成した分離層 1 0 3 から脱ガスが起こらない程度の温度が適用される。例えば、3 5 0 以下の成膜温度が適用される。なお、単結晶半導体基板または多結晶半導体基板などの半導体基板から S O I 層を剥離する加熱処理は、化学気相成長法による成膜温度よりも高い加熱処理温度が適用される。

40

【 0 0 3 9 】

次に、半導体基板 1 0 1 を所望の大きさ、形状に加工する (図 4 (C) 、図 6 (C) 参照) 。具体的には、所望のパネルサイズとなるように加工する。図 6 (C) では、円形の半導体基板 1 0 1 を分断して、矩形の半導体基板 1 0 2 を形成する例を示している。この際、接合層 1 2 2 及び分離層 1 0 3 も分断される。つまり、所望のパネルサイズであり、

50

所定の深さに分離層 1 0 3 が形成され、表面（ベース基板との接合面）に接合層 1 2 2 が形成された半導体基板 1 0 2 が得られる。

【 0 0 4 0 】

半導体基板 1 0 2 は、各種表示装置のパネルサイズとすることが好ましい。パネルサイズは組み込まれる最終製品等によって適宜選択すればよいが、例えば対角 1 0 インチ未満の中小型パネルのパネルサイズとすることができる。例えば、画面サイズ対角 2 . 4 インチの携帯電話機に適用する場合、画面サイズ対角 2 . 4 インチに画面額縁サイズを考慮したパネルサイズとする。また、半導体基板 1 0 2 の形状も最終製品等、用途によって適宜選択すればよいが、ディスプレイ等の表示装置に適用する場合、アスペクト比 3 : 4 程度の矩形とすることが好ましい。また、半導体基板 1 0 2 を矩形状にすると、後の製造工程における加工が容易になり、さらに半導体基板 1 0 1 から効率的に切り出すことも可能になるため好ましい。半導体基板 1 0 1 の分断は、ダイサー或いはワイヤソー等の切断装置、レーザ切断、プラズマ切断、電子ビーム切断、その他任意の切断手段を用いることができる。

10

【 0 0 4 1 】

なお、半導体基板表面に接合層を形成するまでの工程順序は、適宜入れ替えることが可能である。図 4 及び図 6 では半導体基板に分離層を形成し、前記半導体基板の表面に接合層を形成した後、前記半導体基板を所望のパネルサイズに加工する例を示している。これに対し、例えば、半導体基板を所望のパネルサイズに加工した後、前記所望のパネルサイズの半導体基板に分離層を形成し、前記所望のパネルサイズの半導体基板の表面に接合層を形成することもできる。

20

【 0 0 4 2 】

次に、ベース基板 1 1 0 と半導体基板 1 0 2 を貼り合わせる。図 5 (A) には、ベース基板 1 1 0 と半導体基板 1 0 2 の接合層 1 2 2 が形成された面とを密着させ、ベース基板 1 1 0 と接合層 1 2 2 を接合させて、ベース基板 1 1 0 と半導体基板 1 0 2 を貼り合わせる例を示す。なお、接合を形成する面（接合面）は十分に清浄化しておくことが好ましい。ベース基板 1 1 0 と接合層 1 2 2 を密着させることにより接合が形成される。この接合はファンデルワールス力が作用しており、ベース基板 1 1 0 と半導体基板 1 0 2 とを圧接することで、水素結合による強固な接合を形成することが可能である。

【 0 0 4 3 】

また、ベース基板 1 1 0 と接合層 1 2 2 との良好な接合を形成するために、接合面を活性化しておいてもよい。例えば、接合を形成する面の一方又は双方に原子ビーム若しくはイオンビームを照射する。原子ビーム若しくはイオンビームを利用する場合には、アルゴン等の不活性ガス中性原子ビーム若しくは不活性ガスイオンビームを用いることができる。その他に、プラズマ照射若しくはラジカル処理を行うことで接合面を活性化することもできる。このような表面処理により、4 0 0 以下の温度であっても異種材料間の接合を形成することが容易となる。

30

【 0 0 4 4 】

また、接合層 1 2 2 を介してベース基板 1 1 0 と半導体基板 1 0 2 を貼り合わせた後は、加熱処理又は加圧処理を行うことが好ましい。加熱処理又は加圧処理を行うことで接合強度を向上させることが可能となる。加熱処理の温度は、ベース基板 1 1 0 の耐熱温度以下であることが好ましい。加圧処理においては、接合面に垂直な方向に圧力が加わるように行い、ベース基板 1 1 0 及び半導体基板 1 0 2 の耐圧性を考慮して行う。

40

【 0 0 4 5 】

次に、加熱処理を行い、分離層 1 0 3 を劈開面として半導体基板 1 0 2 の一部をベース基板 1 1 0 から剥離する（図 5 (B) 参照）。加熱処理の温度は接合層 1 2 2 の成膜温度以上、ベース基板 1 1 0 の耐熱温度以下で行うことが好ましい。例えば、4 0 0 乃至 6 0 0 の加熱処理を行うことにより、分離層 1 0 3 に形成された微小な空洞の体積変化が起こり、分離層 1 0 3 に沿って劈開することが可能となる。接合層 1 2 2 はベース基板 1 1 0 と接合しているので、ベース基板 1 1 0 上には半導体基板 1 0 2 と同じ結晶性の S O

50

I層130が残存することとなる。なお、本明細書における劈開とは、水素、ヘリウム、又はフッ素等のハロゲンのイオンを照射することで微小な空洞を有するように脆弱化された分離層で、半導体基板の一部を剥離してベース基板上にSOI層を形成することを指す。また、劈開面とは、剥離によりベース基板上に設けられたSOI層の分離面（ベース基板と逆側の面）を指す。

【0046】

以上で、ベース基板110上に接合層122を介してSOI層130が設けられたSOI構造が形成される。なお、本発明に係るSOI基板は、1枚のベース基板上に接合層を介して複数のSOI層が設けられた構造であることを特徴の1つとする。例えば、分離層が形成され、且つ表面に接合層が形成され、所望のパネルサイズに加工された半導体基板102を、所望の個数準備する。そして、図8(A)に示すようにベース基板110に半導体基板102を所望の個数貼り合わせた後、図8(B)に示すように加熱処理により一括で剥離を行うことで、SOI基板を製造することができる。なお、加熱処理による剥離を一括に行わず、1つ又はある程度の個数の半導体基板102を貼り合わせ、剥離する工程を繰り返して、SOI基板を製造することもできる。

【0047】

また、半導体基板102は、ベース基板110に規則的に配列させると、後の工程が容易になり好ましい。例えば、CCDカメラやコンピュータ等の制御装置を用いることで、規則的に半導体基板102を配列させて貼り合わせていくことが可能になる。また、ベース基板110や半導体基板102にマーカ等を形成して、位置合わせを行ってもよい。なお、図8では隣接するSOI層間はある程度隙間を空けるような構成としているが、極力隙間を空けないように敷き詰めて設ける構成としてもよい。

【0048】

なお、剥離により得られるSOI層は、その表面を平坦化するため、化学的機械的研磨（Chemical Mechanical Polishing：CMP）を行うことが好ましい。また、CMP等の物理的研磨手段を用いず、SOI層の表面にレーザビームを照射して平坦化を行ってもよい。なお、レーザビームを照射する際は、酸素濃度が10ppm以下の窒素雰囲気下で行うことが好ましい。これは、酸素雰囲気下でレーザビームの照射を行うとSOI層表面が荒れる恐れがあるからである。また、得られたSOI層の薄膜化を目的として、CMP等を行ってもよい。

【0049】

また、図7にベース基板側に接合層を設けてSOI層を形成する工程を示す。ここでは、図3(B)に示すSOI基板の製造方法の例を説明する。

【0050】

図7(A)は酸化シリコン層126が形成された半導体基板101に電界で加速されたイオン104を照射し、所定の深さに分離層103を形成する工程を示している。酸化シリコン層126は、CVD法やスパッタリング法を用いて形成することもできるが、好ましくは熱酸化法により形成する。また、酸化シリコン層126として、オゾン含有水等で半導体基板表面を処理することにより形成されるケミカルオキไซด์を適用してもよい。半導体基板101は、上述の図4(A)の場合と同様のものを適用できる。また、水素、ヘリウム又はフッ素等のハロゲンのイオンの照射も、上述の図4(A)の場合と同様である。半導体基板101の表面に酸化シリコン層126を形成しておくことで、イオンの照射の際に半導体基板表面がダメージを受け、平坦性が損なわれるのを防ぐことができる。

【0051】

図7(B)は、バリア層152及び接合層154が形成されたベース基板110と、半導体基板102の酸化シリコン層126が形成された面を密着させて接合を形成する工程を示している。ベース基板110上の接合層154と半導体基板102の酸化シリコン層126を密着させることによって接合が形成される。なお、半導体基板102は、分離層103が形成され、表面に酸化シリコン層126が形成された半導体基板101を所望のパネルサイズに加工したものである。バリア層152は、CVD法やスパッタリング法に

より、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層又は窒化酸化シリコン層を用いて単層構造又は積層構造で形成すればよい。接合層 1 5 4 は、上述の接合層 1 2 2 と同様の酸化シリコン層を形成すればよい。

【 0 0 5 2 】

そして、図 7 (C) に示すように半導体基板 1 0 2 の一部を剥離する。剥離のための加熱処理は図 5 (B) の場合と同様に行い、分離層 1 0 3 を劈開面としてベース基板 1 1 0 から剥離する。剥離処理後、ベース基板 1 1 0 上に半導体基板 1 0 2 と同じ結晶性の S O I 層 1 3 0 が残存し、図 1 (B) に示すような S O I 基板を得ることができる。図 7 に示す S O I 基板は、ベース基板 1 1 0 上にバリア層 1 5 2、接合層 1 5 4、酸化シリコン層 1 2 6 を介して S O I 層 1 3 0 が設けられた構造を有する。なお、剥離処理後、得られた

10

【 0 0 5 3 】

本発明に係る S O I 基板の製造方法は、ガラス基板等の耐熱温度が 6 0 0 以下のベース基板 1 1 0 であっても接合部の接着力が強固な S O I 層 1 3 0 を得ることができる。また、6 0 0 以下の温度プロセスを適用すればよい。また、ベース基板 1 1 0 として、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスの如き無アルカリガラスと呼ばれる電子工業用に使われる各種ガラス基板を適用することが可能となる。もちろん、セラミック基板、サファイヤ基板、石英基板等を適用することも可能である。すなわち、一辺が 1 メートルを超える基板上に単結晶半導体層を形成することができる。このような大面積基板を使って液晶ディスプレイのような表示装置や、半導体集積

20

【 0 0 5 4 】

また、本発明に係る S O I 基板は、ベース基板上にパネルサイズの S O I 層を設ける構成である。このようにすることで、1 つの S O I 層で所望の表示パネルを形成することができ、歩留まりの向上を図ることができる。また、1 つの S O I 層で所望の表示パネルを形成することができるため、表示パネルを形成する素子のばらつきを抑制することが可能である。

【 0 0 5 5 】

さらに、ベース基板に S O I 層を転置して形成する際に S O I 層の結晶に欠陥が生じても、パネル毎に歩留まりを管理することができる。また、ベース基板への S O I 層の転置をパネルサイズで行うため、異種材料を貼り合わせる場合も応力等のストレスが緩和でき、歩留まりの向上を図ることができる。

30

【 0 0 5 6 】

また、本発明に係る S O I 基板は、ベース基板上に複数の S O I 層を設けることで大面積化を実現できる。よって、一度の製造プロセスで多数の表示パネルを製造することが可能となり、当該表示パネルを組み込んで製造する最終製品の生産性を向上させることができる。

【 0 0 5 7 】

以上のように製造した S O I 基板を用いて表示装置を製造することができる。例えば、図 9 に本発明に係る表示装置の一例の模式図を示す。ここでは、液晶表示装置を形成する一例を示す。図 9 (A) は上面の模式図の一例を示し、図 9 (B) は図 9 (A) の線分 O P における断面図の一例を示し、図 9 (C) は表示装置の斜視図の一例を示す。

40

【 0 0 5 8 】

本実施の形態に係る液晶表示装置は、第 1 の基板 6 0 0 上に設けられた表示部 6 2 0 と、第 1 の駆動回路部 6 3 0 と、第 2 の駆動回路部 6 5 0 と、を有する。表示部 6 2 0、第 1 の駆動回路部 6 3 0 及び第 2 の駆動回路部 6 5 0 は、シール材 6 8 0 によって、第 1 の基板 6 0 0 と第 2 の基板 6 9 0 との間に封止されている。また、第 1 の基板 6 0 0 上には、第 1 の駆動回路部 6 3 0 及び第 2 の駆動回路部 6 5 0 に外部からの信号や電位を伝達する外部入力端子が接続される端子領域 6 7 0 が設けられる。

【 0 0 5 9 】

50

図9(B)に示すように、表示部620にはトランジスタを有する画素回路部628が設けられている。また、第1の駆動回路部630にはトランジスタを有する周辺回路部638が設けられている。第1の基板600と、画素回路部628及び周辺回路部638との間には、下地絶縁層として機能する絶縁層602、絶縁層604、接合層606が順次積層されている。画素回路部628及び周辺回路部638、或いはその上層には層間絶縁層として機能する絶縁層608、絶縁層609が設けられている。画素回路部628に形成されたトランジスタのソース電極又はドレイン電極は、絶縁層609に形成された開口を介して、画素電極660と電氣的に接続される。なお、画素回路部628はトランジスタを用いた回路が集積されているが、ここでは便宜上1つのトランジスタの断面図を示している。同様に、周辺回路部638にもトランジスタを用いた回路が集積されているが、便宜上2つのトランジスタの断面図を示している。

10

【0060】

画素回路部628及び周辺回路部638上には、画素電極660を覆うように形成された配向膜682と、配向膜687とで挟持された液晶層684が設けられている。液晶層684は、スペーサ686により距離(セルギャップ)が制御されている。配向膜687上には、対向電極688、カラーフィルター689を介して第2基板690が設けられている。第1の基板600及び第2の基板690はシール材680によって固着されている。

【0061】

また、第2の基板690の外側には、偏光板692が配設されている。なお、本実施の形態では反射型の液晶表示装置を示すため、第2の基板690に偏光板を設ける例を示す。例えば透過型の液晶表示装置とする場合は、第1の基板600及び第2の基板690の双方に偏光板を設ければよい。

20

【0062】

また、端子領域670には、端子電極674が設けられている。該端子電極674は、異方性導電層676によって、外部入力端子678と電氣的に接続されている。

【0063】

次に、図9で示した液晶表示装置の製造方法の一例に関して説明する。

【0064】

まず、本発明に係るSOI基板を準備する(図11(A)参照)。ここでは、図2(A)

30

【0065】

ベース基板である基板600上には、絶縁層602、絶縁層604及び接合層606を介して複数のSOI層610が設けられている。SOI層610は所望のパネルサイズに加工されている。ここでは、便宜的に1つのSOI層を含むパネル形成領域610bを用いて表示装置を製造する例を説明するが、隣接するパネル形成領域610aにも同時に表示装置を製造することが可能である。

【0066】

基板600は、絶縁表面を有する基板または絶縁基板を用いる。例えば、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスのような電子工業

40

用に使われる各種ガラス基板、石英基板、セラミック基板、サファイヤ基板等を用いる。ここでは、ガラス基板を用いるものとする。

【0067】

絶縁層602、絶縁層604は、ガラス基板からアルカリ金属若しくはアルカリ土類金属などの可動イオンの拡散を防ぐために設ける。具体的には、上述のバリア層と同様の絶縁層を設ければよい。なお、絶縁層602及び絶縁層604の少なくとも一層は、窒化シリコン層又は窒化酸化シリコン層のなどの窒素を含有する絶縁層を設けることが好ましい。また、接合層606は、上述の接合層122と同様の酸化シリコン層を設ければよい。

【0068】

本実施の形態では、基板600上に絶縁層602、絶縁層604を形成し、SOI層を

50

剥離する半導体基板側に接合層 606 を形成し、基板 600 及び前記半導体基板を貼り合わせた後、前記半導体基板の一部を剥離して S O I 層 610 を形成する例を示している。具体的には、基板 600 に形成された絶縁層 604 と、半導体基板に形成された接合層 606 とを密着させ、絶縁層 604 と接合層 606 とを接合させて、基板 600 と半導体基板を貼り合わせる。半導体基板には、所定の深さに水素、ヘリウム又はハロゲンのイオンを照射し分離層を形成しておく。そして、加熱処理を行い、半導体基板に形成された分離層を劈開面として前記半導体基板の一部を剥離し、S O I 層 610 を得る。ここでは、半導体基板側に接合層 606 を形成するため、該接合層 606 は S O I 層 610 と同程度の大きさとなる。つまり、隣接するパネル形成領域 610 a 及びパネル形成領域 610 b との間で、S O I 層 610 と同様に接合層 606 も分離している。また、絶縁層 602、絶縁層 604 はベース基板である基板 600 上に形成するため、隣接するパネル形成領域 610 a 及びパネル形成領域 610 b で連続する層となる。なお、適用する S O I 基板は本発明に係るいずれの構造でもよく、上述の図 2 (A) 乃至図 3 (B) のいずれの構造を適用してもよい。例えば、ベース基板側に接合層を設けてもよいし、半導体基板と接合層との間に熱酸化膜等の絶縁層を設けてもよい。

10

【 0069 】

S O I 層 610 を選択的にエッチングして、表示部 620 に第 1 の S O I 層 621 と、第 1 の駆動回路部 630 に第 2 の S O I 層 631 と、第 3 の S O I 層 641 と、を形成する。そして、第 1 の S O I 層 621、第 2 の S O I 層 631 及び第 3 の S O I 層 641 上に、ゲート絶縁層 612 を介してゲート電極 614 を形成する (図 11 (B) 参照) 。

20

【 0070 】

第 1 の S O I 層 621、第 2 の S O I 層 631 及び第 3 の S O I 層 641 は、S O I 層 610 を選択的にエッチングして所望の形状に加工する。ここでは S O I 層 610 を複数の島状に加工し、分離させる。準備した S O I 基板の S O I 層よりも、第 1 の S O I 層 621、第 2 の S O I 層 631 及び第 3 の S O I 層 641 の膜厚を薄くしたい場合には、該 S O I 層をエッチングして薄膜化してもよい。また、S O I 層の一部を変質させて、該変質した部分を選択的にエッチングして薄膜化してもよい。ここで S O I 層の変質とは、例えば酸化処理、窒化処理等を示す。また、第 1 の S O I 層 621、第 2 の S O I 層 631 及び第 3 の S O I 層 641 は、適宜エッチング条件等を制御して、端部が垂直に近いテーパ形状となるように形成してもよいし、緩やかなテーパ形状となるように形成してもよい。例えば、テーパ角が 45 ° 以上 95 ° 未満、好ましくは 60 ° 以上 95 ° 未満となるような形状としてもよいし、テーパ角が 45 ° 未満の緩やかな形状としてもよい。

30

【 0071 】

なお、完成するトランジスタの閾値電圧を制御するため、第 1 の S O I 層 621、第 2 の S O I 層 631 及び第 3 の S O I 層 641 に低濃度の一導電型を付与する不純物元素を添加してもよい。この場合、トランジスタのチャネル形成領域にも不純物元素が添加されることになる。なお、ここで添加する不純物元素は、ソース領域又はドレイン領域として機能する高濃度不純物領域及び L D D 領域として機能する低濃度不純物領域よりも低い濃度で添加する。

【 0072 】

ゲート電極 614 は、基板全面に導電層を形成した後、該導電層を選択的にエッチングして所望の形状に加工する。ここでは、ゲート電極 614 として導電層の積層構造を形成した後、選択的にエッチングして、分離した導電層が第 1 の S O I 層 621、第 2 の S O I 層 631 及び第 3 の S O I 層 641 をそれぞれ横断するように加工している。

40

【 0073 】

ゲート電極 614 を形成する導電層は、C V D 法やスパッタリング法により、タンタル (T a)、タングステン (W)、チタン (T i)、モリブデン (M o)、クロム (C r)、アルミニウム (A l)、銅 (C u)、又はニオブ (N b) 等の金属元素、又は当該金属元素を含む合金材料若しくは化合物材料を用いて基板全面に導電層を形成した後、当該導電層を選択的にエッチングして形成することができる。また、リン等の一導電型を付与す

50

る不純物元素が添加された多結晶シリコンに代表される半導体材料を用いて形成することもできる。

【0074】

なお、ここではゲート電極614を2層の導電層の積層構造で形成する例を図示するが、ゲート電極は単層構造でも3層以上の積層構造でもよい。また、導電層の側面をテーパ形状としてもよい。ゲート電極を導電層の積層構造とする場合、下層の導電層の幅を大きくしてもよいし、各層の側面を異なる角度のテーパ形状としてもよい。

【0075】

第1のSOI層621、第2のSOI層631及び第3のSOI層641と、ゲート電極614との間には、ゲート絶縁層612を形成する。ゲート絶縁層612は、CVD法、スパッタリング法、ALD法等を用いて、酸化シリコン、酸化窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタルなどの材料を用いて形成することができる。また、第1のSOI層621、第2のSOI層631及び第3のSOI層641をプラズマ処理により固相酸化又は固相窒化して形成することもできる。その他、CVD法等により絶縁層を形成した後、当該絶縁層をプラズマ処理により固相酸化又は固相窒化して形成してもよい。

【0076】

固相酸化処理若しくは固相窒化処理は、マイクロ波（代表的には2.45GHz）等の高周波により励起されたプラズマを用いて行うことが好ましい。具体的には、高周波を用いて励起された電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上 $1 \times 10^{13} \text{ cm}^{-3}$ 以下、且つ電子温度が0.5eV以上1.5eV以下のプラズマを利用してプラズマ処理を行うことが好ましい。これは、固相酸化処理若しくは固相窒化処理において、500℃以下の温度において、緻密な絶縁層を形成すると共に実用的な反応速度を得るためである。

【0077】

プラズマ処理により第1のSOI層621、第2のSOI層631及び第3のSOI層641の表面を酸化する場合には、酸素を含む雰囲気下（例えば、酸素、オゾン、亜酸化窒素、一酸化窒素若しくは二酸化窒素、及び希ガス（ヘリウム（He）、ネオン（Ne）、アルゴン（Ar）、クリプトン（Kr）、キセノン（Xe）の少なくとも1つを含む）を含む雰囲気下、又は酸素、オゾン、亜酸化窒素、一酸化窒素若しくは二酸化窒素と、水素と、希ガスとを含む雰囲気下）で行う。また、プラズマ処理により第1のSOI層621、第2のSOI層631及び第3のSOI層641上に形成された絶縁層の表面を窒化する場合には、窒素を含む雰囲気下（例えば、窒素と希ガス（He、Ne、Ar、Kr、Xeの少なくとも一つを含む）を含む雰囲気下、窒素と水素と希ガスを含む雰囲気下、又はNH₃と希ガスを含む雰囲気下）でプラズマ処理を行う。希ガスとしては、例えばArを用いることが好ましい。また、ArとKrを混合したガスを用いてもよい。

【0078】

ここで、プラズマ処理を行うためのプラズマ処理装置1080の構成例を図16に示す。当該プラズマ処理装置1080は、支持台1088と、ガスを供給するためのガス供給部1084、ガスを排気するために真空ポンプに接続する排気口1086、アンテナ1098、誘電体板1082、プラズマ発生用の高周波を入力する高周波供給部1092を有している。被処理体1010は、支持台1088によって保持される。また、支持台1088に温度制御部1090を設けることによって、被処理体1010の温度を制御することも可能である。被処理体1010は、プラズマ処理をする基体であり、本実施の形態では基板600上に絶縁層602、絶縁層604、接合層606、第1のSOI層621、第2のSOI層631及び第3のSOI層641が積層形成されたものに相当する。或いは、第1のSOI層621、第2のSOI層631及び第3のSOI層641上に絶縁層が形成されたものに相当する。

【0079】

以下、図16に示すプラズマ処理装置1080を用いてSOI層表面に絶縁層を形成する具体例を述べる。なお、プラズマ処理とは、基板、半導体層（SOI層）、絶縁層、導

10

20

30

40

50

電層に対する酸化処理、窒化処理、酸化窒化処理、及び水素化処理などの表面改質処理を範疇に含んでいる。これらの処理は、その目的に応じて、ガス供給部 1084 から供給するガスを選択すれば良い。

【0080】

まず、図 16 に示すプラズマ処理装置 1080 の処理室内を真空にする。そして、ガス供給部 1084 から希ガス、酸素又は窒素を含むガスを供給する。被処理体 1010 は室温、若しくは温度制御部 1090 により 100 以上 550 以下の範囲で加熱する。被処理体 1010 と誘電体板 1082 との間隔（以下、電極間隔ともいう）は、20 mm 以上 200 mm 以下（好ましくは 20 mm 以上 60 mm 以下）程度である。

【0081】

次に、高周波供給部 1092 からアンテナ 1098 に高周波を入力する。ここでは、高周波としてマイクロ波（周波数 2.45 GHz）を入力する。そしてマイクロ波をアンテナ 1098 から誘電体板 1082 を通して処理室内に入力することによって、プラズマ 1094 を生成し、当該プラズマ 1094 によって酸素ラジカル（OH ラジカルを含む場合もある）又は窒素ラジカル（NH ラジカルを含む場合もある）を生成する。このとき、プラズマ 1094 は、供給されたガスによって生成される。

【0082】

マイクロ波等の高周波の入力によりプラズマ 1094 を生成すると、低電子温度（3 eV 以下、好ましくは 1.5 eV 以下）で高電子密度（ $1 \times 10^{11} \text{ cm}^{-3}$ 以上）のプラズマを生成することができる。具体的には、電子温度が 0.5 eV 以上 1.5 eV 以下、且つ電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上 $1 \times 10^{13} \text{ cm}^{-3}$ 以下のプラズマ生成することが好ましい。なお、本明細書では、マイクロ波の入力により生成された低電子温度で高電子密度のプラズマを高密度プラズマともいう。また、高密度プラズマを利用してプラズマ処理を行うことを高密度プラズマ処理ともいう。

【0083】

プラズマ 1094 により生成された酸素ラジカル（OH ラジカルを含む場合もある）又は窒素ラジカル（NH ラジカルを含む場合もある）によって、被処理体 1010 に形成された SOI 層の表面が酸化されて絶縁層が形成される。或いは、SOI 層上に形成された絶縁層の表面又は表面近傍が酸化又は窒化される。このとき、供給するガスにアルゴンなどの希ガスを混合させると、希ガスの励起種により酸素ラジカルや窒素ラジカルを効率良く生成することができる。なお、供給ガスに希ガスを用いる場合、形成された絶縁層に希ガスが含まれる場合がある。この方法は、プラズマで励起した活性なラジカルを有効に使うことにより、500 以下の低温で固相反応による酸化、窒化を行うことができる。

【0084】

本実施の形態において、ゲート絶縁層 612 をプラズマ処理により形成する好適な作製方法の一例は、酸素を含む雰囲気下で第 1 の SOI 層 621、第 2 の SOI 層 631 及び第 3 の SOI 層 641 をプラズマ処理して酸化シリコン層を形成した後、窒素を含む雰囲気下で酸化シリコン層の表面を窒化プラズマ処理して窒素プラズマ処理層を形成する。具体的には、まず酸素を含む雰囲気下でプラズマ処理を行い、第 1 の SOI 層 621、第 2 の SOI 層 631 及び第 3 の SOI 層 641 上に 3 nm 乃至 6 nm の厚さで酸化シリコン層を形成する。続けて、窒素を含む雰囲気下でプラズマ処理を行い、酸化シリコン層の表面又は表面近傍に窒素濃度の高い窒素プラズマ処理層を形成する。なお、表面近傍とは、酸化シリコン層の表面から概略 0.25 nm 乃至 1.5 nm の深さをいう。例えば、酸化シリコン層を形成した後、窒素を含む雰囲気下でプラズマ処理を行うことによって、酸化シリコン層の表面から概略 1 nm の深さに窒素を 20 原子% 乃至 50 原子% の割合で含有した窒素プラズマ処理層を形成することができる。窒素プラズマ処理層は、プラズマ処理の条件によって、窒化シリコン又は窒化酸化シリコンで形成される。

【0085】

いずれにしても、上記のようなプラズマ処理による固相酸化処理若しくは固相窒化処理を用いることで、基板 600 として耐熱温度が 600 以下のガラス基板を用いても、9

10

20

30

40

50

50 乃至1050 の範囲で形成される熱酸化膜と同等な絶縁層を得ることができる。すなわち、半導体素子、特にトランジスタや不揮発性記憶素子のゲート絶縁層として機能する絶縁層として信頼性の高い絶縁層を形成することができる。

【0086】

なお、図11(B)では、ゲート絶縁層612とゲート電極614の側端部が揃うように加工される例を示すが、特に限定されず、ゲート電極614のエッチングにおいてゲート絶縁層612を残すように加工してもよい。

【0087】

また、ゲート絶縁層612に高誘電率物質(high-k材料といわれる)を用いる場合には、ゲート電極614を多結晶シリコン、シリサイド、金属若しくは金属窒化物で形成する。好ましくは金属若しくは金属窒化物で形成することが望ましい。例えば、ゲート電極614のうちゲート絶縁層612と接する導電層を金属窒化物材料で形成し、その上の導電層を金属材料で形成する。この組み合わせを用いることによって、ゲート絶縁層を薄膜化した場合でもゲート電極に空乏層が広がってしまうことを防止でき、微細化した場合にもトランジスタの駆動能力を損なうことを防止できる。

【0088】

次に、ゲート電極614上に絶縁層616を形成する。そして、ゲート電極614をマスクとして一導電型を付与する不純物元素を添加する(図11(C)参照)。ここでは、第1の駆動回路部630に形成された第2のSOI層631及び第3のSOI層641に相異なる導電型を付与する不純物元素を添加する例を示す。また、表示部620に形成された第1のSOI層621には第2のSOI層631と同じ導電型を付与する不純物元素を添加する例を示す。

【0089】

表示部620に形成された第1のSOI層621には、ゲート電極614をマスクとして自己整合的に一对の不純物領域623と、当該一对の不純物領域623の間に位置するチャンネル形成領域622が形成される。

【0090】

第1の駆動回路部630に形成された第2のSOI層631には、ゲート電極614をマスクとして自己整合的に一对の不純物領域633と、当該一对の不純物領域633の間に位置するチャンネル形成領域632が形成される。第3のSOI層641には、ゲート電極614をマスクとして自己整合的に一对の不純物領域643と、当該一对の不純物領域643の間に位置するチャンネル形成領域642が形成される。不純物領域633及び不純物領域643は、相異なる導電型の不純物元素が添加されている。

【0091】

一導電型を付与する不純物元素としては、ボロン(B)、アルミニウム(Al)、ガリウム(Ga)等のp型を付与する元素、リン(P)、ヒ素(As)等のn型を付与する元素を用いることができる。本実施の形態では、表示部620に形成された第1のSOI層621、第1の駆動回路部630に形成された第2のSOI層631にn型を付与する元素、例えばリンを添加する。また、第3のSOI層641にp型を付与する元素、例えばボロンを添加する。なお、第1のSOI層621、第2のSOI層631に不純物元素を添加する際は、レジストマスク等を用いて第3のSOI層641を選択的に覆えばよい。同様に、第3のSOI層641に不純物元素を添加する際は、レジストマスク等を用いて第1のSOI層621、第2のSOI層631を選択的に覆えばよい。

【0092】

絶縁層616は、CVD法、スパッタリング法、ALD法等を用いて、酸化シリコン或いは酸化窒化シリコン、又は窒化シリコン或いは窒化酸化シリコンなどの材料を用いて形成することができる。一導電型を付与する不純物元素を添加する際に、絶縁層616を通過させて添加する構成とすることで、SOI層に与えるダメージを低減することができる。

【0093】

10

20

30

40

50

次に、ゲート電極 6 1 4 の側面にサイドウォール絶縁層 6 1 8 を形成する。そして、ゲート電極 6 1 4 及びサイドウォール絶縁層 6 1 8 をマスクとして一導電型を付与する不純物元素を添加する（図 1 1 (D) 参照）。なお、第 1 の S O I 層 6 2 1、第 2 の S O I 層 6 3 1 及び第 3 の S O I 層 6 4 1 には、それぞれ先の工程（不純物領域 6 2 3、不純物領域 6 3 3 及び不純物領域 6 4 3 を形成する工程）で添加した不純物元素と同じ導電型の不純物元素を添加する。また、先の工程で添加した不純物元素よりも高い濃度で添加する。

【 0 0 9 4 】

第 1 の S O I 層 6 2 1 には、ゲート電極 6 1 4 及びサイドウォール絶縁層 6 1 8 をマスクとして自己整合的に一对の高濃度不純物領域 6 2 6 と、一对の低濃度不純物領域 6 2 4 が形成される。ここで形成される高濃度不純物領域 6 2 6 はソース領域又はドレイン領域として機能し、低濃度不純物領域 6 2 4 は L D D (L i g h t l y D o p e d D r a i n) 領域として機能する。

10

【 0 0 9 5 】

第 2 の S O I 層 6 3 1 には、ゲート電極 6 1 4 及びサイドウォール絶縁層 6 1 8 をマスクとして自己整合的に一对の高濃度不純物領域 6 3 6 と、一对の低濃度不純物領域 6 3 4 が形成される。ここで形成される高濃度不純物領域 6 3 6 はソース領域又はドレイン領域として機能し、低濃度不純物領域 6 3 4 は L D D 領域として機能する。第 3 の S O I 層 6 4 1 には、ゲート電極 6 1 4 及びサイドウォール絶縁層 6 1 8 をマスクとして自己整合的に一对の高濃度不純物領域 6 4 6 と、一对の低濃度不純物領域 6 4 4 が形成される。なお、第 1 の S O I 層 6 2 1、第 2 の S O I 層 6 3 1 に不純物元素を添加する際は、レジストマスク等を用いて第 3 の S O I 層 6 4 1 を選択的に覆えばよい。同様に、第 3 の S O I 層 6 4 1 に不純物元素を添加する際は、レジストマスク等を用いて第 1 の S O I 層 6 2 1、第 2 の S O I 層 6 3 1 を選択的に覆えばよい。

20

【 0 0 9 6 】

サイドウォール絶縁層 6 1 8 は、絶縁層 6 1 6 を介してゲート電極 6 1 4 の側面に設けられる。例えば、ゲート電極 6 1 4 を埋め込むように形成した絶縁層を、垂直方向を主体とした異方性エッチングを行うことによって、ゲート電極 6 1 4 の側面に自己整合的に形成することができる。サイドウォール絶縁層 6 1 8 は、窒化シリコン或いは窒化酸化シリコン、又は酸化シリコン或いは酸化窒化シリコンなどの材料を用いて形成することができる。なお、絶縁層 6 1 6 を酸化シリコン又は酸化窒化シリコンを用いて形成する場合、サイドウォール絶縁層 6 1 8 を窒化シリコン又は窒化酸化シリコンを用いて形成することで、絶縁層 6 1 6 をエッチングストッパーとして機能させることができる。また、絶縁層 6 1 6 を窒化シリコン又は窒化酸化シリコンを用いて形成する場合は、サイドウォール絶縁層 6 1 8 を酸化シリコン又は酸化窒化シリコンを用いて形成すればよい。このように、エッチングストッパーとして機能しうる絶縁層を設けることで、サイドウォール絶縁層を形成する際のオーバーエッチングにより S O I 層がエッチングされてしまうのを防ぐことができる。

30

【 0 0 9 7 】

次に、絶縁層 6 1 6 の露出部をエッチングする（図 1 2 (A) 参照）。絶縁層 6 1 6 は、サイドウォール絶縁層 6 1 8 及びゲート電極 6 1 4 の間、サイドウォール絶縁層 6 1 8 及び第 1 の S O I 層 6 2 1 の間、サイドウォール絶縁層 6 1 8 及び第 2 の S O I 層 6 3 1 の間、並びにサイドウォール絶縁層 6 1 8 及び第 3 の S O I 層 6 4 1 の間に残る。

40

【 0 0 9 8 】

なお、ソース領域又はドレイン領域として機能する高濃度不純物領域を低抵抗化するため、シリサイド層を形成してもよい。シリサイド層としては、コバルトシリサイド若しくはニッケルシリサイドを適用すれば良い。S O I 層の膜厚が薄い場合には、高濃度不純物領域が形成された S O I 層の底部までシリサイド反応を進めてフルシリサイド化しても良い。

【 0 0 9 9 】

次に、基板 6 0 0 全面に絶縁層 6 0 8 を形成した後、該絶縁層 6 0 8 を選択的にエッチ

50

ングして、表示部 620 の第 1 の SOI 層 621 に形成された高濃度不純物領域 626 に達する開口を形成する。また、第 1 の駆動回路部 630 の第 2 の SOI 層 631、第 3 の SOI 層 641 に形成された高濃度不純物領域 636、高濃度不純物領域 646 にそれぞれ達する開口を形成する。そして、該開口を埋め込むように導電層 619 を形成する。また、端子領域 670 に端子電極 674 を形成する（図 12（B）参照）。

【0100】

絶縁層 608 は、CVD 法やスパッタリング法、ALD 法、又は塗布法等により、単層構造又は積層構造で形成する。例えば、絶縁層 608 は、CVD 法、スパッタリング法、又は ALD 法により、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン等の酸素若しくは窒素を含む無機絶縁材料や、DLC（ダイヤモンドライクカーボン）等の炭素を含む絶縁材料を用いて形成することもできるし、塗布法により、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機絶縁材料またはシロキサン樹脂等のシロキサン材料を用いて形成することもできる。また、無機絶縁材料や炭素を含む絶縁材料を用いて形成した層と、有機絶縁材料やシロキサン材料を用いて形成した層の積層構造とすることもできる。なお、シロキサン材料とは、Si-O-Si 結合を含む材料に相当する。シロキサンは、シリコン（Si）と酸素（O）との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基（例えばアルキル基、芳香族炭化水素）が用いられる。置換基として、フルオロ基を用いることもできる。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。また、絶縁層 608 は、CVD 法やスパッタリング法、ALD 法を用いて絶縁層を形成した後、当該絶縁層に酸素雰囲気下又は窒素雰囲気下でプラズマ処理を行ってもよい。ここでは絶縁層 608 は単層構造の例を示すが、2 層以上の積層構造としてもよい。また、無機絶縁層や、有機絶縁層を組み合わせ形成してもよい。例えば、基板 600 全面にパッシベーション層として機能できる窒化シリコン膜や窒化酸化シリコン膜を形成し、その上層に平坦化層として機能できるリンシリケートガラス（PSG）やボロンリンシリケートガラス（BPSG）を材料に用いた絶縁層を形成することができる。

【0101】

導電層 619 は、ソース電極又はドレイン電極として機能する電極として機能する。ソース電極又はドレイン電極として機能する導電層 619 は、絶縁層 608 に形成された開口を介して、第 1 の SOI 層 621、第 2 の SOI 層 631 又は第 3 の SOI 層 641 と電氣的に接続される。

【0102】

導電層 619 は、CVD 法やスパッタリング法を用いて、アルミニウム（Al）、タングステン（W）、チタン（Ti）、タンタル（Ta）、モリブデン（Mo）、ニッケル（Ni）、白金（Pt）、銅（Cu）、金（Au）、銀（Ag）、マンガン（Mn）、ネオジム（Nd）、炭素（C）、シリコン（Si）等の金属元素、又は当該金属元素を含む合金材料若しくは化合物材料を用いて基板全面に導電層を単層構造又は積層構造で形成した後、当該導電層を選択的にエッチングして形成することができる。アルミニウムを含む合金材料としては、例えば、アルミニウムを主成分としニッケルを含む材料、又は、アルミニウムを主成分とし、ニッケルと、炭素とシリコンの一方又は両方とを含む合金材料があげられる。また、タングステンを含む化合物材料としては、例えばタングステンシリサイドが挙げられる。導電層 619 は、例えば、バリア層とアルミニウムシリコン層とバリア層の積層構造、バリア層とアルミニウムシリコン層と窒化チタン層とバリア層の積層構造を採用することができる。なお、バリア層とは、チタン、チタンの窒化物、モリブデン、又はモリブデンの窒化物からなる薄膜に相当する。アルミニウムやアルミニウムシリコンは抵抗値が低く、安価であるため、ソース電極又はドレイン電極として機能する導電層を形成する材料として最適である。また、ソース電極又はドレイン電極として機能する導電層を、上層と下層にバリア層を設けた積層構造とすると、アルミニウムやアルミニウムシリコンのヒロックの発生を防止することができるため好ましい。

【0103】

端子領域 670 に形成される端子電極 674 は、後に形成される FPC 等の外部入力端子と第 1 の駆動回路部 630 及び第 2 の駆動回路部 650 とを電氣的に接続させるための電極として機能する。ここでは、導電層 619 と同一の材料を用いた同一層で端子電極 674 を形成する例を示している。

【0104】

以上で、表示部 620 に第 1 の SOI 層 621 を有するトランジスタが形成された画素回路部 628 が形成される。また、第 1 の駆動回路部 630 に第 2 の SOI 層 631 を有するトランジスタ及び第 3 の SOI 層 641 を有するトランジスタが形成された周辺回路部 638 が形成される。

【0105】

次に、表示部 620 及び第 1 の駆動回路部 630 上に絶縁層 609 を形成する。次に、表示部 620 上に形成された絶縁層 609 を選択的にエッチングして、画素回路部 628 に形成されたトランジスタの導電層 619 に達する開口を形成する。そして、該開口を埋め込むように画素電極 660 を形成する（図 12（C）参照）。

【0106】

絶縁層 609 は、表示部 620 及び第 1 の駆動回路部 630 の凹凸を平滑化して、平坦な表面を形成できる平坦化層を形成することが好ましい。例えば、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機絶縁材料またはシロキサン樹脂等のシロキサン材料を用いて形成することができる。ここでは絶縁層 609 は単層構造の例を示すが、2 層以上の積層構造としてもよい。積層構造にする場合、例えば、有機樹脂などを上層にし、酸化シリコン、窒化シリコンまたは酸化窒化シリコン等の無機絶縁層を下層にした積層構造、又は無機絶縁層で有機絶縁層を挟持する構造とすることができる。なお、絶縁層 609 は基板全面に形成した後、所望の領域（ここでは表示部 620 及び第 1 の駆動回路部 630）以外を選択的にエッチングして形成することができる。また、絶縁層 609 は、各種印刷法（スクリーン印刷、平版印刷、凸版印刷、グラビア印刷等）、液滴吐出法、ディスペンサ法等を用いて選択的に形成することもできる。

【0107】

画素電極 660 は、本実施の形態では反射電極として機能する。よって、反射性のある導電性材料を用いて形成する。このような材料としては、タンタル（Ta）、タングステン（W）、チタン（Ti）、モリブデン（Mo）、アルミニウム（Al）、クロム（Cr）、銀（Ag）等の金属元素、又は当該金属元素を含む合金材料若しくは化合物材料を用いることができる。なお、他に反射層を形成する場合、若しくは透過型液晶表示装置とする場合には、透光性を有する導電材料を用いて画素電極 660 を形成すればよい。透光性を有する導電性材料としては、インジウム錫酸化物（ITO）、酸化シリコンを含むインジウム錫酸化物（ITSO）、酸化亜鉛（ZnO）、酸化インジウム亜鉛（IZO）、又はガリウムを添加した酸化亜鉛（GZO）等を用いることができる。

【0108】

次に、スペーサ 686 を形成した後、画素電極 660 及びスペーサ 686 を覆うように配向膜 682 を形成する。次に、表示部 620 及び第 1 の駆動回路部 630、第 2 の駆動回路部 650 を囲うようにシール材 680 を形成する（図 13（A）参照）。

【0109】

スペーサ 686 は、エポキシ、ポリイミド、ポリアミド、ポリイミドアミド、アクリル等の有機絶縁材料、若しくは酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン等の無機絶縁材料を用いて、単層構造又は積層構造で形成することができる。本実施の形態ではスペーサ 686 として柱状スペーサを形成するため、基板全面に絶縁層を形成した後、エッチング加工して所望の形状のスペーサを得る。なお、スペーサ 686 の形状は特に限定されず、球状のスペーサを散布してもよい。スペーサ 686 により、セルギャップを保持することができる。

【0110】

配向膜 6 8 2 は、利用する液晶の動作モードに対応して材料を選択すればよく、液晶を一定方向に配列させることが可能な層を形成する。例えばポリイミド、ポリアミド等の材料を用いて形成し、配向処理を行うことで配向膜として機能させることができる。配向処理としては、ラビングや、紫外線等の光照射などを行えばよい。配向膜 6 8 2 の形成方法は特に限定されないが、各種印刷法や液滴吐出法を用いると、絶縁層 6 0 9 上に選択的に形成することができる。

【 0 1 1 1 】

シール材 6 8 0 は、表示装置完成後、少なくとも表示領域を囲うように形成する。本実施の形態では、表示部 6 2 0、第 1 の駆動回路部 6 3 0 及び第 2 の駆動回路部 6 5 0 の周辺を囲うように枠状のシールパターンを形成する。シール材 6 8 0 としては、熱硬化樹脂や光硬化樹脂を用いることができる。なお、シール材にフィラーを含ませることでセルギャップを保持させることもできる。シール材 6 8 0 は、後に対向電極、カラーフィルター等設けられた基板と封止する際に、光照射、加熱処理等を行って硬化を行う。

【 0 1 1 2 】

シール材 6 8 0 に囲まれた領域に液晶層 6 8 4 を形成する。また、カラーフィルター 6 8 9、対向電極 6 8 8、配向膜 6 8 7 が順次積層された第 2 の基板 6 9 0 と第 1 の基板 6 0 0 を貼り合わせる（図 1 3 (B) 参照）。

【 0 1 1 3 】

液晶層 6 8 4 は、所望の液晶材料を用いて形成する。例えば、液晶層 6 8 4 は、シール材 6 8 0 で形成された枠状のシールパターン内に液晶材料を滴下して形成することができる。液晶材料の滴下は、ディスペンサ法や液滴吐出法を用いて行えばよい。なお、液晶材料は予め減圧下で脱気しておくか、滴下後に減圧下で脱気することが好ましい。また、液晶材料の滴下の際に不純物等混入しないように、不活性雰囲気下で行うことが好ましい。また、液晶材料を滴下して液晶層 6 8 4 を形成した後、第 1 の基板 6 0 0 及び第 2 の基板 6 9 0 を貼り合わせるまでは、液晶層 6 8 4 に気泡等入らないように減圧下で行うことが好ましい。

【 0 1 1 4 】

また、液晶層 6 8 4 は、第 1 の基板 6 0 0 と第 2 の基板 6 9 0 を貼り合わせた後、シール材 6 8 0 の枠状パターン内に、毛細管現象を利用して液晶材料を注入して形成することもできる。この場合、あらかじめシール材等に液晶の注入口となる部分を形成しておく。なお、液晶材料は、減圧下で注入を行うことが好ましい。

【 0 1 1 5 】

第 1 の基板 6 0 0 と第 2 の基板 6 9 0 は、対向させて密着させた後、シール材 6 8 0 を硬化させて貼り合わせることができる。このとき、第 2 の基板 6 9 0 に設けられた配向膜 6 8 7 と、第 1 の基板 6 0 0 に設けられた配向膜 6 8 2 とで、液晶層 6 8 4 が挟持される構造となるように貼り合わせる。なお、第 1 の基板 6 0 0 と第 2 の基板 6 9 0 の貼り合わせ及び液晶層 6 8 4 の形成を行った後、加熱処理を行って液晶層 6 8 4 の配向乱れを修正することも可能である。

【 0 1 1 6 】

第 2 の基板 6 9 0 は、透光性を有する基板を用いる。例えば、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラス等の各種ガラス基板、石英基板、セラミック基板、サファイヤ基板等を用いることができる。

【 0 1 1 7 】

第 2 の基板 6 9 0 上には、貼り合わせる前に、カラーフィルター 6 8 9、対向電極 6 8 8、配向膜 6 8 7 を順に形成しておく。なお、第 2 の基板 6 9 0 には、カラーフィルター 6 8 9 の他にブラックマトリクスを設けてもよい。また、カラーフィルター 6 8 9 は第 2 の基板 6 9 0 の外側に設けてもよい。また、モノカラー表示とする場合は、カラーフィルター 6 8 9 を設けなくともよい。また、シール材を第 2 の基板 6 9 0 側に設けてもよい。なお、シール材を第 2 の基板 6 9 0 側に設ける場合は、液晶材料は第 2 の基板 6 9 0 に設けられたシール材の枠状パターン内に滴下する。

【 0 1 1 8 】

対向電極 6 8 8 は、インジウム錫酸化物 (ITO)、酸化シリコンを含むインジウム錫酸化物 (ITSO)、酸化亜鉛 (ZnO)、酸化インジウム亜鉛 (IZO)、又はガリウムを添加した酸化亜鉛 (GZO) 等の透光性を有する導電材料を用いて形成することができる。配向膜 6 8 7 は、上記配向膜 6 8 2 と同様に形成することができる。

【 0 1 1 9 】

以上により、第 1 の基板 6 0 0 と第 2 の基板 6 9 0 との間に、液晶層 6 8 4 を含む表示部 6 2 0、第 1 の駆動回路部 6 3 0 及び第 2 の駆動回路部 6 5 0 が封止された構造が得られる。なお、表示部 6 2 0 及び第 1 の駆動回路部 6 3 0、第 2 の駆動回路部 6 5 0 に形成される回路部には、トランジスタの他、抵抗や、コンデンサなどを同時に作製してもよい。また、トランジスタの構造は特に限定されない。例えば、1 つの SOI 層に対して複数のゲートを設けたマルチゲート構造とすることもできる。

10

【 0 1 2 0 】

次に、貼り合わせた第 1 の基板 6 0 0 及び第 2 の基板 6 9 0 を分断して、所望のパネルサイズに加工する (図 1 4 (A) 参照)。ここでは、パネル形成領域 6 1 0 a、パネル形成領域 6 1 0 b が分離するように分断する。分断面では、端子電極 6 7 4 が露出する。なお、液晶層 6 8 4 を含む表示部 6 2 0 や第 1 の駆動回路部 6 3 0 は、シール材 6 8 0 によって封止されている。第 1 の基板 6 0 0 及び第 2 の基板 6 9 0 の分断は、スクライパー装置、ブレイカー装置、ロールカッターなどの切断装置を用いて行うことができる。

【 0 1 2 1 】

次に、端子領域 6 7 0 上の第 2 の基板 6 9 0 を分断する (図 1 4 (B) 参照)。ここでは、端子電極 6 7 4 上の第 2 の基板 6 9 0、カラーフィルター 6 8 9、対向電極 6 8 8 及び配向膜 6 8 7 を除去するように分断する。以上で、所望のパネルサイズを有する表示パネルを得ることができる。

20

【 0 1 2 2 】

ここで、貼り合わせた基板の分断について、図 1 0 に示す上面の模式図を用いて詳しく説明する。

【 0 1 2 3 】

図 1 0 (A) は、図 1 1 (A) に示す SOI 基板に相当する上面の模式図を示している。ここでは、一枚の基板 6 0 0 上に、それぞれ分離された SOI 層 6 1 0 を有するパネル形成領域 6 1 0 a、パネル形成領域 6 1 0 b、パネル形成領域 6 1 0 c、パネル形成領域 6 1 0 d が設けられている例を示している。パネル形成領域 6 1 0 a、6 1 0 b、6 1 0 c、6 1 0 d にそれぞれ設けられている SOI 層 6 1 0 は、所望のパネルサイズとなっている。

30

【 0 1 2 4 】

図 1 0 (B) は、図 1 1 (B) 乃至図 1 3 (A) に示す工程を経て、図 1 3 (B) に示すような第 1 の基板 6 0 0 及び第 2 の基板 6 9 0 の貼り合わせの工程まで終了した上面の模式図を示している。それぞれのパネル形成領域 6 1 0 a、6 1 0 b、6 1 0 c、6 1 0 d 毎に、表示部 6 2 0、第 1 の駆動回路部 6 3 0、第 2 の駆動回路部 6 5 0 が設けられシール材 6 8 0 によって封止されている。なお、図 1 3 (B) は図 1 0 (B) の線分 QR の断面図に相当する。

40

【 0 1 2 5 】

次に、貼り合わせた第 1 の基板 6 0 0 及び第 2 の基板 6 9 0 を図 1 0 (B) の矢印 6 0 0 2、矢印 6 0 0 4 に沿って分断し、図 1 0 (C) に示すようにパネル形成領域毎に分離する。なお、図 1 4 (A) は図 1 0 (C) の線分 Q' R' の断面図に相当する。

【 0 1 2 6 】

次に、第 2 の基板 6 9 0 を図 1 0 (C) の矢印 6 0 1 2、矢印 6 0 1 4 に沿って分断し、図 1 0 (D) に示すように端子領域 6 7 0 を露出させる。端子領域 6 7 0 には端子電極 6 7 4 が設けられており、後に形成される外部入力端子と異方性導電層等を用いて接続される。なお、図 1 4 (B) は図 1 0 (D) の線分 Q' ' R' ' の断面図に相当する。以上

50

で、表示パネル 6 1 0 0 a、表示パネル 6 1 0 0 b、表示パネル 6 1 0 0 c、表示パネル 6 1 0 0 dを得ることができる。表示パネル 6 1 0 0 aを構成する素子は、パネル形成領域 6 1 0 aに設けられた 1 つの S O I 層で形成される。同様に、他の表示パネルを構成する素子も、それぞれのパネル形成領域に設けられた 1 つの S O I 層で形成される。よって、特性のばらつきを抑えることができる。

【 0 1 2 7 】

なお、ここでは貼り合わせた第 1 の基板 6 0 0 及び第 2 の基板 6 9 0 を分断した後、さらに第 2 の基板 6 9 0 を分断する例を示したが、予め所望のサイズに加工しておいた第 2 の基板 6 9 0 を貼り合わせる構成としてもよい。

【 0 1 2 8 】

また、ここでは便宜的に 1 枚のベース基板から 4 枚の表示パネルを製造する例を示したが、本発明は特に限定されない。上述したように、本発明に係る S O I 基板は所望のパネルサイズの S O I 層が複数設けられており、個々の S O I 層を用いて同時に複数の表示パネルを製造することが可能である。よって、ベース基板上に設けられた S O I 層の数に比例して面取り数も増大するため、生産性が飛躍的に向上する。

【 0 1 2 9 】

次に、第 2 の基板 6 9 0 に偏光板 6 9 2 を設ける。また、端子電極 6 7 4 に異方性導電層 6 7 6 を介して外部入力端子 6 7 8 を接続し、表示パネルを外部と電氣的に接続させる構成とする（図 1 5 参照）。

【 0 1 3 0 】

偏光板 6 9 2 は、第 2 の基板 6 9 0 の外側（液晶層 6 8 4 等を封止していない面側）に設ける。なお、透過型の液晶表示装置とする場合は、第 1 の基板 6 0 0 の外側（液晶層 6 8 4 等を封止していない面側）にも偏光板を設ければよい。また、偏光板の他、位相差板、反射防止膜などの光学フィルムなどを設けてもよい。

【 0 1 3 1 】

外部入力端子 6 7 8 は外部からの信号（例えばビデオ信号、クロック信号、スタート信号、リセット信号等）や電位を伝達する役目を担う。ここでは、外部入力端子 6 7 8 として F P C を接続する。なお、端子電極 6 7 4 は、第 1 の駆動回路部 6 3 0 及び第 2 の駆動回路部 6 5 0 と電氣的に接続されているものとする。

【 0 1 3 2 】

以上により表示装置を得ることができる。なお、反射型の液晶表示装置の場合、外光（太陽光や室内光）などを利用して表示を行うことができるが、冷陰極管又は L E D 素子等の光源や導光板等で構成されるフロントライトや反射シート等を設けてもよい。フロントライトは表示装置の視認側に設けることができる。フロントライトを設けることで、十分な外光が得られない場合でも、鮮明な表示を行うことができる。

【 0 1 3 3 】

また、透過型の液晶表示装置若しくは半透過型の液晶表示装置とする場合は、冷陰極管又は L E D 素子等の光源や導光板や反射シート等で構成されるバックライトを設ける。バックライトは、表示装置の視認側と反対側（背面側）に設ける。透過型の液晶表示装置の場合は、光源からの光を視認側に透過させて、表示を行うことができる。

【 0 1 3 4 】

ここでは、基板 6 0 0 上に所望のパネルサイズである S O I 層 6 1 0 を複数設けた S O I 基板を用いている。そして、1 つの表示装置を構成する表示パネル毎に、素子を形成する S O I 層が分離している。よって、分断して個々の表示パネルに分ける際に、S O I 層にダメージが入るのを防ぐことができ、歩留まりの向上を図ることができる。また、1 つの表示装置を形成する素子が、1 つの S O I 層を用いて形成されるため、特性のばらつきを抑えることができる。

【 0 1 3 5 】

なお、図 9 乃至図 1 5 では、表示素子として液晶素子を用いる表示装置を製造する例を示したが、本発明は特に限定されない。例えば発光素子を用いることもできるし、電気泳

10

20

30

40

50

動素子を用いることも可能である。図 2 1 に発光素子を用いる表示装置（発光装置、E L 表示装置ともいわれる）の例を示す。また、図 2 2 に電気泳動素子を用いる表示装置（電子ペーパー、電気泳動表示装置ともいわれる）の例を示す。なお、表示素子以外の構成は図 9 乃至図 1 5 で示したものと同様であるため、説明は省略する。

【0136】

図 2 1 では、液晶素子の代わりに発光素子 7 1 0 を用いた表示装置を示している。ここでは、画素電極（陰極）7 1 2 と対向電極（陽極）7 1 6 との間に挟持された有機化合物層 7 1 4 が設けられている例を示す。有機化合物層 7 1 4 は、少なくとも発光層を含み、その他電子注入層、電子輸送層、正孔輸送層、正孔注入層等を含んでいてもよい。また、画素電極 7 1 2 の端部は隔壁層 7 1 8 に覆われている。隔壁層 7 1 8 は絶縁材料を用いて基板全面に成膜した後に画素電極 7 1 2 の一部が露出するように加工するか、液滴吐出法等用いて選択的に形成すればよい。画素電極 7 1 2 及び隔壁層 7 1 8 上に、有機化合物層 7 1 4、対向電極 7 1 6 が順に積層される。発光素子 7 1 0 と第 2 の基板 6 9 0 の間の空間 7 2 0 は、不活性気体等を充填してもよいし、樹脂等を形成してもよい。

10

【0137】

図 2 2 では、液晶素子の代わりに電気泳動素子を用いた表示装置を示している。ここでは、画素電極 8 1 2 と対向電極（共通電極）8 1 4 との間に挟持された電気泳動層 8 2 0 が設けられている例を示す。電気泳動層 8 2 0 は、バインダ 8 1 6 によって固定された複数のマイクロカプセル 8 1 0 を含んでいる。マイクロカプセル 8 1 0 は直径 1 0 μm 乃至 2 0 0 μm 程度であり、透明な液体と、正に帯電した白い微粒子と、負に帯電した黒い微粒子とを封入した構成となっている。当該マイクロカプセル 8 1 0 は、画素電極 8 1 2 と対向電極 8 1 4 によって電場が与えられると、白い微粒子と、黒い微粒子が逆の方向に移動し、白または黒を表示することができる。この原理を応用した表示素子が電気泳動素子である。電気泳動素子は、液晶素子に比べて反射率が高いため、補助ライト（例えばフロントライト）が無くとも、薄暗い場所で表示部を認識することが可能である。また、消費電力も小さい。さらに、表示部に電源が供給されない場合であっても、一度表示した像を保持することが可能である。

20

【0138】

次に、本発明に係る表示装置（表示パネル）を適用した電子機器の例について説明する。具体的には、図 1 7 を用いて携帯電話機に適用する例を説明する。

30

【0139】

図 1 7 で示す携帯電話機は、操作スイッチ類 1 9 0 4、マイクロフォン 1 9 0 5 などが備えられた本体（A）1 9 0 1 と、表示パネル（A）1 9 0 8、バックライト部 1 9 1 1、表示パネル（B）1 9 0 9、スピーカ 1 9 0 6 などが備えられた本体（B）1 9 0 2 とが、蝶番 1 9 1 0 で開閉可能に連結されている。表示パネル（A）1 9 0 8 と表示パネル（B）1 9 0 9 は、回路基板 1 9 0 7 やバックライト部 1 9 1 1 と共に本体（B）1 9 0 2 の筐体 1 9 0 3 の中に収納される。表示パネル（A）1 9 0 8 及び表示パネル（B）1 9 0 9 の表示部は筐体 1 9 0 3 に形成された開口窓から視認できるように配置される。ここでは、バックライト部 1 9 1 1 と表示パネル（A）1 9 0 8 とが重なるように配置して透過型の液晶表示装置としている。バックライト部 1 9 1 1 としては、冷陰極管を用いてもよいし、LED 素子を用いてもよい。また、バックライト部として、導光板と LED 素子との組み合わせを用いてもよい。

40

【0140】

表示パネル（A）1 9 0 8 と表示パネル（B）1 9 0 9 は、本発明に係る SOI 基板を用いて製造される。よって、歩留まり良く製造することができる。

【0141】

また、表示パネル（A）1 9 0 8 と表示パネル（B）1 9 0 9 は、その携帯電話機 1 9 0 0 の機能に応じて画素数などの仕様を適宜設定することができる。例えば、表示パネル（A）1 9 0 8 を主画面とし、表示パネル（B）1 9 0 9 を副画面として組み合わせることができる。

50

【 0 1 4 2 】

本実施の形態に係る携帯電話機は、その機能や用途に応じてさまざまな態様に変容し得る。例えば、蝶番 1 9 1 0 の部位に撮像素子を組み込んで、カメラ付きの携帯電話機としても良い。また、操作スイッチ類 1 9 0 4、表示パネル (A) 1 9 0 8、表示パネル (B) 1 9 0 9 を一つの筐体内に納めさせた構成としてもよい。

【 0 1 4 3 】

また、図 1 8 (A) に表示パネル (A) 1 9 0 8 の構成の一例を示す。表示パネル (A) 1 9 0 8 は、画素電極が設けられた第 1 の基板 1 9 2 0 と、第 1 の基板と対向する第 2 の基板 1 9 2 3 をシール材 1 9 2 2 で貼り合わせている。また、シール材 1 9 2 2 は表示部 1 9 2 1 を囲むように形成されていて、第 1 の基板 1 9 2 0 と第 2 の基板 1 9 2 3 とシール材 1 9 2 2 で囲まれた領域 (枠状シールパターン内) に液晶層が設けられている。

10

【 0 1 4 4 】

また、図 1 8 (B) に図 1 8 (A) とは異なる表示パネル構成の例を示す。なお、図 1 8 (B) において、図 1 8 (A) と共通な部分には同じ符号を用いる。図 1 8 (B) のパネルは、表示部を駆動させるための駆動 IC 1 9 2 7 が第 1 の基板 1 9 2 0 に搭載されている。駆動 IC 1 9 2 7 を第 1 の基板 1 9 2 0 に搭載することで回路の集積化を行っている。

【 0 1 4 5 】

また、図 1 8 (C) に図 1 8 (A) とは異なる表示パネル構成の例を示す。なお、図 1 8 (C) において、図 1 8 (A) と共通な部分には同じ符号を用いる。図 1 8 (C) の表示パネルは、表示部 1 9 2 9 を駆動させるための駆動回路部 1 9 2 8 が第 1 の基板 1 9 2 0 と同一基板上に形成されている。また、駆動回路だけでなく、その他の回路 (光センサ回路、CPU など) を同一基板上に形成してもよい。

20

【 0 1 4 6 】

図 1 8 (A)、図 1 8 (B)、及び図 1 8 (C) で示した表示パネルに所望の光学フィルム、例えば、偏光板、反射防止フィルム、カラーフィルターなどを重ねて設けてもよい。なお、図 1 8 (A)、図 1 8 (B)、及び図 1 8 (C) で示した F P C 1 9 2 4 は第 1 の基板 1 9 2 0 に接続されている。

【 0 1 4 7 】

このように、本発明に係る S O I 基板を利用して表示装置 (表示パネル) を製造することで、大面積基板を用いて一度に製造プロセスを流すことができ、生産性を向上させることができる。また、複数の S O I 層により S O I 基板を製造するが、個々の S O I 層の大きさを所望のパネルサイズ程度とすることで、表示パネル等の表示装置の製造において、歩留まりの向上を図ることができる。

30

【 0 1 4 8 】

(実施の形態 2)

本実施の形態では、上記実施の形態と異なる方法で S O I 基板を製造する例を示す。

【 0 1 4 9 】

まず、半導体基板 2 0 0 を準備する (図 2 3 (A) 参照)。半導体基板 2 0 0 は、上述の半導体基板 1 0 1 と同様のものを用いればよく、シリコン基板やゲルマニウム基板、ガリウムヒ素やインジウムリンなどの化合物半導体基板等を用いればよい。

40

【 0 1 5 0 】

半導体基板 2 0 0 の一表面上には、窒素含有絶縁層 2 0 2 を設けることが好ましい。窒素含有絶縁層 2 0 2 は、窒化シリコン層、窒化酸化シリコン層又は酸化窒化シリコン層を用いて単層構造又は積層構造で形成すればよい。窒素含有絶縁層 2 0 2 を設けることで、可動イオンや水分等の不純物が S O I 層に拡散して汚染されることを防ぐことができる。また、分離層を形成するためのイオンを照射する際に、保護層としても機能することができる。

【 0 1 5 1 】

次に、半導体基板 2 0 0 を選択的にエッチングする (図 2 3 (B) 参照)。本実施の形

50

態では、エッチングにより半導体基板に溝（以下、「凹部」ともいう）を形成し、凸状に残存する部分（以下、「凸部」ともいう）が所望のパネルサイズである一のパネルを含む面積となるようにする。なお、本明細書では、半導体基板を選択的にエッチングして溝を形成する加工を「溝加工」ともいう。

【0152】

なお、溝加工により形成される凸部は所望のパネルサイズである一のパネルを含む面積となるように形成し、例えば対角10インチ未満の中小型パネルのパネルサイズとすることが好ましい。携帯電話機に適用する場合は、画面サイズが対角2.4インチ乃至対角3インチ程度が知られており、これらの画面サイズに画面額縁サイズを考慮したサイズとすればよい。半導体基板200に残存する凸部は、後にベース基板に転置されるSOI層を形成する。つまり、溝加工により、一のパネルを含む面積となるように凸部を形成することで、ベース基板に、一のパネルを含む面積に分割されたSOI層を転置することができる。また、溝加工により、複数の分割された凸部を形成することで、ベース基板に複数のSOI層を転置することができる。

10

【0153】

半導体基板200は、残存させたい部分を選択的にマスクで覆ってエッチングすることで、所望のパネルサイズである一のパネルを含む面積を有する凸部を得ることができる。マスクとしては、レジストマスクや絶縁層で形成したハードマスクを適用すればよい。エッチング後、不要になったマスクは適宜除去すればよい。また、本実施の形態では、半導体基板200上に窒素含有絶縁層202が設けられているため、該窒素含有絶縁層202も選択的にエッチングされるものとする。よって、溝加工後、窒素含有絶縁層202は凸部に残存する。

20

【0154】

また、半導体基板200をエッチングする深さ（溝加工の深さ）は、後にベース基板に転置するSOI層の膜厚を考慮して適宜選択する。なお、SOI層の膜厚は、イオンを照射し、該照射したイオンを構成する元素を添加する深さで設定することが可能である。本実施の形態において、半導体基板200の溝加工の深さ（形成する溝の深さ）は、分離層よりも深くなるようにすることが好ましい。半導体基板200の溝加工において、溝の深さを分離層よりも深くすることで、後にSOI層をベース基板に転置する際に、半導体基板200の凸部のみ、容易に転置することが可能になる。

30

【0155】

次に、半導体基板200の表面から電界で加速されたイオンを所定の深さに照射して、分離層204を形成する（図23（C）参照）。分離層204は、上述の図4（A）の場合と同様に形成すればよく、例えば水素、ヘリウム又はフッ素等のハロゲンのイオンを照射して形成することができる。なお、イオンの照射は、半導体基板200が溝加工された面側（本実施の形態では窒素含有絶縁層202が設けられた面側）から行う。

【0156】

半導体基板200は、予め分離層204よりも深くなるように溝が形成されているため、所望のSOI層がベース基板に転置されるよう、分離層204を形成することが可能である。具体的には、半導体基板200の凸部と凹部で、分離層204が段違いになるように形成される。なお、半導体基板200の凹部及び凸部で、半導体基板200表面からの分離層の深さは同程度である。

40

【0157】

次に、半導体基板200に接合層222を形成する（図23（D）参照）。接合層222は、半導体基板200がベース基板と接合を形成する面に形成する。本実施の形態では、半導体基板200の窒素含有絶縁層202が設けられた側全面を覆うように、接合層222を形成する。接合層222は、上述の接合層122と同様に形成すればよく、好ましくは有機シランを原料ガスに用いた化学気相成長法により酸化シリコン層を形成する。

【0158】

次に、半導体基板200をベース基板224に貼り合わせる（図24（A）参照）。こ

50

ここでは、ベース基板 224 と半導体基板 200 の接合層 222 が設けられた面とを密着させ、ベース基板 224 と半導体基板 200 を貼り合わせる例を示す。なお、ベース基板 224 及び半導体基板 200 とともに、接合を形成する面は十分に清浄化しておくことが好ましい。ベース基板 224 と接合層 222 を密着させることにより接合が形成される。この接合はファンデルワールス力が作用しており、ベース基板 224 と半導体基板 200 とを圧接することで、水素結合による強固な接合を形成することが可能である。本実施の形態において、半導体基板 200 には溝加工がされているので、凸部がベース基板 224 と接することとなる。

【0159】

なお、上記実施の形態 1 と同様に、接合面（本実施の形態では接合層 222 又はベース基板 224 の表面）は原子ビームやイオンビームの照射、又はプラズマやラジカル処理を行うことにより、活性化させておいても構わない。予め、接合面を活性化させておくことで、異種材料間の接合を容易にすることができる。また、接合層 222 を間に介してベース基板 224 及び半導体基板 200 を貼り合わせた後は、加熱処理又は加圧処理を行うことが好ましい。

【0160】

次に、加熱処理を行い、分離層 204 を劈開面として、半導体基板 200 の一部をベース基板 224 から剥離する。本実施の形態において、半導体基板 200 は溝の深さが分離層 204 よりも深くなるように溝加工されており、分離層 204 は段違いに形成されている。また、半導体基板 200 に設けられた接合層 222 は、ベース基板 224 と凸部のみ接している。そのため、ベース基板 224 上に半導体基板 200 の凸部のみ SOI 層として残存させることができる。よって、ベース基板 224 上は、所望のパネルサイズを有し、半導体基板 200 と同じ結晶性を有する SOI 層が残存することとなる。半導体基板 200 に所望のパネルサイズである凸部を複数形成しておけば、ベース基板上に複数の SOI 層を形成することができる。図 24B では、便宜上、ベース基板 224 上に 4 つの SOI 層 226、SOI 層 228、SOI 層 230、SOI 層 232 が残存する例を示している。

【0161】

なお、剥離のための加熱処理は、接合層 222 の成膜温度以上、ベース基板 224 の耐熱温度以下で行うことが好ましい。例えば、400 乃至 600 の加熱処理を行うことにより、分離層 204 に形成された微小な空洞の体積変化が起こり、分離層 204 に沿って劈開することが可能となる。

【0162】

また、剥離により得られた SOI 層を平坦化又は薄膜化するため、CMP やレーザビームの照射等を行ってもよい。

【0163】

以上で、ベース基板 224 上に接合層 222 を介して複数の SOI 層が設けられた SOI 基板を得ることができる。図 24B では、便宜上、ベース基板 224 上に接合層 222 を介して SOI 層 226、SOI 層 228、SOI 層 230、SOI 層 232 が設けられた SOI 基板を示している。

【0164】

なお、SOI 層は、露光装置の一回の露光範囲程度を 1 つのまとまりとして、ベース基板に転置することが好ましい。具体的には、ベース基板に複数の SOI 層を転置して SOI 基板を形成する際に、露光装置の一回の露光範囲程度を一のまとまりとして SOI 層を転置することが好ましい。つまり、転置された SOI 層の一のまとまりが、一回の露光範囲程度の面積であることが好ましい。以下、本明細書では露光装置の一回の露光範囲を「1 ショットサイズ」という。また、SOI 層と一緒にアライメントマーカを転置することが好ましい。

【0165】

ここで、溝加工後の半導体基板 200 の上面の模式図を図 25 (A) に示す。なお、図

10

20

30

40

50

25(A)の線分AA'の断面図が、図23(B)に相当するものとする。

【0166】

半導体基板200は選択的にエッチングされており、図23(B)の凸部に相当する部分に窒素含有絶縁層202が残っている。半導体基板200に形成された凸部は、上面から見ると、その表面が所望のパネルサイズである一のパネルを含む面積を有している。ここでは、上面から見て、半導体基板200上に窒素含有絶縁層202が所望のパネルサイズである一のパネルを含む面積に分割されて残ることになる。窒素含有絶縁層202下には、半導体基板200に形成された凸部が位置することになる。

【0167】

表示装置、半導体装置等の製造分野において、微細なパターン等形成する際は、フォトリソグラフィが適用されることが多い。フォトリソグラフィでは、ステッパーに代表される露光装置を用いて、基板上に塗布したレジスト層に所望のパターン形状を転写して形成した後、当該パターン形状を利用して基板上に所望のパターンを形成する。例えば、所望のパターン形状として回路パターンを基板上に塗布したレジスト層に形成し、当該回路パターンを利用して基板上にトランジスタを含む回路を形成する。露光装置の1ショットサイズは装置に依存するが、既存のステッパーを利用する場合、1ショットサイズは25mm角、100mm角、113mm角、132mm角、又は144mm角程度であり、一辺が1メートルを超えるような大面積の基板を一括で露光することは難しい。よって、予め露光装置の1ショットサイズのSOI層群を1つのまとまりとして転置することで、所望の回路パターンを効率的に形成することができる。これは、1ショットサイズのSOI層群を一のまとまりとして転置することで、前記SOI層群の一のまとまりを同時に露光して所望のパターン、例えば回路パターンを形成することができるからである。回路パターンは前記SOI層群を構成する個々のSOI層に形成され、例えば個々のSOI層にトランジスタを含む回路パターンを形成することができる。なお、一のまとまりを形成するSOI層群の個々のSOI層は、所望のパネルサイズである一のパネルを含む面積に分割されている。

【0168】

図25(A)では、ステッパーの1ショットサイズの領域250を破線で囲んでいる。半導体基板200は、SOI層として転置される領域が、ステッパーの1ショットサイズの領域250を一のまとまりとして効率的に配列されるように、選択的にエッチングされている。

【0169】

また、領域250内には、アライメントマーカとなる部分240も残存している。該アライメントマーカとなる部分240は、SOI層となる部分を選択的にマスクで覆う際に、一緒にマスクで覆っておくことで残すことができる。図25(A)に示す半導体基板200には、アライメントマーカとなる部分240にも窒素含有絶縁層202が残っている。なお、アライメントマーカとなる部分240は断面図では省略する。

【0170】

図25(B)は、SOI層が転置されたベース基板224の上面の模式図を示している。なお、図25(B)の線分AA'の断面図が、図24(B)に相当するものとする。

【0171】

ベース基板224には、ステッパーの1ショットサイズの領域250を一単位として、SOI層群がひとまとまりになり、規則的に配列している。また、SOI層と同じ結晶性のアライメントマーカ260も形成されている。

【0172】

図25(B)において、一のステッパーの1ショットサイズの領域250に、一のアライメントマーカと、複数のSOI層が設けられている。つまり、一のアライメントマーカに複数の単結晶半導体層が属するように、ベース基板に転置されている。

【0173】

図25(B)に示すSOI基板を用いて、上記実施の形態1と同様に表示装置を製造す

10

20

30

40

50

る場合、アライメントマーカ－２６０で位置のアライメントを取り、１ショットサイズの領域２５０に位置するＳＯＩ層を同時に露光し、フォトリソグラフィを行うことができる。また、ステッパーの１ショットサイズを考慮してＳＯＩ層を配列させており、且つＳＯＩ層が所望のパネルサイズであるため、効率的にパターンを形成することができる。

【０１７４】

例えば、図２６（Ａ）、（Ｂ）において、ベース基板２２４におけるステッパーの１ショットサイズの領域２５０の１つを用いて説明する。図２６（Ａ）において、領域２５０ａに、一のアライメントマーカ－２６０ａに対して、ＳＯＩ層２２６ａ、ＳＯＩ層２２６ｂ、ＳＯＩ層２２８ａ、ＳＯＩ層２２８ｂが配列されている。ＳＯＩ層２２６ａ、ＳＯＩ層２２６ｂ、ＳＯＩ層２２８ａ、ＳＯＩ層２２８ｂは、所望のパネルサイズの大きさである。該ＳＯＩ層２２６ａ、ＳＯＩ層２２６ｂ、ＳＯＩ層２２８ａ、ＳＯＩ層２２８ｂは領域２５０ａに位置しており、一のまとまりを形成している。

10

【０１７５】

図２６（Ｂ）において、アライメントマーカ－２６０ａを用いて位置合わせを行い、ＳＯＩ層２２６ａ、ＳＯＩ層２２６ｂ、ＳＯＩ層２２８ａ、ＳＯＩ層２２８ｂを選択的にエッチングして、所望のパターンを形成する例を示す。例えば、ＳＯＩ層２２６ａ、ＳＯＩ層２２６ｂ、ＳＯＩ層２２８ａ、ＳＯＩ層２２８ｂからなる一のまとまりを同時に露光して回路パターンを転写して形成する。このとき、アライメントマーカ－２６０ａを形成しておくことで、フォトリソグラフィの際に、位置合わせ等容易に行うことができる。なお、エッチング後の個々のＳＯＩ層のパターンは、例えば回路部に形成されるトランジスタのチャネル部を形成することができる。そして、その他の工程を経て、個々のＳＯＩ層を用いてトランジスタを含む回路を形成することができる。

20

【０１７６】

また、同時に露光して転写し形成した回路パターンを用いて、ＳＯＩ層を選択的にエッチングし、トランジスタのチャネル部等を形成する所望のＳＯＩ層パターンを形成する際、後のパターン形成（ゲート電極等）のためのアライメントマーカ－を形成することが好ましい。例えば、図２６（Ｂ）には、それぞれのパネル形成領域毎に、アライメントマーカ－２７１ａ、アライメントマーカ－２７１ｂ、アライメントマーカ－２７２ａ、アライメントマーカ－２７２ｂを形成する例を示している。先に形成したアライメントマーカ－２６０ａで後のパターン形成の際の位置合わせを行うことも可能であるが、より微細なパターン形状に対応するために、新たにアライメントマーカ－を形成することが好ましい。このようにすることで、微細なパターン形状を形成する際も、位置合わせ等、容易に行うことができる。

30

【０１７７】

なお、ここでは、便宜的に４つのＳＯＩ層を一のまとまりとして、ステッパーの１ショットサイズの一単位とする例を示すが、本発明は特に限定されるものではない。一単位を構成するＳＯＩ層の数は任意である。つまり、転置された複数のＳＯＩ層から、任意の個数のＳＯＩ層を選択して一のまとまりとすることができる。

【０１７８】

なお、本実施の形態は、上記実施の形態１と自由に組み合わせて行うことができる。

40

【０１７９】

（実施の形態３）

本実施の形態では、本発明に係るＳＯＩ基板を用いて、上記実施の形態と異なる構成の素子を作製する例を示す。具体的には、素子分離構造としてＳＯＩ層間に絶縁層を埋め込んだ構成について図１９と図２０を参照して説明する。

【０１８０】

図１９（Ａ）において、ベース基板３００に接合層３０４を介してＳＯＩ層３０２が設けられている。ＳＯＩ層３０２は所望のパネルサイズの大きさを有する。ＳＯＩ層３０２上には、素子形成領域に合わせて窒化シリコン層３０５、酸化シリコン層３０６を形成する。酸化シリコン層３０６は、素子分離のためにＳＯＩ層３０２をエッチングするときの

50

ハードマスクとして用いる。窒化シリコン層 305 はエッチングストッパーである。

【0181】

SOI 層 302 の膜厚は 5 nm 乃至 500 nm、好ましくは 10 nm 乃至 200 nm の厚さとすることが好ましい。SOI 層 302 の厚さは、上記実施の形態で説明した分離層の深さを制御することにより適宜設定できる。SOI 層 302 にはしきい値電圧を制御するために、ボロン、アルミニウム、ガリウムなどの p 型不純物を添加する。例えば、p 型不純物としてボロンを $5 \times 10^{17} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下の濃度で添加されていても良い。

【0182】

図 19 (B) は、酸化シリコン層 306 をマスクとして SOI 層 302、接合層 304 をエッチングする工程である。酸化シリコン層 306、窒化シリコン層 305、SOI 層 302 及び接合層 304 の露出した端面に対してプラズマ処理により窒化する。この窒化処理により、酸化シリコン層 306、窒化シリコン層 305、SOI 層 302 及び接合層 304 の周辺端部には窒化処理層 307 が形成される。また、窒化処理層 307 として、少なくとも SOI 層 302 の周辺端部には窒化シリコン層が形成される。SOI 層 302 の周辺端部に形成される窒化シリコン層は絶縁性であり、SOI 層 302 の端面でのリーク電流が流れるのを防止する効果がある。また、耐酸化作用があるので、SOI 層 302 と接合層 304 との間に、端面から酸化膜が成長してバースピークが形成されるのを防ぐことができる。

【0183】

図 19 (C) は、素子分離絶縁層 308 を堆積する工程である。素子分離絶縁層 308 は TEOS を原料ガスに用いて酸化シリコン層を化学気相成長法で堆積する。素子分離絶縁層 308 は SOI 層 302 が埋め込まれるように厚く堆積する。

【0184】

図 19 (D) は窒化シリコン層 305 が露出するまで素子分離絶縁層 308 を除去する工程を示している。この除去工程は、ドライエッチングによって行うこともできるし、化学的機械研磨によって行っても良い。窒化シリコン層 305 はエッチングストッパーとなる。素子分離絶縁層 308 は SOI 層 302 の間に埋め込まれるように残存する。窒化シリコン層 305 はその後除去する。

【0185】

図 19 (E) において、SOI 層 302 が露出した後、ゲート絶縁層 309、ゲート電極 310、サイドウォール絶縁層 311 を形成し、高濃度不純物領域 312、低濃度不純物領域 313 を形成する。絶縁層 314 は窒化シリコンで形成し、ゲート電極 310 をエッチングするときのハードマスクとして用いる。

【0186】

図 20 (A) において、層間絶縁層 315 を形成する。層間絶縁層 315 は BPSG (Boron Phosphorus Silicon Glass) 層を形成してリフローにより平坦化させる。また、TEOS を原料ガスに用いて酸化シリコン層を形成し化学的機械研磨処理によって平坦化しても良い。平坦化処理においてゲート電極 310 上の絶縁層 314 はエッチングストッパーとして機能する。層間絶縁層 315 にはコンタクトホール 316 を形成する。コンタクトホール 316 は、サイドウォール絶縁層 311 を利用してセルフアラインコンタクトの構成となっている。

【0187】

その後、図 20 (B) で示すように、六フッ化タングステンを用い、CVD 法でコンタクトプラグ 317 を形成する。さらに絶縁層 318 を形成し、コンタクトプラグ 317 に合わせて開口を形成して配線 319 を設ける。配線 319 はアルミニウム若しくはアルミニウム合金で形成し、上層と下層にはバリアメタルとしてモリブデン、クロム、チタンなどの金属膜で形成する。

【0188】

このようにして、ベース基板 300 に接合された SOI 層 302 を用いてトランジスタ

10

20

30

40

50

を作製することができる。本実施の形態で示すトランジスタは、本発明に係る表示装置の画素回路部、周辺回路部等に適用することができる。本実施の形態によれば、上記実施の形態 1 又は形態 2 で製造された S O I 基板を用いることにより、1 つの S O I 層で 1 つの表示パネルを構成する素子を形成できるため、特性のばらつきを抑えることができる。また、複数の S O I 層により S O I 基板を製造するが、個々の S O I 層の大きさを所望のパネルサイズ程度とすることで、表示装置の製造において歩留まりの向上を図ることができる。

【 0 1 8 9 】

なお、本実施の形態は、上記実施の形態 1 又は実施の形態 2 と自由に組み合わせて行うことができる。

【図面の簡単な説明】

【 0 1 9 0 】

【図 1】本発明に係る S O I 基板の構成の例を示す斜視図。

【図 2】本発明に係る S O I 基板の構成の例を示す断面図。

【図 3】本発明に係る S O I 基板の構成の例を示す断面図。

【図 4】本発明に係る S O I 基板の製造方法の例を示す断面図。

【図 5】本発明に係る S O I 基板の製造方法の例を示す断面図。

【図 6】本発明に係る S O I 基板の製造方法の例を示す上面図

【図 7】本発明に係る S O I 基板の製造方法の例を示す断面図。

【図 8】本発明に係る S O I 基板の製造方法の例を示す斜視図。

【図 9】本発明に係る表示装置の例を示す上面図、断面図及び斜視図。

【図 10】本発明に係る表示装置の製造方法の例を示す上面図。

【図 11】本発明に係る表示装置の製造方法の例を示す断面図。

【図 12】本発明に係る表示装置の製造方法の例を示す断面図。

【図 13】本発明に係る表示装置の製造方法の例を示す断面図。

【図 14】本発明に係る表示装置の製造方法の例を示す断面図。

【図 15】本発明に係る表示装置の製造方法の例を示す断面図。

【図 16】プラズマ処理装置の構成の例を示す図。

【図 17】本発明に係る表示装置の例を示す分解図。

【図 18】本発明に係る表示装置の例を示す斜視図。

【図 19】本発明に係る表示装置の製造方法の例を示す断面図。

【図 20】本発明に係る表示装置の製造方法の例を示す断面図。

【図 21】本発明に係る表示装置の例を示す断面図。

【図 22】本発明に係る表示装置の例を示す断面図。

【図 23】本発明に係る S O I 基板の製造方法の例を示す断面図。

【図 24】本発明に係る S O I 基板の製造方法の例を示す断面図。

【図 25】本発明に係る S O I 基板の例を示す上面図。

【図 26】本発明に係る S O I 基板の例を示す上面図。

【符号の説明】

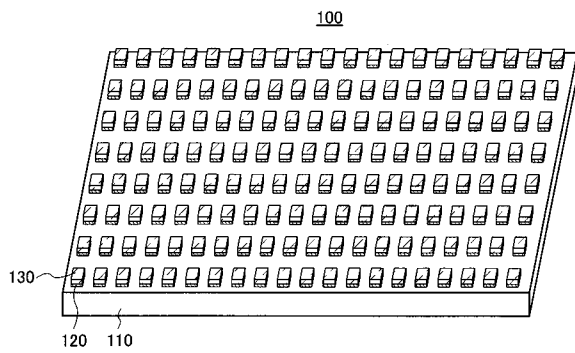
【 0 1 9 1 】

1 0 0	S O I 基板
1 0 1	半導体基板
1 0 2	半導体基板
1 0 3	分離層
1 0 4	イオン
1 1 0	ベース基板
1 2 0	絶縁層
1 2 2	接合層
1 2 4	窒素含有絶縁層
1 2 6	酸化シリコン層

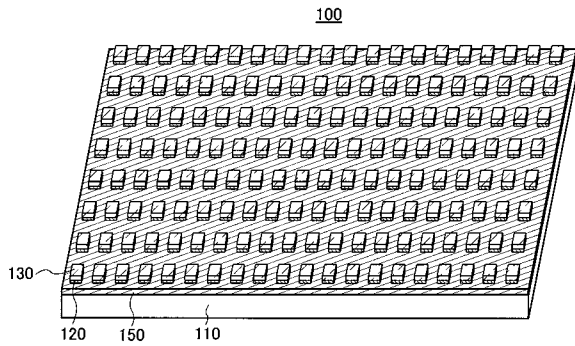
1 3 0 S O I 層
1 5 0 絶縁層
1 5 2 バリア層
1 5 4 接合層

【図 1】

(A)

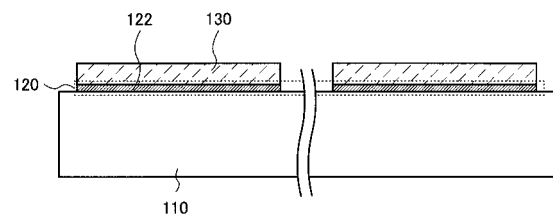


(B)

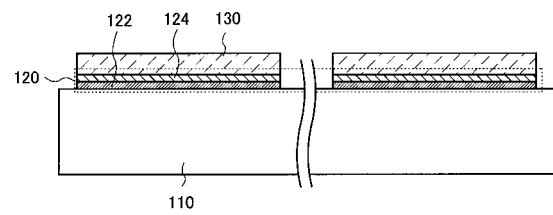


【図 2】

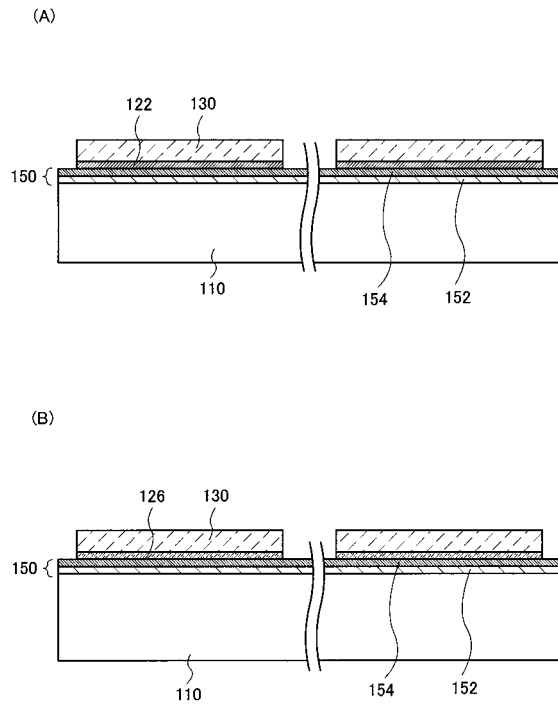
(A)



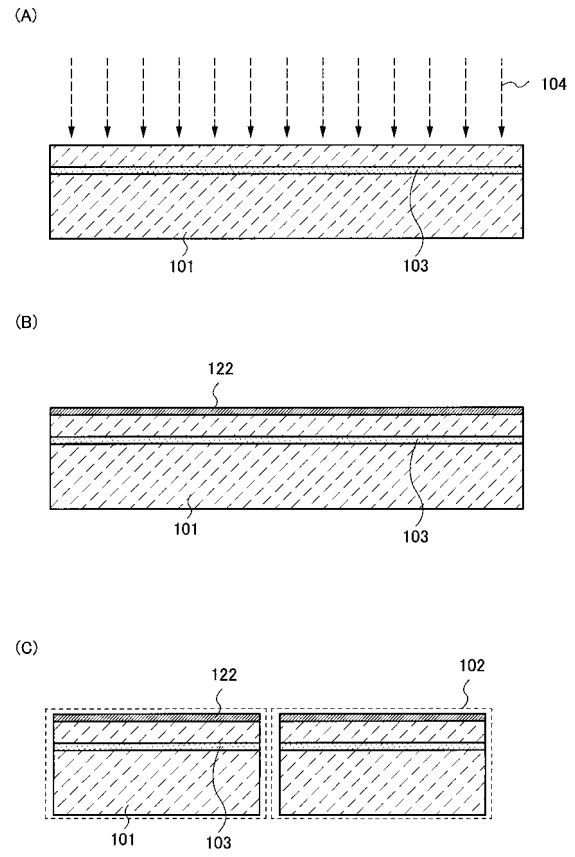
(B)



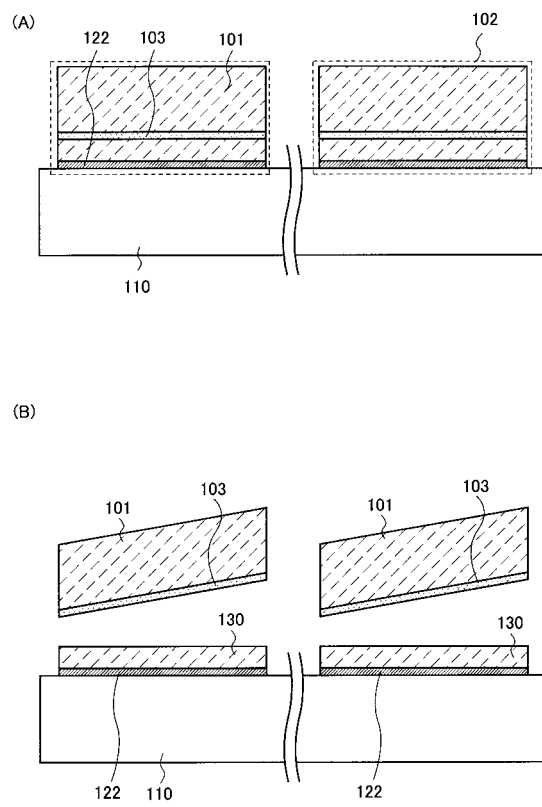
【図 3】



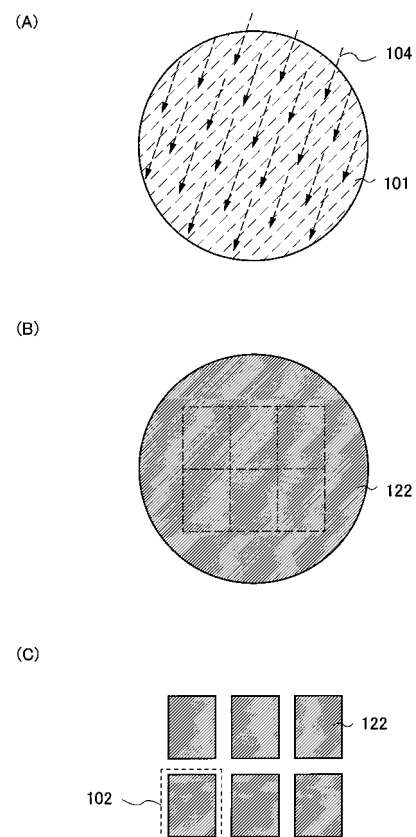
【図 4】



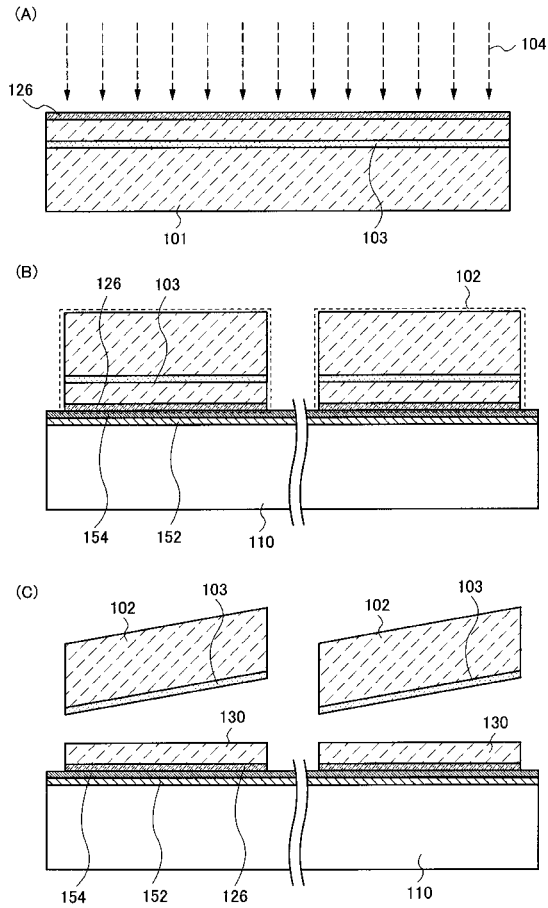
【図 5】



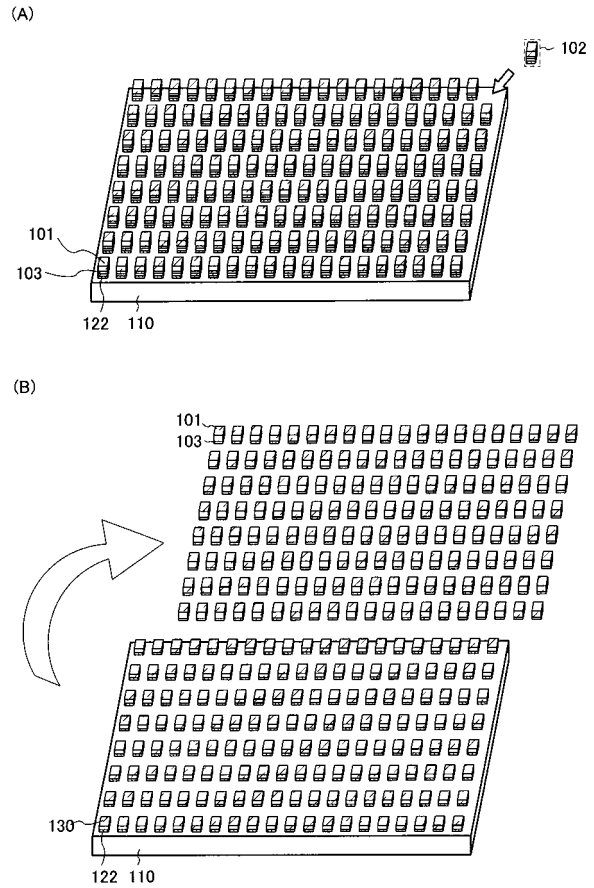
【図 6】



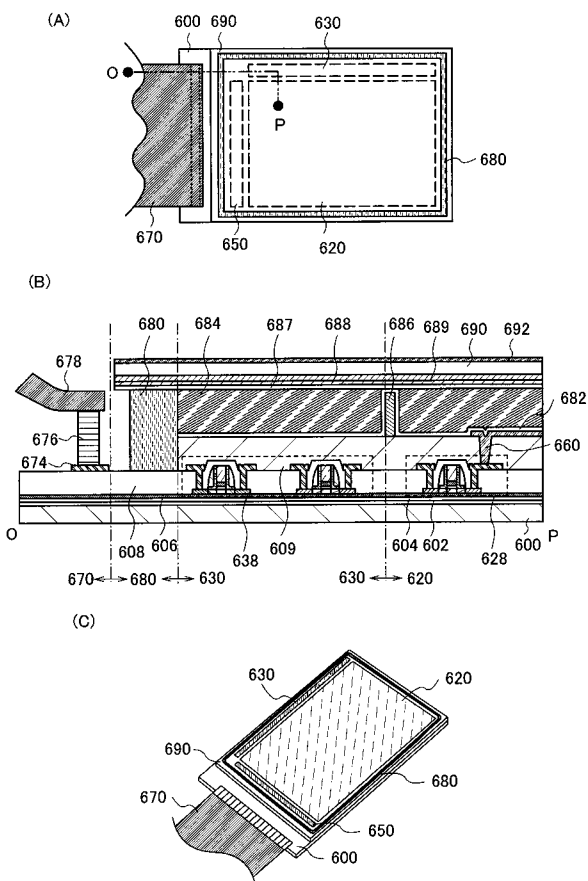
【図 7】



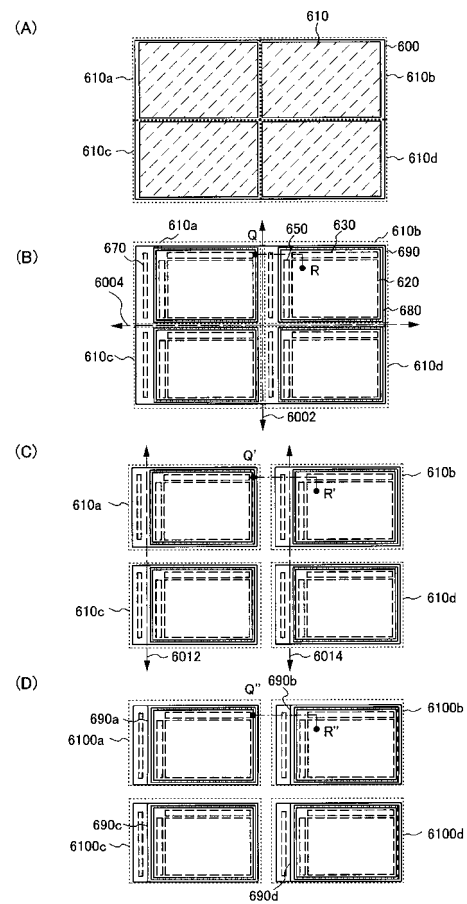
【図 8】



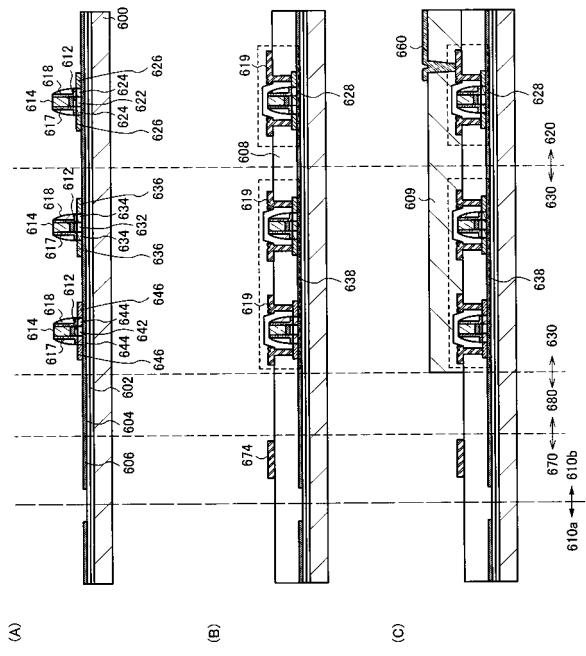
【図 9】



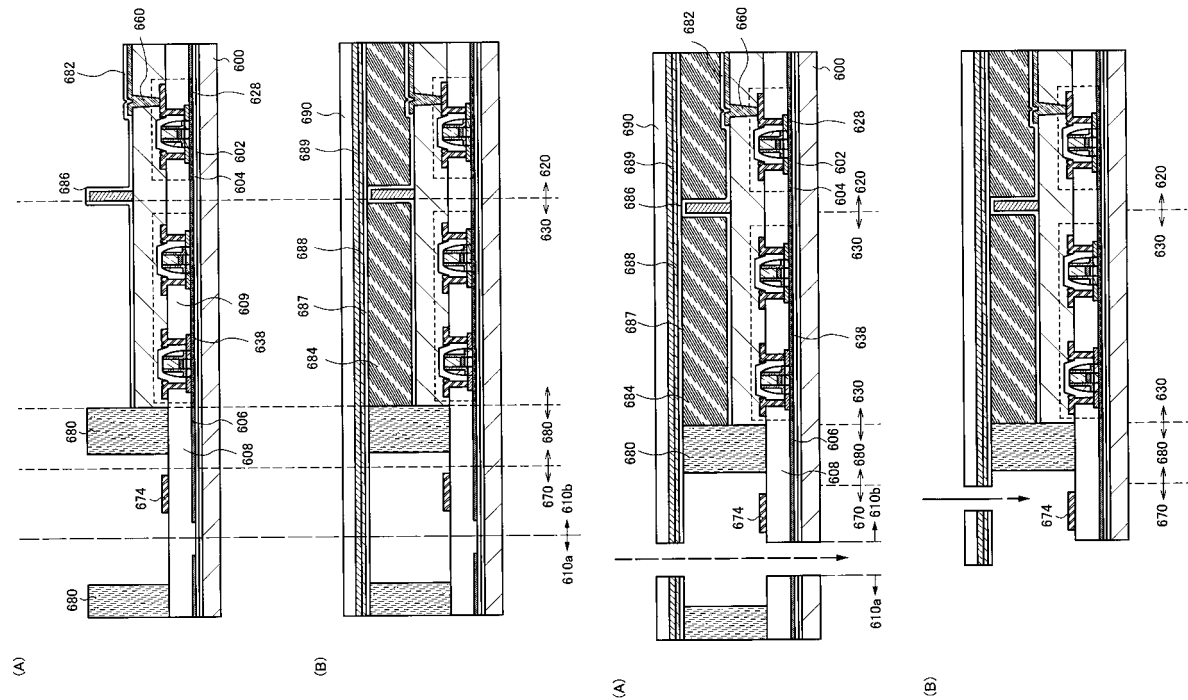
【図 10】



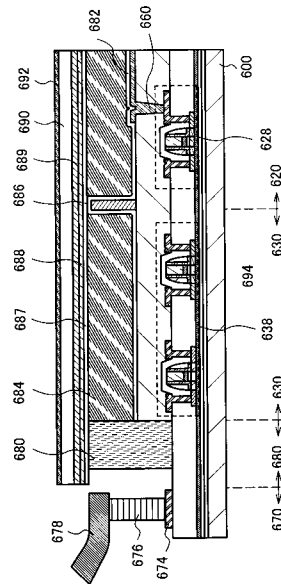
【 図 1 2 】



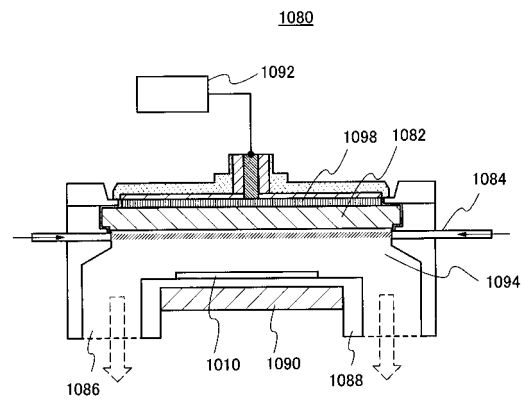
【 図 1 4 】



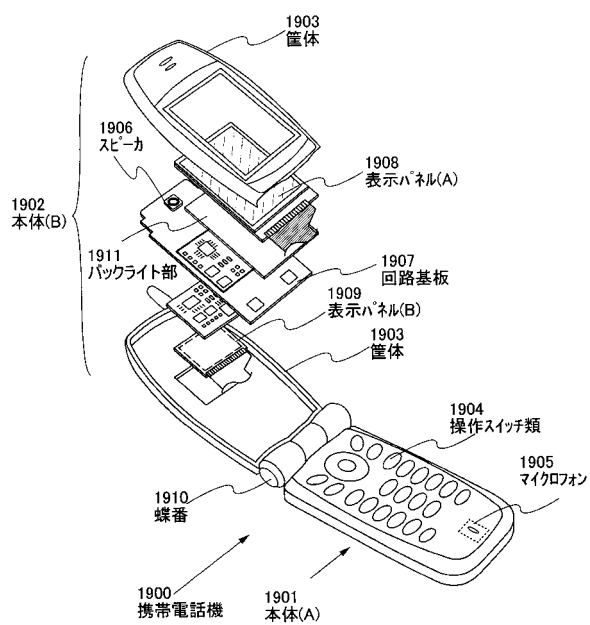
【図 15】



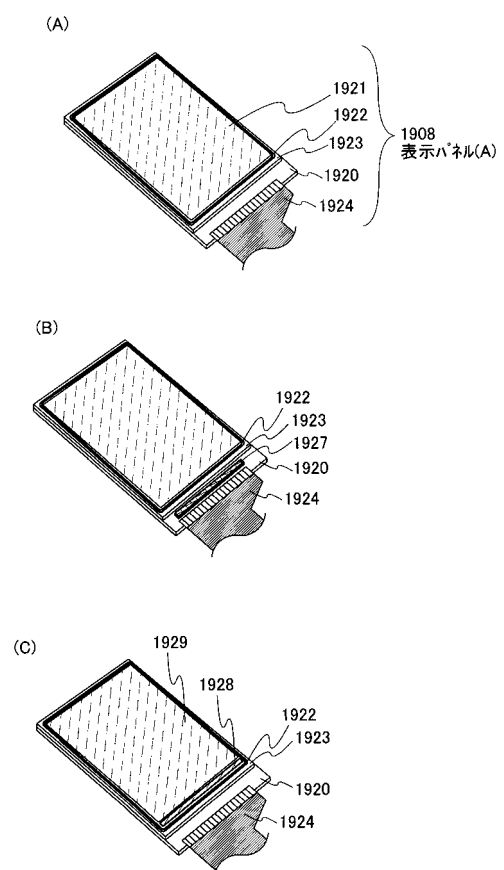
【図 16】



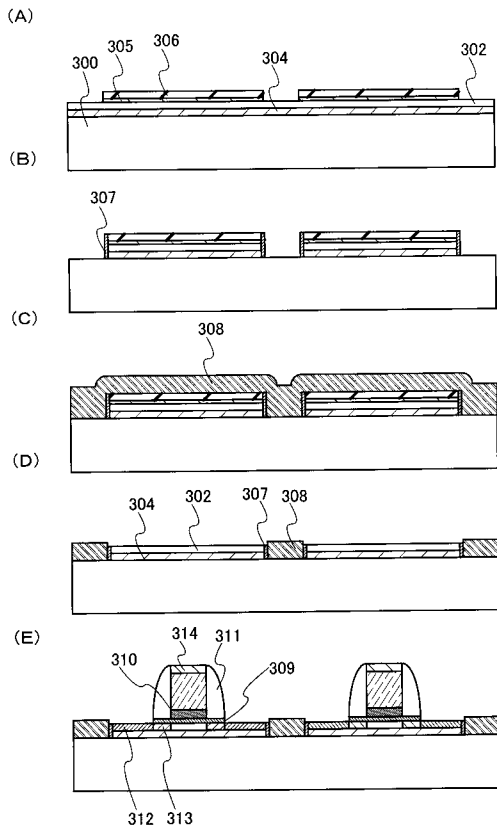
【図 17】



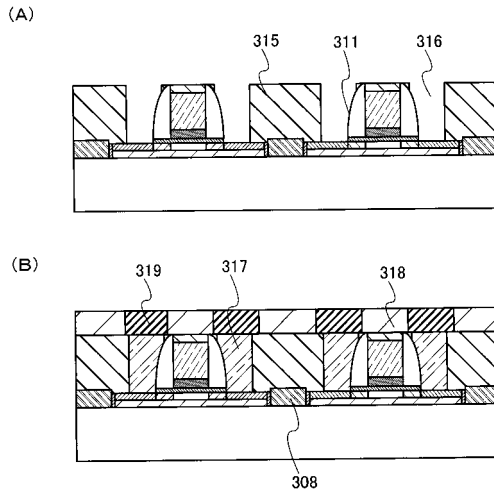
【図 18】



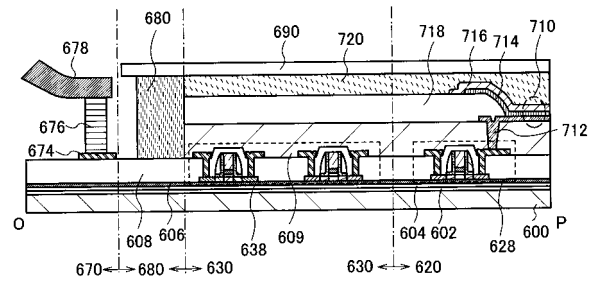
【図 19】



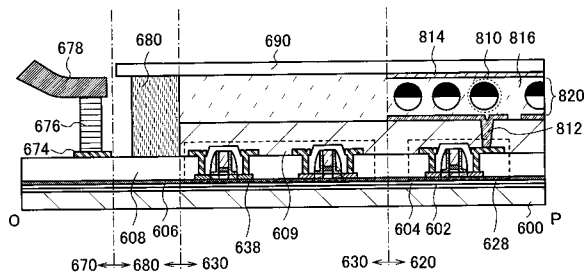
【図 20】



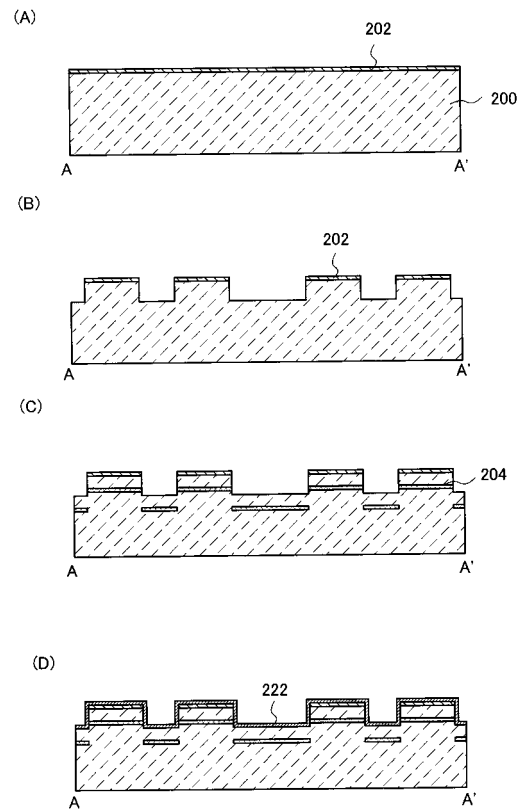
【図 21】



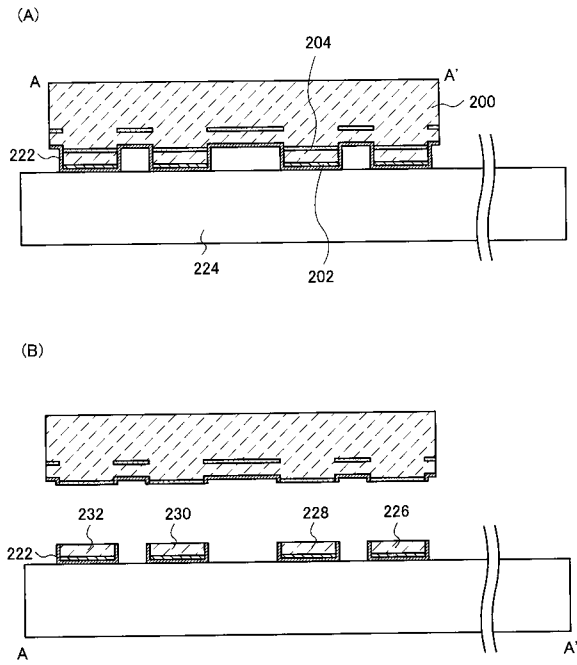
【図 22】



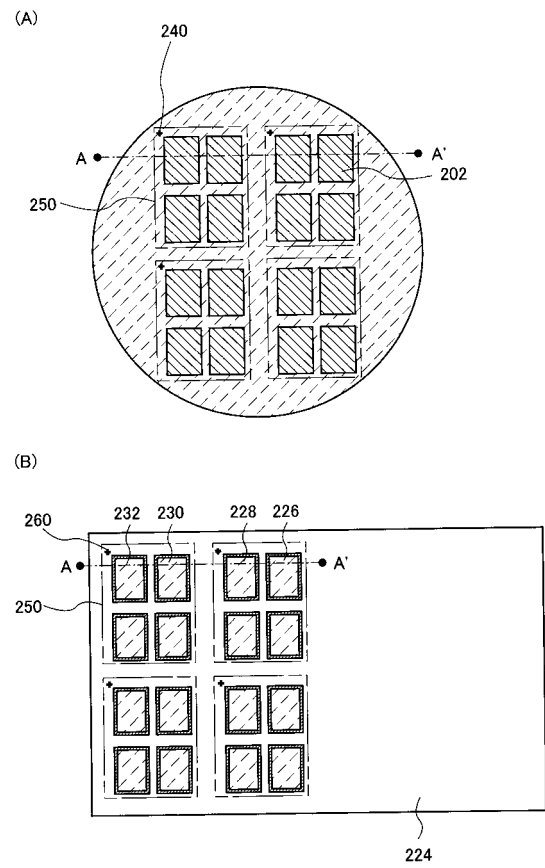
【図 23】



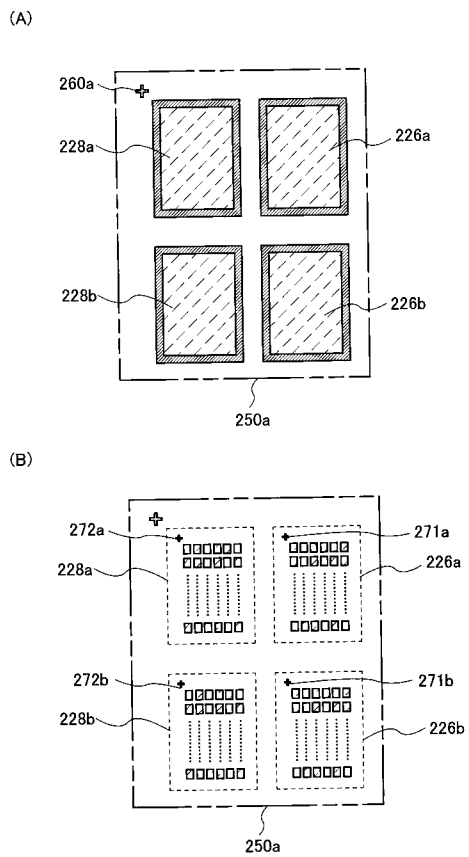
【図 24】



【図 25】



【図 26】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 29/786 (2006.01) G 0 2 F 1/1368
H 0 1 L 27/08 (2006.01)
G 0 2 F 1/1368 (2006.01)

(56)参考文献 特開 2 0 0 6 - 0 3 2 4 3 5 (J P , A)
特開平 1 1 - 0 4 5 8 6 2 (J P , A)
特開 2 0 0 6 - 1 9 1 1 0 2 (J P , A)
特開 2 0 0 4 - 1 3 4 6 7 5 (J P , A)
特開 2 0 0 2 - 1 9 8 3 2 8 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
H 0 1 L 2 7 / 1 2
H 0 1 L 2 1 / 0 2