(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[7]
H01L 21/60

(45) 공고일자 2004년10월28일
(11) 등록번호 10-0454490
(24) 등록일자 2004년10월18일

(21) 출원번호 10-2000-7000420
(22) 출원일자 2000년01월14일
번역문 제출일자 2000년01월14일
(86) 국제출원번호 PCT/DE1998/001737
(86) 국제출원출원일자 1998년06월24일
(65) 공개번호 10-2001-0021856
(43) 공개일자 2001년03월15일
(87) 국제공개번호 WO 1999/04423
(87) 국제공개일자 1999년01월28일

(81) 지정국 국내특허 : 중국, 영국, 일본, 대한민국, 미국,

(30) 우선권주장 19730118.5 1997년07월14일 독일(DE)

(73) 특허권자 지멘스 악티엔게젤샤프트
독일 뮌헨 80333 비텔스파허프라쯔 2

(72) 발명자 라이허트,한스외르크
독일데-81539뮌헨바이쎈제슈트라쎄83

데커스,마가레테
독일데-81737뮌헨운터하힝어슈트라쎄85아

찬너,라이너
독일데-81547뮌헨프로문트슈트라쎄45

(74) 대리인 남상선

심사관 : 송원선

(54) 칩-기판 접촉부를 제조하기 위한 방법 및 장치

요약

본 발명은, 제 1 성분 X가 특히 금 등의 귀금속을 포함하며, 제 2 성분 Y가 납땜 과정시 결합될 재료 또는 층에서 반응 또는 용융에 의해 소비되는, 적어도 2개의 금속 함유 성분 X 및 Y를 함유하는 2성분 또는 다성분의 땜납을 사용하여 합금시키거나 경질 납땜함으로써 칩-기판 접속부를 제조하기 위한 방법 및 장치에 관한 것이다. 상기 땜납은 제 2 성분 Y의 과공융 농도를 갖는다. 또한, 본 발명은 칩-기판 접속부를 제조하기 위한 땜납, 그리고 합금 또는 경질 납땜에 의해 기판상에 고정된 반도체칩(1)을 갖는 반도체 소자에 관한 것이다.

대표도

도 2a

명세서

기술분야

본 발명은 2개의 금속 함유 성분 X 및 Y를 함유하는 땜납을 사용하여 합금시키거나 경질 납땜(hard solder)함으로써 칩-기판 접속부를 제조하기 위한 방법 및 장치에 관한 것이며, 여기서 제 1 성분 X는 특히 금 등의 귀금속을 포함한다. 본 발명은 또한 칩-기판 접속부를 제조하기 위한 땜납 및 기판상에 합금 또는 경질 납땜에 의해 고정된 반도체 칩을 갖는 반도체 소자에 관한 것이다.

배경기술

통상적으로 칩-본딩 또는 다이-본딩으로 불리는, 반도체 칩 후면이 기판에 결합될 때, 충분한 기계적 고정과 우수한 열전도성 및 전기 전도성의 측면이 기판에 대한 요구 사항이 사용 용도에 따라 개별적으로 또는 공동으로 충족되어야 한다. 칩과 기판의 일치는 열부하시 팽창 특성에 대한 2개의 결합 파트너의 매칭에 중요한 역할을 한다. 최근에는 3가지의 상이한 칩고정 방법이 일반적이다: 합금(경질 납땜), 납땜(연질 납땜) 및 본딩. 본 발명에 따른 바람직한 사용 영역은 합금 또는 경질 납땜이다; AuSi-시스템에서 공지된 본딩 방법에 있어서, 결합되는 결합 파트너의 가장 낮은 온도에서 반도체 칩과 기판의 공융(eutectic) 결합이 이루어진다. 단일 성분 Au 및 Si의 용융 온도보다 매우 낮은 온도로 합금이 형성된다. 이 온도는 그렇게 높지 않아서, 반도체 구조 및 이에 따른 전기적 기능이 손상되지 않는다. 합금 과정시 칩과 기판은 상기 온도로 가열되고, 약한 압력이 가해지며, 칩이 콘택의 향상을 위해 원형으로 움직인다. 상평형도(phase diagram)의 액체-고체 곡선에 따른 용융점에 도달할 때, 땜납이 용융되고 본딩 작업이 이루어진다. 가열 공정은 일반적으로 비용적 이유로 인해 매우 신속히 이루어지며 열역학적 균형 상태를 넘어서 진행되지 않는다. 이와 반대로 냉각 과정은 천천히 진행된다. 무엇보다, 경화점에서 다시 공융 혼합 비율이 얻어질 때까지, 잉여 성분의 결정화가 이루어진다. 공융 용융물의 경화 동안, 2개의 성분이 개별적으로 결정화되어, 경화된 공융 혼합물의 미세 구조가 균일한 분포의 Si-결정 및 Au-결정을 나타낸다.
칩 파손 가능성은 넓은 면적의 표면 위에 가능한 한 균일한 칩-기판 접속을 제공하고 낮은 내부 응력을 제공하여 최소화된다. 결합 품질은 납땜의 흐름 특성에 의해 제어되며, 내부 응력은 납땜 경화와 사용 온도의 온도차에 의해 제어된다.

발명의 상세한 설명

본 발명의 목적은, 특히 합금시키거나 경질 납땜함으로써 칩-기판 접속부를 형성하기 위한 장치 및 방법, 그리고 이 장치 또는 방법을 통해 칩파손의 위험이 가능한 적은 적합한 땜납을 제공하는 것이다.
상기 목적은 방법적으로는 청구항 제 1항에 의해, 장치적으로는 제 8항에 의해 달성된다. 본 발명에 따른 땜납은 제 11항에, 그리고 본 발명에 따른 땜납을 사용하여 고정된 반도체 소자는 제 13항에 제시된다.
본 발명에 따라, 땜납은 과공융(hypereutectic) 농도의 제 2 성분 Y를 갖는다. 이때, 성분 Y는, 납땜 과정시 결합될 층에서의 반응 또는 용융에 의해 소비되는 2가지 또는 그 이상의 성분을 갖는 땜납의 성분을 의미한다. 이것은 필요에 따라 다성분 시스템에서도 적용된다.
여기서, 낮은 온도에서 용융되는 매우 바람직한 땜납은 과공융 농도의 주석을 갖는 AuSn-땜납을 의미한다. AuSn-땜납은 바람직하게 20% 보다 많은 Sn-중량 비율을 갖는다.
본 발명은 하기의 장점을 제공한다:
- 과공융 Sn-농도를 갖는 AuSn-땜납의 사용은 웨이퍼 후면 상에 기상증착되는 공지된 공융 AuSi-땜납 또는 공융 AuGe-땜납에 비해, 100℃ 까지 감소된 칩 합금 온도를 제공하며, 이것에 의해 열 응력이 상당히 감소되고, 이에 따라 칩파손 위험이 감소된다. 또한, 본 발명은 땜납층의 동질성(homogeneity) 및 웨팅(wetting)을 향상시킨다.
- 본 발명은 공융 AuSn-땜납에 비해, 무엇보다 낮은 합금 온도의 장점을 제공한다. 공융 AuSn에서는 코팅 및 조립 과정 동안 Sn의 함유량이 감소된다. 왜냐 하면, AuSn과 Si 사이에 필요한 배리어 및 (예를 들어 Ag을 포함하는) 리드프레임(Leadframe) 표면 모두가 조립시 Sn을 흡수하기 때문이다. 따라서, AuSn-땜납의 용융 온도가 상승한다. 특히, 스퍼터링된 공융 AuSn에서, 결합에 필요한 합금 온도는 거의 AuSi-합금에서와 같이 높다.
- 본 발명은 에폭시-접착제에 비해, 접속부의 향상된 열전도성, 접속부의 향상된 동질성을 제공하고, 무엇보다 조립시 접착제 및 본딩 과정이 생략되는 장점이 있다.
- 본 발명에 따른 방법에서는 미리 제조되는 땜납에 비해 무엇보다 조립시 비용이 절약된다.
땜납은 바람직하게 특히 스퍼터링에 의해 칩의 후면 상에 증착된다. 이런 증착은 물론 반도체 칩의 웨이퍼 구성물에서 이루어지고, 상기 칩이라는 용어는 웨이퍼 구성물에 있는 칩을 포함한다.
증착시 사용된 타겟은 성분 X 대 Y의 중량 조성비가 70 대 30, 즉 바람직하게 AuSn = 70/30의 조성비를 갖는 것이 바람직하다. 땜납층은 약 1 ㎛ 내지 약 2 ㎛의 두께로, 바람직하게 1.5 ㎛의 두께로 웨이퍼 후면에 스퍼터링된다.

도면의 간단한 설명

도 1은 AuSn의 상평형도이고,
도 2a는 본 발명에 따른 과공융 AuSn-땜납을 사용하여 리드 프레임상에 합금된 반도체 칩의 개략도이며,
도 2b는 도 2a의 X 부분의 확대 단면도이다.

실시예

첨부한 도면을 참고로 본 발명의 실시예를 자세히 살펴보면 하기와 같다.
도 1에 도시된 바와 같이, AuSn 시스템에 있어서 공융 온도는 278℃이며 이에 상응하는 조성은 20%의 Sn과 80%의 Au(중량 퍼센트)이다. 따라서, 단일 성분의 용융 온도 이하의 온도에서 합금이 형성된다. 본 발명의 기본 사상에 따라 과공융 농도의 주석을 갖는 AuSn-땜납이 사용되어, AuSn-땜납이 20% 보다 많은 Sn-중량비를 갖는다. 따라서, SOT-하우징에서의 조립을 위해 380℃ 이하의 온도에서 땜납의 충분히 낮은 점도(viscosity)가 얻어진다. 왜냐 하면, 인접한 금속층으로의 Sn 확산에 의해 AuSn의 조성이 주석-부화 상(tin-rich phase)으로부터 공융점쪽으로 이동하고, 따라서 공융 혼합물 위에 위치하는 금-부화 땜납 상이 방지된다. AuSn-혼합물의 용융 온도는 Au-과잉시 매우 급하게 상승하지만, Sn-부화시 용융 온도 상승은 매우 적다. 본 발명에 따른 Sn-부화 땜납의 Sn-손실에 의해 납땜 과정시 연속적인 용융점 하강이 이루어진다. 납땜 과정이 개선된다. 특히, Sn-감소가 이루어지는 콘택점, 납-리드 프레임(예를 들어 Ag)에서 국부적으로 용융 온도가 하강하고, 이것은 납의 흐름 특성을 향상시킨다. 이러한 이유에서 Sn을 과하게 제공함으로써 낮은 온도에서 반복될 수 있는 조립 조건이 얻어진다. 특히, 웨이퍼 후면 코팅시에 일반적인 얇은 땜납-층에서 이러한 효과가 강하게 나타난다.
도 2a 및 도 2b에는 합금시키거나 경질 납땜함으로써 반도체 칩(1)의 접속부가 금속 시스템 캐리어(3)의 중앙인 '섬'(2)상에 조립된 것을 도시한다. 리드 프레임으로 표시된, 미리 제조된 금속 시스템 지지부는 특히 플라스틱 하우징에 사용하기 위한 매우 넓게 뻗는 기판 형태이다. 도 2b의 부분 확대도에서는 층열이 자세히 도시된다. 반도체 칩(1)의 후면에는 바람직하게 Ti/Pt를 포함하는 접착 배리어 또는 확산 배리어(4)가 제공된다. 도면 부호 5는 통상적으로 1.5 ㎛의 두께로 웨이퍼 후면에 스퍼터링된 땜납층을 표시한다. 이에 따라 칩-기판 접속부의 저항을 충분히 낮출 수 있도록, 예를 들어 AuAs로 이루어진 도핑층 또는 콘택 주입층(6)이 미리 첨가되는 것이 필요할 수 있다.

(57) 청구의 범위

청구항 1.
과공융 주석 농도를 가지며 주석이 접속될 재료 또는 층 내에서 반응 또는 용해됨으로써 동작시 땜납으로 소비되는 금-주석 혼합물(AnSn)을 이용한 합금 또는 경질 납땜에 의한 칩-기판 접속부를 형성하는 방법으로서,
상기 금-주석 혼합물은 70 중량 퍼센트의 금 농도와 30 중량 퍼센트의 주석 농도를 가지며 상기 금-주석 혼합물은 스퍼터링에 의해 상기 칩의 후면 상에 증착되는 칩-기판 접속부 형성 방법.

청구항 2.
제 1항에 있어서,
상기 금-주석 혼합물은 1.0 내지 2.0 ㎛의 두께로 상기 칩의 후면 상에 형성되는 것을 특징으로 하는 칩-기판 접속부 형성 방법.

청구항 3.
제 1항에 있어서,
상기 금-주석 혼합물은 1.5 ㎛의 두께로 상기 칩의 후면 상에 형성되는 것을 특징으로 하는 칩-기판 접속부 형성 방법.

청구항 4.
삭제

청구항 5.
삭제

청구항 6.
삭제

청구항 7.
삭제

청구항 8.
삭제

청구항 9.
삭제

청구항 10.
삭제

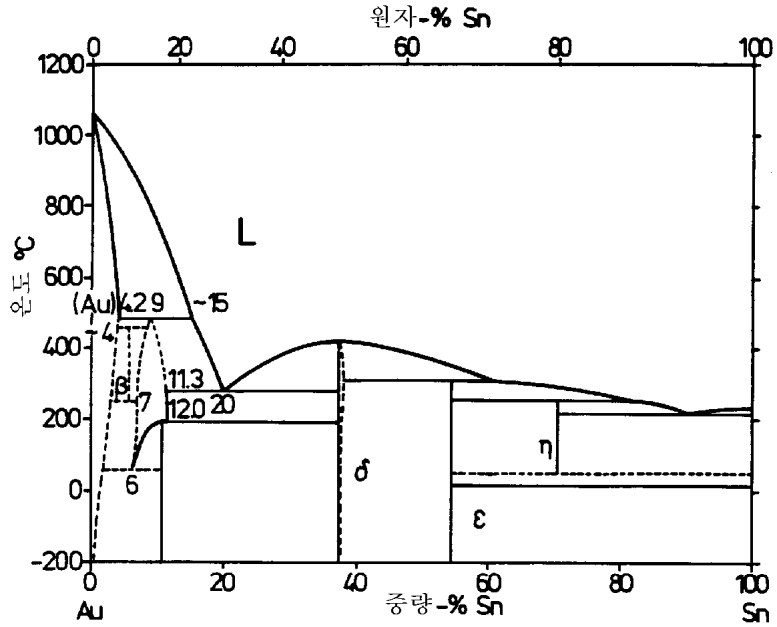
청구항 11.
삭제

청구항 12.
삭제

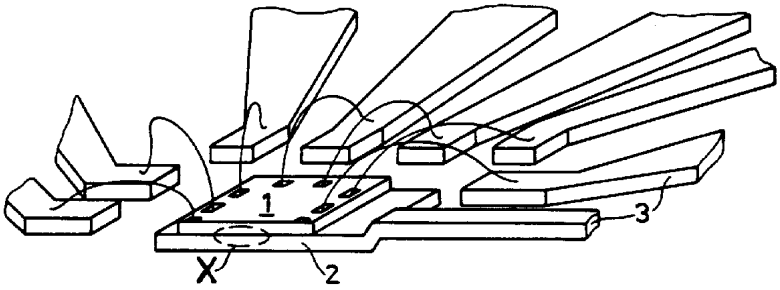
청구항 13.
삭제

도면

도면1



도면2a



도면2b

