



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년05월12일

(11) 등록번호 10-1519595

(24) 등록일자 2015년05월06일

(51) 국제특허분류(Int. Cl.)

H01L 27/115 (2006.01)

(21) 출원번호 10-2013-0139574

(22) 출원일자 2013년11월18일

심사청구일자 2013년11월18일

(56) 선행기술조사문헌

KR1020130056545 A*

KR1020090070344 A*

KR101357847 B1

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

창원대학교 산학협력단

경상남도 창원시 의창구 창원대학로 20(퇴촌동)

(72) 발명자

김영희

경남 창원시 성산구 외동반림로 219, 112동 1001호 (반림동, 현대아파트)

(74) 대리인

이철희

전체 청구항 수 : 총 4 항

심사관 : 류정현

(54) 발명의 명칭 단일 폴리 이이피롬

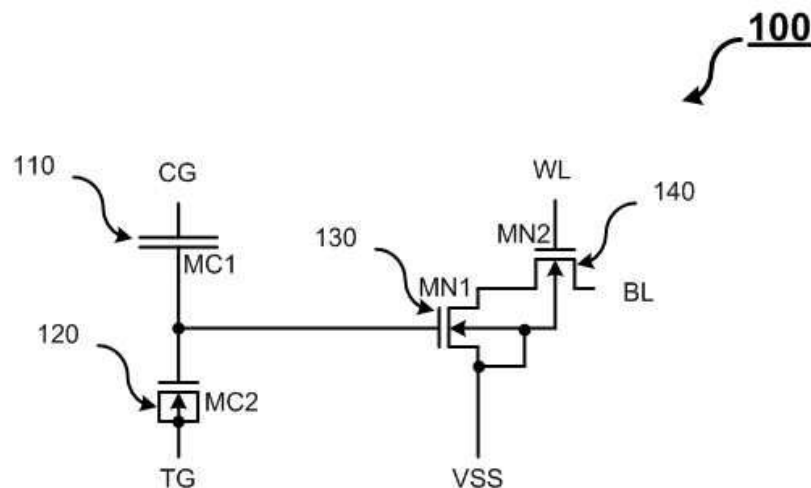
(57) 요약

본 발명에서는 평판형 커패시터(Control Gate PW-P+P(P+ Poly), 모스형 커패시터(Tunnel Gate NMOS capacitor), 센스 트랜지스터와 선택 트랜지스터로 구성된 단일 폴리 이이피롬 셀(single poly EEPROM cell)을 제안하였다.

본 발명에 따른 단일 폴리 이이피롬 셀(single poly EEPROM cell)은 모드에서 RFID 태그칩의 인식 거리를 증가시키기 위하여 FN 터널링(Fowler-Nordheim tunneling) 방식을 이용하였다.

단일 폴리 이이피롬 셀로 구성된 단일 폴리 이이피롬 메모리에 있어서, 단일 폴리 이이피롬 셀은 평판형 커패시터(MC1), 모스형 커패시터(MC2), 센스 트랜지스터(MN1) 및 선택 트랜지스터(MN2)로 구성되며, 센스 트랜지스터(MN1)와 선택 트랜지스터(MN2)는 P형 웰영역(PW)을 공유하는 것을 특징으로 한다.

대표도 - 도1



명세서

청구범위

청구항 1

단일 폴리 이이피롬 메모리에 있어서,

상기 단일 폴리 이이피롬 메모리는 단일 폴리 이이피롬 셀로 구성되고,

상기 단일 폴리 이이피롬 셀은

제1 단자에 컨트롤 게이트(CG)가 연결되는 평판형 커패시터(MC1);

제1 단자 및 제2 단자에 터널 게이트(TG)가 공통으로 연결되고, 제3 단자는 상기 평판형 커패시터의 제2 단자와 연결되는 모스형 커패시터(MC2);

제2 단자와 백바이어스 단자가 가상접지(VSS)에 공통으로 연결되고, 제3 단자는 상기 평판형 커패시터(MC1)의 제2 단자와 연결되는 센스 트랜지스터(MN1);

제1 단자는 비트라인(BL)에 연결되고, 제2 단자는 상기 센스 트랜지스터(MN1)의 제1 단자에 연결되며, 제3 단자는 워드 라인(WL)에 연결되고, 백바이어스 단자 상기 가상접지(VSS)에 연결되는 선택 트랜지스터(MN2);로 구성되며,

상기 평판형 커패시터(MC1), 상기 모스형 커패시터(MC2), 상기 센스 트랜지스터(MN1) 및 상기 선택 트랜지스터(MN2)가 디엔웰영역(DNW)을 공유하고,

상기 센스 트랜지스터(MN1) 및 상기 선택 트랜지스터(MN2)는 상기 디엔웰영역(DNW)에 형성된 P형웰영역(PW)을 공유하는 구조를 갖는 것을 특징으로 하는 단일 폴리 이이피롬 메모리.

청구항 2

제1항에 있어서, 상기 센스 트랜지스터(MN1)는

FN 터널링 방식으로 플로팅게이트(FG)의 전자를 방출시키거나 상기 플로팅게이트(FG)로 전자를 주입하는 것을 특징으로 하는 단일 폴리 이이피롬 메모리.

청구항 3

제1항에 있어서, 상기 모스형 커패시터(MC2)는

커펴링 커패시터 역할을 하는 것을 특징으로 하는 단일 폴리 이이피롬 메모리.

청구항 4

제1항에 있어서, 상기 선택 트랜지스터(MN2)는

과도 소거(over-erase) 되었을 때 비트라인(BL)에서의 오프-누설전류를 감소시키는 것을 특징으로 하는 단일 폴리 이이피롬 메모리.

청구항 5

삭제

발명의 설명

기술 분야

본 발명은 단일 폴리 이이피롬에 관한 것으로, 특정 저하 없이 단일 폴리 이이피롬 셀(single poly EEPROM cell)의 사이즈를 줄이는 한편, 사용된 MOS 소자의 수를 감축시킨 단일 폴리 이이피롬에 관한 것이다.

[0001]

배경 기술

- [0002] RFID는 사물에 부착된 태그로부터 전파를 이용하여 사물의 정보 및 주변정보를 수집, 저장, 수정 및 추적함으로써 다양한 서비스를 제공하는 무선 주파수 인식 기술이다. 태그 칩은 아날로그 회로, 로직 회로, 메모리 아이피로 구성되어 있으며, 메모리 아이피는 읽기/쓰기(read/write)가 가능하고 전원이 공급되지 않는 경우에도 저장된 정보를 유지할 수 있는 비휘발성 메모리인 이이피롬이 주로 사용되며, 태그 칩의 원가 감소를 위해 저면적의 단일 폴리 이이피롬 셀(single poly EEPROM cell)을 이용한 이이피롬 아이피를 필요로 한다.
- [0003] 종래의 이이피롬 셀(EEPROM cell)은 일반적인 CMOS 공정에 추가 마스크가 없거나 하나 정도 추가 마스크를 사용하면서 셀 크기가 작고 쓰기 모드(write mode)시 CHE(Channel Hot Electron, 채널고에너지 전자주입) 방식이나 BTBT(Band-To-Band Tunneling) 방식보다 전류가 작은 FN 터널링(Fowler-Nordheim tunneling) 방식의 단일 폴리 이이피롬 셀(single poly EEPROM cell)이 요구된다. FN 터널링(Fowler-Nordheim tunneling) 방식은 양자 터널 효과로서 FN 터널링을 사용하여 전기적으로 데이터를 다시 기록할 수 있도록 하는 방식이다. 단일 폴리 이이피롬은 추가 마스크가 작으면서 공정 응답시간(Turn-Around Time)이 짧아 제조비용이 낮으므로 RFID 태그칩용으로 사용된다.
- [0004] 종래의 단일 폴리 이이피롬 셀은 평판형 커패시터, 모스형 커패시터, 센스 트랜지스터 및 선택 트랜지스터로 구성되어 있다. 센스 트랜지스터와 선택 트랜지스터(select transistor)는 각각의 웰 공정상에 트랜지스터가 형성되어 큰 면적을 형성하는 문제점을 가지고 있다.

발명의 내용

해결하려는 과제

- [0005] 본 발명이 해결하고자 하는 기술적 과제는, 통상의 특성 저하 없이 단일 폴리 이이피롬 셀(single poly EEPROM cell)의 사이즈를 줄이는 한편, 사용된 MOS 소자의 수를 감축시킨 단일 폴리 이이피롬을 제공하는데 있다.

과제의 해결 수단

- [0006] 상기 기술적 과제를 이루기 위한 본 발명에 따른 단일 폴리 이이피롬은 단일 폴리 이이피롬 메모리에 있어서, 단일 폴리 이이피롬 메모리는 단일 폴리 이이피롬 셀로 구성되고, 단일 폴리 이이피롬 셀은 제1 단자에 컨트롤 게이트(CG)가 연결되는 평판형 커패시터(MC1), 제1 단자 및 제2 단자에 터널 게이트(TG)가 연결되고, 제3 단자는 상기 평판형 커패시터(MC1)의 제2 단자와 연결되는 모스형(MOS type) 커패시터(MC2), 제2 단자와 백바이어스 단자가 가상접지(VSS)에 공통으로 연결되고, 제3 단자는 상기 평판형 커패시터(MC1)의 제2 단자와 연결되는 센스 트랜지스터(MN1), 제1 단자는 비트라인(BL)이 연결되고, 제2 단자는 센스 트랜지스터(MN1)의 제1 단자에 연결되며, 제3 단자는 워드 라인(WL)에 연결되고, 백바이어스 단자는 상기 가상접지(VSS)에 연결되는 선택 트랜지스터(MN2)로 구성되며, 센스 트랜지스터(MN1)와 선택 트랜지스터(MN2)는 P형웰영역(PW)을 공유하는 것을 특징으로 한다.

발명의 효과

- [0007] 본 발명에 따른 단일 폴리 이이피롬은 쓰기 모드(write mode)에서 RFID태그칩의 인식 거리를 증가시키기 위하여 FN터널링 방식을 이용하되, 단일 폴리 이이피롬 셀로 구성된 단일 폴리 이이피롬 메모리에 있어서, 단일 폴리 이이피롬 셀은 평판형 커패시터(MC1), 모스형 커패시터(MC2), 센스 트랜지스터(MN1) 및 선택 트랜지스터(MN2)의 딥웰영역(DNW)을 공유하며, 센스 트랜지스터(MN1)와 선택 트랜지스터(MN2)는 P형웰영역(PW)을 공유하여 칩 사이즈를 축소하고 사용된 MOS 소자의 수를 감축시키는 장점이 있다.

도면의 간단한 설명

- [0008] 도 1은 본 발명에 따른 단일 폴리 이이피롬에 사용된 단일 폴리 이이피롬 셀(single poly EEPROM cell)의 회로도의 일실시예이다.
- 도 2는 본 발명에 따른 단일 폴리 이이피롬에 사용된 단일 폴리 이이피롬 셀(single poly EEPROM cell)의 공정 단면도의 일실시예이다.
- 도 3은 본 발명에 따른 단일 폴리 이이피롬에 사용된 단일 폴리 이이피롬 셀(single poly EEPROM cell)의 레이

아웃 도면의 일실시예이다.

도 4는 본 발명에 따른 단일 폴리 이이피롬 셀의 소거 모드 바이어스 전압 조건의 일실시예이다.

도 5는 본 발명에 따른 단일 폴리 이이피롬 셀의 프로그램 모드 바이어스 전압 조건의 일실시예이다.

도 6은 본 발명에 따른 단일 폴리 이이피롬 셀의 읽기 모드 바이어스 전압 조건의 일실시예이다.

도 7은 본 발명에 따른 단일 폴리 이이피롬 셀의 동작 모드에 따른 문턱전압(VT) 측정 조건의 일실시예이다.

도 8은 본 발명에 따른 단일 폴리 이이피롬의 프로그램 전압 분할시 소거 시간에 따른 문턱전압(VT) 측정 커브의 일실시예이다.

도 9는 본 발명에 따른 단일 폴리 이이피롬의 프로그램 전압 분할시 프로그램 시간에 따른 문턱전압(VT) 측정 커브의 일실시예이다.

도 10은 본 발명에 따른 단일 폴리 이이피롬의 단일 폴리 이이피롬 셀(single poly EEPROM cell)의 소거시 비트 라인전압(VBL)에 따른 비트라인전류(IBL) 측정 조건의 일실시예이다.

도 11은 본 발명에 따른 단일 폴리 이이피롬의 단일 폴리 이이피롬 셀(single poly EEPROM cell)의 프로그램시 비트라인전압(VBL)에 따른 비트라인전류(IBL) 측정 조건의 일실시예이다.

도 12는 본 발명에 따른 단일 폴리 이이피롬의 단일 폴리 이이피롬 셀(single poly EEPROM cell)의 내구성(endurance) 측정 결과의 일실시예이다.

발명을 실시하기 위한 구체적인 내용

[0009]

이하에서는 본 발명의 구체적인 실시 예를 도면을 참조하여 상세히 설명하도록 한다.

[0010]

도 1은 본 발명에 따른 단일 폴리 이이피롬에 사용된 단일 폴리 이이피롬 셀(single poly EEPROM cell)의 회로도의 일실시예이다.

[0011]

본 발명에서 본 발명에 따른 단일 폴리 이이피롬 셀은 도 1에서 보는바와 같이 3.3V의 평판형 커패시터(Control Gate capacitor, MC1, 110), 모스형 커패시터(Tunnel Gate NMOS capacitor, MC2, 120), 센스 트랜지스터(MN1, 130) 및 선택 트랜지스터(MN2, 140)로 구성되어 있다.

[0012]

단일 폴리 이이피롬 메모리에 있어서, 단일 폴리 이이피롬 메모리는 단일 폴리 이이피롬 셀로 구성되고, 단일 폴리 이이피롬 셀은 제1 단자에 컨트롤 게이트(CG)가 연결되는 평판형 커패시터(MC1, 110), 제1 단자 및 제2 단자에 터널 게이트(TG)가 연결되고, 제3 단자는 평판형 커패시터의 제2 단자와 연결되는 모스형 커패시터(MC2, 120), 제2 단자 및 백바이어스 단자에 가상접지(VSS)가 공통으로 연결되고, 제3 단자는 평판형 커패시터의 제2 단자와 연결되는 센스 트랜지스터(MN1, 130), 제1 단자는 비트라인(BL)이 연결되고, 제2 단자는 센스 트랜지스터(MN1, 130)의 제 1 단자에 연결되며, 제3 단자는 워드 라인(WL)에 연결되고, 백바이어스 단자가 상기 가상접지(VSS)에 연결되는 선택 트랜지스터(MN2, 140)로 구성되며, 센스 트랜지스터(MN1, 130)와 선택 트랜지스터(MN2, 140)는 P형웰영역(PW)을 공유한다.

[0013]

센스 트랜지스터(MN1, 130)는 FN 터널링 방식으로 플로팅게이트(FG)의 전자를 방출시키거나 플로팅게이트(FG)로 전자를 주입한다.

[0014]

모스형 커패시터(MC2, 120)는 커플링 커패시터 역할을 한다.

[0015]

선택 트랜지스터(MN2, 140)는 과도 소거(over-erase) 되었을 때 비트라인(BL)에서의 오프-누설전류를 감소 시킨다.

[0016]

평판형 커패시터(MC1), 모스형 커패시터(MC2, 120), 센스 트랜지스터(MN1, 130) 및 선택 트랜지스터(MN2, 140)는 딥웰영역(DNW)을 공유하는 것을 특징한다.

[0017]

도 2는 본 발명에 따른 단일 폴리 이이피롬에 사용된 단일 폴리 이이피롬 셀(single poly EEPROM cell)의 공정 단면도의 일실시예이다.

[0018]

본 발명에서는 단일 폴리 이이피롬 셀(single poly EEPROM cell)의 사이즈를 줄이기 위해 셀 어레이의 딥엔웰(DNW)을 공유한다.

- [0019] 그리고 센스 트랜지스터와 선택 트랜지스터는 P형웰(PW)을 상호 공유한다.
- [0020] 모스형 커패시터(MC2, 120)는 소거(erase) 모드와 프로그램(program) 모드에서 FN 터널링이 일어난다.
- [0021] FN 터널링(Fowler-Nordheim tunneling) 방식은 양자 터널 효과로서 FN 터널링을 사용하여 전기적으로 데이터를 다시 기록할 수 있도록 하는 방식이다.
- [0022] 한편 본 발명에 따른 단일 폴리 이이피롬 셀(single poly EEPROM cell)은 쓰기 모드(write mode)에서 RFID 태그칩의 인식 거리를 증가시키기 위하여 FN 터널링 방식을 이용하였다.
- [0023] 도 3은 본 발명에 따른 단일 폴리 이이피롬에 사용된 단일 폴리 이이피롬 셀(single poly EEPROM cell)의 레이아웃 도면의 일실시예이다.
- [0024] 본 발명에 따른 단일 폴리 이이피롬의 일실시예로 $0.18\mu\text{m}$ 일반적인 공정을 이용하여 설계된 단일 폴리 이이피롬 셀(single poly EEPROM cell)의 셀 면적은 $10.11\mu\text{m} \times 4.625\mu\text{m} (=46.75875\mu\text{m}^2)$ 이다.
- [0025] 컨트롤게이트[7:0]와 워드라인[7:0]은 로우 방향으로 라우팅 되고 비트라인[15:0]과 터널게이트[15:0]는 컬럼 방향으로 라우팅 된다.
- [0026] 도4, 도5 및 도 6은 본 발명에 따른 단일 폴리 이이피롬 셀(single poly EEPROM cell)의 동작 모드별 바이어스 전압 조건을 보여주고 있다. 소거(erase) 모드에서는 선택된 단일 폴리 이이피롬 셀(single poly EEPROM cell)의 평판형 커패시터(MC1, 110)와 터널게이트에 각각 -4.75V , $+4.75\text{V}$ 를 인가하여 FN 터널링 방식으로 FG(플로팅 게이트)의 전자를 방출시킨다.
- [0027] 그리고 프로그램 모드에서는 선택된 단일 폴리 이이피롬 셀(single poly EEPROM cell)의 컨트롤게이트와 터널게이트에 각각 $+4.75\text{V}$, -4.75V 를 인가하여 소거(erase)와 동일한 FN 터널링 방식으로 플로팅 게이트(FG)에 전자를 주사(injection) 한다. 읽기 모드(read mode)에서 소거(erase)된 셀은 비트라인(BL)에 0V 를 출력하는 반면, 프로그램 된 셀은 비트라인 스위치(BL Switch)의 NMOS 트랜지스터의 문턱전압(V_T) 손실로 인해 전원(V_{DD})-문턱전압(V_T)만큼 프리차지 된다. 비트라인 스위치에 CMOS 전송 게이트 대신 NMOS 트랜지스터만 사용하는 이유는 소거(erase)된 단일 폴리 이이피롬 셀(single poly EEPROM cell)이 선택된 경우 단일 폴리 이이피롬 셀(single poly EEPROM cell)의 ON 전류에 의해 비트라인을 전원(V_{DD})으로 프리차지 시킨 경우보다 전원(V_{DD})-문턱전압(V_T)으로 프리차지 시킨 경우가 방출 시간이 빨라 액세스 시간을 상대적으로 빠르게 가져갈 수 있다. 그리고 단일 폴리 이이피롬 셀(single poly EEPROM cell)의 쓰기 시간(write time)은 1ms 이다.
- [0028] 도 7는 본 발명에 따른 단일 폴리 이이피롬의 프로그램 전압 분할시 소거 시간에 따른 문턱전압(V_T) 측정 커브.
- [0029] 도 7은 단일 폴리 이이피롬 셀(single poly EEPROM cell)의 쓰는 시간에 따른 소거(erase) 문턱전압(V_T)와 프로그램(program) 문턱전압(V_T)을 측정하기 위한 동작 모드에 따른 바이어스 전압 인가 조건 표이다.
- [0030] 단일 폴리 이이피롬 셀(single poly EEPROM cell)에서의 문턱전압은 단일 폴리 이이피롬 셀(single poly EEPROM cell)에 쓰기를 한 이후 읽기 모드(read mode)에서 터널게이트(TG), 워드라인(WL) 및 비트라인(BL)의 전압을 각각 0V , 1.2V , 0.1V 를 인가한 다음 컨트롤게이트 전압을 소멸(sweep)하면서 비트라인(BL)에 흐르는 전류가 10nA 인 컨트롤게이트 전압이다.
- [0031] 도 8은 본 발명에 따른 단일 폴리 이이피롬의 프로그램 전압 분할시 소거 시간에 따른 문턱전압(V_T) 측정 커브의 일실시예이다.
- [0032] 도 9는 본 발명에 따른 단일 폴리 이이피롬의 프로그램 전압 분할시 프로그램 시간에 따른 문턱전압(V_T) 측정 커브.
- [0033] 도 8 및 도 9는 프로그램 전압(program voltage)를 각각 $\pm 4.5\text{V}$, $\pm 4.75\text{V}$, 0.5V 로 각각 변경하여 문턱전압(V_T) 특성 측정 커브를 보여주고 있다. 프로그램 전압(program voltage)이 높아질수록, 쓰는 시간이 길어질수록 소거(erase) 문턱전압(V_T)은 낮아지고 프로그램 문턱전압(V_T)은 높아지는 것을 알 수 있다. 이때 프로그램 셀의 문턱전압(V_T)은 VTP이고, 소거 셀의 문턱전압(V_T)은 VTE이다. 읽기 전압은 읽기 모드(read mode)시 컨트롤 게이트(CG)의 전압으로 1.2V 이다. 그리고 RFID 태그 칩의 동작을 고려하여 쓰는 시간은 1ms 로 정했다.

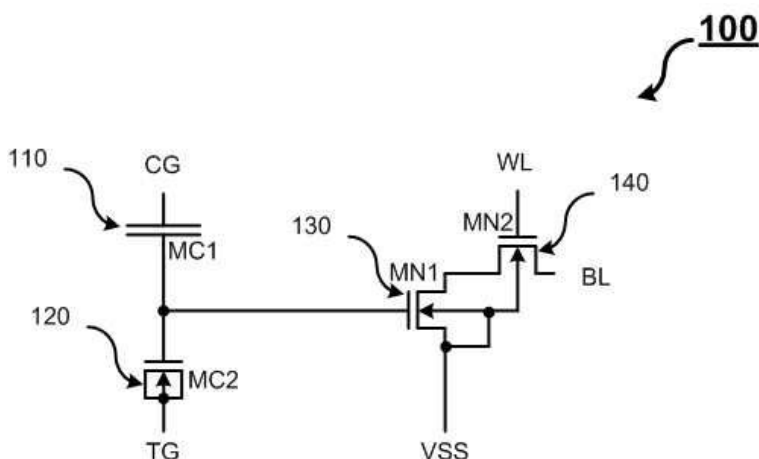
- [0034] 도 10은 본 발명에 따른 단일 폴리 이이피롬의 단일 폴리 이이피롬 셀(single poly EEPROM cell)의 소거시 비트라인전압(VBL)에 따른 비트라인전류(IBL) 측정 조건.
- [0035] 도 11은 본 발명에 따른 단일 폴리 이이피롬의 단일 폴리 이이피롬 셀(single poly EEPROM cell)의 프로그램시 비트라인전압(VBL)에 따른 비트라인전류(IBL) 측정 조건.
- [0036] 도 11의 소거(erase)와 프로그램(program) 바이어스 조건으로 쓰게된 단일 폴리 이이피롬 셀(single poly EEPROM cell)의 비트라인전압(VBL)을 소멸(sweep)하면서 비트라인전류(IBL)를 측정한 커브는 도6 및 도7과 같다. 쓰는 시간은 1ms에서 5ms까지 1ms 스텝으로 가변 하였으며, 제2 전압(VPP) 전압은 4.5V, 4.75V, 5V로 가변하면서 소거 셀에 대한 비트라인전류(IBL)을 측정하였다. 그리고 읽기 전류 측정 시 컨트롤게이트 전압은 1.2V이다. 소거 셀의 비트라인전류(IBL)은 $9\mu A$ 이다. 그리고 프로그램 셀에 대한 비트라인전류(IBL)은 1pA 이하 수준으로 양호한 결과를 얻었다.
- [0037] 단일 폴리 이이피롬 셀이 소거할 때를 소거 셀이라 하고, 단일 폴리 이이피롬 셀이 프로그램 할 때를 프로그램 셀이라 한다.
- [0038] 도 12는 본 발명에 따른 단일 폴리 이이피롬의 단일 폴리 이이피롬 셀(single poly EEPROM cell)의 내구성(endurance) 측정 결과.
- [0039] 도 12는 쓰기 횟수에 따른 단일 폴리 이이피롬 셀(single poly EEPROM cell)의 내구성(endurance)을 측정한 결과이다. 제2 전압(VPP)는 4.75V이고, 읽기 전압(Read Voltage)은 1.2V이고 쓰는 시간은 1ms이다. 도 12는 소거 셀과 프로그램 셀에 대한 내구성(endurance)을 측정한 것으로 10,000번까지 쓰기를 하더라도 문턱전압(V_T)의 변동이 거의 없는 것을 볼 수 있다.
- [0040] 이상에서는 본 발명에 대한 기술사상을 첨부 도면과 함께 서술하였지만 이는 본 발명의 바람직한 실시 예를 예시적으로 설명한 것이지 본 발명을 한정하는 것은 아니다. 또한 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 이라면 누구나 본 발명의 기술적 사상의 범주를 이탈하지 않는 범위 내에서 다양한 변형 및 모방이 가능함은 명백한 사실이다.

부호의 설명

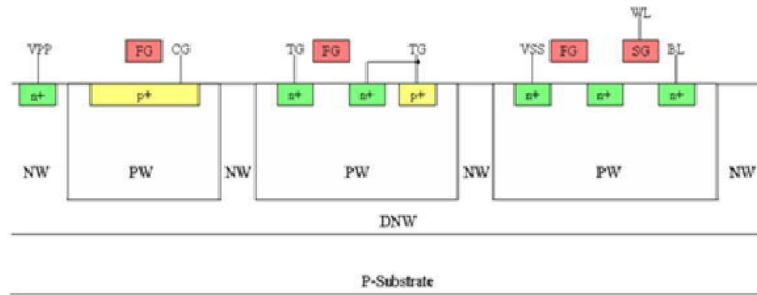
- [0041] 100 : 단일 폴리 이이피롬 메모리 셀

도면

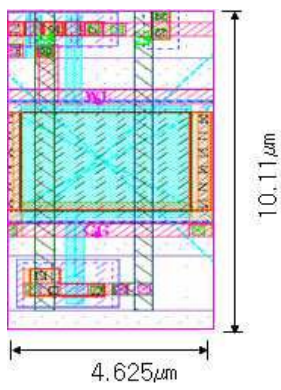
도면1



도면2



도면3



도면4

신 호(Signal) ↓	선 택 셀 (Selected cell) ↓	비선 택 셀 (Non-Selected Cell) ↓
컨트롤 게이트(CG) ↓	-4.75V ↓	0V ↓
터널 게이트(TG) ↓	4.75V ↓	4.75V ↓
워드라인(WL) ↓	Floating ↓	Floating ↓
비트라인(BL) ↓	4.75V-V _γ ↓	4.75V-V _γ ↓
드레인 웰(DNW) ↓	4.75V ↓	4.75V ↓

도면5

신 호(Signal)	선택 셀 (Selected cell)		비선택 셀 (Non-Selected Cell)	
	DIN=1	DIN=0	DIN=1	DIN=0
컨트롤 게이트(CG)	4.75V	4.75V	0V	0V
터널 게이트(TG)	-4.75V	0V	-4.75V	0V
워드라인(WL)	0V	0V	0V	0V
비트라인(BL)	Floating	Floating	Floating	Floating
답엔벨(DNW)	4.75V	4.75V	4.75V	4.75V

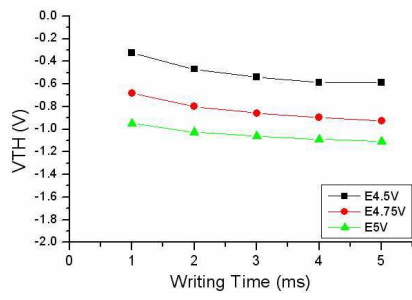
도면6

신 호(Signal)	선택 셀 (Selected cell)		비선택 셀 (Non-Selected Cell)	
	DIN=1	DIN=0	DIN=1	DIN=0
컨트롤 게이트(CG)	1.2V	1.2V	0V	0V
터널 게이트(TG)	0V	0V	0V	0V
워드라인(WL)	1.2V	1.2V	0V	0V
비트라인(BL)	$1.2V - V_T$	0V	X	X
답엔벨(DNW)	1.2V	1.2V	1.2V	1.2V

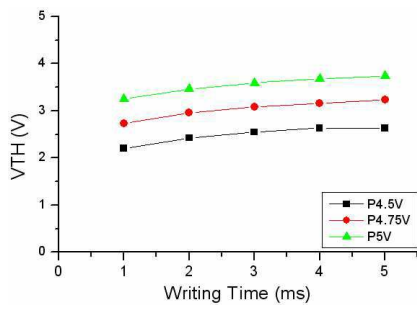
도면7

모드	소거 (Erase)	프로그래밍 (Program)	읽기 (Read)
컨트롤 게이트(CG)	-VPP	VPP	Sweep
터널 게이트(TG)	VPP	-VPP	0V
워드라인(WL)	0V	0V	1.2V
비트라인(BL)	Floating	Floating	0.1V

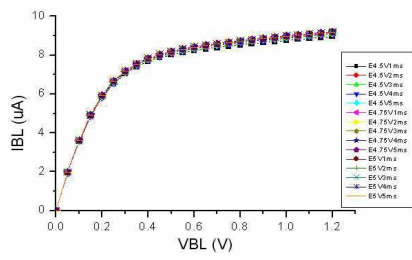
도면8



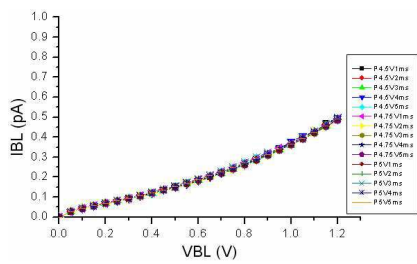
도면9



도면10



도면11



도면12

