(19)日本国特許庁(JP)　(12)公表特許公報(A)　(11)公表番号
特表2024-538194
(P2024-538194A)
(43)公表日　令和6年10月18日(2024.10.18)

(51)国際特許分類		FI			テーマコード（参考）
Ｈ０２Ｍ	*1/08 (2006.01)*	Ｈ０２Ｍ	1/08	Ａ	５Ｈ４３０
Ｇ０５Ｆ	*1/56 (2006.01)*	Ｇ０５Ｆ	1/56	３１０Ｎ	５Ｈ７４０
Ｈ０３Ｋ	*17/04 (2006.01)*	Ｈ０３Ｋ	17/04		５Ｊ０５５
Ｈ０３Ｋ	*17/16 (2006.01)*	Ｈ０３Ｋ	17/16	Ｈ	
Ｈ０３Ｋ	*17/687 (2006.01)*	Ｈ０３Ｋ	17/687	Ａ	

審査請求　未請求　予備審査請求　未請求　（全19頁）

(21)出願番号　特願2024-523406(P2024-523406)
(86)(22)出願日　令和4年10月18日(2022.10.18)
(85)翻訳文提出日　令和6年6月18日(2024.6.18)
(86)国際出願番号　PCT/US2022/046971
(87)国際公開番号　WO2023/069399
(87)国際公開日　令和5年4月27日(2023.4.27)
(31)優先権主張番号　63/257,040
(32)優先日　令和3年10月18日(2021.10.18)
(33)優先権主張国・地域又は機関
米国(US)
(31)優先権主張番号　17/734,028
(32)優先日　令和4年4月30日(2022.4.30)
(33)優先権主張国・地域又は機関
米国(US)
(81)指定国・地域　AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA
最終頁に続く

(71)出願人　507107291
テキサス インスツルメンツ インコーポレイテッド
アメリカ合衆国 テキサス州 ７５２６５－５４７４ ダラス メイル ステイション ３９９９ ピーオーボックス ６５５４７４
(74)代理人　230129078
弁護士　佐藤 仁
(72)発明者　ボキアン シャオ
アメリカ合衆国 ８５７１２ アリゾナ州 トゥーソン， エス ウイリアムズ ブールバード ２５１
(72)発明者　アヴィナシュ シュレーパシ バハット
アメリカ合衆国 ８５７１１ アリゾナ州 トゥーソン， エイピーティー １１３０
最終頁に続く

(54)【発明の名称】　ドライバ回路要素及び電力システム

(57)【要約】
一例において、回路（１００）が、制御電圧入力とフィードバック入力と第１の制御出力と第２の制御出力とを有する入力段（１０６）を含む。フィードバック入力は、ドライバ出力（１０２）に結合される。第１の経路段（１０８）が、第１の電圧入力と第３の出力とを有する。第１の電圧入力は第１の制御出力に結合され、第３の出力はドライバ出力に結合される。第２の経路段（１１０）が、第２の電圧入力と第４の出力とを有する。第２の電圧入力は第２の制御出力に結合され、第４の出力はドライバ出力（１０２）に結合される。負荷トランジスタが、ドライバ出力（１０２）に結合される制御入力を有する。入力段（１０６）は、電圧出力における出力電圧に応答して負荷トランジスタをオンにするために、第１の経路段（１０８）にｇｍブースティングを提供するように構成される。

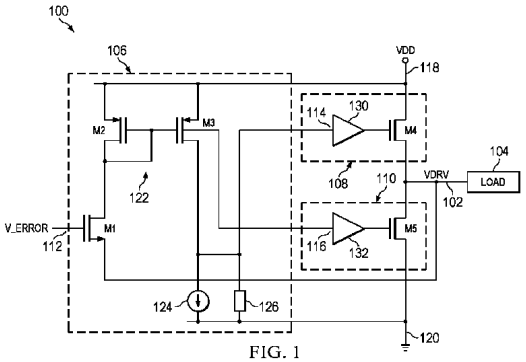


FIG. 1

【特許請求の範囲】
【請求項１】
回路であって、
制御電圧入力と、フィードバック入力と、第１の制御出力と、第２の制御出力とを有する入力段であって、前記フィードバック入力がドライバ出力に結合される、前記入力段と、
第１の電圧入力と第３の出力とを有する第１の経路段であって、前記第１の電圧入力が前記第１の制御出力に結合され、前記第３の出力が前記ドライバ出力に結合される、前記第１の経路段と、
第２の電圧入力と第４の出力とを有する第２の経路段であって、前記第２の電圧入力が前記第２の制御出力に結合され、前記第４の出力が前記ドライバ出力に結合される、前記第２の経路段と、
制御入力と電圧出力とを有する負荷トランジスタであって、前記制御入力が前記ドライバ出力に結合され、前記入力段が、前記電圧出力における出力電圧に応答して前記負荷トランジスタをオンにするために前記第１の経路段にｇｍブースティングを提供するように構成される、前記負荷トランジスタと、
を含む、回路。
【請求項２】
請求項１の回路であって、前記入力段が更に、
ゲートとソースとドレインとを有する入力トランジスタであって、前記ゲートが前記制御電圧入力に結合され、前記ソースが前記フィードバック入力に結合される、前記入力トランジスタと、
ミラー入力と電圧源入力とミラー出力とを有する電流ミラーであって、前記ミラー入力が前記ドレイン及び前記第２の電圧入力に結合され、前記電圧源入力が第１の電圧端子に結合され、前記ミラー出力が前記第１の電圧入力に結合される、前記電流ミラーと、
前記ミラー出力と第２の電圧端子との間に結合される電流源と、
前記ミラー出力と前記第２の電圧端子との間で前記電流源に並列に結合されるフィルタネットワークと、
を含む、回路。
【請求項３】
請求項２の回路であって、前記第１の経路段が、
バッファ入力とバッファ出力とを有するバッファであって、前記バッファ入力が前記第１の制御出力に結合される、前記バッファと、
第１の制御端子と第２の端子と第３の端子とを有する第１の経路出力トランジスタであって、前記第１の制御端子が前記バッファ出力に結合され、前記第２の端子が前記第１の電圧端子に結合され、前記第３の端子が前記ドライバ出力に結合される、前記第１の経路出力トランジスタと、
を含む、回路。
【請求項４】
請求項３の回路であって、前記第１の制御出力におけるインピーダンスが、前記第１の経路段のための前記ｇｍブースティングを実装するように構成される、回路。
【請求項５】
請求項３の回路であって、前記バッファが第１のバッファであり、前記第２の経路段が、
第２のバッファ入力と第２のバッファ出力とを有する第２のバッファであって、前記第２のバッファ入力が前記第２の制御出力に結合される、前記第２のバッファと、
第２の制御端子と第４の端子と第５の端子とを有する第２の経路出力トランジスタであって、前記第２の制御端子が前記第２のバッファ出力に結合され、前記第４の端子が前記第２の電圧端子に結合され、前記第５の端子が
前記ドライバ出力に結合される、前記第２の経路出力トランジスタと、

を含む、回路。
【請求項６】
請求項５の回路であって、前記第１の経路出力トランジスタ及び前記第２の経路出力トランジスタ及び前記負荷トランジスタの各々が、同じ型（ｆｌａｖｏｒ）のトランジスタである、回路。
【請求項７】
請求項６の回路であって、前記第１の経路出力トランジスタ、前記第２の経路出力トランジスタ、及び前記負荷トランジスタの各々が、それぞれのｎ型のトランジスタを用いて実装され、又は前記第１の経路出力トランジスタ、前記第２の経路出力トランジスタ、及び前記負荷トランジスタの各々が、それぞれのｐ型のトランジスタを用いて実装される、回路。
【請求項８】
請求項７の回路であって、前記フィルタネットワークが第１のフィルタネットワークであり、前記入力段が、前記フィードバック入力と前記ドライバ出力との間に結合される第２のフィルタネットワークを含む、回路。
【請求項９】
請求項１の回路であって、基準入力と、フィードバック電圧入力と、誤差出力とを有する誤差増幅器を更に含み、前記フィードバック電圧入力が前記電圧出力に結合され、前記誤差出力が前記入力段の前記制御電圧入力に結合される、回路。
【請求項１０】
請求項９の回路であって、前記誤差増幅器が、前記出力電圧と前記基準入力において受信された基準電圧とに応答して前記制御電圧入力に誤差信号を提供するように構成される、回路。
【請求項１１】
回路であって、
共通経路入力段と、第１の経路段と、第２の経路段と、負荷トランジスタとを含み、
前記共通経路入力段が、誤差信号が前記負荷トランジスタのターンオンを要求することに応答して第１の出力において第１のｇｍブーストされた制御信号を提供し、前記誤差信号が前記負荷トランジスタのターンオフを要求することに応答して第２の出力において第２の制御信号を提供するように構成され、
前記第１の経路段が、前記第１のｇｍブーストされた制御信号に応答して第１の電圧をドライバ出力に提供するように構成され、
前記第２の経路段が、前記第２の制御信号に応答して第２の電圧を前記ドライバ出力に提供するように構成され、
前記負荷トランジスタが、前記第１の電圧に応答してオンになり、前記第２の電圧に応答してオフになることによって、前記ドライバ出力における前記電圧に応答して出力電圧を調整するように構成される、
回路。
【請求項１２】
請求項１１の回路であって、
前記第１の経路段が、第１のバッファと第１のトランジスタとを含み、前記第１のバッファが、前記負荷トランジスタをオンにするように前記第１のトランジスタを制御するため前記第１のｇｍブーストされた制御信号をバッファリングするように構成され、
前記第２の経路段が、第２のバッファと第２のトランジスタとを含み、前記第２のバッファが、前記負荷トランジスタをオフにするように前記第２のトランジスタを制御するため前記第２の制御信号をバッファリングするように構成される、
回路。
【請求項１３】
請求項１２の回路であって、前記第１のトランジスタ、前記第２のトランジスタ、及び前記負荷トランジスタの各々が、それぞれの同じ型のトランジスタを用いて実装される、

回路。
【請求項１４】
請求項１３の回路であって、前記第１のトランジスタ、前記第２のトランジスタ、及び前記負荷トランジスタの各々が、それぞれのｎチャネル電界効果トランジスタ又はそれぞれのｐチャネル電界効果トランジスタを用いて実装される、回路。
【請求項１５】
請求項１２の回路であって、前記共通経路入力段が更に、
前記誤差信号に応答して第１の電圧端子から電流を導通するように構成される入力トランジスタと、
前記入力トランジスタからの前記電流をミラーリングし、ミラーリングされた電流を前記第１の出力に提供するように構成される電流ミラーと、
前記第１の出力に結合される利得ブースティング回路要素であって、前記第１の出力におけるインピーダンスと前記ミラーリングされた電流とに応答して前記第１の経路段のためのｇｍブースティングを実装するように構成される前記利得ブースティング回路要素と、
を含む、回路。
【請求項１６】
請求項１５の回路であって、前記利得ブースティング回路要素が、
前記第１の経路段の入力における電圧を安定化するように構成されるフィルタネットワークと、
前記第１の出力と第２の電圧端子との間で前記フィルタネットワークに並列に結合される電流源と、
を含み、
前記電流源及び前記フィルタネットワークが、前記ｇｍブースティングを実装するために前記第１の出力において前記インピーダンスを提供するように構成される、
回路。
【請求項１７】
請求項１６の回路であって、前記フィルタネットワークが第１のフィルタネットワークであり、前記回路が更に、前記入力トランジスタと前記ドライバ出力との間に結合される第２のフィルタネットワークを含み、前記第２のフィルタネットワークが、前記回路の閉ループ応答におけるピーキングを低減するように構成される、回路。
【請求項１８】
請求項１６の回路であって、前記電流源が、固定又は可変電流を提供するように構成される、回路。
【請求項１９】
請求項１２の回路であって、前記第２の経路段が、接地又は供給電圧の飽和電圧内に前記負荷トランジスタをオフにするように構成される、回路。
【請求項２０】
請求項１１の回路であって、前記出力電圧及び基準電圧に応答して前記誤差信号を提供するように構成される誤差増幅器を更に含む、回路。
【請求項２１】
システムであって、
基準入力とフィードバック電圧入力と誤差出力とを有する誤差増幅器と、
ＡＢ級ドライバと、
入力とフィードバック出力とを有する容量性負荷と、
を含み、
前記ＡＢ級ドライバが、
誤差入力と、フィードバック入力と、第１の利得ブーストされた出力と、第２の出力とを有する共通経路段であって、前記誤差入力が前記誤差出力に結合される、前記共通経路段と、

プルアップ経路回路と、
プルダウン経路回路と、
を含み、
前記プルアップ経路回路が、
第１のバッファ入力と第１のバッファ出力とを有する第１のバッファであって、前記第１のバッファ入力が前記第１の利得ブーストされた出力に結合される、前記第１のバッファと、
第１の制御入力と第３の出力とを有するプルアップトランジスタであって、前記第１の制御入力が前記第１のバッファ出力に結合され、前記第３の出力がドライバ出力に結合される、前記プルアップトランジスタと、
を含み、
前記プルダウン経路回路が、
前記第２の出力に結合される第２の電圧入力と、第２のバッファ出力とを有する第２のバッファと、
第２の制御入力と第４の出力とを有するプルダウントラジスタであって、前記第２の制御入力が第２のバッファ出力に結合され、前記第４の出力が前記ドライバ出力に結合される、前記プルダウントラジスタと、
を含み、
前記容量性負荷の前記入力が前記ドライバ出力に結合され、前記フィードバック出力が前記フィードバック電圧入力に結合され、前記フィードバック出力が、出力電圧を表す信号を提供するように構成される、
システム。
【請求項２２】
請求項２１のシステムであって、
前記容量性負荷が負荷トランジスタを含み、
前記共通経路段が、前記負荷トランジスタをオンにする前記ドライバ出力への回路経路のためのｇｍブーストを提供するように構成され、
前記共通経路段が、前記ドライバ出力を接地又は供給電圧の飽和電圧内までプルダウンするように前記プルダウン経路回路を制御するように構成される、
システム。
【請求項２３】
請求項２２のシステムであって、前記プルアップトランジスタ、前記プルダウントランジスタ、及び前記負荷トランジスタの各々が、それぞれの同じ型のトランジスタを用いて実装される、システム。
【発明の詳細な説明】
【技術分野】
【０００１】
本記載は、ドライバ回路要素、及びドライバ回路要素を用いるシステムに関する。
【背景技術】
【０００２】
低ドロップアウト（ＬＤＯ）電圧レギュレータは、例えば、電圧制御発振器（ＶＣＯ）、アナログ－デジタルコンバータ、デジタルアナログコンバータ（ＤＡＣ）、ハイエンドプロセッサ、無線周波数（ＲＦ）増幅器、シリアライザ－デシリアライザ（ＳｅｒＤｅｓ）回路、フィールドプログラマブルゲートアレイ（ＦＰＧＡ）などの低電圧デバイスなど、様々な応用例において電力を提供する。ＬＤＯを駆動するように構成される電力管理回路要素は、ＬＤＯの性能に影響を及ぼす可能性がある。例えば、電力管理回路要素の速度及びヘッドルームは、全体的なＬＤＯ性能に影響を与え得る。
【発明の概要】
【０００３】
記載する例において、或る回路が、入力段と、第１及び第２の経路（path）段と、負

荷トランジスタとを含む。入力段は、制御電圧入力、フィードバック入力、第１の制御出力、及び第２の制御出力を有する。フィードバック入力はドライバ出力に結合される。第１の経路段は、第１の電圧入力と第３の出力とを有する。第１の電圧入力は第１の制御出力に結合され、第３の出力はドライバ出力に結合される。第２の経路段は、第２の電圧入力と第４の出力とを有する。第２の電圧入力は第２の制御出力に結合され、第４の出力はドライバ出力に結合される。負荷トランジスタは、制御入力と電圧出力とを有する。制御入力はドライバ出力に結合され、入力段は、電圧出力における出力電圧に応答して負荷トランジスタをオンにするために、第１の経路段にｇｍブースティングを印加するように構成される。

【０００４】

記載する別の例において、或る回路が、誤差信号が負荷トランジスタのターンオンを要求することに応答して第１の出力において第１のｇｍブーストされた制御信号を提供するように構成される共通経路入力段を含む。共通経路入力段は、誤差信号が負荷トランジスタのターンオフを要求することに応答して第２の出力において第２の制御信号を提供するように構成される。第１の経路段が、第１のｇｍブーストされた制御信号に応答して第１の電圧をドライバ出力に提供するように構成される。第２の経路段が、第２の制御信号に応答して第２の電圧をドライバ出力に提供するように構成される。負荷トランジスタは、第１の電圧に応答してオンになり、第２の電圧に応答してオフになることによって、ドライバ出力における電圧に応答して出力電圧を調整するように構成される。

【０００５】

更に記載する例において、システムが、外側ループ回路と、ＡＢ級ドライバと、負荷とを含む。外部ループ回路は、基準入力と、フィードバック電圧入力と、誤差出力とを有する。ＡＢ級ドライバは、共通経路段と、プルアップ経路回路と、プルダウン経路回路とを含む。共通経路段は、誤差入力と、フィードバック入力と、第１のｇｍブースト出力と、第２の出力とを有する。誤差入力は誤差出力に結合される。プルアップ経路回路は、第１のバッファと、プルアップトランジスタとを含む。第１のバッファは、第１のバッファ入力と第１のバッファ出力とを有し、第１のバッファ入力は、第１のｇｍブースト出力に結合される。プルアップトランジスタは、第１の制御入力と第３の出力とを有する。第１の制御入力は第１のバッファ出力に結合され、第３の出力はドライバ出力に結合される。プルダウン経路回路は、第２のバッファと、プルダウントラジスタとを含む。第２のバッファは、第２の電圧入力と第２のバッファ出力とを有し、第２の電圧入力は第２の出力に結合される。プルダウントラジスタは、第２の制御入力と第４の出力を有する。第２の制御入力は第２のバッファ出力に結合され、第４の出力はドライバ出力に結合される。負荷は入力とフィードバック出力とを有し、この入力はドライバ出力に結合され、フィードバック出力はフィードバック電圧入力に結合される。フィードバック出力は、出力電圧を表す信号を提供するように構成される。

【図面の簡単な説明】

【０００６】

【図１】負荷に結合される例示のドライバ回路を図示する。

【０００７】

【図２】ドライバ回路を含む例示の電圧レギュレータを図示する。

【０００８】

【図３】例示のドライバ回路実装を図示する。

【０００９】

【図４】様々な例示のドライバ回路のための開ループ応答及び閉ループ応答を示すグラフを図示する。

【００１０】

【図５】負荷に結合される別の例示のドライバ回路を図示する。

【発明を実施するための形態】

【００１１】

種々の例は、ＡＢ級ドライバ回路などのドライバ回路要素、並びに、１つ又は複数のＡＢ級ドライバ回路を実装するシステム及び回路に関する。

【００１２】

一例として、ドライバ回路が、共通経路入力段と、第１及び第２の電圧端子間に並列に結合される第１及び第２の出力段とを含む。第１及び第２の出力段の各々は、それぞれのバッファ及び出力トランジスタを含むものとして実装され得る。出力トランジスタは、第１の電圧端子と第２の電圧端子との間に結合することができ、各出力トランジスタはドライバ出力に結合される。共通経路入力段は第１及び第２の出力を有し、第１の出力は、第１の出力段のそれぞれのバッファの入力に結合され、第２の出力は、第２の出力段のそれぞれのバッファの入力に結合される。共通経路入力段は、誤差信号に応答して第１の出力段のそれぞれの出力トランジスタを制御するために、第１の出力においてトランスコンダクタンス（ｇｍ）ブーストされた制御信号を提供するように構成される。共通経路入力段は、誤差信号に応答して第２の出力段のそれぞれの出力トランジスタを制御するために、第２の出力において第２の制御信号を提供するように構成される。共通経路入力段は、駆動されている共通経路入力又は負荷トランジスタと同じ極性にｇｍブーストを印加するように構成される。ｎチャネル金属酸化物半導体（ＮＭＯＳ）入力又は負荷の例では、共通経路入力段は、負荷ＮＭＯＳのプルアップ又はターンオンにｇｍブーストを印加するように構成される。ｐチャネル金属酸化物半導体（ＰＭＯＳ）入力又は負荷の例では、共通経路入力段は、負荷ＰＭＯＳのプルダウン又はターンオンにｇｍブーストを印加するように構成される。いくつかの例において、共通経路回路は、ドライバ回路の閉ループ応答におけるピーキングを低減するための補償フィルタを含む。

【００１３】

本明細書に記載のドライバ回路は、ドライバ出力に結合されるように適合される、容量性回路に駆動信号を提供するように構成される閉ループＡＢ級ドライバとして実装することができる。容量性回路は、ｎチャネル電界効果トランジスタ（ＮＦＥＴ）又はｐチャネルＦＥＴ（ＰＦＥＴ）などの電界効果トランジスタ（ＦＥＴ）、ＮＰＮ又はＰＮＰなどのバイポーラ接合トランジスタ（ＢＪＴ）、及び／又は、入力キャパシタンスを有する他のデバイスを含むことができる。例えば、ドライバ出力は、低閾値電圧（Ｖｔｈ）低ドロップアウト（ＬＤＯ）電力ＦＥＴのゲートに結合される。ドライバ回路は、パワーＦＥＴをオンにするためにｇｍブースティングを用いるように構成される。ドライバ回路はまた、低入力低出力（ＬＩＬＯ）動作における完全なターンオフのために、ＬＤＯ電力ＦＥＴのゲートを接地に近接して駆動するように構成され得、これにより、ドライバ回路が低ヘッドルームを達成することが可能となる。ドライバ回路は更に、高帯域幅（例えば、１ＭＨｚより大きい）ＬＤＯループにおいて安定したままであるために、有限の電流バジェットに対してドライバ出力において低い出力インピーダンスを維持することができる。そのため、本明細書に記載されるＡＢ級ドライバ回路及びシステムは、低ヘッドルームで高帯域幅のドライバ回路を実装するように構成され得る。ドライバ回路はまた、共通経路回路によって実装されるアップストリーム電力管理が、多くの既存の設計と比較して、より小さな面積を有し、低減された電流を用いることを可能にするために、より少ない電流を用いて低減された出力インピーダンスを達成することができる。

【００１４】

本明細書で用いられる場合、「回路」という用語は、アナログ回路又は制御回路などの回路機能を実施する能動素子及び／又は受動素子の集合を含むことができる。更に或いは代替として、例えば、「回路」という用語は、回路要素のすべて及び／又はいくつかが、共通基板（例えば、ダイ又はチップなどの半導体基板）上に作製される集積回路（ＩＣ）を含むことができる。一例において、ドライバ回路１００は、集積回路（ＩＣ）チップにおいて、又はシステムオンチップ（ＳｏＣ）の一部として、実装される。

【００１５】

図１は、ドライバ出力１０２を有する例示のＡＢ級ドライバ回路１００を示す。例えば、ドライバ出力１０２は、出力回路要素１０４に結合されるように適合された端子である

。一例において、出力回路要素１０４は、トランジスタ（例えば、ＦＥＴ、ＢＪＴなど）を含むなどの容量性負荷、ドライバ出力１０２に結合されるときに入力静電容量（例えば、１００ｐＦより大きい）を有するコンデンサ又は負荷デバイスを含む。ドライバ回路１００は、共通経路入力段１０６と、第１の出力段１０８と、第２の出力段１１０とを含む。共通経路入力段１０６は、入力１１２と、第１及び第２の出力１１４及び１１６とを有する。入力１１２は、出力回路要素１０４に提供されるかさもなければ出力回路要素１０４によって用いられる出力電圧を増加又は減少させるためのコマンドを表すなどの、誤差信号Ｖ＿ＥＲＲＯＲを受信するように適合される。図１の例において、ドライバ回路１００は、電圧ＶＤＤ及び接地として示される第１及び第２の電圧端子１１８及び１２０間に結合される。他の例において、他の相対的な電圧を用いて、端子１１８と１２０との間に所望の電圧電位を確立することができる。

【００１６】

入力段１０６は、共通経路入力１１２に結合される（又は共通経路入力１１２を提供する）ゲートを有する入力トランジスタＭ１を含む。図１の例において、Ｍ１はＮＦＥＴとして示されている。別の例において、Ｍ１は、ＰＦＥＴ又は別のタイプのトランジスタとして実装され得る。Ｍ１のドレインは電流ミラー１２２に結合され、Ｍ１のソースはドライバ出力１０２に結合され、ドライバ回路１００はドライバ出力信号ＶＤＲＶを提供する。電流ミラー１２２は、ｐチャネルＦＥＴ（ＰＦＥＴ）として示されるトランジスタＭ２及びＭ３を含む。別の例において、異なるタイプのトランジスタを用いて、異なるドライバ構成などで、電流ミラー１２２を実装することができる。Ｍ２はダイオード接続され、ここで、ソースは端子１１８に結合され、ドレインはＭ１のドレインに結合される。Ｍ３のソースは端子１１８に結合され、ドレインは電流源１２４を介して接地端子１２０に結合される。電流源１２４は、固定バイアス電流又は動的バイアス電流などであり得、Ｍ３のドレインにバイアス電流を提供するように構成される。補償フィルタネットワーク１２６が、電流源１２４に並列に結合される。電流源１２４及びフィルタネットワーク１２６に結合されるＭ３のドレインはまた、入力段１０６の第１の出力１１４に結合される。フィルタネットワーク１２６は、出力１１４を安定させるように構成される。

【００１７】

第１の出力段１０８は、バッファ１３０及び出力トランジスタＭ４を含む。バッファ１３０の入力が第１の出力１１４に結合され、バッファ出力はＭ４のゲートに結合される。Ｍ４は、電圧端子１１８とドライバ出力１０２との間に結合される。例えば、バッファ１３０の入力は正の極性を有する。入力段１０６は、誤差信号Ｖ＿ＥＲＲＯＲが、出力電圧を増加（又は減少）させるコマンドを表す値を有することに応答して、１１４においてｇｍブーストされた制御信号を提供するように構成される。例えば、電流源１２４及びフィルタネットワーク１２６を含む利得ブースティング回路要素は、電流ミラーの出力（Ｍ３のドレイン及び出力１１４）に結合される。本明細書において記載するように、利得ブースティング回路要素は、Ｍ３のドレイン、電流源１２４、及びフィルタネットワーク１２６における合成インピーダンスに基づいて、１１４における出力インピーダンスのＭ３倍のｇｍによって記載される利得を提供する。そのため、利得ブースティング回路要素は、第１の出力段１０８のためのｇｍブースティングを実装するように構成される。そのため、入力段１０６は、ｇｍブーストされた制御信号を出力段１０８の入力に提供するように構成される。図１の例において、バッファ１３０は、１１４からのｇｍブーストされた信号をＭ４のゲートに渡すように構成され、Ｍ４がオンになってドライバ出力１０２を端子１１８に結合し、そのため、ドライバ出力１０２がプルアップされる。１１４におけるｇｍブーストされた制御信号は、本明細書に記載されるように、Ｍ４に対するより強いターンオンを可能にして、出力回路要素１０４の増大した電力需要に対する改善された応答性を提供する。

【００１８】

第２の出力段１１０は、バッファ１３２及び出力トランジスタＭ５を含む。バッファ１３２の入力が、Ｍ２及びＭ３の共通ゲートに結合される第２の出力１１６に結合される。

バッファ１３２の出力はＭ５のゲートに結合され、Ｍ５はドライバ出力１０２と電圧端子１２０との間に結合される。例えば、バッファ１３２の入力は、負の極性（例えば、バッファ１３０の入力における極性の反対）を有する。入力段１０６は、誤差信号Ｖ＿ＥＲＲＯＲが出力電圧の減少又は変化なしを要求することに応答して、第２の出力１１６においてそれぞれの制御信号を提供するように構成される。図１の例において、バッファ１３２は、第２の制御信号をＭ５のゲートに渡すように構成され、これはＭ５を活性化して、ドライバ出力１０２を端子１２０に結合し、ドライバ出力１０２を必要に応じて接地付近にプルダウンする。入力段１０６は、第１の出力段１０８に提供されたように、ｇｍブーストなしで第２の制御信号を第２の出力段１１０に提供するように構成することができる。１１４におけるｇｍブーストされた制御信号は、Ｍ５に対するよりもＭ４に対するより強いターンオンを可能にし、そのため、出力１０２における信号に応答する出力回路要素１０４の増加した電圧及び／又は電流要求に応答して、出力１０２におけるアンダーシュートを低減する。

【００１９】

いくつかの例において、Ｍ４と同じ型（ｆｌａｖｏｒ）のトランジスタのトランジスタを用いてＭ５が実装され得る。本明細書で用いられる場合、所与のタイプのトランジスタ（例えば、ＦＥＴ又はＢＪＴ）は、本明細書において型（例えば、ｎ又はｐ型）と呼ばれる複数のサブタイプを有する。例えば、ＦＥＴトランジスタタイプ（例えば、ＭＯＳＦＥＴ又は接合ＦＥＴ（ＪＦＥＴ））が、ｎチャネルＦＥＴ（ＮＦＥＴ）及びＰＦＥＴ型で実装され得る。同様に、ＢＪＴタイプのトランジスタを、ＮＰＮ及びＰＮＰ型で実装することができる。所与のドライバ回路１００が、２つ以上のタイプのトランジスタを含むことができ、異なるタイプのトランジスタは、本明細書において記載するように、同じ又は異なる型とすることができる。ドライバ回路１００がＦＥＴを用いて実装される一例において、Ｍ４及びＭ５はいずれもＮＦＥＴであるか、又はＭ４及びＭ５はいずれもＰＦＥＴである。Ｍ４及びＭ５がバイポーラ接合トランジスタ（ＢＪＴ）として実装される場合などの他の例において、Ｍ４及びＭ５はいずれもＮＰＮ　ＢＪＴであるか、又はＭ４及びＭ５はいずれもＰＮＰ　ＢＪＴである。

【００２０】

出力回路要素１０４が、ドライバ出力１０２に結合される制御入力を有する負荷トランジスタ（例えば、図２及び図３に示されるＭ１２などのＬＤＯパワートランジスタ）を含むように実装される例において、ＬＤＯトランジスタは、Ｍ４及びＭ５両方と同じトランジスタの型（例えば、ｎ又はｐ）として実装され得る。１０２において結合されるＬＤＯトランジスタは、Ｍ４及びＭ５と同じ又は異なるタイプのトランジスタであり得るが、同じ型（例えば、ｎ又はｐ）を実装することもできる。例えば、Ｍ４及びＭ５はＮＦＥＴであり、ＬＤＯトランジスタはＮＰＮ　ＢＪＴ（例えば、すべてｎ型トランジスタ）である。別の例において、Ｍ４及びＭ５はＰＦＥＴであり、ＬＤＯトランジスタはＰＮＰ　ＢＪＴ（例えば、すべてｐ型トランジスタ）である。Ｍ４、Ｍ５及びＬＤＯトランジスタには、他のタイプ及び型のトランジスタを用いることもできる。ＡＢ級ドライバのプッシュプルバッファ出力段においてＭ４とＭ５に同じ型のトランジスタを用いると、ＬＩＬＯ動作の性能を向上させることができる。例えば、同じ型のトランジスタを用いることは、ドライバ出力１０２のプルダウンの間のＭ５上のヘッドルームを改善するのに役立ち、また、Ｍ４のプルアップ強度を増加させるために１０２における出力インピーダンス（例えば、１／ｇｍ）を低減するのにも役立ち得る。

【００２１】

本明細書に記載されるように、ｇｍブースティングを実装するように入力段１０６を構成することによって、１０２における出力インピーダンスはまた、所与のバイアス電流に対して低減され得る。その結果、ドライバ回路１００は低ヘッドルーム及び高帯域幅で実装することができ、ＬＩＬＯ動作及び高速速度に特に適している。これは更に、アップストリーム電力管理回路要素（例えば、チャージポンプ回路要素（図示せず））が、低減された面積で実装され、多くの既存のアプローチよりも低い電流で動作するように構成され

ることを可能にする。

【００２２】

図２は、調整された出力電圧ＶＯＵＴを出力２０２において提供するように構成される例示の電圧レギュレータシステム２００を図示する。レギュレータシステム２００は、図１のドライバ回路１００を実装するために用いられ得るなどの、ドライバ回路１００を含む。図２の記載は図１も参照する。例えば、ドライバ回路１００は、入力段１０６と、第１の出力段１０８と、第２の出力段１１０とを含み、これらは、ＶＤＤ及び接地として示される第１及び第２の電圧端子１１８及び１２０の間に結合される。また、出力回路１０４は、負荷トランジスタＭ１２及び出力２０２、及び（もしあれば）２０２に結合される回路を含む。

【００２３】

レギュレータシステム２００は、フィードバックに応答して出力電圧ＶＯＵＴを制御するように構成される外側ループ回路２０４を含む。図２の例において、外側ループ回路２０４は、出力２０２に結合される反転入力を有する誤差増幅器２０６を含む。別の例において、分周器回路（例えば、抵抗分周器）を、出力２０２と誤差増幅器２０６の反転入力との間に結合することもできる。誤差増幅器２０６の非反転入力が、基準電圧ＶＲＥＦを受け取るように構成される。例えば、非反転入力は、基準電圧ＶＲＥＦを提供するように構成される基準電圧生成器（例えば、デジタルアナログ変換器又は他のＤＣ源）の出力に結合される。誤差増幅器２０６は、入力段１０６の入力１１２に結合される出力を有する。例えば抵抗Ｒ１及びコンデンサＣ１を含むフィルタネットワークが、増幅器出力と接地との間に結合される。フィルタネットワークは、ドライバ回路１００の入力１１２に供給される入力１１２への誤差信号Ｖ＿ＥＲＲＯＲの安定化を助けるように構成される。誤差増幅器２０６は、ＶＯＵＴ及びＶＲＥＦに応答して、誤差信号Ｖ＿ＥＲＲＯＲを入力１１２に提供するように構成される。誤差信号Ｖ＿ＥＲＲＯＲは、出力２０２においてより高い生成されるべきか又はより低い出力電圧が生成されるべきか表す電圧コマンドを提供する。

【００２４】

入力段１０６は、増幅器２０６の出力に結合されるゲートを有する入力トランジスタＭ１を含む。フィルタ２０８が、Ｍ１のソースとドライバ出力１０２との間の内部ループフィードバック経路に結合される。例えば、フィルタ２０８は、並列抵抗器Ｒ２と、出力１０２において提供されるドライバ出力信号ＶＤＲＶのピーキングを減衰させるように構成されるコンデンサＣ２とを含む。Ｍ１のドレインは、ＦＥＴ　Ｍ２及びＭ３で形成される電流ミラー１２２に結合される。Ｍ２のゲート及びドレインは、Ｍ１のドレインに結合される。Ｍ２及びＭ３は、共通ゲート、及び端子１１８に結合される共通ソースを有する。Ｍ３のドレインは、電流源１２４を介して接地端子１２０に結合される。電流源１２４は、固定されるか又は動的にバイアスされる電流源など、Ｍ３のドレインにバイアス電流を提供するように構成される。電流源１２４は、主バイアス電流生成器に結合される電流ミラーの配置を含むように実装することができる（例えば、システム２００を実装するＩＣ内）。図２の例において、電流源１２４に並列に結合される補償フィルタネットワーク１２６は、出力１１４と端子１２０（例えば、接地）との間に直列に結合される抵抗器Ｒ３及びコンデンサＣ３を含む。

【００２５】

ドライバ回路１００の第１の出力段１０８は、電圧端子１１８及び１２０間のそれぞれの電流源２１０及び２１２に直列に結合されるＰＦＥＴ　Ｍ６を含む。Ｍ６のゲートは、入力段１０６の出力１１４に結合される。Ｍ６のソースはＮＦＥＴ　Ｍ４のゲートに結合され、Ｍ４のソースはドライバ出力１０２に結合される。別のＮＦＥＴ　Ｍ７が、Ｍ４のゲートと接地端子１２０との間に結合される。Ｍ７のゲートは Ｍ６のドレインに結合される。そのため、図２の例において、入力段１０６は、誤差信号Ｖ＿ＥＲＲＯＲが、２０２における出力電圧ＶＯＵＴを増大させるコマンドを表す値を有することに応答して、負荷トランジスタＭ１２をオンにする駆動出力１０２をプルアップするように制御するように

構成される駆動制御経路（例えば、ターンオン経路として示される）のためのｇｍブースティングバッファとして実装される。

【００２６】

ドライバ回路１００の第２の出力段１１０は、ＰＦＥＴ　Ｍ８を含み、ＰＦＥＴ　Ｍ８は、電圧端子１１８（例えば、ＶＤＤ）に結合されるソースと、Ｍ９のドレイン、並びに、Ｍ９及びＭ１０の両方のゲートに結合されるドレインとを有する。Ｍ８と同様に、Ｍ９及びＭ１０のソースは電圧端子１１８に結合される。Ｍ９のドレインと電圧端子１２０（例えば、接地）との間に電流源２１４が結合される。電流源２１４は、Ｍ８、Ｍ９、及びＭ１０によって形成される電流ミラーネットワークをバイアスするように構成される。Ｍ１０のドレインは、ＮＦＥＴ　Ｍ１１のドレインに結合され、ＮＦＥＴ　Ｍ１１は、Ｍ１０と電圧端子１２０（例えば、接地）との間にダイオード接続される。Ｍ１１のゲート及びソースは、出力ＦＥＴ　Ｍ５のゲートに結合される。図２の例において、Ｍ８、Ｍ９、Ｍ１０、Ｍ１１、及び電流源２１４によって形成されるバッファは、１１６において入力段１０６によって提供される制御信号に応答して、Ｍ５をオンにし、ドライバ出力１０２をプルダウンするように構成される。上述のように、入力段１０６は、誤差信号Ｖ＿ＥＲＲＯＲがＶＯＵＴの減少又は増加なしを指令することに応答して、出力ＦＥＴ　Ｍ５を活性化するための制御信号を１１６において提供するように構成される。

【００２７】

システム２００はまた、ドライバ出力１０２に結合されるゲートを有する負荷ＦＥＴ　Ｍ１２を含む。Ｍ１２のソースは、出力端子２０２に結合され、Ｍ１２のドレインは、入力電圧ＶＩＮに結合されるように適合された入力電圧端子２１６に結合される。例えば、Ｍ１２は、ＬＤＯ電力ＦＥＴとして実装される。本明細書において記載するように、Ｍ１２は、ｎ又はｐ型負荷トランジスタとして実装することができる。図２の例において、Ｍ４、Ｍ５、及びＭ１２は、それぞれのＮＦＥＴとして実装されるものとして示される。別の例において、Ｍ４、Ｍ５、及びＭ１２は、ＶＤＤ及びＶＩＮが同じ電圧供給になるＰＦＥＴとして実装される。

【００２８】

Ｍ４、Ｍ５、及びＭ１２の各々は、本明細書に記載されるように、同じ型のトランジスタを用いて実装することができる。図２では、Ｍ４、Ｍ５、及びＭ１２の各々は、それぞれのＮＦＥＴを用いて実装される。代替例において、Ｍ４、Ｍ５、及びＭ１２の各々は、それぞれのＰＦＥＴを用いて実装され得る。そのような代替例では、ドライバ回路における残りのＦＥＴの型は、変更され（例えば、ＮＦＥＴがＰＦＥＴになり、ＰＦＥＴがＮＦＥＴになり）、相対的な電圧は、図示及び説明されたものから反転され得る。トランジスタがＢＪＴを用いて実装される更に別の例において、Ｍ４、Ｍ５、及びＭ１２の各々は、同じ型のＢＪＴを用いて実装され得る。すなわち、それらがＮＰＮ　ＢＪＴであってよく、又はＰＮＰ　ＢＪＴであってもよい。それぞれのトランジスタは、ＦＥＴとＢＪＴとの間でタイプが混合され、同じ型で実装されてもよい。

【００２９】

一例において、外側ループ回路２０４と、ドライバ回路１００と、出力ＦＥＴ　Ｍ１２とを含むレギュレータシステム２００は、単一のＩＣ（例えば、所与のＩＣダイ上）に実装される。別の例において、出力ＦＥＴ　Ｍ１２は、ドライバ回路１００及び外側ループ回路２０４を実装するＩＣの外部の別個のＩＣの一部である。

【００３０】

図２の例において、ドライバ回路１００は、誤差信号Ｖ＿ＥＲＲＯＲが、ＶＯＵＴ＜ＶＲＥＦを表す値を有することに応答して、出力段１０８によって実装されるターンオン経路をｇｍブーストするように構成される。例えば、ドライバ回路１００に対する利得は、下記のように表される。

$$Gm = \frac{gm1}{gm2} * \left[\frac{gm8gm10gm5}{gm9gm11} + gm4gm3\left(RO3 \| R124 \| \left(R3 + \frac{1}{sC3}\right)\right)\right]$$

ここで、ｇｍ１／ｇｍ２は、Ｍ１及びＭ２に起因する入力段１０６の利得を表し、ｇｍ８・ｇｍ１０・ｇｍ５／ｇｍ９・ｇｍ１１は、Ｍ８、Ｍ１０、Ｍ５、Ｍ９、及びＭ１１に起因する出力段１１０の利得を表し、

$$gm4gm3\left(RO3\|R124\|\left(R3+\frac{1}{sC3}\right)\right)$$

は、Ｍ４及びＭ３に起因する出力段１０８と、抵抗器Ｒ３及びコンデンサＣ３を含むフィルタネットワーク１２６に並列の電流源１２４のインピーダンスに並列のＭ３の出力インピーダンスとの利得を表す。

そのため、実際には、構成要素の値は、ドライバ出力１０２におけるＶＤＲＶのプルアップの間、又はＭ１２がオンにされているとき、出力段１０８の入力に印加されるｇｍブーストを調節するように構成され得る。例えば、電流源１２４及びフィルタネットワーク１２６は、上記した式に示されているように、第１の経路段へのｇｍブースティングを実装するため、（例えば、出力１１４における）Ｍ６のゲートにおけるインピーダンスを増加させるように構成される。一例において、ｇｍブースティングが、入力段１０６の出力１１４における増加したインピーダンスに起因して（例えば、

$$gm3\left(RO3\|R124\|\left(R3+\frac{1}{sC3}\right)\right)$$

に起因して）、相互コンダクタンス利得（ｇｍ）を１００倍又はそれ以上増加させることができる。

【００３１】

そのため、Ｍ４のターンオンの間のｇｍブースティングは、わずかな量のバイアス電流を使用しながら、ＬＤＯループから容量性電力ＦＥＴゲート（又はドライバ出力１０２に結合される他の容量性負荷）の極をより高い周波数にプッシュすることができる。第２の出力段１１０は、（ドライバ回路１００の構成に応じて）接地又は供給電圧の飽和電圧V_{DSAT}内まで負荷トランジスタＭ１２をオフにするように構成される。例えば、ドライバ出力１０２をプルダウンするためにＭ５がオンにされることに応答して、駆動電圧ＶＤＲＶは、低い広帯域出力インピーダンスを維持しながら、１２０における電圧（例えば、接地）を上回るＭ５（例えば、$V_{DSAT,M5}$）の飽和電圧までスイングする。そのような特徴は、高帯域幅ＬＤＯ動作に有用である低コストで低バイアスの電流回路構成において（例えば、ＩＣ上で）実装され得る。

【００３２】

上記に鑑みて、電圧調整システム２００は、予期される動作条件の範囲にわたって所望の電圧ヘッドルーム及び高帯域幅を提供するＡＢ級ドライバ回路を含む。ドライバ回路は、ＬＩＬＯ応用例に対して特に効率的であり経済的である。

【００３３】

図３は、本明細書に記載されるような閉ループＡＢ級ドライバ回路１００を含む、例示のレギュレータシステム３００の高レベル回路図を図示する。ドライバ回路３００は、図１及び図２に示す回路１００及び２００など、本明細書において記載する例示のドライバに従って実装することができる。従って、図３の説明は図１及び図２も参照する。本記載に基づくドライバ回路要素の他の構成を、レギュレータシステム３００において用いることもできる。レギュレータシステム３００は、レギュレータ出力２０２に結合される反転入力と基準電圧ＶＲＥＦを受け取るように構成される非反転入力とを有する誤差増幅器２０６を含む外側制御ループを含む。Ｒ１及びＣ１を含むものなどのフィルタが誤差増幅器２０６の出力に結合されて、ドライバ回路１００の入力１１２において誤差信号Ｖ＿ＥＲＲＯＲを提供する。

【００３４】

ドライバ回路１００は、共通経路入力段１０６と、それぞれの出力段１０８及び１１０とを含む。本明細書において記載するように、共通経路入力段１０６は、出力段１０８へのｇｍブーストを実装するように構成される。ｇｍブースティングにより、ドライバ回路

が、増大した電流需要により迅速に反応し、アンダーシュートを減少することが可能となる。その結果、ドライバ回路１００は、ＬＤＯ電力ＦＥＴ　Ｍ１２に対してより強いターンオンを実装するように、或いは、１０２においてＶＤＲＶをプルアップするように構成される。これは、オーバシュート過渡現象を低減するためにＬＤＯ電力ＦＥＴのより強いターンオフを実装するように構成される傾向があるいくつかの既存の設計とは対照的である。

【００３５】

一例において、外側ループ回路２０４とドライバ回路１００と出力ＦＥＴ　Ｍ１２とを含むシステム３００が、共通ＩＣ内に実装される。別の例において、出力ＦＥＴ　Ｍ１２は、ドライバ回路１００及び外側ループ回路２０４を実装するＩＣの外部の別個のＩＣの一部である。

【００３６】

図３の例において、出力回路要素１０４が、負荷３０４に並列に出力２０２に結合される力コンデンサＣＯＵＴを含む。負荷３０４は、様々な電気回路によって実装することができる。負荷３０４として実装され得る電気回路の例には、電圧制御発振器（ＶＣＯ）、アナログデジタルコンバータ、ＤＡＣ、ハイエンドプロセッサ、ＲＦ増幅器、ＳｅｒＤｅｓ回路、及びＦＰＧＡが含まれる。代替的に、他の例において、Ｍ１２、ＣＯＵＴ、及び負荷３０４が、１つ又は複数の他の負荷で置き換えられてもよい。

【００３７】

図４は、図２のレギュレータシステム２００のためのＭ４のゲートにおける様々な例のＡＢ級ドライバ回路のための開ループ及び閉ループ利得及び位相応答を示す、グラフ４００及び４０２を示す。グラフ４００は、図２のドライバ回路１００のための開ループ応答４０４及び閉ループ応答４０６を含み、フィルタ２０８がシステム２００から省略されている。グラフ４００及び４０２に示されるように、ドライバ回路１００は、ＬＤＯの単位利得帯域幅をはるかに超えて中間極をプッシュするように構成される。しかしながら、グラフ４００における閉ループ応答４０６（フィルタ２０８がない場合）は、４０８に示すように、いくらかのピーキングを示す。ピーキングは、システム２００のためのグローバル制御ループの単位利得帯域幅の直後に生じる。

【００３８】

他のグラフ４０２は、図２に示されるＲＣフィルタ２０８が存在しない場合のドライバ回路１００のそれぞれの開ループ及び閉ループ位相応答のプロット４１０及び４１２を含む。ドライバ回路１００が並列ＲＣフィルタ２０８を含むように構成されるとき、応答４０６からのピーキング４０８は除去又は減衰される。そのため、結果として生じるドライバ回路は、予期される動作条件にわたる範囲にわたって安定性を高めることができる。

【００３９】

別の例として、図５は、図１の回路１００を概して反転させたものとして示される、例示のＡＢ級ドライバ回路５００である。従って、図５の説明は、必要に応じて図１にも言及する。例えば、ドライバ回路５００は、ＰＦＥＴ　Ｍ１２（例えば、ＬＤＯ電力ＰＦＥＴ）を含むものとして図５に示される出力回路要素１０４に結合されるように適合された出力１０２（例えば、端子）を有する。本明細書において記載するように、ドライバ回路１００は、共通経路入力段１０６と、第１の出力段１０８と、第２の出力段１１０とを含む。共通経路入力段１０６は、入力１１２と、第１及び第２の出力１１４及び１１６とを有する。入力１１２は、出力２０２における出力電圧ＶＯＵＴを増加又は減少させるためのコマンドを表すなどの誤差信号Ｖ＿ＥＲＲＯＲを受信するように適合される。図１の例において、ドライバ回路１００は、電圧ＶＤＤ及び接地として示される第１及び第２の電圧端子１１８及び１２０の間に結合される。他の例において、他の相対的な電圧を用いて、端子１１８と１２０との間に所望の電圧電位を確立することができる。出力２０２は、端子１１８に結合することができる供給電圧ＶＩＮに結合される。

【００４０】

図５の例において、入力段１０６は、共通経路入力１１２に結合される（又はそれを提

供する）ゲートを有するＰＦＥＴ　Ｍ１を含む。Ｍ１のドレインは電流ミラー１２２に結合され、Ｍ１のソースはドライバ出力１０２に結合される。ドライバ回路１００は、１０２においてドライバ出力信号ＶＤＲＶを提供するように構成される。電流ミラー１２２は、ＮＦＥＴとして示されるトランジスタＭ２及びＭ３を含む。Ｍ２はダイオード接続され、ここで、ソースは端子１２０に結合され、ドレインはＭ１のドレインに結合される。Ｍ３のソースは端子１２０に結合され、ソースは電流源１２４を介して端子１１８に結合される。電流源１２４は、固定又は動的バイアス電流など、Ｍ３のドレインにバイアス電流を提供するように構成される。電流源１２４に並列に補償フィルタネットワーク１２６が結合される。Ｍ３のドレインは、電流源１２４及びフィルタネットワーク１２６に結合されており、入力段１０６の第１の出力１１４にも結合される。フィルタネットワーク１２６は、出力１１４において制御信号を安定化するように構成される。

【００４１】

第１の出力段１０８は、バッファ１３０及び出力トランジスタＭ４を含む。バッファ１３０の入力が第１の出力１１４に結合され、バッファ出力はＭ４のゲートに結合される。Ｍ４は、電圧端子１２０とドライバ出力１０２との間に結合される。例えば、バッファ１３０の入力は負の極性を有する。入力段１０６は、誤差信号Ｖ＿ＥＲＲＯＲが、ＶＯＵＴを減少させる（又は変化させない）ためのコマンドを表す値を有することに応答して、ｇｍブーストされた制御信号を１１４において提供するように構成される。例えば、電流源１２４及びフィルタネットワーク１２６を含む利得ブースティング回路要素は、電流ミラーの出力（Ｍ３のドレイン及び出力１１４）に結合される。本明細書において記載するように、利得ブースティング回路要素は、Ｍ３のドレイン、電流源１２４、及びフィルタネットワーク１２６における合成インピーダンスに基づいて、１１４において出力インピーダンスのＭ３倍のｇｍで表される利得を提供する。そのため、利得ブースティング回路要素は、第１の出力段１０８のためのｇｍブースティングを実装するように構成される。そのため、入力段１０６は、ｇｍブーストされた制御信号を出力段１０８の入力に提供するように構成される。図１の例において、バッファ１３０は、１１４からのｇｍブーストされた信号をＭ４のゲートに渡すように構成される。Ｍ４は、１１４におけるｇｍブーストされた信号に応答してオンになり、ドライバ出力１０２を端子１２０に結合し、従って、ドライバ出力１０２は、ＰＦＥＴ　Ｍ１２をオンにするためにプルダウンされる。１１４におけるｇｍブーストされた制御信号は２０２において結合される負荷の電力需要に応答するなど、ＰＦＥＴ　Ｍ１２のターンオン（例えば、プルダウン）を容易にするために、Ｍ４に対するより強いターンオンを可能にする。

【００４２】

第２の出力段１１０は、バッファ１３２及び出力トランジスタＭ５を含む。バッファ１３２の入力が、Ｍ２及びＭ３の共通ゲートに結合される第２の出力１１６に結合される。バッファ１３２の出力は、Ｍ５のゲートに結合され、Ｍ５は、ドライバ出力１０２と電圧端子１１８との間に結合される。例えば、バッファ１３２の入力は、正の極性（例えば、バッファ１３０の入力における極性の反対）を有する。入力段１０６は、ＶＯＵＴの増大を要求する誤差信号Ｖ＿ＥＲＲＯＲに応答して、第２の出力１１６においてそれぞれの制御信号を提供するように構成される。図５の例において、バッファ１３２は、第２の制御信号をＭ５のゲートに渡すように構成され、これは、必要に応じて、ドライバ出力１０２を端子１１８に結合し、ドライバ出力１０２をプルアップするために、Ｍ５を活性化する。

【００４３】

上記に鑑みて、本明細書において記載する回路及びシステムは、より低いヘッドルーム、より高い帯域幅、及び改善された過渡応答を有するドライバ回路を実装することができる。ドライバ回路は、所与のバイアス電流に対してより低い出力インピーダンスで構成することもでき、これにより、ドライバ回路が、他のドライバ設計よりも高い帯域幅動作を達成することができる。

【００４４】

その結果、本明細書に記載されるようなＡＢ級ドライバ回路を実装する回路及びシステムは、一層低い供給電圧を最終機器負荷に提供するために用いることができ、その結果、電力が節約される。また、特にアンダーシュートの低減に起因する、改善された過渡応答は更に、改善された速度、及びより高い精度を達成することができる。（例えば、電流源１２４、２１０、及び２１２によって）ドライバ回路において用いられる一層低いバイアス電流は、電力節約をもたらし、より小さいチャージポンプを可能にする。まとめると、そのような要因は、比較可能な既存の解決策よりも小さなサイズでドライバ回路を実装することを可能にする。

【００４５】

本明細書では、「結合する」という用語は、間接的又は直接的接続のいずれかを意味する。そのため、第１のデバイスが第２のデバイスに結合する場合、その接続は、直接的接続を介するもの、又は他のデバイス及び接続を介した間接的接続を介するものであり得る。例えば、デバイスＡがデバイスＢを制御して或る行為を実施するための信号を生成する場合、（Ａ）第１の例において、デバイスＡはデバイスＢに結合され、又は（ｂ）第２の例において、介在構成要素Ｃがデバイスとデバイスとの間の機能的関係を変更しない場合に、デバイスＡは介在構成要素Ｃを介してデバイスＢに結合され、従って、デバイスＢはデバイスＡによって生成された制御信号を介してデバイスＡによって制御される。

【００４６】

「に基づく」という記載は、「少なくとも部分的に基づく」という意味である。従って、ＸがＹに基づく場合、Ｘは、Ｙ及び任意の数の他の要因の関数であり得る。

【００４７】

本発明の特許請求の範囲内で、説明した実施例に改変が成され得、他の実施例が可能である。

【図面】

【図１】

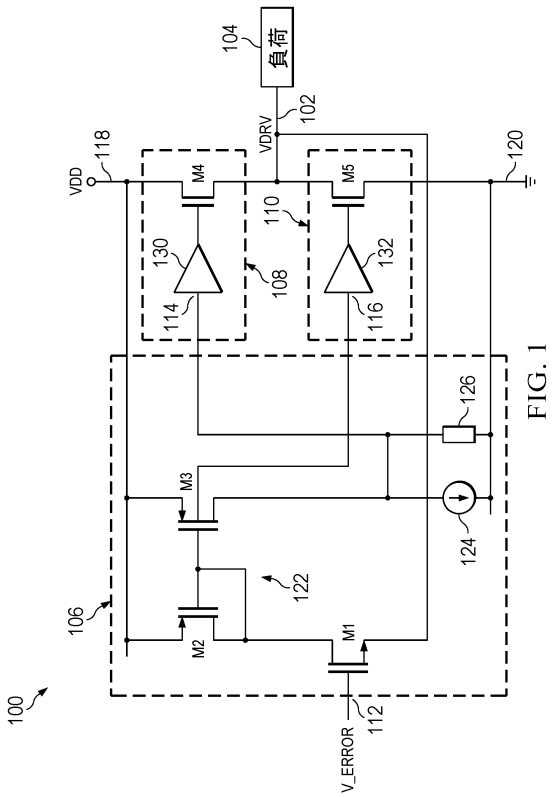


FIG. 1

【図２】

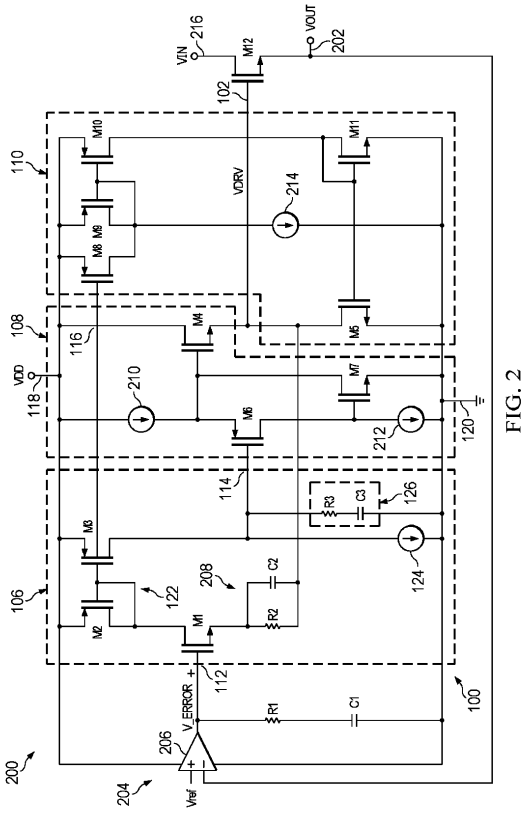


FIG. 2

【図３】

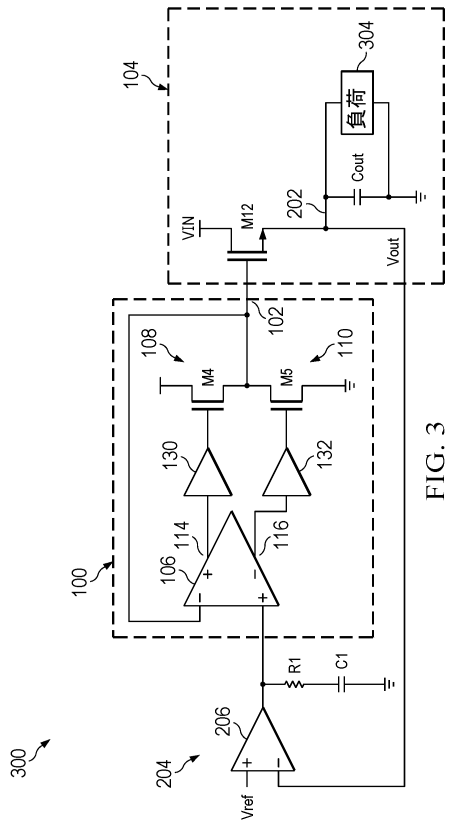


FIG. 3

【図４】

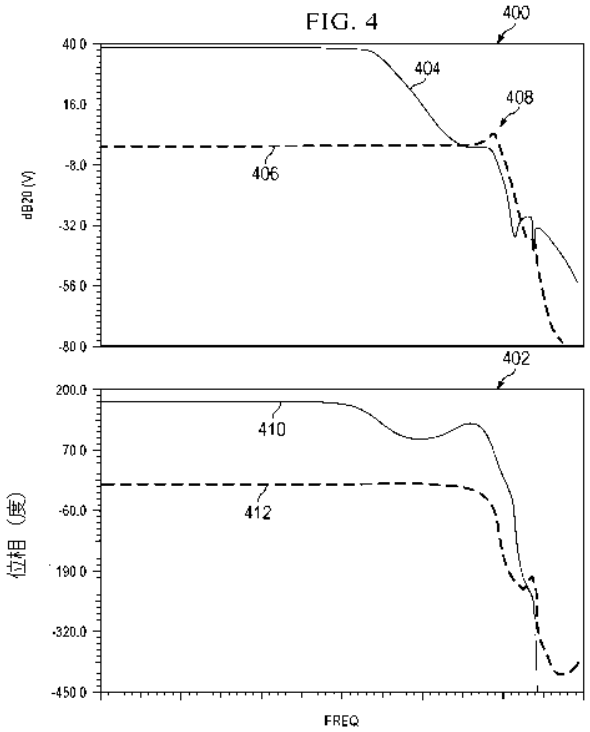


FIG. 4

【図５】

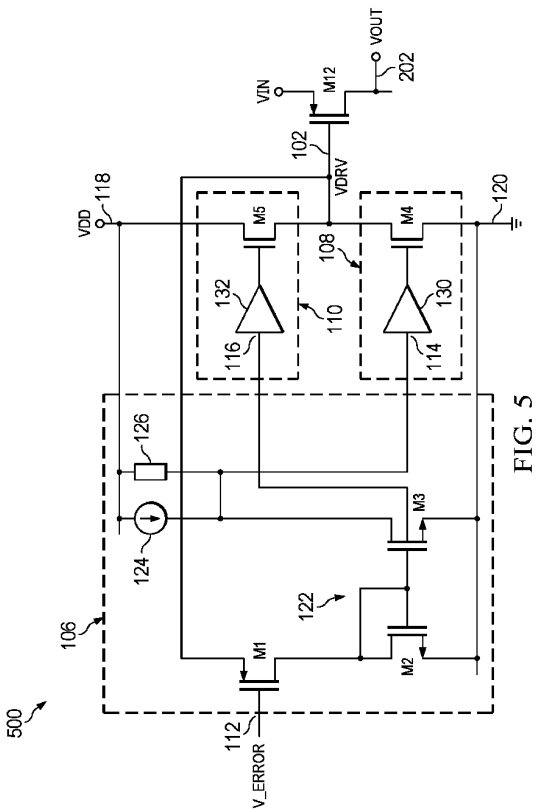


FIG. 5

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2022/046971

A. CLASSIFICATION OF SUBJECT MATTER
INV. H03F3/45 H03F3/30 G05F1/59 G05F1/56
ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H03F G05F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	KR 2020 0012434 A (SILICON MITUS INC [KR] ET AL.) 5 February 2020 (2020-02-05) paragraph [0045] - paragraph [0057]; figure 4	1-23
X	US 2020/275041 A1 (HIGUCHI MASAHIRO [JP]) 27 August 2020 (2020-08-27) paragraph [0028] - paragraph [0044]; figures 1, 2	1-23

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance;; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance;; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
4 February 2023	14/02/2023

Name and mailing address of the ISA/	Authorized officer
European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Wienema, David

Form PCT/ISA/210 (second sheet) (April 2005)

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No
PCT/US2022/046971

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
KR 20200012434 A	05-02-2020	NONE	
US 2020275041 A1	27-08-2020	CN 111434106 A	17-07-2020
		JP WO2019107084 A1	26-11-2020
		US 2020275041 A1	27-08-2020
		WO 2019107084 A1	06-06-2019

Form PCT/ISA/210 (patent family annex) (April 2005)

フロントページの続き

,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CV,CV,CZ,DE,DJ,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IQ,IR,IS,IT,JM,JO,JP,KE,KG,KH,KN,KP,KR,KW,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,WS,ZA,ZM,ZW

４，イー ウイリアムズ ブールバード ５４００

Ｆターム（参考） 5H430 BB01 BB09 BB11 EE06 FF13 HH03
5H740 BA12 BB07 BC01 BC02 JA01 JB01 KK01
5J055 AX02 AX08 AX25 AX55 AX56 CX07 DX13 DX22 DX54 DX56
EX07 EY21 EZ03 EZ04 EZ09 EZ10 EZ14 FX05 FX20 FX38 GX01
GX06