

12

DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 06.05.92.

30 Priorité : 10.05.91 JP 10587891.

43 Date de la mise à disposition du public de la demande : 13.11.92 Bulletin 92/46.

56 Liste des documents cités dans le rapport de recherche : *Le rapport de recherche n'a pas été établi à la date de publication de la demande.*

60 Références à d'autres documents nationaux apparentés :

71 Demandeur(s) : MITSUBISHI DENKI KABUSHIKI
KAISHA — JP.

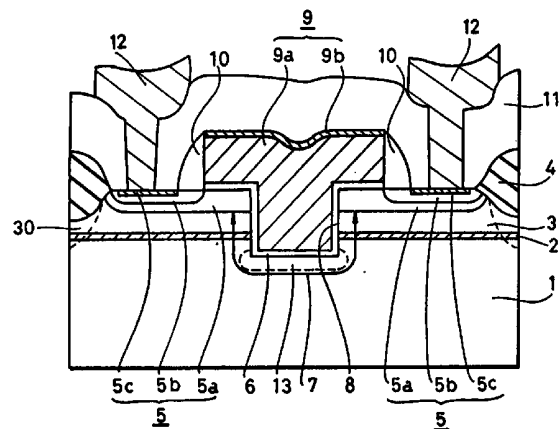
72 Inventeur(s) : Kusunoki Shigeru.

73 Titulaire(s) :

74 Mandataire : Cabinet Plasseraud.

54 Transistor à effet de champ utilisant un effet tunnel résonnant et procédé de fabrication.

57 Dans un procédé de fabrication d'un transistor à effet de champ, on forme deux couches en silicium amorphe (2) de façon à empêcher le déplacement de porteurs majoritaires dans une région de canal (7) à la surface d'un substrat en silicium monocristallin (1). Chaque couche en silicium amorphe est placée entre des couches en silicium monocristallin. On forme une électrode de grille sur la surface de région de canal, avec interposition d'une couche d'isolation de grille (6). Au moins deux couches en silicium amorphe forment des barrières de potentiel minces et un puits de potentiel dans la région de canal. On peut ainsi réaliser un transistor à effet de champ utilisant l'effet tunnel résonnant avec une efficacité élevée.



TRANSISTOR A EFFET DE CHAMP UTILISANT UN EFFET
TUNNEL RESONNANT ET PROCEDE DE FABRICATION

La présente invention concerne une structure de transistor à effet de champ utilisant un effet quantique
5 qui est un effet tunnel résonnant employant une hétérojonction, ainsi qu'un procédé de fabrication de ce transistor.

L'amélioration de la précision de traitement à laquelle on est parvenu récemment dans le domaine des dispositifs à semiconducteurs, a conduit à développer
10 l'étude d'éléments utilisant un effet quantique. Parmi ces éléments, on a développé en particulier un transistor à effet de champ utilisant un effet tunnel résonnant. On décrira ci-après trois exemples d'un transistor à effet de champ classique utilisant l'effet tunnel résonnant.

15 La figure 28 est une coupe montrant une structure de transistor à effet de champ conforme à un premier exemple classique. Le transistor à effet de champ qui est représenté est décrit par exemple dans l'article : "Lateral resonant tunneling in a double-barrier field-effect transistor" K. Ismail et al., Applied Physics Letters, Vol. 55,
20 n° 6, 7, août 1989, et Applied Physics Letters Vol. 55, n° 2, page 176, 1989. Comme le montre la figure 28, un transistor à effet de champ 40 comporte une couche en GaAs 47, une couche de super-réseau 42 et une couche en AlGaAs 43 (Al désigne l'aluminium), formées en succession sur la
25 surface d'un substrat en GaAs semi-isolant 41.

La couche de super-réseau 42 est formée en faisant

croître de façon répétée la couche en AlGaAs et la couche en GaAs. La couche en AlGaAs 43 est dopée avec du silicium et elle a une épaisseur de 45 nm. Des couches en GaAs 44, 44, dopées avec du silicium et ayant une épaisseur de 50 nm, 5 sont formées des deux côtés de la surface de la couche en AlGaAs. Des régions de source/drain 46, 46 sont également formées des deux côtés de ces couches. Deux électrodes de grille 45, 45, consistant en Ti/Au sont disposées sur la surface de la couche en AlGaAs.

10 On va maintenant décrire le fonctionnement, utilisant l'effet tunnel résonnant, du transistor à effet de champ 40 qui est représenté sur la figure 28. La figure 29 est une représentation graphique qui illustre le potentiel d'une bande de conduction le long d'un chemin d'électrons 15 dans le cas où aucune tension n'est appliquée entre les électrodes de source/drain 46, 46. Si deux électrodes de grille 45, 45 sont disposées à faible distance l'une de l'autre, et si une tension de grille prédéterminée leur est appliquée, il se forme deux barrières de potentiel correspondant aux électrodes de grille, et un puits de potentiel 20 dans la région comprise entre les barrières de potentiel. Un ensemble de niveaux d'énergie discrets sont générés à certains niveaux à l'intérieur du puits de potentiel. Si un potentiel prédéterminé est appliqué entre les électrodes de 25 source/drain, seuls des électrons dont les niveaux d'énergie sont égaux aux niveaux d'énergie qui existent dans le puits de potentiel traversent les barrières de potentiel par un effet tunnel. Un tel phénomène constitue ce que l'on appelle un effet tunnel résonnant. La figure 30 est une 30 représentation graphique montrant une caractéristique tension-courant du transistor à effet de champ 40 qui est représenté sur la figure 28. Sur la figure 30, la tension de grille V_{gs} est portée en abscisse, et le courant de source/drain I_{DS} est porté en ordonnée. La tension V_{DS} 35 entre les électrodes de source/drain est égale à 0,2 mV, et

la température dans l'état de fonctionnement est de 4,2 K. Comme le montre la figure 30, le courant de source/drain I_{DS} a une caractéristique de résistance négative dans laquelle il existe des régions pour lesquelles le courant de source/drain I_{DS} augmente lorsque la tension de grille augmente, et des régions pour lesquelles le courant de source/drain I_{DS} diminue lorsque la tension de grille augmente, ces régions apparaissant en alternance et périodiquement. Un courant tunnel qui est occasionné par l'effet tunnel résonnant correspondant aux niveaux d'énergie discrets dans le puits de potentiel est généré dans trois régions de pic qui sont représentées sur la figure 30. L'effet tunnel résonnant est influencé par la largeur des barrières de potentiel et par l'espace entre les barrières de potentiel adjacentes. Si la largeur des barrières de potentiel est trop grande, la probabilité que l'effet tunnel se produise est réduite. Si l'espace entre les barrières de potentiel est trop grand, la différence entre les niveaux d'énergie qui sont formés dans le puits de potentiel devient faible, et l'apparition d'une région à résistance négative devient difficile. Pour cette raison, la largeur de l'électrode de grille 45 et la distance entre les deux électrodes de grille 45, 45 sont importantes dans le transistor à effet de champ 40 qui est représenté sur la figure 28.

On va maintenant décrire un processus de fabrication du transistor à effet de champ 40 qui est représenté sur la figure 28. Les figures 31 à 36 sont des coupes qui illustrent séquentiellement des structures du transistor à effet de champ 40 au cours d'étapes de fabrication respectives (première à sixième étapes).

Premièrement, comme représenté sur la figure 31, on forme une couche en GaAs 47 ayant une épaisseur de 40 nm, sur la surface d'un substrat en GaAs semi-isolant 41. Ensuite, comme le montre la figure 32, on forme une couche

de super-réseau 42 sur la surface de la couche en GaAs 47. On forme la couche de super-réseau 42 en faisant croître alternativement, en huit phases successives, une couche en $\text{Al}_{0,35}\text{Ga}_{0,65}\text{As}$ ayant une épaisseur de 6 nm et une couche en GaAs ayant une épaisseur de 5 nm, en utilisant une opération d'épitaxie par jets moléculaires. Ensuite, comme représenté sur la figure 33, on forme une couche en GaAs et une couche en AlGaAs 44 sur la surface de la couche de super-réseau 42. Ensuite, comme le montre la figure 34, on grave la couche en AlGaAs 44 et la couche en GaAs 43, pour former une région de cavité 48. Ensuite, comme représenté sur la figure 35, on forme deux électrodes de grille 45, 45 en Ti/Au dans la région de cavité 48. Ensuite, comme le montre la figure 36, on forme des électrodes de source/drain 46, 46, et le transistor à effet de champ 40 qui est représenté sur la figure 28 est terminé.

On va maintenant décrire un transistor à effet de champ 50 conforme à un second exemple classique. La figure 37 est une coupe qui représente la structure d'un transistor à effet de champ 50 ayant un certain nombre d'électrodes de grille se présentant sous la forme d'un réseau, et on trouve la description d'un tel transistor à effet de champ dans le document "Surface-superlattice effects in a grating-gate GaAs/GaAsAlAs modulation doped field-effect transistor" K. Ismail et al. Applied Physics Letter Vol.52, n° 13, 28 mars 1988. En se référant à la figure 37, on note que le transistor à effet de champ 50 comporte une couche en GaAs intrinsèque 52, une couche en AlGaAs intrinsèque 53, et une couche en AlGaAs de type n, 54, qui sont formées en succession sur la surface d'un substrat en silicium 51. Des couches en GaAs de type n, 55, 55, sont formées à titre de régions de source/drain. Un ensemble d'électrodes de grille 56, ayant chacune une largeur de 0,1 μm , sont disposées en alignement avec un pas de 0,2 μm . Le fait d'établir un tel ensemble d'électrodes de grille en forme de réseau

56 forme périodiquement des puits de potentiel dans le substrat. Le transistor à effet de champ 50 dont la caractéristique tension-courant présente une résistance négative est réalisé en utilisant l'effet tunnel résonnant comme 5 décrit dans le premier exemple donné ci-dessus.

On va maintenant décrire un transistor à effet de champ conforme à un troisième exemple classique. La figure 38 est une coupe montrant la structure d'un transistor à effet de champ 60, et cette structure est décrite par 10 exemple dans le document Applied Surface Science 41/42 Furukawa, 1989, pages 627-632. Comme représenté sur la figure 38, le transistor à effet de champ 60 comprend un substrat en silicium 61 dans lequel est formée une paire de régions de source/drain 66, 66. Un ensemble d'électrodes de 15 grille en forme de réseau 63 sont formées sur la surface du substrat en silicium 61, avec interposition d'une couche isolante de grille 62. Une électrode de grille supérieure 65 est formée sur la surface des électrodes de grille en forme de réseau 63, avec interposition d'une couche iso- 20 lante 64. Le substrat en silicium 61 est utilisé dans le transistor à effet de champ 60 du troisième exemple, et des puits de potentiel sont formés périodiquement dans une région de canal entre les régions de source/drain 66, 66, sous l'action de la tension des électrodes de grille en 25 forme de réseau 63. L'électrode supérieure 65 est incorporée pour commander la densité d'électrons dans les puits de potentiel.

On va maintenant décrire un procédé de fabrication du transistor à effet de champ 60 qui est représenté 30 sur la figure 38. Les figures 39 à 41 sont des coupes qui montrent séquentiellement des structures du transistor à effet de champ 60 au cours d'étapes de fabrication respectives (première à troisième étapes d'un processus de fabrication). En se référant à la figure 39, on note qu'une 35 couche isolante de grille 62 et une couche conductrice 63a

pour une électrode de grille sont formées avec une forme prédéterminée sur la surface d'un substrat en silicium de type p 61. Ensuite, des ions d'impureté 67 sont implantés dans le substrat en silicium 61 en utilisant à titre de
5 masque une couche conductrice 63a pour l'électrode de grille, pour former les régions de source/drain 66, 66. Ensuite, comme le montre la figure 40, on définit un motif dans la couche conductrice 63a pour l'électrode de grille, de façon à former un ensemble d'électrodes de grille en
10 forme de réseau 63. Ensuite, comme le montre la figure 41, on recouvre la surface du substrat en silicium 61 avec une couche d'isolation inter-couche 64 et une couche d'électrode supérieure 65, et on forme ensuite des ouvertures qui atteignent les régions de source/drain 66, 66.

15 Les trois transistors à effet de champ classiques envisagés ci-dessus sont tous d'un type dans lequel on forme des puits de potentiel en utilisant un ensemble d'électrodes de grille qui sont proches les unes des autres.

20 Un transistor à effet de champ utilisant un semi-conducteur composé, comme dans les cas du premier exemple ou du second exemple classiques, exige des appareils ou des matériaux de fabrication coûteux, en comparaison avec le transistor à effet de champ du troisième exemple qui utili-
25 se un substrat en silicium, et ceci n'est pas favorable du point de vue du coût. Bien qu'il soit nécessaire de traiter une électrode de grille de façon qu'elle ait une faible largeur, et de former un ensemble d'électrodes de grille disposées avec un faible pas, en particulier dans une
30 structure dans laquelle des puits de potentiel sont formés par les électrodes de grille, comme dans le cas du transistor à effet de champ du second ou du troisième exemple, un tel traitement fin soulève des difficultés de fabrication. Si on forme des barrières de potentiel en formant un ensem-
35 ble d'électrodes de grille proches les unes des autres, la

largeur des barrières est étendue dans la direction du canal, et il est difficile de former un puits de potentiel abrupt. Par conséquent, il existe également un problème qui consiste en ce que l'efficacité de l'effet tunnel est
5 faible, et le courant qui circule à cause de l'effet résonnant quantique est plus faible que le courant qui circule en sautant par dessus les barrières de potentiels, par excitation thermique.

Un but de l'invention est de procurer un élément
10 à effet de champ ayant un effet tunnel résonnant élevé.

Un autre but de l'invention est de procurer un élément à effet de champ utilisant un effet tunnel résonnant, dont le processus de fabrication puisse être mis en oeuvre aisément.

15 Un autre but encore de l'invention est de procurer un procédé de fabrication d'un transistor à effet de champ ayant un effet tunnel résonnant élevé.

Un transistor à effet de champ conforme à l'invention comprend un substrat ayant une surface principale,
20 une paire de couches conductrices de source/drain formées sur la surface du substrat, en étant mutuellement espacées d'une distance prédéterminée, une couche isolante formée sur la surface principale du substrat, une électrode de grille formée sur la surface de la couche isolante, et une
25 région de canal formée dans le substrat, le long de la surface du substrat, dans la paire de régions de source/drain. Des première et seconde couches de semiconducteur, constituées par un matériau ayant une bande interdite supérieure à celle du silicium, sont disposées dans la région
30 de canal entre des couches de silicium, en étant espacées d'une distance prédéterminée dans la direction du mouvement des porteurs majoritaires.

Un procédé de fabrication d'un transistor à effet de champ conforme à un autre aspect de l'invention comprend
35 les étapes suivantes. Premièrement, on forme une couche

amorphe sur une surface principale d'un premier substrat en silicium. Ensuite, on place un second substrat en silicium en contact avec la couche amorphe. Ensuite, on applique un traitement thermique aux premier et second substrats en
5 silicium, en contact mutuel, pour provoquer une croissance en phase solide de la couche amorphe, et pour la transformer en un monocristal, de façon à réduire l'épaisseur de la couche amorphe. On attaque le second substrat en silicium pour laisser une couche de silicium monocristallin ayant
10 une épaisseur prédéterminée, sur la surface de la couche amorphe. On introduit ensuite des impuretés dans une région prédéterminée de la surface de la couche de silicium monocristallin, pour former une région d'impuretés. On forme une tranchée s'étendant à partir de la surface de la couche
15 de silicium monocristallin, à l'intérieur du premier substrat en silicium, pour séparer électriquement la région d'impuretés se trouvant de part et d'autre de la tranchée. Ensuite, on forme une couche isolante à l'intérieur de la tranchée et sur la surface de la région d'impuretés. On
20 forme une couche conductrice sur la surface de la couche isolante et on définit un motif dans cette couche pour former une électrode de grille.

Un procédé de fabrication d'un élément à effet de champ conforme à encore un autre aspect de l'invention
25 comprend les étapes suivantes. Premièrement, on forme une couche amorphe sur une surface principale d'un premier substrat en silicium. Ensuite, on forme sur la surface de la couche amorphe, sur le premier substrat en silicium, un second substrat en silicium recouvert par une pellicule
30 d'oxyde ayant une ouverture destinée à mettre à nu la surface du silicium monocristallin, pour amener en contact mutuel la surface de la couche amorphe sur le premier substrat en silicium et la surface du silicium monocristallin du second substrat en silicium. On applique un traite-
35 ment thermique aux premier et second substrats en silicium

en contact mutuel, pour provoquer une croissance en phase solide de la couche amorphe, pour la transformer en un monocristal, de façon à former une couche amorphe ayant une épaisseur réduite et s'étendant à partir de la surface du silicium du premier substrat en silicium, dans la direction de la profondeur du substrat. Ensuite, on enlève le second substrat en silicium pour mettre à nu la surface de la couche de silicium qui a été transformé en un monocristal, et la surface de la couche amorphe ayant une épaisseur réduite. On forme ensuite une couche isolante sur les surfaces à nu de la couche de silicium et de la couche amorphe. On forme une couche conductrice sur la surface de la couche isolante et on définit un motif dans cette couche pour former une électrode de grille.

Un procédé de fabrication d'un élément à effet de champ conforme à un aspect supplémentaire de l'invention comprend les étapes suivantes. Premièrement, on forme une couche amorphe dans une partie d'une région qui est destinée à être une région de canal, sur une surface principale d'un premier substrat en silicium. Ensuite, on forme un second substrat en silicium sur la surface principale du premier substrat en silicium, et on amène en contact mutuel la surface du second substrat en silicium et la surface de la couche amorphe. On applique un traitement thermique aux premier et second substrats en silicium en contact mutuel, pour provoquer une croissance en phase solide de la couche amorphe, pour la transformer en un monocristal, afin de former une couche amorphe ayant une épaisseur réduite et s'étendant à partir de la surface principale du premier substrat en silicium, dans la direction de la profondeur du substrat. Ensuite, on enlève le second substrat en silicium pour mettre à nu la surface de la couche de silicium qui a été transformée en un monocristal, la surface de la couche amorphe ayant une épaisseur réduite, et la surface du premier substrat en silicium. On forme une couche isolante

sur la surface à nu de la couche en silicium, la surface de la couche amorphe et la surface du premier substrat en silicium. Ensuite, on forme une couche conductrice sur la surface de la couche isolante et on définit un motif dans
5 cette couche conductrice pour former une couche d'électrode de grille.

D'autres caractéristiques et avantages de l'invention seront mieux compris à la lecture de la description qui va suivre de modes de réalisation, donnés à titre
10 d'exemples non limitatifs. La suite de la description se réfère aux dessins annexés dans lesquels :

La figure 1 est une coupe selon la ligne X-X de la figure 2, qui montre la structure d'un transistor à effet de champ conforme à un premier mode de réalisation de
15 l'invention.

La figure 2 est une vue en plan qui montre la structure du transistor à effet de champ conforme au premier mode de réalisation de l'invention.

La figure 3 est un diagramme de bandes du transistor à effet de champ qui est représenté sur la figure 1.
20

Les figures 4-12 sont des coupes qui illustrent séquentiellement des étapes respectives d'un processus de fabrication du transistor à effet de champ qui est représenté sur la figure 1.

25 La figure 13 est une coupe qui représente la structure d'un transistor à effet de champ conforme à un second mode de réalisation de l'invention.

La figure 14 est une coupe qui représente la structure d'un transistor à effet de champ conforme à un
30 troisième mode de réalisation de l'invention.

La figure 15 est un diagramme de bandes du transistor à effet de champ qui est représenté sur la figure
14.

Les figures 16 à 21 sont des coupes qui illustrent séquentiellement des étapes respectives d'un proces-
35

sus de fabrication du transistor à effet de champ qui est représenté sur la figure 14.

Les figures 22-24 sont des coupes qui illustrent séquentiellement des étapes respectives d'un exemple d'une
5 variante du processus de fabrication du transistor à effet de champ qui est représenté sur la figure 14.

Les figures 25 et 26 sont des coupes qui illustrent séquentiellement des étapes respectives d'un autre exemple d'une variante du processus de fabrication du tran-
10 sistor à effet de champ qui est représenté sur la figure 14.

La figure 27 est une coupe qui représente la structure d'un transistor à effet de champ conforme à un quatrième mode de réalisation de l'invention.

15 La figure 28 est une coupe qui représente la structure d'un premier exemple d'un transistor à effet de champ classique.

La figure 29 est un diagramme qui illustre le potentiel d'une bande de conduction du transistor à effet
20 de champ qui est représenté sur la figure 28.

La figure 30 est une représentation graphique montrant la caractéristique courant-tension du transistor à effet de champ qui est représenté sur la figure 28.

Les figures 31-36 sont des coupes qui illustrent
25 séquentiellement des étapes respectives d'un processus de fabrication du transistor à effet de champ qui est représenté sur la figure 28.

La figure 37 est une coupe qui représente la structure d'un transistor à effet de champ conforme à un
30 second exemple classique.

La figure 38 est une coupe qui représente la structure d'un transistor à effet de champ conforme à un troisième exemple classique.

Les figures 39-41 sont des coupes qui illustrent
35 séquentiellement des étapes respectives d'un processus de

fabrication du transistor à effet de champ qui est représenté sur la figure 38.

On décrira tout d'abord un premier mode de réalisation de l'invention. En se référant aux figures 1 et 2, 5 on note qu'un substrat d'un transistor à effet de champ présente une structure multicouche comprenant un premier substrat en silicium monocristallin 1, une couche en silicium amorphe 2 et un second substrat en silicium monocristallin 3. Le premier substrat en silicium monocristallin 1 10 est un substrat de type p ayant une orientation cristalline $\langle 001 \rangle$. Le second substrat en silicium monocristallin 3 est un substrat de type p ayant une orientation cristalline $\langle 111 \rangle$. La couche en silicium amorphe 2 qui se trouve entre les premier et second substrats en silicium monocristallins 15 1 et 3 est formée de façon à avoir une épaisseur dans la plage de quelques dizaines d'angströms jusqu'à 100 Å. Le second substrat en silicium monocristallin 3 est formé de façon à avoir une épaisseur d'environ 0,2 µm. Une paire de régions de source/drain 5, 5 sont formées sur la surface du 20 second substrat en silicium monocristallin 3, et elles sont entourées par une pellicule d'oxyde de champ 4. Une région d'arrêt de canal 30 qui est destinée à empêcher le phénomène d'inversion est formée au-dessous de la pellicule d'oxyde de champ 4. La région de source/drain 5 est constituée par une première région d'impureté de type n 5a et par 25 une seconde région d'impureté 5b. Une couche de siliciure de métal 5c est formée sur la surface de la seconde région d'impureté 5b.

Une tranchée 8 qui s'étend à travers le second 30 substrat en silicium monocristal 3, la couche en silicium amorphe 2 et le premier substrat en silicium monocristallin 1, est formée dans la partie centrale du substrat. La tranchée 8 est formée de façon à avoir une profondeur d'environ 0,3 µm et une largeur d'environ 0,1 µm. Une pellicule 35 isolante de grille 6 ayant une épaisseur d'environ 0,01 µm

est formée sur la surface intérieure de la tranchée 8 et sur la surface du second substrat en silicium monocristallin 3. Une électrode de grille 9, comprenant une couche de silicium polycristallin 9a et une couche de siliciure de métal 9b, est formée sur la surface de la pellicule isolante de grille 6. Des pellicules isolantes de parois latérales 10, 10 sont formées sur les parois latérales de l'électrode de grille 9. La surface du substrat est recouverte par une couche d'isolation inter-couche 11, et des couches d'interconnexion 12 sont connectées aux surfaces des régions de source/drain 5, 5, à travers des ouvertures qui sont formées dans la couche d'isolation inter-couche 11.

Comme l'indiquent des flèches sur le dessin, une région de canal 7 est formée dans une région située le long de la surface intérieure de la tranchée 8, qui s'étend à partir d'une région de source/drain 5 jusqu'à l'autre région de source/drain 5. Une région 13 dans laquelle on a implanté du bore est formée dans la partie inférieure de la tranchée 8, pour que le transistor soit un transistor à enrichissement. La structure du transistor à effet de champ est caractérisée par la disposition séquentielle, le long des flèches de la région de canal 7, du second substrat en silicium monocristallin 3, de la couche en silicium amorphe 2, du premier substrat en silicium monocristallin 1, de la couche en silicium amorphe 2 et du second substrat en silicium monocristallin 3.

En se référant à la figure 3, on note que la bande d'énergie interdite E_{g1} du silicium monocristallin est d'environ 1,1 eV, et que la bande interdite E_{g2} du silicium amorphe est d'environ 1,8 eV, ce qui fait que des barrières de potentiel PB d'environ 0,3 eV à environ 0,4 eV sont créées dans la bande de conduction. Par conséquent, normalement, seuls des électrons ayant une énergie supérieure aux barrières de potentiel PB peuvent sauter par

dessus les barrières de potentiel PB. Cependant, un transistor à effet de champ conforme à l'invention utilise un phénomène selon lequel un électron traverse une barrière par l'effet tunnel résonnant. Plus précisément, si on donne
5 une valeur faible à la distance L_2 entre les barrières de potentiel PB, PB qui sont formées par les deux couches de silicium amorphe 2, 2, les niveaux d'énergie dans la région comprise entre les deux barrières sont quantifiés pour former un puits quantique. Si on réduit l'épaisseur de la
10 couche en silicium amorphe 2, la largeur L_1 des barrières de potentiel PB est réduite, et la probabilité que des électrons se trouvant dans la partie extérieure, entre les barrières, traversent les barrières par l'effet tunnel est augmentée. Seuls des électrons ayant une énergie égale aux
15 niveaux d'énergie dans le puits quantique entre les deux barrières de potentiel PB, PB traversent la barrière de potentiel PB par l'effet tunnel. Conformément à la relation entre la tension entre la source et le drain, et la tension de grille, la proportion de tels électrons qui traversent
20 la barrière de potentiel par l'effet tunnel résonnant dépend des niveaux d'énergie discrets dans le puits quantique. On obtient un transistor à effet de champ qui présente une résistance négative dans la caractéristique courant/tension entre la source et le drain. La caractéristique
25 courant/tension du transistor à effet de champ qui est représenté sur la figure 1 est similaire à la caractéristique ayant des régions à résistance négative qui est représentée sur la figure 30. Le transistor à effet de champ ayant de telles régions de pics périodiques du courant de
30 source/drain peut par exemple être utilisé à titre d'élément de mémoire à valeurs multiples.

On va maintenant décrire un procédé de fabrication du transistor à effet de champ qui est représenté sur la figure 1. Premièrement, comme le montre la figure 4, on
35 forme une couche amorphe 2 sur la surface d'un premier

substrat en silicium monocristallin 1, qui est un substrat de type p ayant une orientation $\langle 001 \rangle$. Le premier substrat en silicium 1 a une épaisseur d'environ 500 μm et une résistivité de 20 Ω . cm. On peut former la couche en

5 silicium amorphe 2 par deux procédés. Un premier procédé est un procédé dans lequel on implante des ions d'atomes quadrivalents, tels que du germanium (Ge) et du silicium (Si), dans la surface du premier substrat, pour rendre amorphe la surface du substrat en silicium. A titre d'exem-

10 ple, lorsqu'on forme une couche en silicium amorphe 2a ayant une épaisseur de 0,1 μm , on accomplit l'implantation ionique avec une énergie d'implantation de 160 keV et une dose de $1 \times 10^{14}/\text{cm}^2$ ou plus dans le cas d'ions Ge, tandis qu'on utilise une énergie d'implantation de 80 keV et une

15 dose de $1 \times 10^{15}/\text{cm}^2$ ou plus dans le cas d'ions Si. Un second procédé est un procédé dans lequel on dépose directement une couche en silicium amorphe 2a sur la surface du substrat en silicium 1 par un procédé de dépôt chimique en phase vapeur (ou CVD) à basse température, ou un procédé de

20 décharge lumineuse.

Ensuite, comme le montre la figure 5, on prépare un second substrat en silicium monocristallin 3. Le second substrat en silicium 3 est un substrat de type p ayant une orientation cristalline $\langle 111 \rangle$, une épaisseur d'environ

25 500 μm et une résistivité d'environ 20 Ω .cm. On implante des ions de bore dans une position prédéterminée dans le second substrat en silicium 3, par exemple dans une position située à une profondeur d'environ 0,1 μm de la surface accolée à la couche de silicium amorphe 2, pour former une

30 couche d'arrêt d'attaque 16. On place le second substrat en silicium monocristallin 3 en contact avec la surface de la couche en silicium amorphe 2a du premier substrat en silicium monocristallin 1.

Ensuite, comme le montre la figure 6, on accom-

35 plit un traitement de recuit à une température dans la

plage de 800°C à 1000°C pendant environ une heure, en maintenant le contact entre les substrats en silicium 1 et 3. Le traitement de recuit provoque une croissance en phase solide de la couche en silicium amorphe 2a qui commence à partir de la surface du premier substrat en silicium monocristallin 1 et à partir de la surface du second substrat en silicium monocristallin 3, et cette opération a pour effet de joindre l'un à l'autre les deux substrats en silicium 1, 3. Une couche mince et thermiquement stable, 2, en silicium amorphe, est formée dans une région dans laquelle la croissance en phase solide qui est générée à partir de la surface du substrat en silicium 1 et la croissance en phase solide qui est générée à partir de la surface du substrat en silicium 3 se rencontrent. La couche en silicium amorphe 2 est formée de façon à avoir une épaisseur dans la plage allant par exemple de quelques dizaines d'angströms à 100 Å. Un tel procédé de jonction de substrats en silicium constitue ce que l'on appelle un procédé de jonction directe de tranches et il est décrit par exemple dans le document Applied Surface Science 41/42 Furukawa, 1989, pages 627-632.

Ensuite, comme le montre la figure 7, on immerge le second substrat en silicium monocristallin 3 dans une solution aqueuse d'éthylènediamine et de pyrocatechol, pour enlever le matériau du substrat jusqu'à la surface de la couche d'arrêt d'attaque 16. La couche d'arrêt d'attaque 16 ayant une concentration élevée de bore, de $1 \times 10^{18}/\text{cm}^3$, ou plus, présente une sélectivité élevée, ce qui fait qu'elle remplit la fonction d'une couche d'arrêt d'attaque dans l'opération d'attaque. On enlève ensuite la couche d'arrêt d'attaque 16 par attaque ionique réactive. Dans ces conditions, la couche en silicium monocristallin 3 qui reste sur la surface de la couche en silicium amorphe 2 a une épaisseur d'environ 0,1 µm.

Ensuite, comme le montre la figure 8, on forme

des pellicules d'oxyde de champ 4 pour l'isolation d'éléments dans des régions prédéterminées de la surface de la seconde couche en silicium monocristallin 3, par un procédé d'oxydation locale. Au-dessous des pellicules d'oxyde de champ, on forme des couches d'arrêt de canal 30 qui sont destinées à empêcher l'inversion.

Ensuite, comme le montre la figure 9, on plante des ions d'arsenic 17 dans la surface de la seconde couche en silicium monocristallin 3, avec une énergie d'implantation de 30 keV et une dose dans la plage de $10^{13}/\text{cm}^2$ à $10^{15}/\text{cm}^2$, pour former une région d'impureté de type n, 5a.

Ensuite, comme le montre la figure 10, on forme par gravure une tranchée 8 qui s'étend à partir de la surface de la seconde couche en silicium monocristallin 3 vers la première couche en silicium monocristallin 1. On forme la tranchée 8 de façon qu'elle ait une largeur d'ouverture de $0,05 \mu\text{m} - 0,1 \mu\text{m}$ et une profondeur de $0,12 \mu\text{m}$. On plante des ions de bore 18 dans la partie inférieure de la tranchée 8, avec une énergie d'implantation de 30 keV et une dose de $2 \times 10^{12}/\text{cm}^2$, pour former une région implantée avec du bore, 13. On forme ensuite une pellicule d'isolation de grille 6, ayant une épaisseur de 70 \AA , sur la surface intérieure de la tranchée 8 et sur la surface de la région d'impureté 5a, par un procédé de dépôt chimique en phase vapeur ou un procédé d'oxydation thermique.

Ensuite, comme le montre la figure 11, on dépose sur la totalité de la surface du substrat une couche de silicium polycristallin dopée avec du phosphore, et on définit un motif dans cette couche en utilisant un traitement de lithographie et un traitement de gravure. On forme ainsi une couche en silicium polycristallin 9a d'une électrode de grille. Ensuite, on plante des ions d'arsenic 19 dans la surface de la région d'impureté 5a en utilisant à titre de masque la couche en silicium polycristallin 9a,

avec une énergie d'implantation de 30 keV et une dose de $1 \times 10^{15}/\text{cm}^2$, et on accomplit ensuite un traitement de recuit à une température de 700°C pendant 60 minutes. On forme ainsi une seconde région d'impureté 5b ayant une concentration élevée. On forme la seconde région d'impureté dans le but de diminuer la résistance des régions de source/drain.

Ensuite, comme le montre la figure 12, on forme à basse température une pellicule isolante sur la totalité de la surface du substrat, et on enlève ensuite cette pellicule par attaque anisotrope. Cette opération forme sur les parois latérales de la couche de silicium polycristallin 9a de l'électrode de grille des pellicules isolantes de paroi latérale 10, 10. On dépose ensuite sur la totalité de la surface une couche de titane ayant une épaisseur de 300 Å, et on accomplit un traitement de recuit à une température de 600°C dans une atmosphère d'azote. Des couches de siliciure de titane 5c, 9b se forment sur les surfaces des secondes régions d'impureté 5b des régions de source/drain et sur la surface de la couche en silicium polycristallin 9a de l'électrode de grille. On enlève ensuite sélectivement, en utilisant de l'acide sulfurique ou autre, la couche de titane n'ayant pas réagi qui est formée sur les couches isolantes de paroi latérale 10, 10 ou autres.

Ensuite, on forme une couche d'isolation intercouche, on ouvre un trou de contact et on définit un motif dans une couche d'interconnexion en aluminium, pour achever la fabrication du transistor à effet de champ qui est représenté sur la figure 1.

On va maintenant décrire la structure d'un transistor à effet de champ conforme à un second mode de réalisation de la présente invention. La figure 13 est une coupe qui représente la structure d'un transistor à effet de champ conforme à un second mode de réalisation. Le second mode de réalisation diffère du premier mode de réalisation

par le fait que la couche en silicium amorphe qui est formée dans la région de canal est constituée par quatre couches. Par conséquent, quatre barrières de potentiel adjacentes correspondant à des couches de silicium amorphe 5 2a, 2b sont formées dans la région de canal. On peut réaliser une telle structure en accomplissant de façon répétée les étapes qui vont de l'étape représentée sur la figure 4 à l'étape représentée sur la figure 7 dans le processus de fabrication du premier mode de réalisation.

10 On décrira ensuite un troisième mode de réalisation de la présente invention. La figure 14 est une coupe qui représente la structure d'un transistor à effet de champ correspondant à un troisième mode de réalisation. Dans le cas du transistor à effet de champ qui est repré- 15 senté sur la figure 14, la surface d'un substrat est formée de façon à être plane. Une région de canal qui est formée entre des régions de source/drain 5, 5 est également formée dans le même plan que la surface du substrat. Une mince couche en silicium amorphe 2 est formée avec un profil 20 rectangulaire ouvert à sa partie supérieure, qui comprend une paire de régions verticales s'étendant dans la direction de la profondeur du substrat, de façon à empêcher le mouvement de porteurs majoritaires dans la région de canal, et une surface de fond qui s'étend parallèlement à la 25 surface du substrat. Une seconde couche en silicium monocristallin 3 est formée à l'intérieur de la couche en silicium amorphe 2.

La figure 15 est un diagramme de bandes de la région de canal du transistor à effet de champ qui est 30 représenté sur la figure 14. Comme le montre la figure 15, deux barrières de potentiel PB sont formées dans la bande de conduction, en correspondance avec la paire de régions verticales de la couche en silicium amorphe. Le troisième mode de réalisation a la même structure de bandes que le 35 premier mode de réalisation. Cependant, le troisième mode

de réalisation diffère du premier mode de réalisation par le fait que la région de canal est formée parallèlement à la surface du substrat. Un transistor à effet de champ ayant de telles barrières de potentiel permet également
5 d'obtenir une caractéristique courant-tension qui résulte de l'effet tunnel résonnant, comme dans le cas du premier mode de réalisation.

On va maintenant décrire un procédé de fabrication du transistor à effet de champ conforme au troisième
10 mode de réalisation qui est représenté sur la figure 14.

Premièrement, comme le montre la figure 16, on prépare un premier substrat en silicium monocristallin 1 et un second substrat en silicium monocristallin 20. Le premier substrat en silicium monocristallin 1 est un substrat
15 en silicium de type p ayant une orientation $\langle 001 \rangle$, une épaisseur d'environ $500 \mu\text{m}$ et une résistivité d'environ $20 \Omega.\text{cm}$. On forme sur la surface du premier substrat en silicium monocristallin 1 une couche en silicium amorphe 2a ayant une épaisseur de $0,1 \mu\text{m}$. On utilise pour former la
20 couche en silicium amorphe un procédé de formation identique à celui que l'on a décrit pour l'étape qui est représentée sur la figure 4. Le second substrat en silicium monocristallin 20 est un substrat en silicium de type p ayant une orientation $\langle 111 \rangle$, une épaisseur d'environ $500 \mu\text{m}$
25 et une résistivité d'environ $20 \Omega.\text{cm}$. On forme par oxydation thermique une pellicule d'oxyde de silicium 21, ayant une épaisseur de 50nm , sur la surface du second substrat en silicium monocristallin 20. On forme ensuite une ouverture d'une largeur de $0,1 \mu\text{m}$ dans la pellicule d'oxyde de
30 silicium 21, par un traitement de lithographie et un traitement de gravure. On effectue une opération de croissance épitaxiale sélective à l'intérieur de l'ouverture pour former une région en silicium monocristallin 22.

Ensuite, comme le montre la figure 17, on amène
35 en contact mutuel le premier substrat en silicium 1 et le

second substrat en silicium 20. A ce moment, la couche en silicium amorphe 2a dans le premier substrat en silicium 1 et la région en silicium monocristallin 22 dans le second substrat en silicium 20 sont mises en contact mutuel.

5 Ensuite, comme le montre la figure 18, on accomplit un traitement de recuit à une température dans la plage de 800°C à 1000°C, en maintenant le contact entre les substrats 1 et 20, pour former une mince couche en silicium amorphe 2. Du fait de la croissance en phase solide de la
10 couche en silicium amorphe 2a représentée sur la figure 17, qui est formée à la fois à partir de la surface de la région en silicium monocristallin 22 et de la surface du premier substrat en silicium monocristallin 1, une couche en silicium amorphe 2 se forme à la position de l'interface
15 des surfaces de croissance.

 Ensuite, comme le montre la figure 19, on enlève par attaque le second substrat en silicium monocristallin 20 et la pellicule d'oxyde 21. Cette opération aplanit les surfaces du premier substrat en silicium monocristallin 1
20 et de la seconde couche en silicium monocristallin 3.

 Ensuite, comme représenté sur la figure 20, on forme une couche isolante de grille 6 sur la totalité de la surface, et on dépose sur cette couche une couche de silicium polycristallin dopée avec du phosphore, dans laquelle
25 on définit un motif pour former une couche de silicium polycristallin 9a d'une électrode de grille. On plante dans la surface du premier substrat en silicium monocristallin 1 des ions d'une impureté de type n, 3, telle que du phosphore ou de l'arsenic, en utilisant à titre de masque
30 la couche en silicium polycristallin 9a. On forme par l'implantation ionique une paire de régions de source/drain 5a, 5a.

 Ensuite, comme représenté sur la figure 21, on forme des couches d'isolation de paroi latérale 10, 10 sur
35 les parois latérales de la couche en silicium poly-

crystallin 9a pour l'électrode de grille. On forme des couches de siliciure de titane 5c, 9b sur les surfaces des régions d'impuretés 5a, 5a et de la couche en silicium polycristallin 9a, par un procédé identique à celui décrit 5 en relation avec l'étape qui est représentée sur la figure 12.

Ensuite, on forme une couche d'isolation inter-couche 11, et on forme une couche d'interconnexion 12 pour achever la fabrication du transistor à effet de champ qui 10 est représenté sur la figure 14.

On va maintenant décrire un exemple d'une variante du procédé de fabrication du transistor à effet de champ conforme au troisième mode de réalisation. En premier lieu, comme le montre la figure 22, on forme une couche en silicium amorphe 2a sur la surface d'un substrat en silicium de 15 type p, 1, ayant une orientation $\langle 111 \rangle$. On forme la couche en silicium amorphe 2a par un procédé de formation identique à celui que l'on a décrit dans le premier mode de réalisation et le troisième mode de réalisation.

20 Ensuite, comme représenté sur la figure 23, on irradie avec de l'énergie concentrée une région désirée dans la couche en silicium amorphe 2a, pour provoquer une croissance en phase solide de la couche en silicium amorphe 2a, de façon à la rendre sélectivement épitaxiale dans la 25 direction de l'axe $\langle 111 \rangle$. De ce fait, la couche en silicium amorphe 2a est formée seulement dans la région désirée sur la surface du premier substrat en silicium monocristallin 1.

Ensuite, comme représenté sur la figure 24, on 30 forme un second substrat en silicium monocristallin 25, ayant une orientation cristalline différente, en contact avec la surface du premier substrat en silicium monocristallin 1. On accomplit un traitement de recuit, en maintenant le contact, pour produire une croissance en phase 35 solide seulement à partir de la surface du second substrat

en silicium monocristallin 25 qui est en contact avec la surface de la couche en silicium amorphe 2a, et ceci a pour résultat de former une couche en silicium amorphe 2 qui est une couche mince et concave. On enlève ensuite le second
5 substrat en silicium monocristallin 25. On accomplit ensuite successivement les étapes qui sont représentées sur les figures 20 et 21.

On va maintenant décrire un autre exemple d'une variante du processus de formation de la couche en silicium
10 amorphe mince 2. Les figures 25 et 26 sont des coupes qui illustrent un exemple d'une variante des étapes représentées sur les figures 16 à 18.

Comme le montre la figure 25, on forme sur la surface du premier substrat en silicium monocristallin 1 un
15 motif de matière de réserve 27 présentant une ouverture seulement dans une région prédéterminée. On irradie la surface du substrat avec des faisceaux d'ions 26, consistant en ions Ge ou Si, en utilisant à titre de masque le motif de matière de réserve 27, pour former une couche en
20 silicium amorphe 2a. On peut former la couche en silicium amorphe 2a en irradiant seulement une partie désirée avec des faisceaux d'ions convergents 26, au lieu d'utiliser le motif de matière de réserve 27.

Ensuite, comme le montre la figure 26, on forme
25 un second substrat en silicium monocristallin 28, en contact avec la surface du premier substrat en silicium monocristallin 1, et on accomplit un traitement de recuit. Ceci produit une croissance en phase solide seulement à partir du côté de la surface du second substrat en silicium
30 monocristallin 28, pour former une couche en silicium amorphe 2 qui est une couche mince et concave. On enlève ensuite le second substrat en silicium monocristallin 28. On accomplit ensuite l'étape de la figure 20 et les étapes ultérieures du troisième mode de réalisation.

35 On va maintenant décrire un quatrième mode de

réalisation de l'invention. Dans le mode de réalisation qui est représenté sur la figure 27, la couche en silicium amorphe 2 est formée par deux couches indépendantes ayant chacune une région verticale dans la région de canal 7, qui s'étend dans le substrat de façon à empêcher le déplacement de porteurs majoritaires, et une surface inférieure qui s'étend parallèlement à la surface du substrat, le long de la surface inférieure de la région de source/drain 5. De telles couches en silicium amorphe 2, 2 permettent également de former deux barrières de potentiel dans la région de canal 7.

Comme décrit ci-dessus, tous les transistors à effet de champ qui sont représentés dans les premier à quatrième modes de réalisation ci-dessus, permettent d'obtenir une caractéristique courant-tension qui utilise l'effet tunnel résonnant.

Bien qu'on ait décrit à titre de procédé de formation d'une couche en silicium amorphe mince dans les modes de réalisation ci-dessus, un procédé de jonction directe de tranches dans lequel on joint directement deux substrats en silicium à une couche amorphe, pour produire une croissance en phase solide, il est également possible d'utiliser un procédé dans lequel on ne forme pas à l'avance une couche en silicium amorphe, et on joint directement des substrats en silicium. Dans ce cas, une couche en silicium amorphe mince est formée à l'interface des deux substrats.

Bien que dans les modes de réalisation ci-dessus, on utilise du silicium amorphe à titre de matériau pour la formation d'une barrière de potentiel, il est possible d'utiliser un autre matériau, c'est-à-dire un matériau ayant approximativement la même constante de réseau que le silicium et une grande bande interdite, comme par exemple GaP, AlP, ZnS, CaF_2 , SiO_2 , SiC, CdSe, etc.

La barrière de potentiel qui est formée en utili-

sant une couche de silicium amorphe décrite dans le mode de réalisation ci-dessus, constitue également une barrière qui empêche le perçage sous l'effet de la tension ou la diffusion thermique d'impuretés. De plus, en formant la couche
5 amorphe dans une région de faible profondeur, elle constitue également effectivement une barrière qui empêche un transfert par effet tunnel entre bandes, ou une structure définissant un profil pour la génération d'un gaz d'électrons bidimensionnel.

10 Comme décrit ci-dessus, l'invention permet de réaliser un dispositif à semiconducteurs ayant un effet tunnel plus important que celui d'un dispositif à semiconducteurs classique utilisant un semiconducteur composé ou un ensemble d'électrodes de grille, par l'utilisation d'un
15 matériau ayant une bande interdite plus grande que celle du silicium pour une région de canal, et par l'utilisation de l'effet tunnel résonnant. En outre, en employant un procédé de fabrication qui utilise une technique de jonction directe de tranches, il est possible de réaliser le dispositif à
20 semiconducteurs décrit ci-dessus avec des matériaux et des appareils de fabrication économiques, et avec un procédé de fabrication simple.

Il va de soi que de nombreuses modifications peuvent être apportées au dispositif et au procédé décrits
25 et représentés, sans sortir du cadre de l'invention.

REVENDEICATIONS

1. Transistor à effet de champ caractérisé en ce qu'il comprend : un substrat (1, 3) ayant une surface principale; une paire de régions de source/drain (5, 5) 5 formées sur la surface principale du substrat, et mutuellement espacées d'une distance prédéterminée; une couche isolante (6) formée sur la surface principale du substrat; une électrode de grille (9) formée sur la surface de la couche isolante; une région de canal (7) formée dans le 10 substrat le long de la surface de ce substrat, entre la paire de régions de source/drain; et des première et seconde couches de semiconducteur (2, 2) formées par un matériau ayant une bande interdite supérieure à celle du silicium, dans la région de canal, ces couches étant mutuellement 15 espacées d'une distance prédéterminée et s'étendant de façon à empêcher le déplacement de porteurs majoritaires qui se déplacent entre la paire de régions de source/drain.

2. Transistor à effet de champ selon la revendication 1, caractérisé en ce que la surface principale du 20 substrat comporte une partie concave (8) entre la paire de régions de source/drain; la région de canal (7) est formée le long de la surface de cette partie concave; et une partie de l'électrode de grille (9) est formée à l'intérieur de la partie concave, avec interposition de la couche 25 isolante.

3. Transistor à effet de champ selon la revendication 2, caractérisé en ce que le substrat comprend, au moins, une première couche en silicium monocristallin (1) et une seconde couche en silicium monocristallin (3) formée 30 sur la surface de la première couche en silicium monocristallin, avec interposition des première et seconde couches de semiconducteur (2, 2), et en ce que la partie concave s'étend à partir de la surface du substrat, à l'intérieur de la première couche en silicium monocristallin.

35 4. Transistor à effet de champ selon la revendication

cation 3, caractérisé en ce que les première et seconde couches de semiconducteur (2, 2) sont constituées par un matériau sélectionné parmi le silicium amorphe, le phosphore de gallium, le phosphore d'aluminium, le sulfure de zinc, le fluorure de calcium, l'oxyde de silicium, le carbure de silicium et le séléniure de cadmium.

5. Transistor à effet de champ selon la revendication 3, caractérisé en ce que la première couche en silicium monocristallin (1) et la seconde couche en silicium monocristallin (3) sont constituées par des substrats en silicium ayant des orientations cristallines mutuellement différentes.

6. Transistor à effet de champ selon la revendication 1, caractérisé en ce que le substrat comprend une première couche en silicium monocristallin (1) et une seconde couche en silicium monocristallin (3) formée sur la première couche en silicium monocristallin, avec interposition des première et seconde couches de semiconducteur; et en ce que la première couche en silicium monocristallin (1), la première couche de semiconducteur (2), la seconde couche en silicium monocristallin (3), la seconde couche de semiconducteur (2) et la première couche en silicium monocristallin (1) sont disposées séquentiellement dans la région de canal (7), dans la direction allant de l'une des régions de source/drain à l'autre région de source/drain.

7. Transistor à effet de champ selon la revendication 6, caractérisé en ce que la première couche en silicium monocristallin (1) contient la paire de régions de source/drain et une partie concave (8) entre cette paire de régions de source/drain; et en ce que la seconde couche en silicium monocristallin (3) est enterrée dans la partie concave de la première couche en silicium monocristallin, avec interposition des première et seconde couches de semiconducteur.

8. Transistor à effet de champ selon la revendication

cation 6, caractérisé en ce que la première couche en silicium monocristallin (1) présente une partie convexe dans une région qui est destinée à devenir la région de canal; la seconde couche en silicium monocristallin (3) est formée de part et d'autre de la partie convexe précitée de la première couche en silicium monocristallin, avec interposition de la première couche de semiconducteur et de la seconde couche de semiconducteur; et la paire de régions de source/drain (5, 5) est formée sur la surface de la seconde couche en silicium monocristallin.

9. Transistor à effet de champ selon la revendication 6, caractérisé en ce que les première et seconde couches de semiconducteur (2, 2) sont constituées par un matériau sélectionné parmi le silicium amorphe, le phosphore de gallium, le phosphure d'aluminium, le sulfure de zinc, le fluorure de calcium, l'oxyde de silicium, le carbure de silicium et le séléniure de cadmium.

10. Procédé de fabrication d'un transistor à effet de champ, caractérisé en ce qu'il comprend les étapes suivantes : on forme une couche amorphe (2a) sur une surface principale d'un premier substrat en silicium (1); on forme un second substrat en silicium (3) en contact avec la surface de la couche amorphe; on applique un traitement thermique aux premier et second substrats en silicium en contact mutuel, pour provoquer une croissance en phase solide de la couche amorphe, et pour transformer la couche amorphe en un monocristal, afin de réduire l'épaisseur de cette couche amorphe (2); on attaque le second substrat en silicium pour laisser une couche en silicium monocristallin ayant une épaisseur prédéterminée sur la surface de la couche amorphe; on introduit des impuretés dans une région prédéterminée sur la surface de la couche en silicium monocristallin, pour former une région d'impuretés (5a); on forme une tranchée (8) qui s'étend dans le premier substrat en silicium à partir de la surface de la couche en silicium

monocristallin, pour séparer électriquement la région d'impuretés de part et d'autre de la tranchée; on forme une couche isolante (6) à l'intérieur de la tranchée et sur les surfaces des régions d'impuretés (5a, 5a); et on forme une
5 couche conductrice sur la surface de la couche isolante et on définit un motif dans cette couche conductrice pour former une électrode de grille (9a).

11. Procédé de fabrication d'un transistor à effet de champ selon la revendication 10, caractérisé en ce
10 qu'on amène en contact mutuel une surface du premier substrat en silicium et une surface du second substrat en silicium ayant des orientations mutuellement différentes.

12. Procédé de fabrication d'un transistor à effet de champ, caractérisé en ce qu'il comprend les étapes
15 suivantes : on forme une couche amorphe (29) sur une surface principale d'un premier substrat en silicium (1); on forme un second substrat en silicium (20) ayant une surface principale recouverte par une pellicule d'oxyde (21) dans laquelle est formée une ouverture mettant à nu une surface
20 en silicium monocristallin (22) sur la surface de la couche amorphe du premier substrat en silicium, et on amène en contact mutuel la surface de la couche amorphe du premier substrat en silicium et la surface en silicium monocristallin du second substrat en silicium; on applique un
25 traitement thermique aux premier et second substrats en silicium en contact mutuel, pour provoquer une croissance en phase solide de la couche amorphe, et pour transformer cette couche amorphe en un monocristallin, afin de former une couche amorphe (2) ayant une épaisseur réduite et
30 s'étendant à partir de la surface principale du premier substrat en silicium, dans la direction de la profondeur du substrat; on enlève le second substrat en silicium pour mettre à nu la surface de la couche en silicium qui a été transformée en un monocristal, et la surface de la couche
35 amorphe ayant une épaisseur réduite; on forme une couche

isolante (6) sur les surfaces à nu de la couche en silicium et de la couche amorphe; et on forme une couche conductrice sur la surface de la couche isolante et on définit un motif dans cette couche conductrice pour former une couche
5 d'électrode de grille (9a).

13. Procédé de fabrication d'un transistor à effet de champ, caractérisé en ce qu'il comprend les étapes suivantes : on forme une couche amorphe (2a) dans une partie d'une région qui est destinée à devenir une région
10 de canal sur une surface principale d'un premier substrat en silicium (1); on forme un second substrat en silicium (25) sur une surface en silicium du premier substrat en silicium, et on amène en contact mutuel la surface du second substrat en silicium et la surface de la couche
15 amorphe; on applique un traitement thermique aux premier et second substrats en silicium en contact mutuel, pour provoquer une croissance en phase solide de la couche amorphe et pour transformer cette couche amorphe en un monocristal, pour former cette couche amorphe (2) de façon qu'elle ait
20 une épaisseur réduite et s'étende à partir de la surface principale du premier substrat en silicium, dans la direction de la profondeur de ce substrat; on enlève le second substrat en silicium pour mettre à nu la surface de la couche en silicium transformée en un monocristal, la surface
25 de la couche amorphe ayant une épaisseur réduite, et la surface en silicium du premier substrat en silicium; on forme une couche isolante (6) sur les surfaces à nu de la couche en silicium, de la couche amorphe et du premier substrat en silicium; et on forme une couche conductrice
30 sur la surface de la couche isolante et on définit un motif dans cette couche conductrice pour former une couche d'électrode de grille (9a).

14. Procédé de fabrication d'un transistor à effet de champ selon la revendication 13, caractérisé en ce
35 que l'étape de formation de la couche amorphe comprend les

étapes suivantes : on implante des ions d'impuretés dans la surface principale du premier substrat en silicium pour former une couche amorphe; et on irradie la couche amorphe avec des faisceaux d'énergie (24), à l'exception de la
5 couche amorphe qui se trouve dans une région prédéterminée, pour provoquer une croissance épitaxiale en phase solide de la couche amorphe, et pour transformer cette couche amorphe en un monocristal.

15. Procédé de fabrication d'un transistor à
10 effet de champ selon la revendication 13, caractérisé en ce que l'étape qui consiste à former partiellement la couche amorphe comprend les étapes suivantes : on forme un motif de matière de réserve (27) ayant une ouverture seulement dans une région qui est destinée à devenir une région de
15 canal, dans le premier substrat en silicium, sur la surface de ce premier substrat en silicium (1); et on irradie la surface du premier substrat en silicium avec des faisceaux d'ions (26), en utilisant à titre de masque le motif de
20 matière de réserve, pour former la couche en silicium amorphe.

FIG. 1

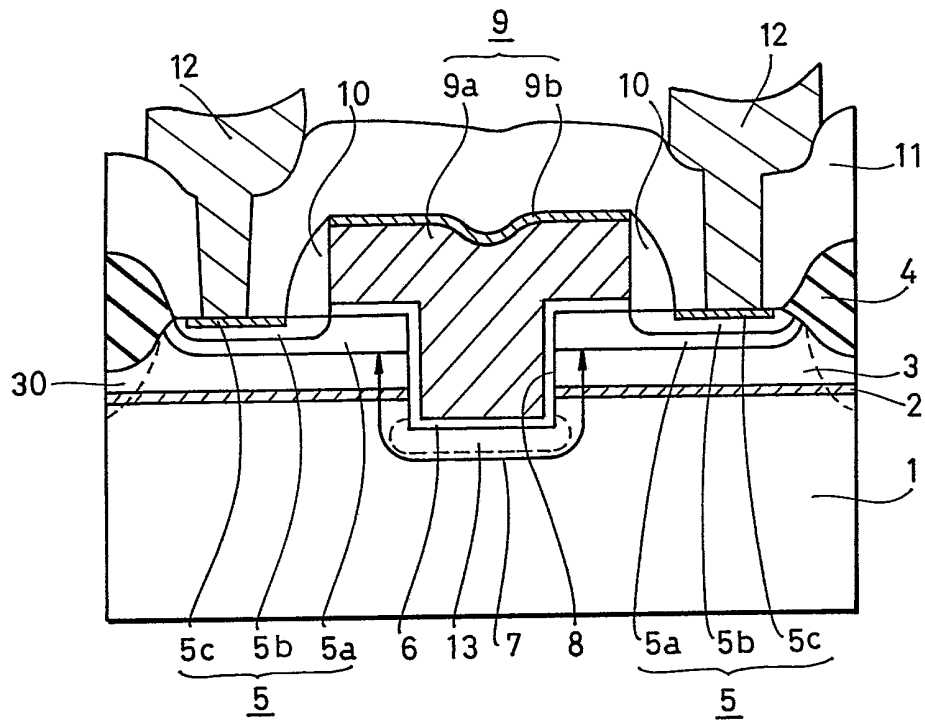


FIG. 2

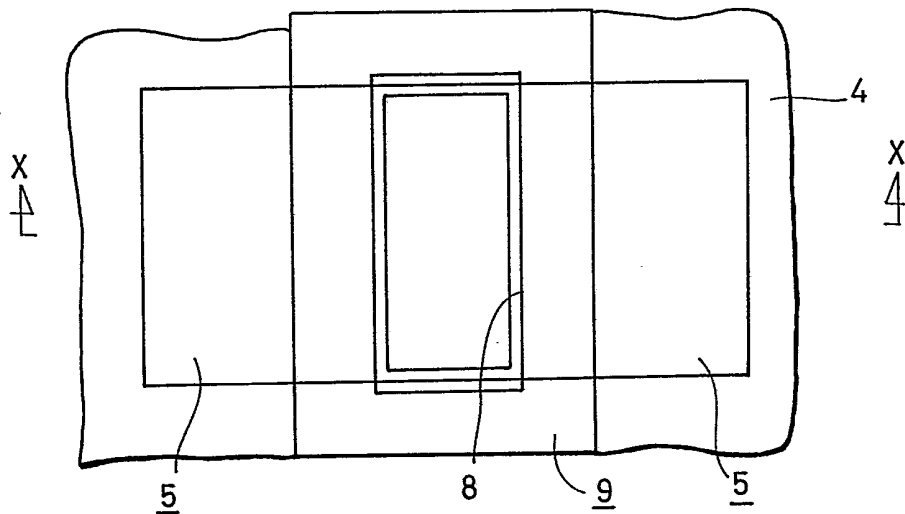


FIG. 3

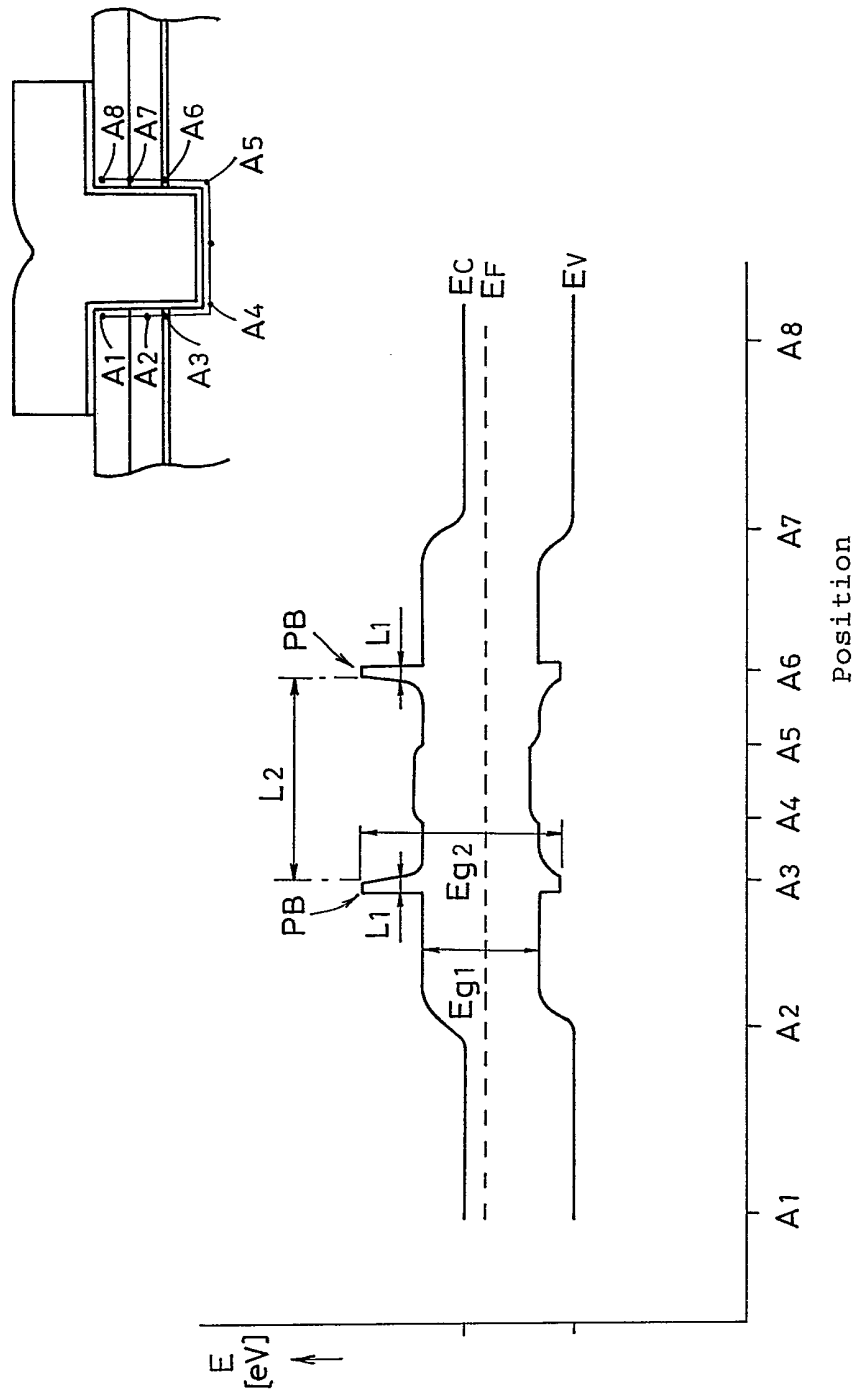


FIG. 4

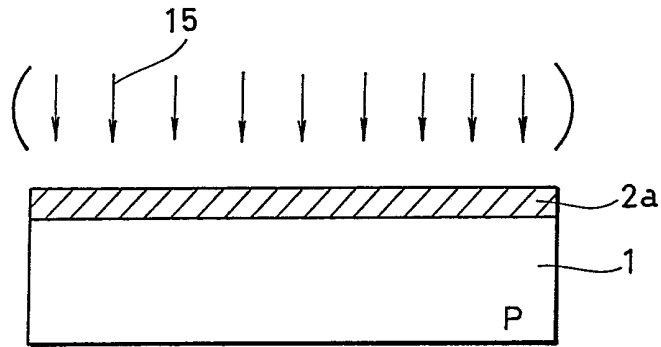


FIG. 5

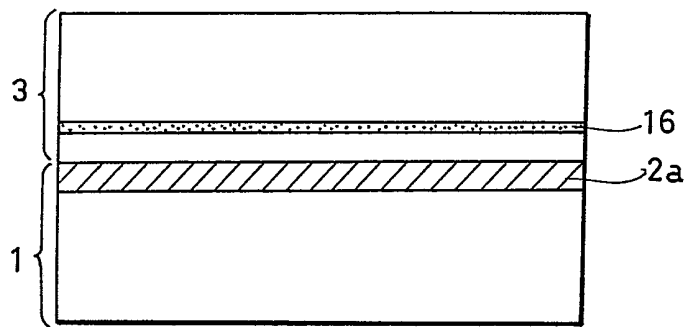


FIG. 6

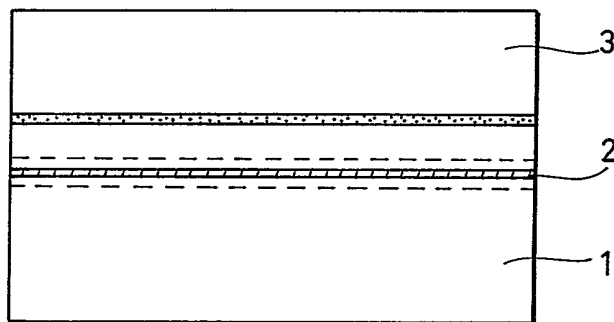


FIG. 7

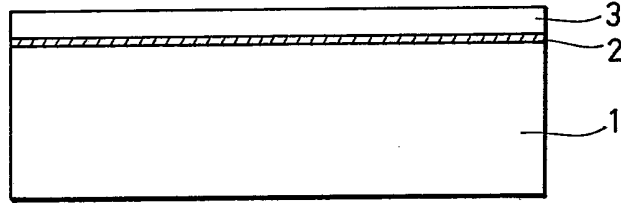


FIG. 8

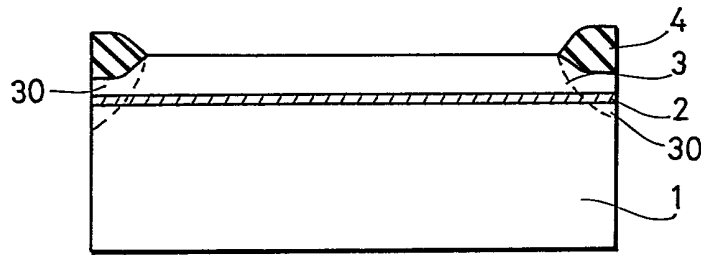


FIG. 9

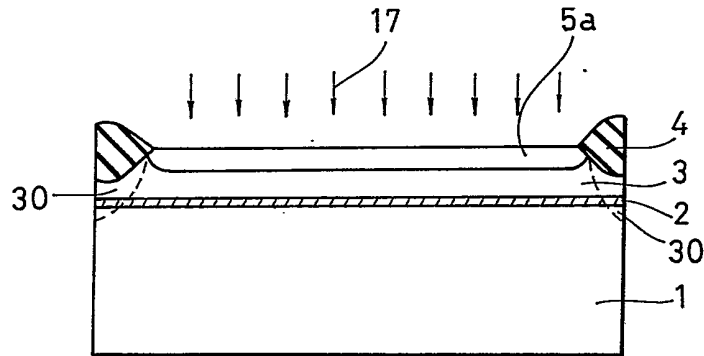


FIG. 10

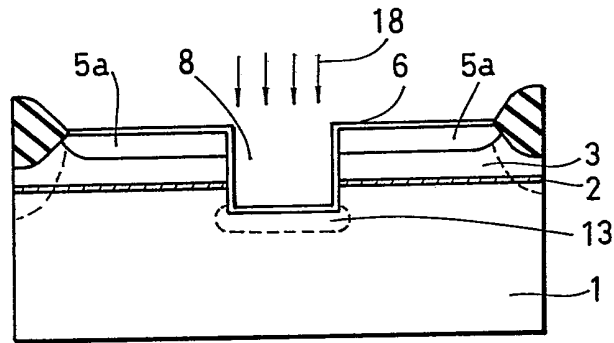


FIG. 11

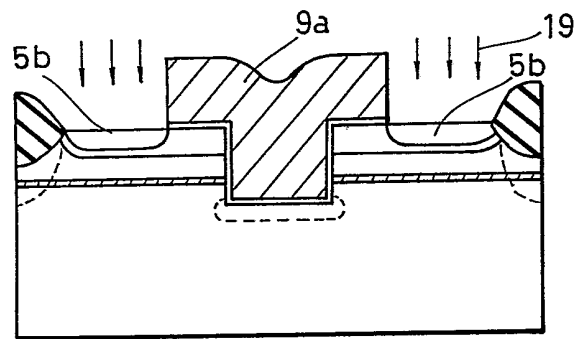


FIG. 12

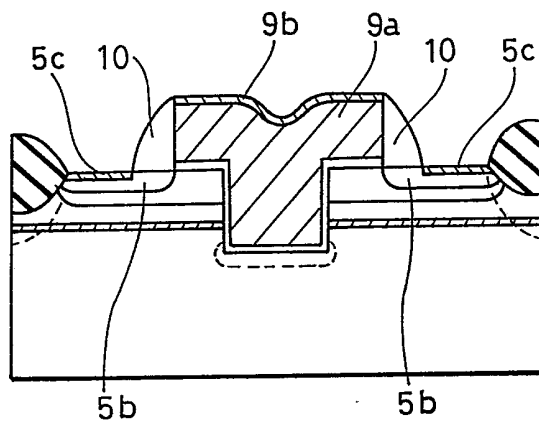


FIG. 13

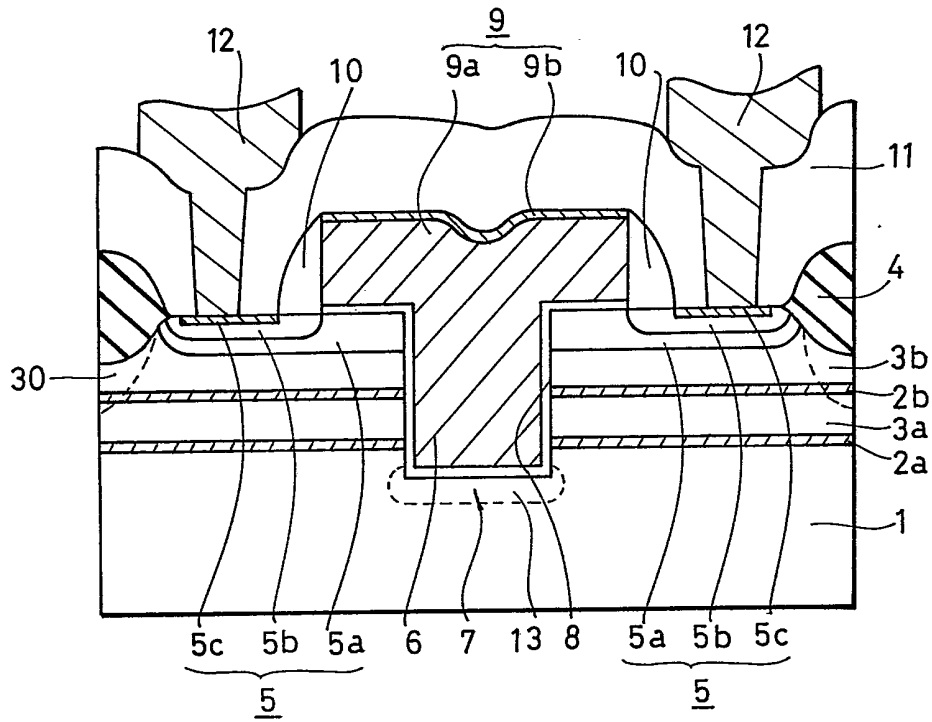


FIG. 14

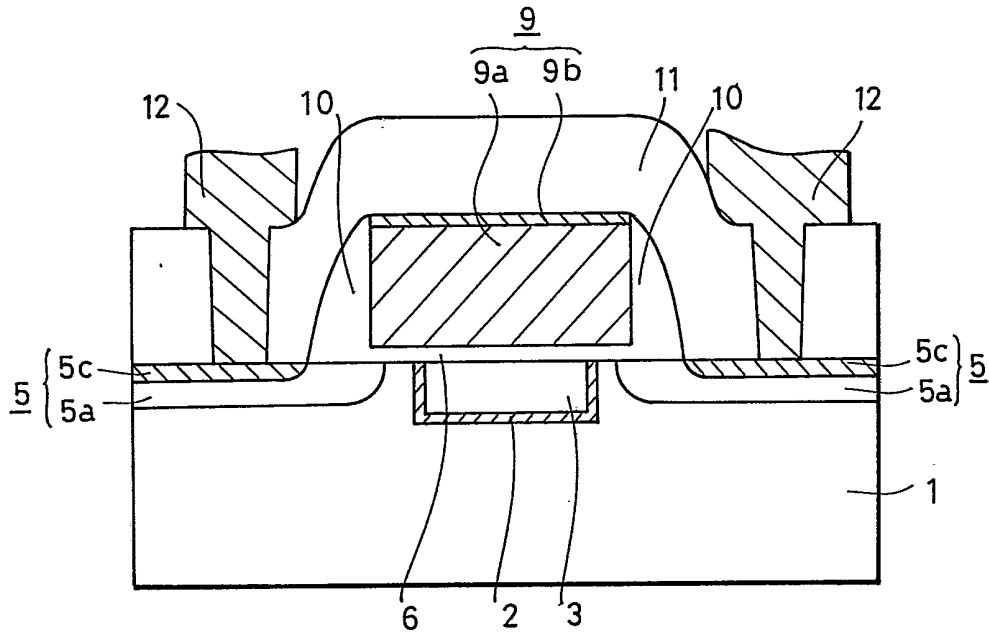


FIG. 15

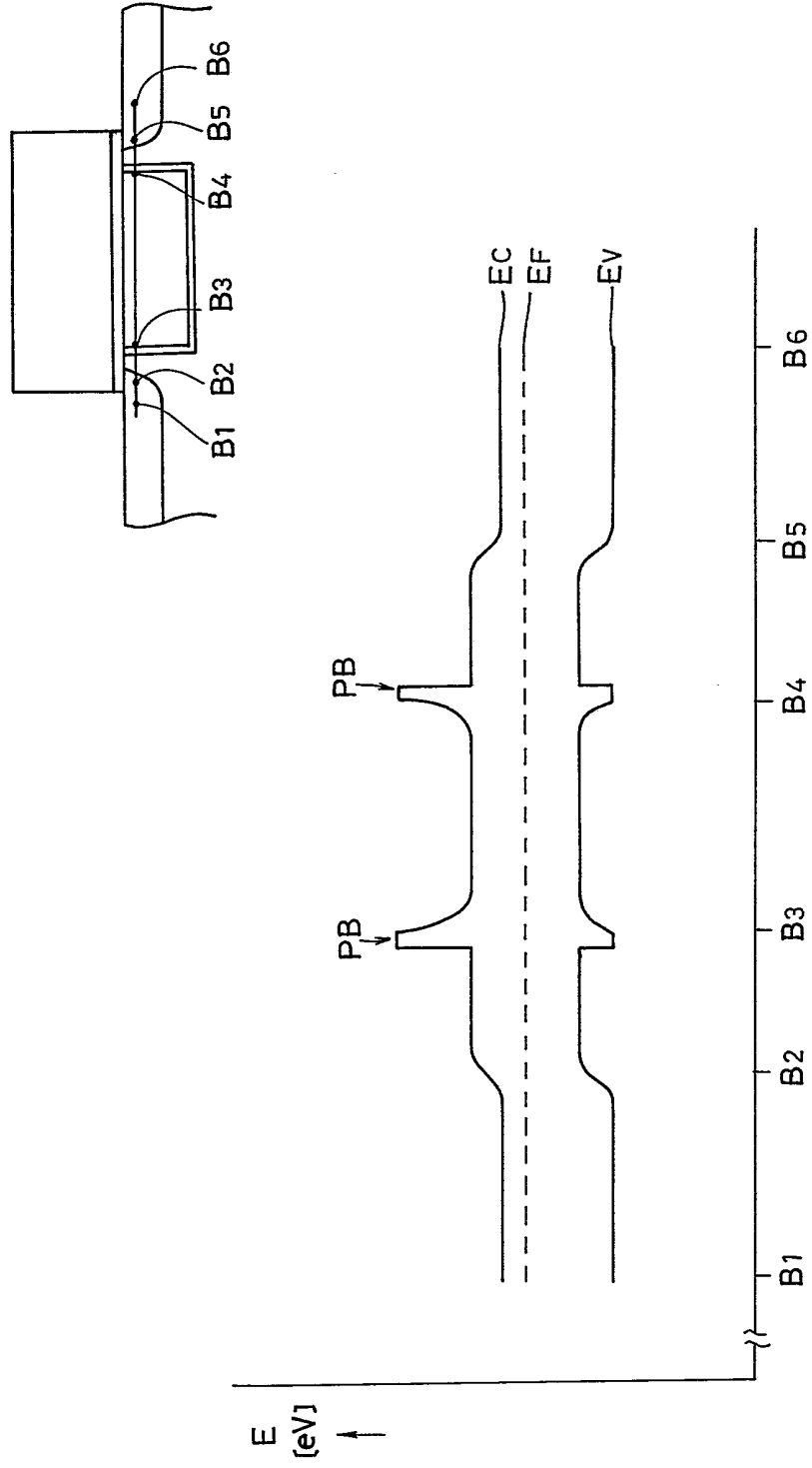


FIG. 16

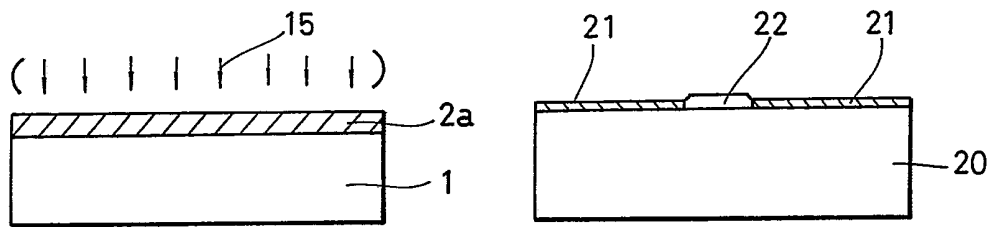


FIG. 17

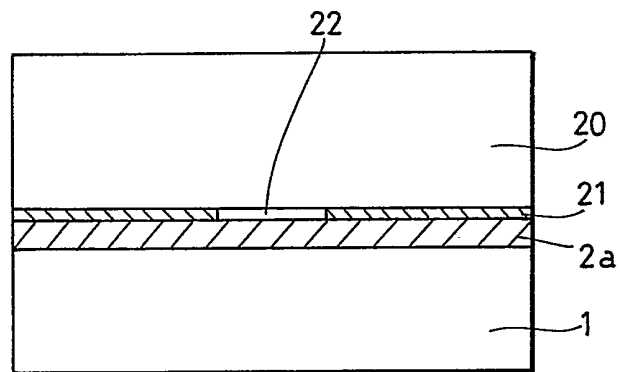


FIG. 18

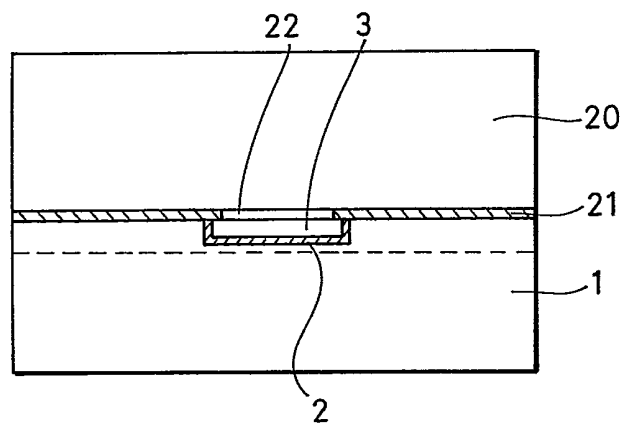


FIG. 19

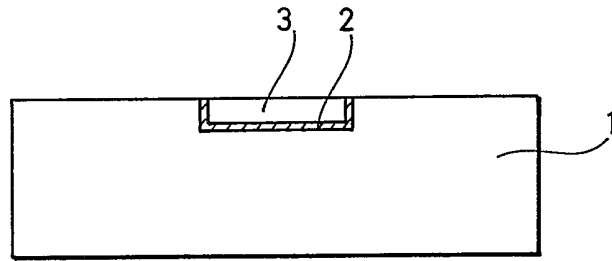


FIG. 20

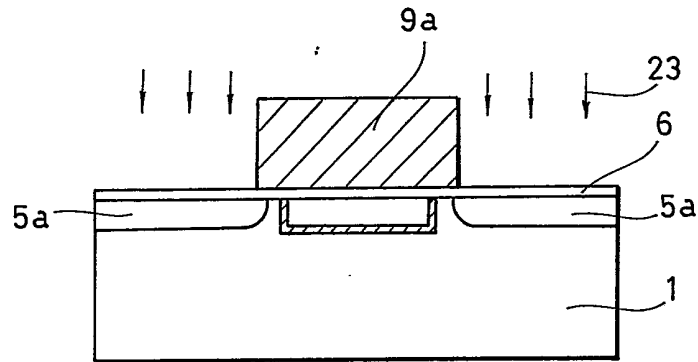


FIG. 21

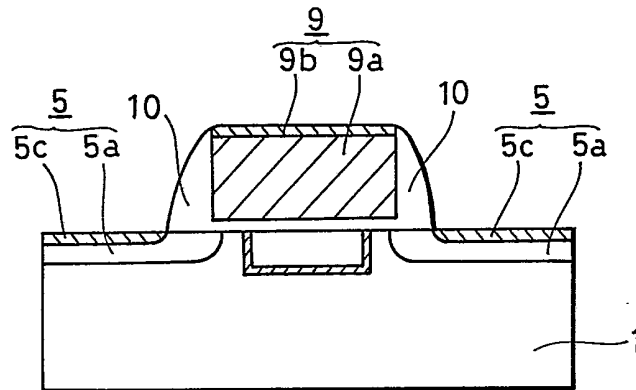


FIG. 22

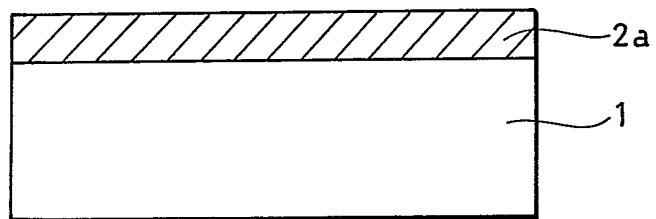


FIG. 23

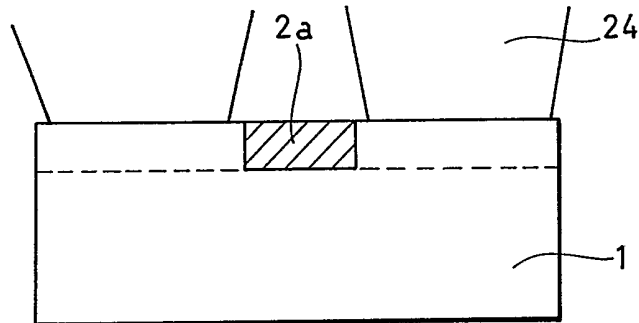


FIG. 24

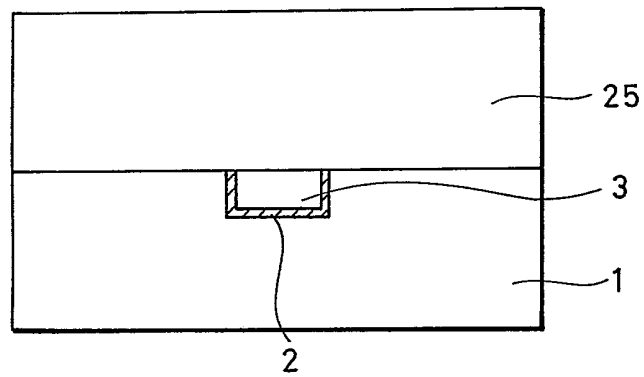


FIG. 25

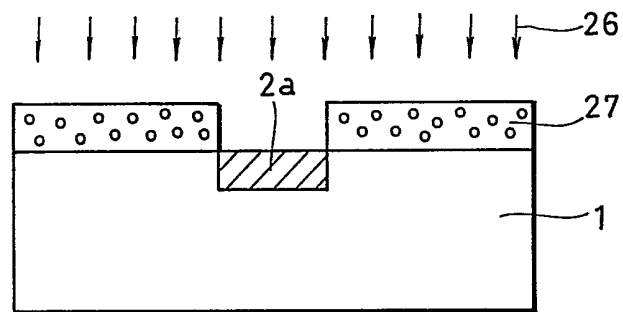


FIG. 26

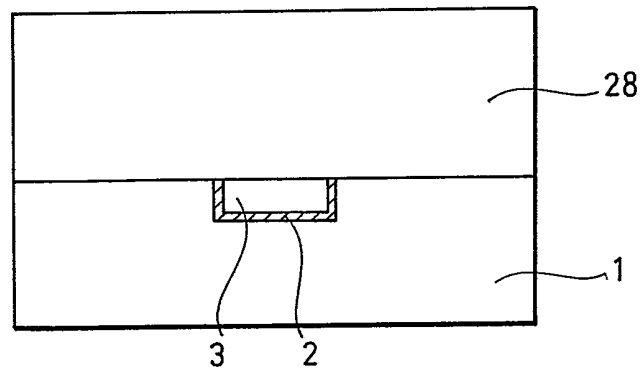


FIG. 27

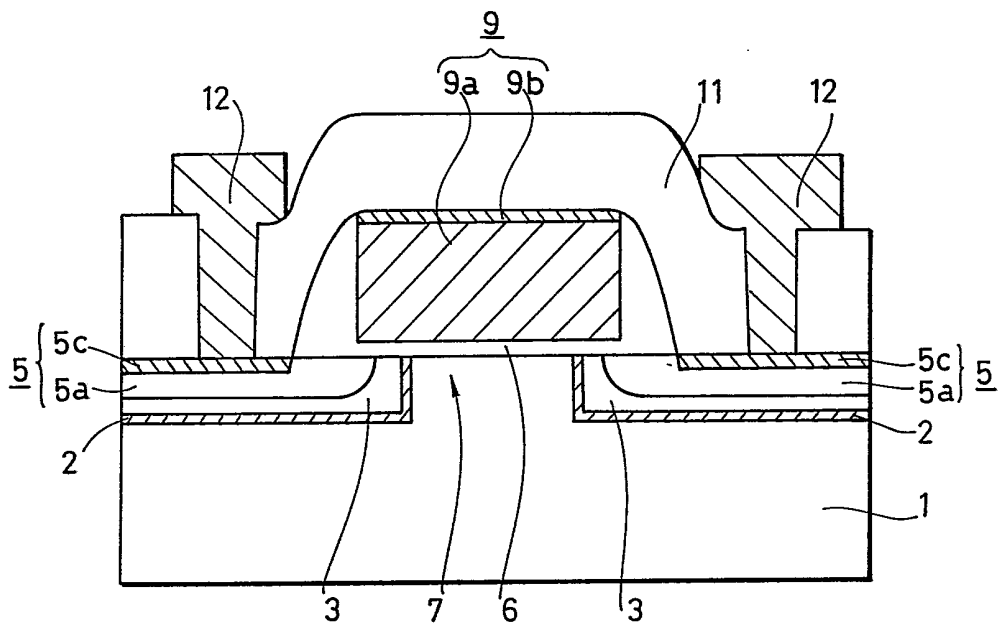


FIG. 28

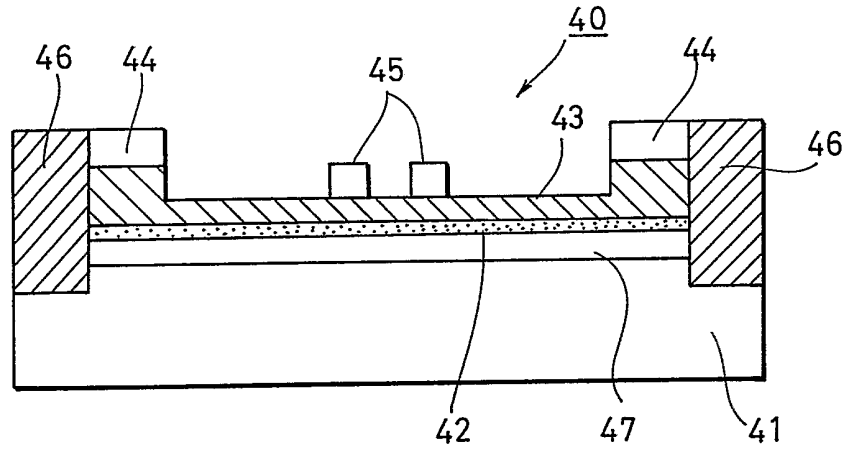


FIG. 29

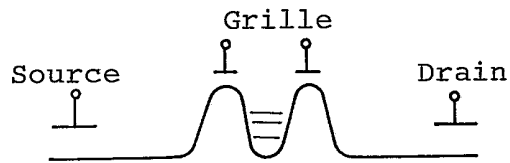


FIG. 30

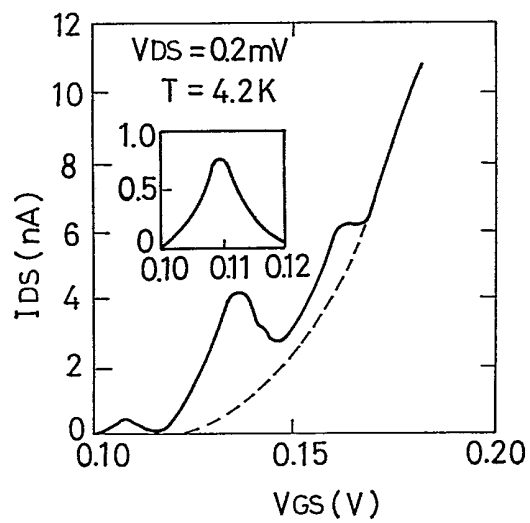


FIG. 31

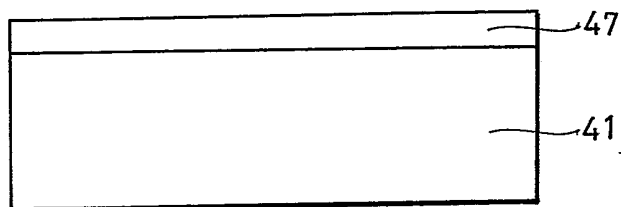


FIG. 32

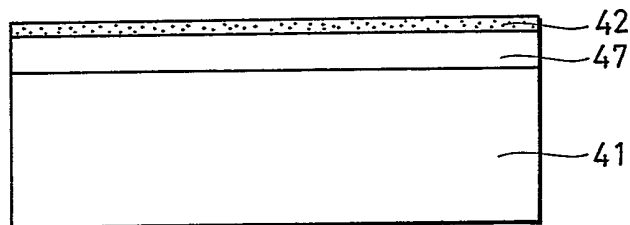


FIG. 33

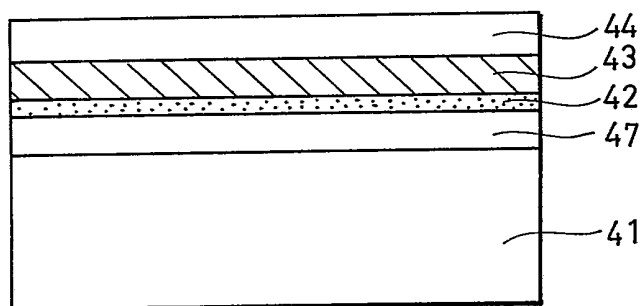


FIG. 34

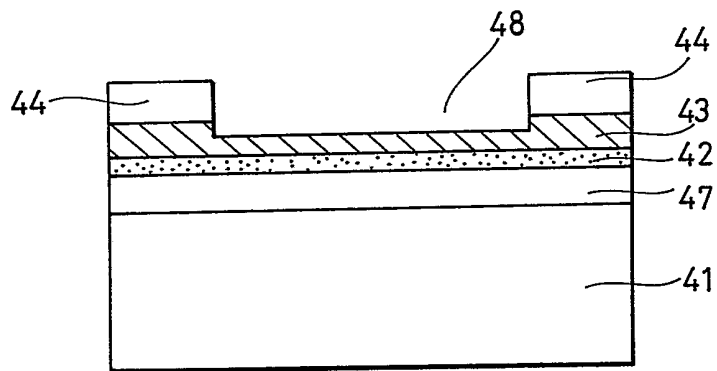


FIG. 35

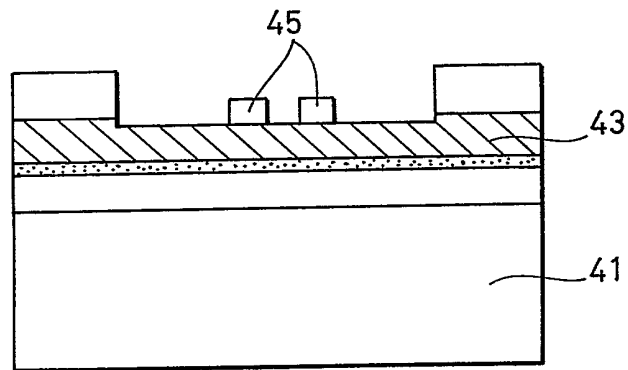


FIG. 36

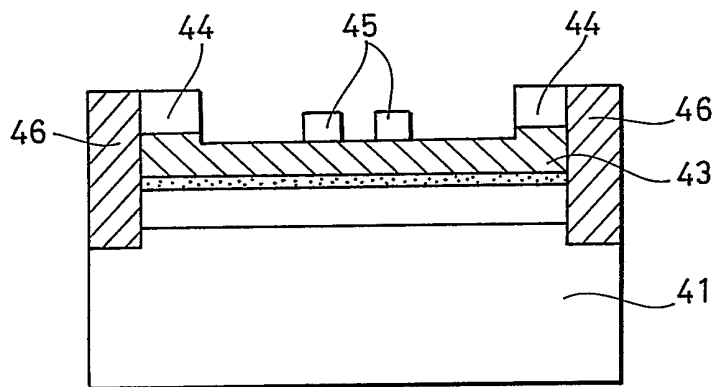


FIG. 37

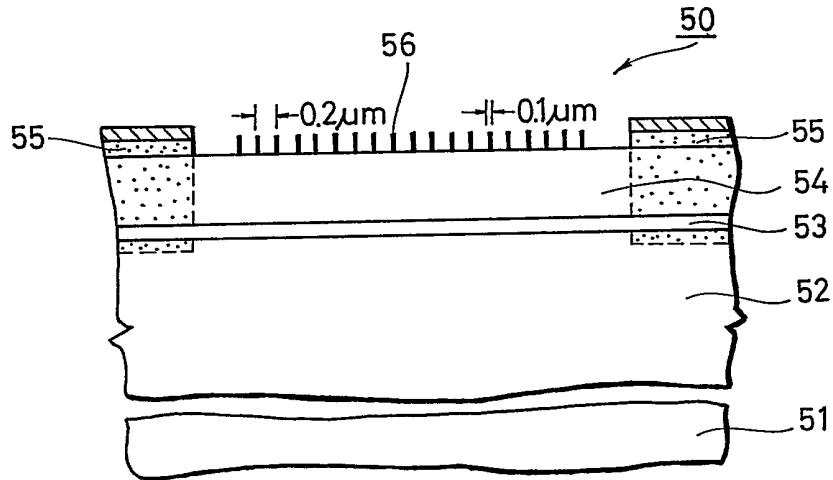


FIG. 38

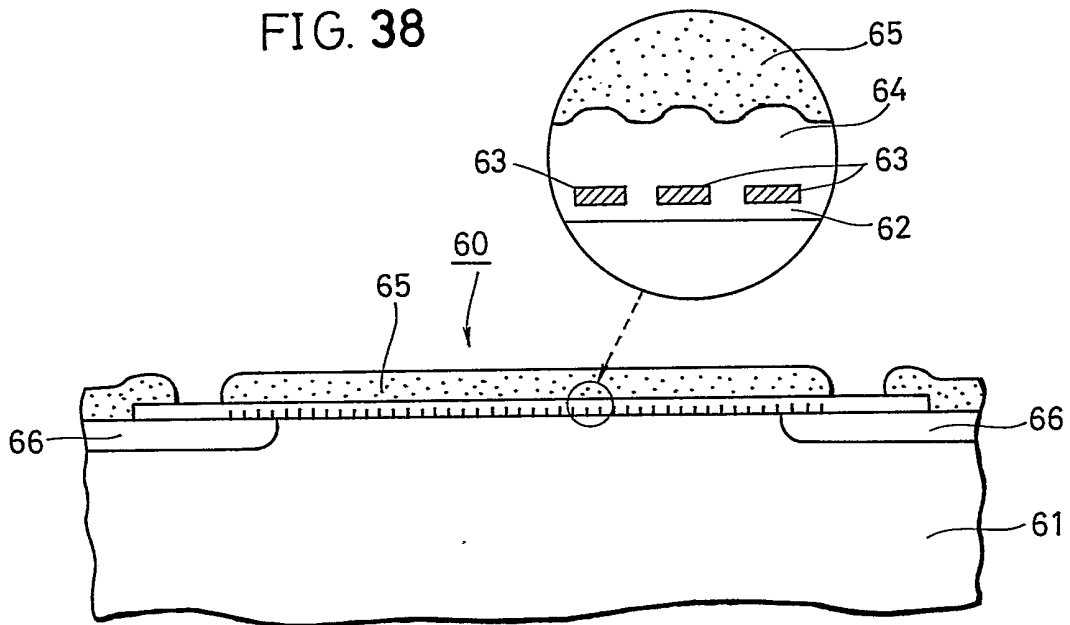


FIG. 39

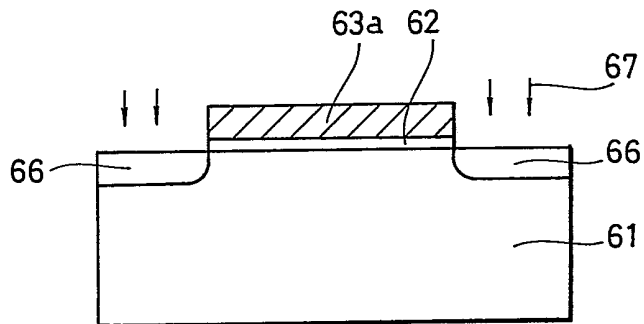


FIG. 40

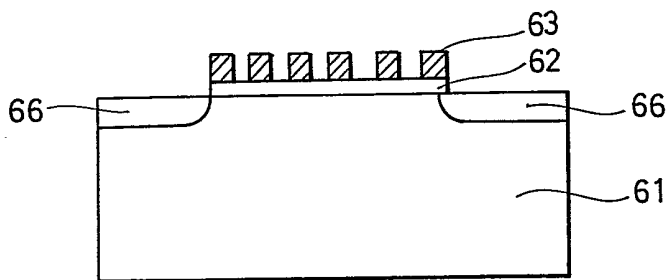


FIG. 41

