

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：96128640

※ 申請日期：96.8.3

※IPC 分類：H01L<sup>21/</sup>8242

(2006.01)

## 一、發明名稱：(中文/英文)

製作直線型凹入式通道 MOS 電晶體元件之方法 / METHOD  
FOR FABRICATING LINE TYPE RECESS CHANNEL MOS  
TRANSISTOR DEVICE

## 二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

南亞科技股份有限公司 / NANYA TECHNOLOGY CORP.

代表人：(中文/英文)

連日昌 / LIEN, JIH

住居所或營業所地址：(中文/英文)

桃園縣龜山鄉華亞科技園區復興三路六六九號 / Hwa-Ya Technology  
Park 669, Fuhsing 3 Rd., Kueishan, Tao-Yuan Hsien, Taiwan, R. O. C.

國 籍：(中文/英文)

中華民國 / TWN

## 三、發明人：(共 1 人)

姓 名：(中文/英文)

1. 林瑄智 / LIN, SHIAN-JYH

國 籍：(中文/英文)

1. 中華民國 / TWN

#### 四、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 九、發明說明：

### 【發明所屬之技術領域】

本發明係有關於一種半導體元件的製作方法，特別是有關於一種溝渠式動態隨機存取記憶體(Dynamic Random Access Memory，簡稱為 DRAM)的直線型凹入式通道(line type recess channel)金氧半導體(Metal-Oxide-Semiconductor，簡稱為 MOS)電晶體元件的製作方法。

### 【先前技術】

隨著元件設計的尺寸不斷縮小，電晶體閘極通道長度(gate channel length)縮短所引發的短通道效應(short channel effect)已成為半導體元件進一步提昇積集度的障礙。過去已有人提出避免發生短通道效應的方法，例如，減少閘極氧化層的厚度或是增加摻雜濃度等，然而，這些方法卻可能同時造成元件可靠度的下降或是資料傳送速度變慢等問題，並不適合實際應用在製程上。

為解決這些問題，該領域現已發展出並逐漸採用一種所謂的孔洞型凹入式通道(hole type recess channel)的 MOS 電晶體元件設計，藉以提昇如動態隨機存取記憶體(DRAM)等積體電路積集度。相較於傳統水平置放式 MOS 電晶體的源極、閘極與汲極，所謂的凹入式閘極 MOS 電晶體係將閘極與汲極、源極製作於預先蝕

刻在半導體基底中的溝渠中，並且將閘極通道區域設置在該溝渠的底部，俾形成一孔洞型凹入式通道，藉此降低 MOS 電晶體的橫向面積，以提昇半導體元件的積集度。

然而，前述製作孔洞型凹入式通道 MOS 電晶體的方法仍有諸多缺點，猷待進一步的改善與改進。舉例來說，目前孔洞型凹入式通道 MOS 電晶體的閘極溝渠係利用微影製程與乾蝕刻製程形成在半導體基底中，而利用微影製程製作孔洞型閘極溝渠時，除了孔洞的輪廓不易控制之外，在 60 奈米以下之等級，無法將關鍵尺寸變異量(CD variation)控制在製程所要求的變異範圍(3 sigma, 15 奈米)內，因而可能造成電晶體之間短路的問題。

### 【發明內容】

因此，本發明之主要目的即在提供一種形成溝渠式動態隨機存取記憶體的直線型凹入式通道電晶體的製作方法，以解決前述習知技藝之問題。

本發明提供一種製作直線型凹入式通道 MOS 電晶體元件之方法，包含有：提供一半導體基底，該半導體基底具有一主表面及複數個直線型凹入式通道；於各該直線型凹入式通道表面形成一介電層；於該介電層上形成一犧牲層，其中該犧牲層表面低於該半導體基底之該主表面；於該半導體基底中形成複數個溝渠電容，其中各溝渠電容皆具有一溝渠上蓋層，且各該溝渠上蓋層表

面高於該半導體基底之該主表面；於該半導體基底中形成複數個淺溝絕緣結構，且各該淺溝絕緣結構係垂直交錯於各該直線型凹入式通道，使各該直線型凹入式通道形成複數個凹入式通道；去除該犧牲層與該介電層；於各該凹入式通道中形成一閘極介電層，並填入一第一多晶矽層；回蝕刻該第一多晶矽層和該閘極介電層，並於各該凹入式通道側壁上形成一內部側壁子；以及於各該凹入式通道中形成一第一閘極材料層。

為了使 貴審查委員能更進一步了解本發明之特徵及技術內容，請參閱以下有關本發明之詳細說明與附圖。然而所附圖式僅供參考與輔助說明用，並非用來對本發明加以限制者。

### 【實施方式】

請參考第 1 圖至第 11 圖，其中第 1 圖至第 2 圖繪示的是本發明較佳實施例之直線型凹入式通道 MOS 電晶體元件的製作方法的剖面示意圖；第 3 圖至第 4 圖繪示的是本發明較佳實施例記憶體陣列區域中的溝渠電容佈局的上視示意圖；第 5 圖至第 10 圖繪示的是本發明較佳實施例之直線型凹入式通道 MOS 電晶體元件的製作方法的剖面示意圖。

首先，如第 1 圖所示，在半導體基底 10 的記憶體陣列區域上先依序形成一墊氧化層 14、一墊氮化矽層 16 以及一光阻層（未顯

示)，其中該光阻層定義有直線圖案，接著利用光阻層作為蝕刻遮罩，蝕刻墊氧化層 14、墊氮化矽層 16 以及半導體基底 10，以形成複數個直線型凹入式通道 20，再於墊氮化矽層 16 上與各直線型凹入式通道 20 的側壁以及底部上形成一介電層 22，例如四乙氧基矽烷(tetra-ethyl-ortho-silicate, TEOS)化學氣相沈積層。介電層 22 亦可以利用熱氧化方式形成，不限於以化學氣相沈積方式形成。

接著如第 2 圖所示，沉積一犧牲層 24 以填滿各直線型凹入式通道 20，然後蝕刻犧牲層 24，使其上表面低於墊氮化矽層 16 的上表面，以形成一凹口 26，其中，凹口 26 之底面高於半導體基底 10 之主表面，隨後，再於墊氮化矽層 16 與凹口 26 上形成一氮化矽蓋層 28。

如第 3 圖所示，在形成直線型凹入式通道 20 之後，於半導體基底 10 上形成複數個溝渠電容連接區結構 30，其挖入先前形成的直線型凹入式通道 20，並將直線型凹入式通道 20 自動截斷成複數個小區段。前述形成溝渠電容連接區結構 30 的方式包括於氮化矽蓋層 28 上依序形成硼摻雜矽玻璃(BSG)層（未顯示）與多晶矽層或碳層（未顯示），先以微影製程圖案化多晶矽層，然後利用圖案化多晶矽層作為硬蝕刻遮罩以於半導體基底 10 中形成複數個深溝渠（deep trench）（未顯示），接著再剝除硼摻雜矽玻璃層。

接著，如第 4 圖所示，進行半導體基底 10 的主動區域定義製程與淺溝絕緣製程，在半導體基底 10 上形成主動區域 62 以及淺溝絕緣區域 64，其中淺溝絕緣區域 64 垂直於各直線型凹入式通道 20，並將各直線型凹入式通道 20 再一次截成複數個凹入式通道 36。前述的主動區域 62 之定義製程與淺溝絕緣區域 64 之製程通常包括有以下幾個主要步驟：(1) 硼摻雜矽玻璃(BSG)沈積；(2) 多晶矽沈積；(3) 主動區域微影及蝕刻；(4) 主動區域氧化製程；(5) 主動區域絕緣溝渠填補以及化學機械研磨；但不限於上述步驟。

第 5 圖顯示第 4 圖中的 I-I' 剖面結構。如第 5 圖所示，溝渠電容連接區結構 30 包含有一側壁電容介電(sidewall capacitor dielectric)層 32 以及一摻雜多晶矽(doped polysilicon)層 34，而溝渠電容連接區結構 30 下方之電容結構(未顯示)包含有上電極板、介電層以及下電極板(buried plate)。

第 5 圖所示者為具有所謂的「單邊埋入導電帶(Single-Sided Buried Strap，又稱為 SSBS)」製程的溝渠電容連接區結構。溝渠電容連接區結構 30 的製作方法為習知技藝，因此其詳細製作過程不再贅述。此外，在各溝渠電容連接區結構 30 上另有一溝渠上蓋層 38。

接著，如第 6 圖所示，進行一蝕刻製程，例如濕蝕刻製程，

可利用例如是熱磷酸溶液剝除氮化矽蓋層 28，以曝露出凹口 26，並且蝕刻去除犧牲層 24 與介電層 22，打開凹入式通道 36。此時，溝渠上蓋層 38 凸出於墊氮化矽層 16 的表面約 150 至 1500 埃左右的高度。接著，可再繼續進行離子佈植製程，在半導體基底 10 中形成不同電性的摻雜區域或者離子井(未顯示)，然後，再於凹入式通道 36 的側壁以及底部上形成一閘極介電層 40。

接著，如第 7 圖所示，於閘極介電層 40 上形成一第一多晶矽層 42，並使其填滿凹入式通道 36。然後，如第 8 圖所示，蝕刻第一多晶矽層 42 直到一預定深度，然後於凹入式通道 36 的側壁上形成一內部側壁子 44，接著，於凹入式通道 36 中形成一第一閘極材料層 46，接著再進行一平坦化製程，例如一化學機械研磨製程，使各溝渠上蓋層 38 之表面與墊氮化矽層 16 之表面等高。然後，進行一蝕刻製程，蝕刻掉一部份的第一閘極材料層 46，使其上表面低於墊氮化矽層 16，但高於半導體基底 10 之主表面。

然後，如第 9 圖所示，進行一蝕刻製程，例如濕蝕刻製程，可利用例如是熱磷酸溶液剝除墊氮化矽層 16 與墊氧化層 14，並於半導體基底 10、溝渠上蓋層 38 與凹入式通道 36 內的第一閘極材料層 46 上形成一第二閘極材料層 48，接著再於第二閘極材料層 48 上依序沉積一鎢金屬層 50 與氮化矽層 52。

接著，如第 10 圖所示，於凹入式通道 36 與溝渠電容 30 上形

成一閘極導電體 54，以及於閘極導電體 54 的側壁上形成一側壁子 56。再用離子植入的方式形成源極與汲極，並以傳統的製程將源極、汲極與閘極連接出來(未顯示)以完成 MOSFET 的元件製作。

綜上所述，本發明之直線型凹入式通道 MOS 電晶體之閘極溝渠係利用微影製程製作直線型閘極溝渠，所以可以將關鍵尺寸變異量控制在 60 奈米以下之精密製程所要求的變異範圍(3 sigma，8 奈米)之內，因此可以避免電晶體之間短路的問題。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

### 【圖式簡單說明】

第 1 圖至第 2 圖繪示的是本發明較佳實施例之直線型凹入式通道 MOS 電晶體元件的製作方法的剖面示意圖。

第 3 圖至第 4 圖繪示的是本發明較佳實施例記憶體陣列區域中的溝渠電容佈局的上視示意圖。

第 5 圖至第 10 圖繪示的是本發明較佳實施例之直線型凹入式通道 MOS 電晶體元件的製作方法的剖面示意圖。

### 【主要元件符號說明】

10：半導體基底

- 14：墊氧化層
- 16：墊氮化矽層
- 20：直線型凹入式通道
- 22：介電層
- 24：犧牲層
- 26：凹口
- 28：氮化矽蓋層
- 30：溝渠電容連接區結構
- 32：側壁電容介電層
- 34：摻雜多晶矽層
- 36：凹入式通道
- 38：溝渠上蓋層
- 40：閘極介電層
- 42：第一多晶矽層
- 44：內部側壁子
- 46：第一閘極材料層
- 48：第二閘極材料層
- 50：鎢金屬層
- 52：氮化矽層
- 54：閘極導電體
- 56：側壁子
- 62：主動區域
- 64：淺溝絕緣區域

## 五、中文發明摘要：

本發明之製作直線型凹入式通道 MOS 電晶體元件的方法係在一淺溝絕緣製程完成之前，利用一微影製程形成直線型閘極溝渠，此外，本發明之方法可以將關鍵尺寸變異量控制在精密半導體製程所要求的變異範圍之內，因此可以避免電晶體之間短路的問題。

## 六、英文發明摘要：

The method for fabricating line type recess channel MOS transistors of the present invention utilizes a lithography process to form line type gate trenches in the line type recess channel MOS transistors before finishing a STI process. Furthermore, the method of the present invention can make the critical dimension variation to be controlled in a range required in the precision semiconductor process. Therefore, the short problem between the transistors can be avoided.

## 十、申請專利範圍：

1. 一種製作直線型凹入式通道 MOS 電晶體元件之方法，包括有：

提供一半導體基底，該半導體基底具有一主表面及複數個直線型凹入式通道；

於各該直線型凹入式通道表面形成一介電層；

於該介電層上形成一犧牲層，其中該犧牲層表面低於該半導體基底之該主表面；

於該半導體基底中形成複數個溝渠電容，其中各溝渠電容皆具有一溝渠上蓋層，且各該溝渠上蓋層表面高於該半導體基底之該主表面；

於該半導體基底中形成複數個淺溝絕緣結構，且各該淺溝絕緣結構係垂直交錯於各該直線型凹入式通道，使各該直線型凹入式通道形成複數個凹入式通道；

去除該犧牲層與該介電層；

於各該凹入式通道中形成一閘極介電層，並填入一第一多晶矽層；

回蝕刻該第一多晶矽層和該閘極介電層，並於各該凹入式通道側壁上形成一內部側壁子；以及

於各該凹入式通道中形成一第一閘極材料層。

2. 如申請專利範圍第 1 項所述之製作直線型凹入式通道 MOS 電晶體元件之方法，另包含有：

於該半導體基底、各該溝渠上蓋層、與各該凹入式通道上形成一第二閘極材料層；

於各該凹入式通道與各該溝渠電容上形成一閘極導電體；以及

於該閘極導電體的側壁上形成一側壁子。

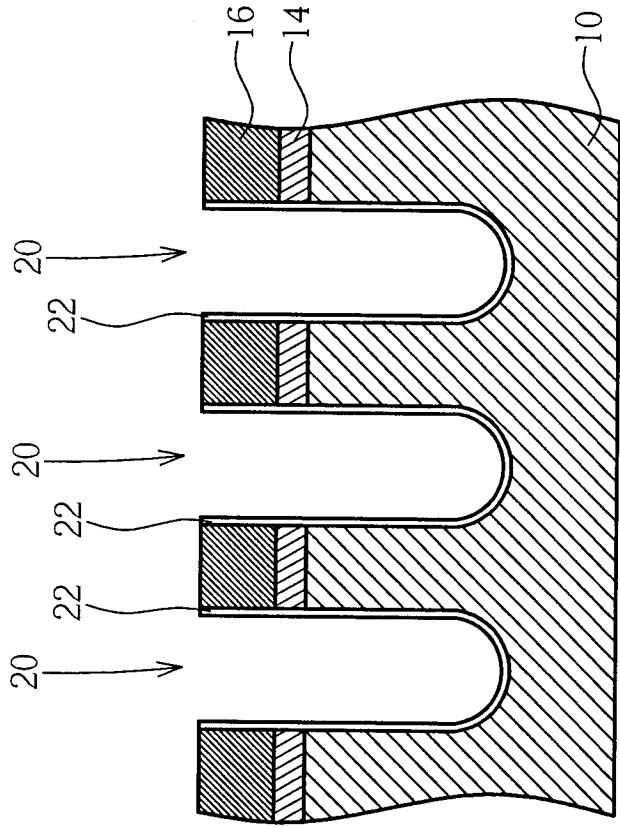
3. 如申請專利範圍第 1 項所述之製作直線型凹入式通道 MOS 電晶體元件之方法，其中該介電層包含有四乙氧基矽烷 (tetra-ethyl-ortho-silicate, TEOS) 層或二氧化矽層。
4. 如申請專利範圍第 1 項之製作直線型凹入式通道 MOS 電晶體元件之方法，其中該第一閘極材料層的材質包含有多晶矽、鎢 (W)、氮化鈦 (HfN)、氮化鉬 (MoN)、鈦鉬合金 (HfMo)、氮化鈦鉬 (HfMoN)、氮化鈦 (TiN)、氮化鉭 (TaN) 以及氮化鋁 (AlN)。
5. 如申請專利範圍第 2 項之製作直線型凹入式通道 MOS 電晶體元件之方法，其中該第二閘極材料層的材質包含有多晶矽、氮化鈦 (TiN)、氮化鎢 (W N) 以及鎢 (W)。
6. 如申請專利範圍第 1 項之製作直線型凹入式通道 MOS 電晶體元件之方法，其中該溝渠上蓋層包含有矽氧層。

7. 如申請專利範圍第 2 項之製作直線型凹入式通道 MOS 電晶體元件之方法，其中該閘極導體包含有多晶矽層、鎢金屬層與氮化矽層。

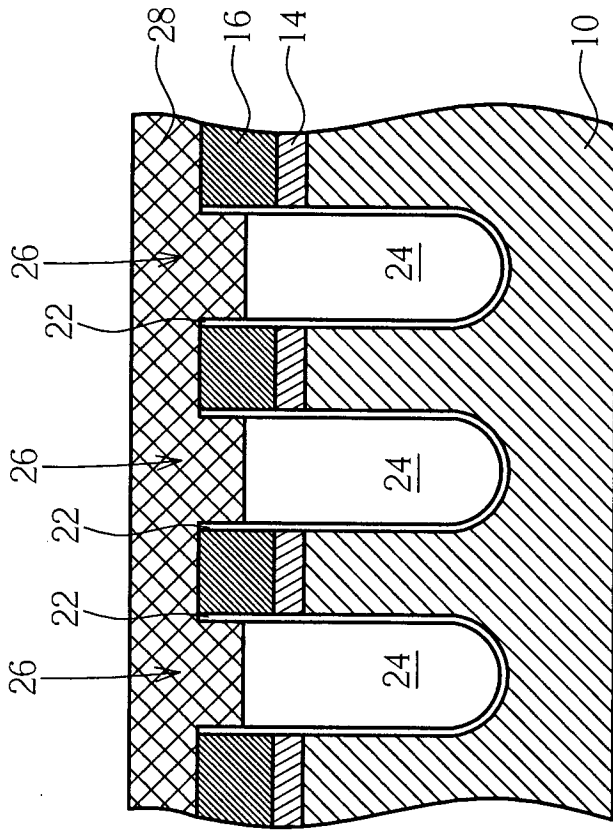
十一、圖式：

7. 如申請專利範圍第 2 項之製作直線型凹入式通道 MOS 電晶體元件之方法，其中該閘極導體包含有多晶矽層、鎢金屬層與氮化矽層。

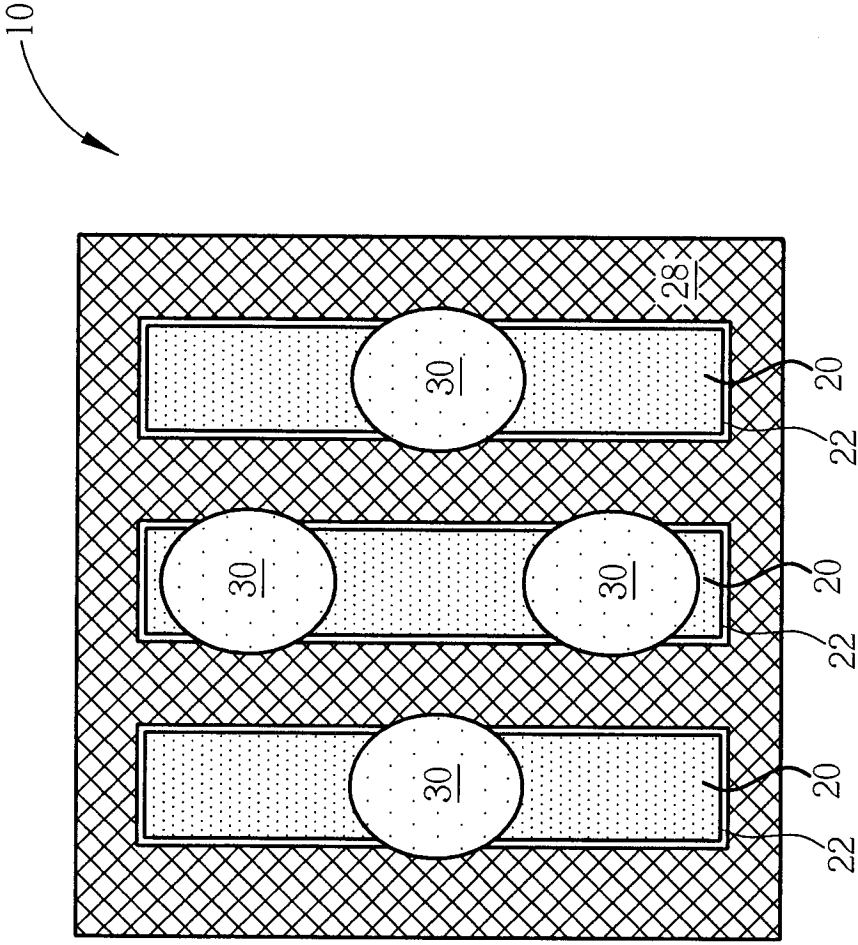
十一、圖式：



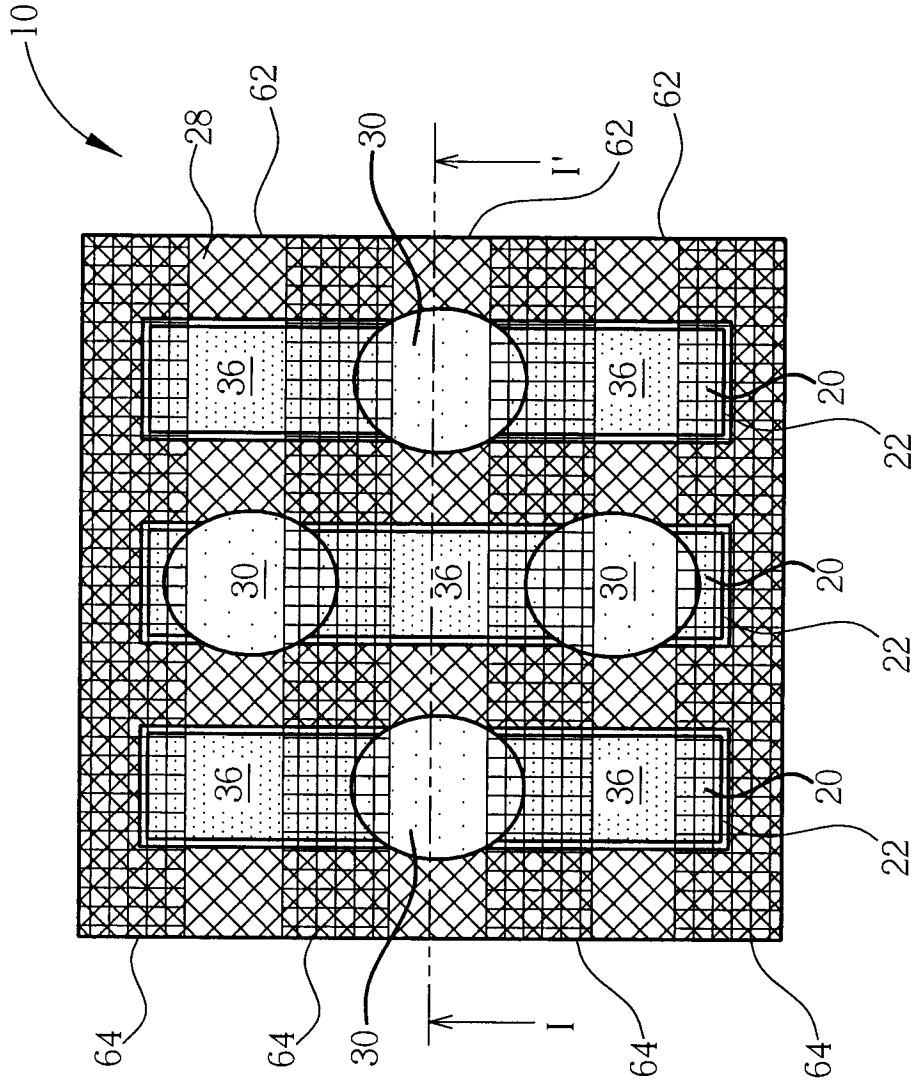
第1圖



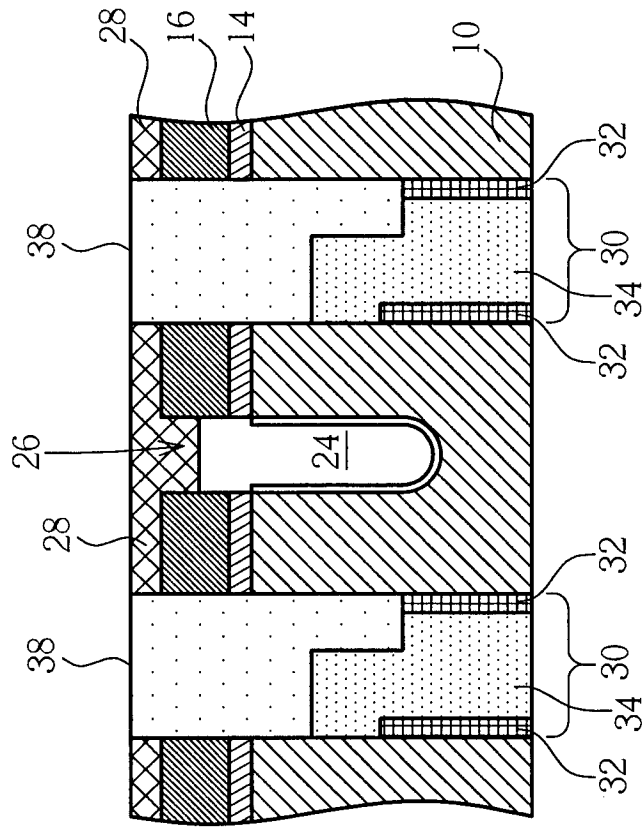
第2圖



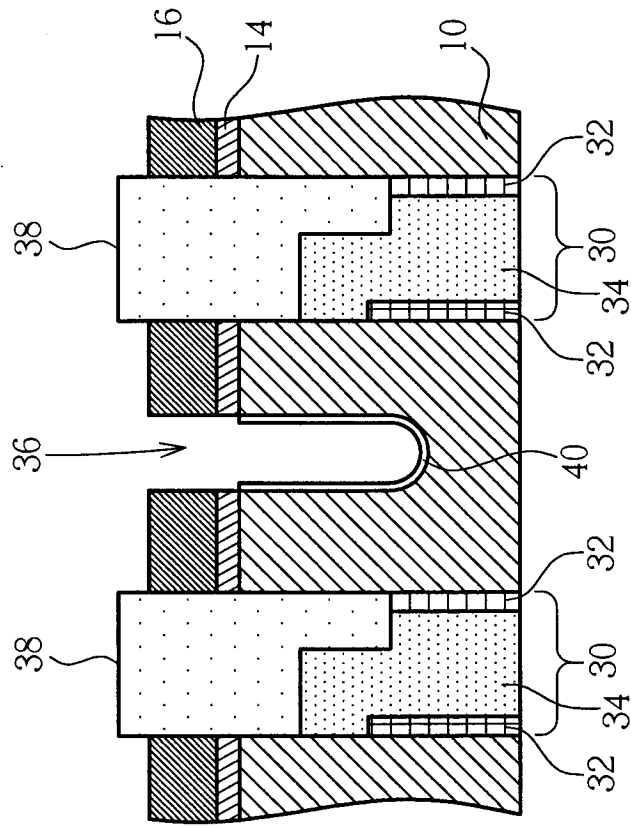
第3圖



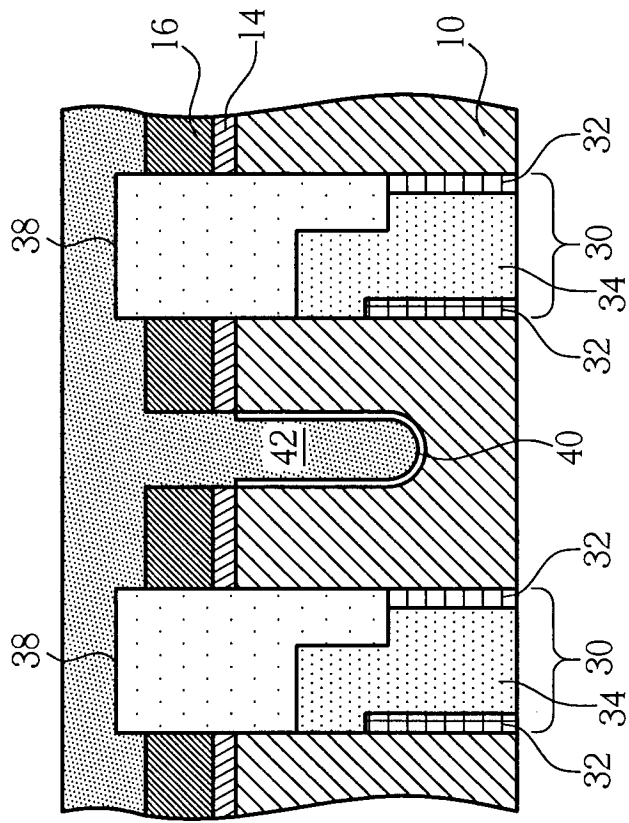
第4圖



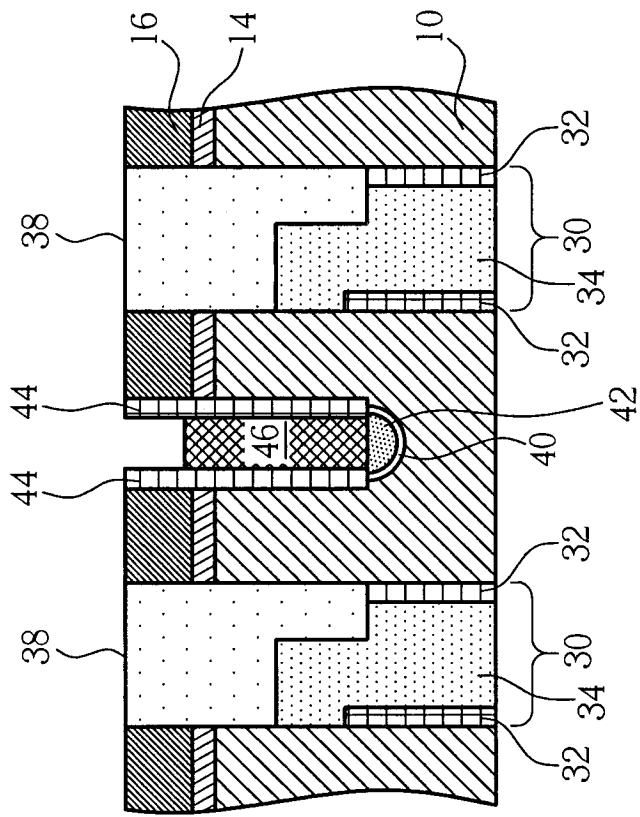
第5圖



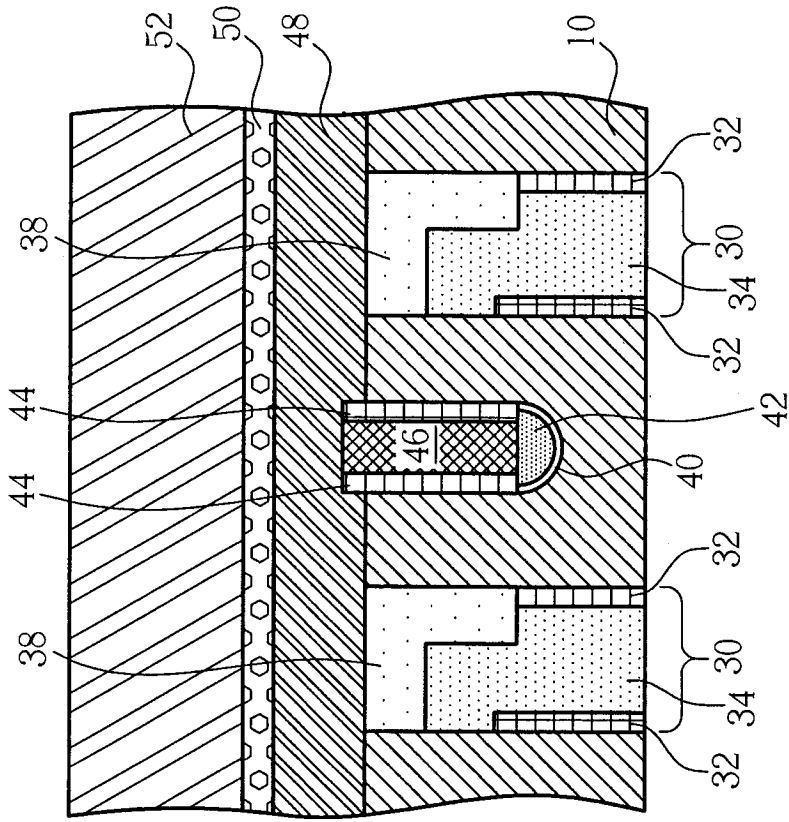
第6圖



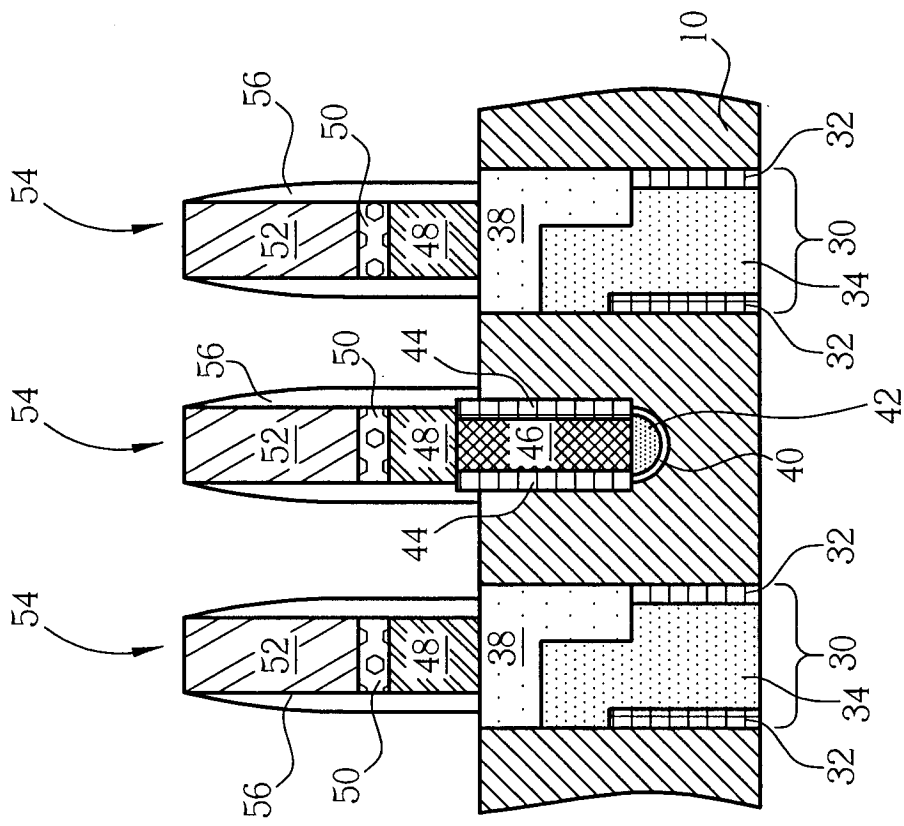
第7圖



第8圖



第9圖



第10圖

**七、指定代表圖：**

(一)本案指定代表圖為：第(4)圖。

(二)本代表圖之元件符號簡單說明：

10：半導體基底

20：直線型凹入式通道

22：介電層

28：氮化矽蓋層

30：溝渠電容連接區結構

36：凹入式通道

62：主動區域

64：淺溝絕緣區域

**八、本案若有化學式時，請揭示最能顯示發明特徵的化學**

**式：**

無