



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0050433
 (43) 공개일자 2008년06월05일

- | | |
|--|---|
| (51) Int. Cl.
G11C 16/02 (2006.01)
(21) 출원번호 10-2008-7007225
(22) 출원일자 2008년03월25일
심사청구일자 2008년03월25일
번역문제출일자 2008년03월25일
(86) 국제출원번호 PCT/IL2006/001101
국제출원일자 2006년09월20일
(87) 국제공개번호 WO 2007/034481
국제공개일자 2007년03월29일
(30) 우선권주장
11/326,336 2006년01월06일 미국(US)
60/720,098 2005년09월26일 미국(US) | (71) 출원인
샌디스크 아이엘 엘티디
이스라엘 44425 크파 사바 아틸 예다 스트리트 7
(72) 발명자
라세르 메나헴
이스라엘 44864 코하브 예르 돌레브 4
(74) 대리인
박종혁, 김정욱, 정삼영, 송봉식 |
|--|---|

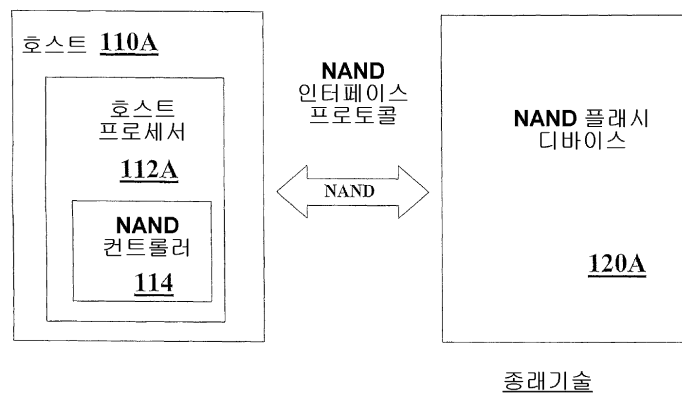
전체 청구항 수 : 총 20 항

(54) NAND 인터페이스를 익스포팅하는 NAND 플래시메모리 컨트롤러

(57) 요약

호스트 디바이스와 플래시 다이 상에 제조된 플래시 메모리 디바이스(예컨대, NAND 플래시 메모리 디바이스) 사이에 인터페이싱을 위한 NAND 컨트롤러가 개시된다. 몇몇 실시예에서, 현재 개시된 NAND 컨트롤러는 컨트롤러 다이 상에 제조된 전자 회로, 플래시 다이와 구별되는 컨트롤러 다이, 전자 회로와 플래시 메모리 디바이스 사이의 인터페이싱을 위한 제1인터페이스(예컨대, 호스트-타입 인터페이스, 예컨대, NAND 인터페이스), 및 NAND 인터페이스인 제2NAND 인터페이스를 포함한다. 몇몇 실시예에 따라, 제1인터페이스는 NAND 인터페이스이다. 또한, 현재 개시된 NAND 컨트롤러를 포함하는 시스템이 개시된다. 또한, 상술된 시스템을 어셈블링하고, NAND 컨트롤러를 사용하여 데이터를 관독하고 기록하는 방법이 개시된다.

대표도



특허청구의 범위

청구항 1

플래시 다이 상에 제조된 플래시 메모리 디바이스와 호스트 디바이스 사이의 인터페이싱을 위한 컨트롤러로서,

- a) 상기 플래시 다이와 구분된 컨트롤러 다이 상에 제조된 전자회로;
- b) 상기 전자회로와 상기 플래시 메모리 디바이스 사이의 인터페이싱을 위한 제1인터페이스; 및
- c) 상기 컨트롤러와 상기 호스트 디바이스 사이의 인터페이싱을 위한 제2인터페이스를 포함하고,

상기 제2인터페이스는 NAND 인터페이스인 것을 특징으로 하는 플래시 다이 상에 제조된 플래시 메모리 디바이스와 호스트 디바이스 사이의 인터페이싱을 위한 컨트롤러.

청구항 2

제 1 항에 있어서, 상기 제1인터페이스는 NAND 인터페이스인 것을 특징으로 하는 플래시 다이 상에 제조된 플래시 메모리 디바이스와 호스트 디바이스 사이의 인터페이싱을 위한 컨트롤러.

청구항 3

제 1 항에 있어서, d) 상기 제1 및 제2인터페이스 중 하나를 통해 수신된 데이터에 대한 에러 보정을 제공하는 에러 보정 모듈을 더 포함하는 것을 특징으로 하는 플래시 다이 상에 제조된 플래시 메모리 디바이스와 호스트 디바이스 사이의 인터페이싱을 위한 컨트롤러.

청구항 4

제 1 항에 있어서, d) 상기 호스트 디바이스와 인터페이싱하기 위한 적어도 하나의 추가 호스트-측 인터페이스를 더 포함하는 것을 특징으로 하는 플래시 다이 상에 제조된 플래시 메모리 디바이스와 호스트 디바이스 사이의 인터페이싱을 위한 컨트롤러.

청구항 5

데이터 저장 시스템으로서,

- a) 플래시 다이 상에 제조된 제1메모리 디바이스; 및
- b) 제 1 항의 컨트롤러를 포함하고,

상기 컨트롤러는 상기 제1인터페이스를 통해 상기 제1메모리 디바이스와 통신하도록 동작하는 것을 특징으로 하는 데이터 저장 시스템.

청구항 6

제 5 항에 있어서,

- c) 공통 패키징을 더 포함하고,

상기 플래시 메모리 디바이스 및 상기 컨트롤러는 모두 상기 공통 패키징 내에 제공되어 있는 것을 특징으로 하는 데이터 저장 시스템.

청구항 7

제 5 항에 있어서,

- c) 분리된 개별 패키징을 더 포함하고,

상기 플래시 메모리 디바이스 및 상기 컨트롤러는 각각 상기 분리된 개별 패키징 내에 제공되어 있는 것을 특징으로 하는 데이터 저장 시스템.

청구항 8

제 5 항에 있어서,

c) 상기 플래시 메모리 디바이스 및 상기 컨트롤러가 마운팅된 인쇄회로기판을 더 포함하고, 상기 플래시 다이 는 상기 인쇄회로기판에 직접적으로 마운팅된 것을 특징으로 하는 데이터 저장 시스템.

청구항 9

제 5 항에 있어서,

c) 상기 플래시 메모리 디바이스 및 상기 컨트롤러가 마운팅된 인쇄회로기판을 더 포함하고, 상기 컨트롤러 다 이는 상기 인쇄회로기판에 직접적으로 마운팅된 것을 특징으로 하는 데이터 저장 시스템.

청구항 10

데이터 저장 시스템으로서,

a) 호스트 디바이스;

b) 플래시 다이 상에 제조된 플래시 메모리 디바이스; 및

c) 상기 제1인터페이스를 통해 상기 플래시 메모리 디바이스와 통신하고, 상기 제2인터페이스를 통해 상기 호스 트 디바이스와 통신하도록 동작하는 청구항 제 1 항의 컨트롤러를 포함하는 것을 특징으로 하는 데이터 저장 시 스템.

청구항 11

데이터 저장 시스템을 제조하는 방법으로서,

a) 플래시 다이 상에 제조된 플래시 메모리 디바이스를 제공하는 단계;

b) 청구항 제1항의 플래시 컨트롤러를 제공하는 단계;

c) 상기 플래시 컨트롤러가 상기 제1인터페이스를 통해 상기 플래시 메모리 디바이스와 통신하도록 동작하기 위 해 상기 플래시 메모리 디바이스에 상기 플래시 컨트롤러를 배치하는 단계를 포함하는 것을 특징으로 하는 데이 터 저장 시스템을 제조하는 방법.

청구항 12

제 11 항에 있어서,

d) 상기 플래시 컨트롤러 및 상기 플래시 메모리 디바이스를 단일 패키지 내에 패키징하는 단계를 더 포함하는 것을 특징으로 하는 데이터 저장 시스템을 제조하는 방법.

청구항 13

제 11 항에 있어서,

상기 플래시 메모리 디바이스 및 상기 플래시 컨트롤러는 분리된 개별 패키지 내에 있고, 상기 배치하는 단계는 상기 개별 패키지를 서로 인게이징하는 단계를 포함하는 것을 특징으로 하는 데이터 저장 시스템을 제조하는 방 법.

청구항 14

제 11 항에 있어서,

d) 상기 플래시 메모리 디바이스 및 상기 컨트롤러를 인쇄회로기판에 마운팅하는 단계를 더 포함하고,

상기 마운팅하는 단계는 상기 플래시 메모리 다이 를 상기 인쇄회로기판에 직접적으로 마운팅하는 단계를 포함하 는 것을 특징으로 하는 데이터 저장 시스템을 제조하는 방법.

청구항 15

제 11 항에 있어서,

d) 상기 플래시 메모리 디바이스 및 상기 컨트롤러를 인쇄회로기판에 마운팅하는 단계를 더 포함하고, 상기 마운팅하는 단계는 상기 컨트롤러를 상기 인쇄회로기판에 직접적으로 마운팅하는 단계를 포함하는 것을 특징으로 하는 데이터 저장 시스템을 제조하는 방법.

청구항 16

제 11 항에 있어서,

d) 상기 플래시 컨트롤러가 상기 제2인터페이스를 통해 호스트 디바이스와 통신하도록 동작하기 위해 상기 호스트 디바이스에 상기 데이터 저장 시스템을 배치하는 단계를 더 포함하는 것을 특징으로 하는 데이터 저장 시스템을 제조하는 방법.

청구항 17

호스트 디바이스로부터 데이터를 기록하는 방법으로서,

- a) 플래시 다이 상에 제조된 플래시 메모리 디바이스, 및 상기 플래시 다이와 구별되는 컨트롤러 다이 상에 제조된 컨트롤러를 제공하는 단계;
- b) NAND 인터페이스 프로토콜에 따라 상기 호스트로부터 상기 컨트롤러로 쓰기 커맨드를 발행하는 단계; 및
- c) NAND 인터페이스 프로토콜에 따라 상기 컨트롤러로부터 상기 플래시 메모리 디바이스로 쓰기 커맨드를 발행하는 단계를 포함하는 것을 특징으로 하는 호스트 디바이스로부터 데이터를 기록하는 방법.

청구항 18

제 17 항에 있어서,

d) 상기 컨트롤러에 의해 패리티 비트를 계산하는 단계를 더 포함하는 것을 특징으로 하는 호스트 디바이스로부터 데이터를 기록하는 방법.

청구항 19

호스트 디바이스로 데이터를 판독하는 방법으로서,

- a) 플래시 다이 상에 제조된 플래시 메모리 디바이스, 및 상기 플래시 다이와 구별되는 컨트롤러 다이 상에 제조된 컨트롤러를 제공하는 단계;
- b) NAND 인터페이스 프로토콜에 따라 상기 호스트로부터 상기 컨트롤러로 읽기 커맨드를 발행하는 단계; 및
- c) NAND 인터페이스 프로토콜에 따라 상기 컨트롤러로부터 상기 플래시 메모리 디바이스로 읽기 커맨드를 발행하는 단계를 포함하는 것을 특징으로 하는 호스트 디바이스로 데이터를 판독하는 방법.

청구항 20

제 19 항에 있어서,

- d) 상기 플래시 메모리 디바이스로부터 상기 컨트롤러로 상기 데이터를 검색하는 단계;
- e) 상기 플래시 메모리 디바이스로부터 상기 컨트롤러로 상기 검색된 데이터와 연관된 패리티 비트를 검색하는 단계;
- f) 상기 검색된 패리티 비트에 따라 상기 검색된 데이터를 보정하여 보정된 데이터를 생성하는 단계; 및
- g) 상기 컨트롤러로부터 상기 호스트 디바이스로 상기 보정된 데이터를 검색하는 단계를 더 포함하는 것을 특징으로 하는 호스트 디바이스로 데이터를 판독하는 방법.

명세서

기술분야

<1> 본 발명은 표준 NAND 플래시 메모리 디바이스에 의해 익스포팅되는 동일한 타입의 인터페이스를 호스트 컴퓨터

로 익스포팅하는 NAND 플래시 메모리 컨트롤러에 관한 것이다.

배경 기술

- <2> 단일 비트 및 멀티-비트 플래시 메모리 셀
- <3> 플래시 메모리 디바이스는 수년 동안 공지되어 왔다. 전형적으로, 플래시 메모리 디바이스 내의 각각의 메모리 셀은 1비트의 정보를 저장한다. 플래시 메모리 셀에 비트를 저장하는 전통적인 방법은 메모리 셀의 두 상태를 지원하는 것이었다. 한 상태는 논리적 "0"을 나타내고, 다른 상태는 논리적 "1"을 나타낸다.
- <4> 플래시 메모리 셀에서, 이러한 두 상태는 셀의 채널(그 셀의 트랜지스터의 소스 및 드레인 엘리먼트를 연결하는 영역) 위에 놓인 플로팅 게이트를 가짐으로써, 그리고, 그 플로팅 게이트 내에 저장된 전하의 크기에 대한 두 유효 상태를 가짐으로써 구현된다. 전형적으로 한 상태는 플로팅 게이트에서 0 전하를 가지고, 삭제된 후의 셀의 기록되지 않은 상태이고(일반적으로 "1" 상태를 나타내도록 정의됨), 다른 상태는 플로팅 게이트에서 임의의 크기의 음전하를 가진다.(일반적으로 "0" 상태를 나타내도록 정의됨). 게이트 내에 음전하를 가지는 것은 셀의 트랜지스터의 임계 전압(즉, 트랜지스터를 도전시키기 위해 트랜지스터의 컨트롤 게이트에 인가되어야 하는 전압)을 증가시킨다. 그 셀의 임계 전압을 체크함으로써, 저장된 비트를 판독하는 것이 가능하다. 임계 전압이 더 높은 상태에 있으면, 그 비트 값은 "0"이고, 임계 전압이 더 낮은 상태에 있으면, 그 비트 값은 "1"이다. 실제로, 셀의 임계 전압을 정확하게 판독할 필요는 없다. 현재 그 셀이 두 상태 중 어느 상태에 위치하는지만 정확하게 식별하는 것이 필요한 전부이다. 이러한 목적을 위해, 두 상태 사이의 기준 전압과 그 셀의 임계 전압을 비교하고, 그 셀의 임계 전압이 그 기준값 보다 큰지 작은지를 판정하는 것으로 충분하다.
- <5> 도 1A(종래기술)은 이들이 어떻게 동작하는지는 그래픽적으로 도시한다. 더욱 상세하게, 도 1A는 다수의 셀의 임계 전압의 분포를 도시한다. 플래시 디바이스 내의 셀은 (예를 들어, 불순물 농도의 작은 편차 또는 실리콘 구조의 결함으로 인해) 그 특성 및 동작이 정확하게 일치하지는 않기 때문에, 모든 셀에 대하여 동일한 프로그래밍 오퍼레이션을 적용하는 것은 모든 셀이 정확하게 동일한 임계 전압을 가지게 하지 못한다. 그 대신, 임계 전압은 도 1A에 도시된 바와 같이 분포되어 있다. "1"의 값을 저장하는 셀은 전형적으로 음의 임계 전압을 가지고, 대부분의 셀은 도 1A의 (1로 표시된)좌측 피크의 중심 전압 값에 가까운 임계 전압을 가지고, 몇몇 셀은 좌측 피크의 중심 전압보다 더 크거나 작은 임계 전압을 가진다. 이와 유사하게, "0"의 값을 저장하는 셀은 전형적으로 양의 임계 전압을 가지고, 대부분의 셀은 도 1A의 (0으로 표시된)우측 피크의 중심 전압 값에 가까운 임계 전압을 가지고, 몇몇 셀은 우측 피크의 중심 전압보다 더 크거나 작은 임계 전압을 가진다.
- <6> 최근에, "멀티 레벨 셀"(MLC)을 사용하는, 새로운 종류의 플래시 디바이스가 시장에 등장하였다. 용어 "멀티-레벨 셀"은 셀당 단일 비트를 가진 플래시 메모리가 복수의, 즉 상술한 바와 같은 두 레벨을 사용하기 때문에, 오해될 수 있다. 그러므로, 용어 "단일 비트 셀"(SBC)은 지금부터 두 레벨의 메모리 셀을 언급하기 위해 사용되고, 용어 "멀티-비트 셀"(MBC)은 지금부터 두 레벨 이상, 즉 셀당 1비트 이상인 메모리 셀을 언급하기 위해 사용된다. 현재의 대부분의 일반적인 MBC 플래시 메모리는 셀당 두 비트를 가진 것이고, 그러므로, 예들은 이러한 MBC 메모리를 사용하는 것으로 아래에 주어져 있다. 그러나, 본 발명은 셀당 두 비트 이상을 지원하는 플래시 메모리 디바이스에 동등하게 적용가능함을 이해해야 한다. 두 비트의 정보를 저장한 단일 MBC 셀은 4개의 상이한 상태 중 하나이다. 셀의 "상태"는 셀의 임계 전압으로 표현되기 때문에, MBC 셀은 셀의 임계 전압에 대하여 4개의 상이한 유효 범위를 지원한다. 도 1B(종래기술)는 셀당 두 비트의 전형적인 MBC 셀에 대한 임계 전압 분포를 도시한다. 예상한 바와 같이, 도 1B는 4개의 피크를 가지고, 각각의 피크는 하나의 상태에 대응한다. SBC와 마찬가지로, 각각의 상태는 실제로 전압 범위이고, 단일 전압이 아니다. 셀의 내용을 판독할 때, 셀의 임계 전압은 한정된 전압 범위 내에서 정확하게 식별되어야 한다. 종래기술의 예의 MBC 플래시 디바이스에 대하여, 'Harari'의 미국특허번호 제5,434,825호를 참조하라.
- <7> 예컨대, 4 상태의 MBC 오퍼레이션에 대하여 설계된 셀은 전형적으로 두 상태를 가진 SBC와 유사하게 동작가능하다. 예를 들어, 'Conley et al.'의 미국특허번호 제6,426,893호는 동일한 디바이스 내에서, MBC 및 SBC 모드를 모두 사용하고, 그 디바이스의 임의의 부분은 MBC 모드로 가장 높은 밀도로 동작하도록 선택하고, 다른 부분은 더 좋은 성능을 제공하기 위해 SBC 모드로 사용되는 것을 개시한다.
- <8> MBC 디바이스는 상당한 비용 이점을 제공한다. 셀당 두 비트를 가진 MBC 디바이스는 유사한 용량의 SBC의 대략 절반 면적의 실리콘 웨이퍼를 필요로 한다. 그러나, MBC 플래시를 사용하는 것은 단점이 있다. MBC 메모리의 평균 판독 및 쓰기 시간은 SBC 메모리보다 더 길어 성능을 저하시킨다. 또한, MBC의 신뢰도는 SBC 보다 낮다. MBC 내의 임계 전압 범위 간의 차이가 SBC 보다 훨씬 더 작다. 그러므로, 두 상태 간의 큰 갭으로 인해 SBC에

서는 크기 않았던, 임계 전압 내의 변동(예컨대, 임계 전압을 드리프트시키는 저장된 전하의 누수, 또는 이웃 셀의 동작에 의한 간섭)는 MBC 셀을 한 상태에서 다른 상태로 이동시킬 수 있고, 에러 비트를 야기한다. 최종적인 결과는 데이터 보유 시간, 또는 많은 쓰기/삭제 사이클에 대한 디바이스의 내구성에 관하여 MBC 셀의 더 낮은 성능 스펙이다.

<9> NAND 플래시 메모리 디바이스

<10> 플래시 메모리 디바이스는 전형적으로 NOR 디바이스와 NAND 디바이스로 구분되고, 이는 개별 메모리가 셀 어레이 내에서 상호연결된 방법에서 유래된 이름이다. NOR 디바이스는 랜덤 액세스이다 - NOR 플래시 디바이스에 액세스하는 호스트 컴퓨터는 그것의 어드레싱 핀 상의 임의의 어드레스에 디바이스를 제공할 수 있고, 그 디바이스의 데이터 핀 상의 그 어드레스에 저장된 데이터를 즉시 검색할 수 있다. 한편, NAND 디바이스는 랜덤 액세스가 아니라 시리얼 액세스이다. NOR 대하여 상술된 방법으로 임의의 랜덤 어드레스를 액세스하는 것은 불가능하다 - 그 대신 호스트는 요청된 커맨드(예컨대, 판독, 기록, 삭제 등)의 타입 및 그 커맨드에 대하여 사용될 어드레스를 모두 식별하는 일 시퀀스의 바이트를 그 디바이스에 기록해야 한다. 어드레스는 단일 바이트 또는 워드가 아니라, 페이지(플래시 메모리 메모리가 단일 오퍼레이션에서 기록될 수 있는 최소 정크), 또는 블록(플래시 메모리가 단일 오퍼레이션에서 삭제될 수 있는 최소 정크)을 식별한다. 읽기 및 쓰기 커맨드 시퀀스가 단일 바이트 또는 워드의 어드레스를 포함하는 것은 사실이지만, 실제로 NAND 플래시 디바이스는 완전한 페이지를 항상 메모리 셀로부터 판독하고, 메모리 셀에 기록한다. 한 페이지의 데이터가 어레이로부터 디바이스 내의 버퍼로 판독된 후, 호스트는 스트로브 신호를 사용하여 그것을 시리얼로 클럭킹함으로써 하나씩 데이터 바이트 또는 워드에 액세스할 수 있다.

<11> NAND 디바이스의 비-랜덤 액세스로 인해, 그들은 플래시 메모리로부터 직접적으로 코드를 실행하기 위해 사용될 수 없다. 이것은 (전형적으로, "제자리 실행" 또는 "XIP"라 불리는) 다이렉트 코드 실행을 지원하는 NOR 디바이스와 대조적이다. 그러므로, NOR 디바이스는 코드 저장을 위해 전형적으로 사용된다. 그러나, NAND 디바이스는 데이터 저장을 위해 매우 유용한 장점을 가진다. NAND 디바이스는 동일한 비트 용량의 NOR 디바이스 보다 값싸고, 또는 동등하게 - NAND 디바이스는 동일한 비용으로 NOR 디바이스 보다 더 많은 비트의 저장을 제공한다. 또한, NAND 디바이스의 기록 및 삭제 성능은 NOR 디바이스의 성능보다 훨씬 더 빠르다. 이러한 장점은 NAND 플래시 메모리 기술을 데이터를 저장하기 위한 기술로 선택되게 한다.

<12> NAND 인터페이스 프로토콜

<13> 전형적인 SBC NAND 디바이스는 2Gbit의 저장용량을 제공하는 Toshiba TC58NVG1S3B이다. 전형적인 MBC NAND 디바이스는 4Gbit의 저장용량을 제공하는 Toshiba TC58NVG2D4B이다.

<14> 상술된 데이터 시트로부터 볼 수 있는 바와 같이, 이들 두 NAND 디바이스는 유사한 인터페이스를 가진다. 이 NAND 디바이스들은 NAND 플래시 메모리와 호스트 디바이스 사이에 데이터 전달 및 커맨드를 조절하기 위한 동일한 전기적 신호를 사용한다. 이 신호는 데이터 라인 및 몇 가지 컨트롤 신호를 포함한다 - ALE(어드레스 래치 이네이블), CLE(커맨드 래치 이네이블), WE(기록 이네이블) 등. SBC 및 MBC 디바이스는 그 동작에 있어서 완전히 일치하지는 않는다 - MBC 페이지에 기록하는데 걸리는 시간은 SBC 페이지에 기록하는데 걸리는 시간 보다 훨씬 더 길다. 그러나, 두 디바이스에서 사용되는 전기적 신호 및 그 기능은 동일하다. 이러한 타입의 인터페이스 프로토콜은 "NAND 인터페이스"로 공지되어 있다. "NAND 인터페이스 프로토콜"이, 오늘날 까지, 표준 바디에 의해 형식적으로 표준화되어 있지 않더라도, NAND 플래시 디바이스의 제조자는 모두 NAND 플래시 기능의 기본 서브셋을 지원하기 위해 동일한 프로토콜을 따른다. 이것은 전자 제품 내에 NAND 디바이스를 사용하는 고객이 특별한 벤더의 디바이스와 함께 오퍼레이팅하기 위해 그들의 하드웨어 또는 소프트웨어를 맞춤할 필요없이 NAND 디바이스를 사용할 수 있게 한다. 기능부의 이러한 기본 서브셋 아래에 추가 기능부를 제공하는 NAND 벤더 조차도 적어도 몇몇 확장에 대하여, 다른 벤더에 의해 사용되는 프로토콜과 호환성을 제공하기 위해 그 기본 기능부가 제공되어 있음을 보장함을 알아야 한다.

<15> 이러한 어플리케이션에서, 용어 "NAND 인터페이스 프로토콜"(또는 짧게 "NAND 인터페이스")은 모든 시간 파라미터에 대하여 완전히 호환가능하지 않거나, NAND 디바이스에 의해 지원되는 다른 커맨드에 대하여 완전히 호환가능하지 않거나, 또는 NAND 디바이스에 의해 지원되지 않는 추가 커맨드를 포함하더라도, 최초 디바이스와 일반적으로 기본적인 판독, 기록, 및 삭제 오퍼레이션에 대하여 호스트 디바이스와 NAND 플래시 디바이스 사이에 프로토콜에 따르는 응답 디바이스 사이의 인터페이스를 의미한다. 즉, 용어 "NAND 인터페이스"는 판독(opcode 00H), 기록(opcode 80H), 및 삭제(opcode 60H)에 대하여 Toshiba TC58NVG1S3B NAND 디바이스와 인터페이싱할 때 사용되는 일 시퀀스의 바이트와 기능적으로 동일한 시퀀스의 전달된 바이트를 사용하고, 또한 상기 NAND 디

바이스의 CLE, ALE, CE, WE, 및 RE 신호에 대하여 기능적으로 동등한 컨트롤 신호를 사용하는 임의의 인터페이스를 말한다.

- <16> "NAND 인터페이스 프로토콜"은 대칭이 아님을 알아야 한다. 그러므로, 그것은 항상 NAND 인터페이스 상으로 인터랙션을 개시하는 호스트 디바이스이고, 플래시 메모리 디바이스는 아니다.
- <17> 주어진 디바이스(예컨대, 컨트롤러, 플래시 디바이스, 호스트 디바이스 등)는 주어진 디바이스가 (예컨대, NAND 인터페이스 프로토콜을 사용하는 다른 디바이스와 인터랙션하기 위해) NAND 인터페이스 프로토콜을 지원하기 위해 필수적인 엘리먼트(예컨대, 하드웨어, 소프트웨어, 펌웨어, 또는 이들의 임의의 조합)를 포함한다면, "NAND 인터페이스"를 포함한다고 한다.
- <18> 주어진 디바이스(예컨대, 컨트롤러 디바이스)의 인터페이스(예컨대, NAND 인터페이스 또는 다른 프로토콜과 연관된 인터페이스)는 "호스트-측 인터페이스"일 수 있고(예컨대, 주어진 디바이스는 호스트-측 인터페이스를 사용하여 호스트와 인터랙션하도록 조절되어 있다), 또는 주어진 디바이스의 인터페이스는 "플래시 메모리 디바이스-측 인터페이스"일 수 있다(예컨대, 주어진 디바이스는 플래시 메모리 디바이스-측 인터페이스를 사용하여 플래시 메모리 디바이스와 인터랙션하도록 조절되어 있다). 용어 "플래시 메모리 디바이스-측 인터페이스", "플래시 디바이스-측 인터페이스" 및 "플래시-측 인터페이스"는 본 명세서에서 상호치환가능하게 사용된다.
- <19> 이러한 용어(즉, "호스트-측 인터페이스" 및 "플래시 디바이스-측 인터페이스")들은 프로토콜이 대칭이지 않을 때, NAND 인터페이스 프로토콜의 양측 사이를 구분하기 위해 본 명세서에서 사용되는 용어인, 용어 "호스트-타입 인터페이스" 및 "플래시-타입 인터페이스"와 혼동하지 않아야 한다. 또한, 그것은 항상 인터랙션을 개시하는 호스트이기 때문에, 그 디바이스가 NAND 인터페이스 프로토콜의 호스트 측을 구현하기 위한(즉, NAND 호스트를 나타내기 위해, 그리고 NAND 프로토콜 인터페이스 프로토콜을 개시하기 위한) 필수 하드웨어 및/또는 소프트웨어를 포함한다면, 주어진 디바이스는 "호스트-타입 인터페이스"라 불림을 알아야 한다. 이와 유사하게, 플래시 디바이스는 인터랙션을 결코 개시하지 않기 때문에, 디바이스가 NAND 인터페이스 프로토콜의 플래시 측을 구현하기 위한(즉, NAND 플래시 디바이스를 나타내기 위한) 필수 하드웨어 및/또는 소프트웨어를 포함한다면, 주어진 디바이스는 "플래시-타입 인터페이스"라 불림을 알아야 한다.
- <20> 전형적으로, "호스트-타입 인터페이스"(즉, 호스트 역할을 수행하는 것)는 "플래시 디바이스-측 인터페이스"(즉, 그들은 플래시 디바이스와, 또는 플래시 디바이스를 에뮬레이션하는 하드웨어와 인터랙션한다)이고, "플래시 디바이스-타입 인터페이스"(즉, 플래시 디바이스 역할을 수행하는 것)는 전형적으로 "호스트-측 인터페이스"(즉, 그들은 호스트 디바이스와, 또는 호스트 디바이스를 에뮬레이션하는 하드웨어와 인터랙션한다)이다. 이러한 어플리케이션에서, 용어 "호스트 디바이스"(또는 짧게 "호스트")는 파워 프로세싱을 가지고, 플래시 메모리 디바이스와 인터페이스할 수 있는 임의의 디바이스를 의미한다. 호스트 디바이스는 퍼스널 컴퓨터, PDA, 휴대전화, 게임 콘솔 등일 수 있다.
- <21> 전형적으로, NAND 디바이스는 함께 인터페이스하고 동작하는 것이 비교적 어렵다. 이에 대한 한가지 이유는 상술된 바와 같이, 그들을 액세스하기 위한 (NOR 디바이스와 비교하여) 비교적 더 복잡한 프로토콜이다. 다른 어려움은, NOR 디바이스가 항상 보정된 데이터를 반환하는 것으로 가정될 수 있는 것과 대조적으로, NAND 디바이스로부터 판독된 데이터 내의 에러의 존재이다. 이러한 본질적인 NAND 디바이스의 비-신뢰성은 에러 검출 코드(EDC) 및 에러 보정 코드(ECC)의 사용을 필요로 한다.
- <22> SBC NAND 플래시 디바이스의 제조자는 전형적으로 사용자에게 각각의 페이지의 512바이트의 데이터에 1비트 에러를 보정할 수 있는 에러 보정 코드를 적용하도록 조언한다. 그러나, MBC NAND 플래시 디바이스의 데이터 시트는 전형적으로 각각의 페이지의 512바이트의 데이터에서 4비트 에러를 보정할 수 있는 ECC를 적용하도록 조언한다. ("큰 블록 디바이스"로 공지된) 상술된 NAND 디바이스의 경우와 같이, 2048 바이트 크기의 페이지에 대하여, 페이지의 각 512바이트 부분마다 에러 보정을 적용할 것을 제안한다. 이러한 어플리케이션에서, 용어 "N-비트 ECC"는 512바이트가 한 페이지의 크기이든, 한 페이지 보다 작든, 또는 크든 관계없이 512바이트의 데이터에서 N비트 에러를 보정할 수 있는 ECC 스킴을 의미한다.
- <23> NAND 컨트롤러
- <24> NAND 디바이스의 복잡도 때문에, 전자 시스템 내의 NAND 디바이스의 사용을 컨트롤하기 위해 "NAND 컨트롤러"를 사용하는 것이 공통된 실시이다. NAND 컨트롤러를 개입하지 않고, 호스트 디바이스에 의해 직접적으로 NAND 디바이스를 동작하고 사용하는 것이 가능하다는 것은 사실이고, 실제로 이와 같이 동작하는 시스템이 존재한다. 그러나, 이러한 아키텍처는 많은 단점을 가지고 있다. 첫째, 호스트는 호스트에 대하여 시간-소비적이고, 성가

신 NAND 디바이스의 컨트롤러 신호(예컨대, CLE 또는 ALE) 중 각각의 하나를 개별적으로 조절해야 한다. 둘째, EDC 및 ECC의 지원은 호스트 상에 심각한 부담을 준다 - 패리티 비트가 기록될 각각의 페이지에 대하여 계산되어야 하고, 에러 검출 계산(및 때때로 에러 보정 계산)이 호스트에 의해 수행되어야 한다. 이것은 모두 이러한 "컨트롤러 없는" 아키텍처를 상대적으로 느리고 비효율적으로 만든다.

- <25> NAND 컨트롤러를 사용하는 것은 NAND 디바이스를 사용할 때 호스트의 작업량을 상당히 감소시킨다. 프로세서는 사용하기 훨씬 더 편리한 프로토콜을 사용하는 컨트롤러와 인터액션한다 - 페이지에 기록하기 위한 요청은 복잡한 시퀀스의 컨트롤 라인 및 NAND 커맨드 코드와 함께 성가시게 하는 대신, 어드레스 및 데이터가 따르는 단일 커맨드 코드로서 전송될 수 있다. 그 다음, 컨트롤러는 호스트 컨트롤러 프로토콜을 동등한 NAND 프로토콜 시퀀스로 변환하고, 호스트는 다른 작업을 수행하는 것(또는 원한다면, 완료할 때까지 NAND 오퍼레이션을 대기하는 것)으로부터 자유롭다.
- <26> NAND 컨트롤러가 시스템 내에 상주하는 위치에 관하여 종래기술에 몇 가지 선택이 있다. 제1접근법은 도 2에 도시되어 있다. 여기서, NAND 컨트롤러(114)는 물리적으로 호스트 디바이스(110A)의 호스트 프로세서(112A) 내에 위치한다. 호스트 프로세서(112A)가 단일 다이에 구현된다면, 컨트롤러(114)는 동일 다이 상에 통합된다. 이것은 예를 들어, 텍사스 인스트루먼트에 의해 제조되고 판매되는 몇몇 OMAP 프로세서인 경우이다. 이러한 아키텍처를 사용하여 제조된 시스템에서, 호스트 프로세서는 전형적으로 몇몇 독점적인 프로토콜을 사용하는 NAND 컨트롤러와 인터액션하는데, 이러한 인터액션은 호스트 프로세서 내부이고, 표준 프로토콜을 사용하는데 장점이 없기 때문이다.
- <27> 제2의 종래기술의 접근법은 도 3A-3B에 도시되어 있다. 여기서, NAND 컨트롤러(116)는 호스트(11B)의 호스트 프로세서(112B)와 NAND 디바이스(120A) 사이에 상주하는, 분리된 물리적 엘리먼트이다. 이것은 예를 들어, UFD 안에 패키징되어 있고, 한 측에서 NAND 디바이스(120A)와 디바이스측 NAND 인터페이스(124)를 사용하여, 다른 측에서 호스트 프로세서(112B)와 (USB 프로토콜을 사용하는 호스트측 USB 인터페이스(122)를 사용하여) 인터액션하는 NAND 컨트롤러(116)가 있는, 엠-시스템즈 플래시 디스크 파이오니어에 의해 제조되고 판매되는 DiskOnKey와 같은, 휴대용 USB 플래시 드라이브(UFD)인 경우이다. 이러한 아키텍처를 사용하여 제조된 시스템에서, 호스트 프로세서는 전형적으로 USB 또는 ATA와 같은 표준 프로토콜을 사용하여 NAND 컨트롤러와 인터액션하는데, 이는 이러한 인터액션이 프로세서의 외부이고, 다른 목적을 위해 프로세서에 의해 이미 지원되는 표준 프로토콜을 사용하는 것이 더 편리하기 때문이다.
- <28> 앞서 정의된 용어에 따라, NAND 인터페이스(124)는 "플래시 메모리 디바이스측 NAND 인터페이스"이지만(즉, NAND 플래시 디바이스(120A)와 인터액션하도록 조절되어 있지만), 동시에 NAND 인터페이스(124)는 또한 호스트-타입 NAND 인터페이스(즉, NAND 프로토콜 인터액션을 초기화하도록 조절되어 있는)임을 알아야 한다.
- <29> 제3의 종래기술의 접근법은 도 4에 도시되어 있다. 여기서, NAND 컨트롤러(118)는 물리적으로 NAND 디바이스(120B) 내에 위치한다. 플래시 디바이스 및 컨트롤러는 동일 다이 상에 구현될 수 있다. 이것은 예를 들어, 엠-시스템즈 플래시 디스크 파이오니어에 의해 제조되고 판매되는 몇몇 MDOC 저장기기, 및 삼성전자에 의해 제조되고 판매되는 OneNAND 디바이스인 경우이다. 이러한 아키텍처를 사용하여 제조된 시스템에서, 호스트 프로세서(112B)는 상술된 MDOC 및 OneNAND의 예의 경우와 같이, 전형적으로 USB와 같은 표준 프로토콜, 또는 반(semi)-표준 프로토콜 중 하나를 사용하는 NAND 컨트롤러와 인터액션한다.
- <30> (NAND 디바이스 및 호스트 프로세서 모두와 통합되지 않은) 종래기술의 스탠드-얼론 NAND 컨트롤러가 전형적으로 그것의 호스트 측에 표준 인터페이스, 및 그것의 플래시 메모리 디바이스측에 NAND 인터페이스를 가짐을 상술된 내용으로부터 추론할 수 있다. 실제로, 많은 인터페이스 타입 - USB, SD(SecureDigital), MMC(MultiMediaCard) 등을 익스포팅하는 NAND 컨트롤러를 마켓에서 찾을 수 있다. 그러나, NAND 인터페이스를 호스트로 익스포팅하는 스탠드-얼론 NAND 컨트롤러는 현재 찾을 수 없다. 실제로, 빌트-인 NAND를 가지지 않는 호스트 프로세서는 그 목적을 위해 외부 컨트롤러를 지원하고 요구하고, 전형적으로 NAND 인터페이스를 가지지 않고, NAND 인터페이스를 익스포팅하는 디바이스에 직접적으로 연결될 수 없고, 그러므로 호스트-측 NAND 인터페이스와의 컨트롤러를 사용하지 않는다. 반면에, 빌트-인 NAND를 가진 호스트 프로세서는 전형적으로 빌트-인 NAND 컨트롤러를 포함하고, NAND 디바이스에 직접적으로 연결될 수 있고, 그러므로, 외부 NAND 컨트롤러를 필요로 하지 않는다.
- <31> 상술된 종래기술은 해결되지 않은 한가지 문제점을 남긴다. 도 2에 도시된 바와 같이, 빌트-인 NAND 컨트롤러 및 NAND 인터페이스를 통합한 호스트 프로세서가 있음을 가정한다. 빌트-인 컨트롤러는 임의의 레벨의 신뢰성의 NAND 디바이스와 함께 동작하도록 설계되어 있다. 이것은 NAND 컨트롤러가 임의의 레벨의 에러 검출 및 보

정을 제공하기 때문이고, 그러므로, 더 낮은 신뢰성을 가진 NAND 디바이스를 지원할 수 없다. 예를 들어, 1-비트 ECC를 가진 NAND 컨트롤러는 이러한 레벨의 에러 보정만 요구하도록 그들의 제조자에 의해 특정된 SBC NAND 디바이스와 함께 동작할 수 있다. 이러한 컨트롤러는 그들이 4-비트 ECC를 요구하기 때문에, 셀당 2비트의 MBC NAND 디바이스와 함께 동작할 수 없고, 그러므로, 몇몇 데이터는 그 프로세서로 정확하게 판독될 수 없을 것이다. 이와 유사하게, 4-비트 ECC를 제공하는 NAND 컨트롤러는 현재 셀당 2비트의 MBC NAND와 함께 동작할 수 있지만, 아마도 대부분 더 높은 레벨의 ECC 용량을 요구할 다음 세대의 MBC NAND 디바이스와 함께 동작하지 못할 것이다.

- <32> 이것은 미래의 MBC NAND 디바이스가 현재의 MBC 디바이스 보다 낮은 신뢰성을 가지고, 훨씬 더 강한 ECC 용량을 요구할 것으로 기대되기 때문이다. 감소된 신뢰성 및 증가된 에러율에 대한 이유는 다음 두가지이다:
- <33> a. NAND 디바이스를 제조하기 위해 사용되는 프로세스는 더 작은 메모리 셀을 생산하기 위해 지속적으로 개선된다. 몇년 전의 NAND 디바이스는 0.4마이크로미터 프로세스를 사용하였으나, 현재 그들은 90nm 및 70nm 기술을 사용하고, 이러한 감소 경향은 계속될 것으로 예상된다. 메모리 셀의 감소하는 치수와 함께, 신뢰성은 더 낮아지고, 작은 치수는 셀을 이전에는 중요하지 않던 물리적 효과 및 현상에 더 민감하게 만들 것이다.
- <34> b. 셀당 2이상의 비트를 가진 MBC 셀이 상업적으로 사용가능해질 때, 그들은 반드시 SBC 셀 및 셀당 2비트의 MBC 셀 보다 훨씬 낮은 신뢰성을 가질 것이다. 셀의 임계 전압에 의해 표현되어야 하는 더 많은 수의 상태는 상태 사이의 마진이 더 작고, 심지어 더 작은 왜곡 및 드리프트도 데이터의 잘못된 판독을 야기할 수 있음을 암시한다. 이러한 효과는 ECC 요구사항이 1-비트 ECC에서 4-비트 ECC로 증가된, SLC와 셀당 2비트의 MBC 사이의 비교에서 이미 목격되었다.
- <35> 지금부터 빌트-인 NAND 컨트롤러(114)를 갖춘 호스트 프로세서(112A)로 돌아가면, 컨트롤러(114)는 1-비트 ECC 만 지원하는 것으로 가정한다. 그 다음, 이 프로세서는 MBC NAND의 더 낮은 비용 때문에, 매우 바람직하다 하더라도 MBC NAND를 사용할 수 없을 것이다. MBC NAND가 이 프로세서의 빌트-인 컨트롤러의 NAND 인터페이스에 연결되어 있다면, MBC NAND는 빌트-인 컨트롤러의 제한된-용량의 ECC에 대하여 보정하기 너무 많은 에러를 발생할 것이다.
- <36> 이와 유사하게, 빌트-인 컨트롤러가 4-비트 ECC를 지원한다면, 이것은 SLC 및 셀당 2비트의 MBC NAND 모두 사용할 수 있다. 낮은 신뢰성을 가진 NAND 디바이스가 시장에 나타날 때, 이 프로세서는 그것의 빌트-인 컨트롤러가 요구되는 레벨의 에러 보정을 제공할 수 없기 때문에 그들의 낮은 가격으로 인한 장점을 얻을 수 없다.
- <37> 그러므로, 종래기술의 상태가 이전 세대의 NAND 디바이스를 지원하기 위해 설계된 빌트-인 NAND 컨트롤러를 통합한 호스트 프로세서를 사용하면, 새로운 NAND 디바이스의 비용적인 장점을 취하는 문제에 좋은 해결책을 제공하지 않음을 주목한다.
- <38> 온보드 NAND 컨트롤러를 갖춘 호스트 디바이스와 후속 세대의 NAND 플래시 메모리 디바이스 사이에 상호호환성을 제공하는 디바이스 및 방법에 대한 계속된 수요가 있다.

발명의 상세한 설명

- <39> 상술된 필요성은 본 발명의 몇 가지 형태에 의해 충족된다.
- <40> 지금부터 플래시 다이 상에 제조된 플래시 메모리 디바이스(예컨대, NAND 플래시 메모리 디바이스)와 호스트 디바이스 사이의 인터페이싱을 위한 컨트롤러가 가장 먼저 개시된다. 현재 개시된 컨트롤러는 (a) 플래시 다이와 구분된 컨트롤러 다이 상에 제조된 전자회로, (b) 전자회로와 플래시 메모리 디바이스(예컨대, 플래시-타입 인터페이스) 사이의 인터페이싱을 위한 제1인터페이스(예컨대, 호스트-타입 인터페이스), 및 (c) 컨트롤러와 호스트 디바이스 사이의 인터페이싱을 위한 제2인터페이스(예컨대, 플래시-타입 인터페이스)를 포함하고, 상기 제2 인터페이스는 NAND 인터페이스이다.
- <41> 몇몇 실시예에 따라, 제1인터페이스는 인터-다이 인터페이스이다.
- <42> 몇몇 실시예에 따라, 제1인터페이스는 NAND 인터페이스이다.
- <43> 몇몇 실시예에 따라, 현재 개시된 컨트롤러는 (d) 제1 및 제2인터페이스 중 하나를 통해 수신된 데이터에 대한 에러 보정을 제공하는 에러 보정 모듈을 더 포함한다.
- <44> 몇몇 실시예에 따라, 현재 개시된 컨트롤러는 (d) 호스트 디바이스와 인터페이싱하기 위한 적어도 하나의 추가

호스트-측 인터페이스를 더 포함한다.

- <45> 지금부터, 데이터 저장 시스템으로서, (a) 플래시 다이 상에 제조된 제1메모리 디바이스, 및 (b) 현재 개시된 NAND 컨트롤러를 포함하고, 상기 컨트롤러는 제1인터페이스를 통해 플래시 메모리 디바이스와 통신하도록 동작하는 데이터 저장 시스템이 개시된다.
- <46> 몇몇 실시예에 따라, 현재 개시된 시스템은 (c) 공통 패키징을 더 포함하고, 플래시 메모리 디바이스 및 컨트롤러는 모두 공통 패키징 내에 제공된다.
- <47> 몇몇 실시예에 따라, 현재 개시된 시스템은 (c) 분리된 개별 패키징을 더 포함하고, 플래시 메모리 디바이스 및 컨트롤러는 분리된 개별 패키징 내에 각각 제공된다.
- <48> 몇몇 실시예에 따라, 현재 개시된 시스템은 (c) 플래시 메모리 디바이스 및 컨트롤러가 마운팅된 인쇄회로기판을 포함하고, 플래시 다이는 패키지 없이 인쇄회로기판에 직접 마운팅된다.
- <49> 몇몇 실시예에 따라, 현재 개시된 시스템은 (c) 플래시 메모리 디바이스 및 컨트롤러가 마운팅된 인쇄회로기판을 포함하고, 컨트롤러 다이는 패키지 없이 인쇄회로기판에 직접 마운팅된다.
- <50> 지금부터, 데이터 저장 시스템으로서, (a) 호스트 디바이스; (b) 플래시 다이 상에 제조된 플래시 메모리 디바이스; 및 (c) 제1인터페이스를 통해 플래시 메모리 디바이스와 통신하고, 제2인터페이스를 통해 호스트 디바이스와 통신하도록 동작하는 현재 개시된 NAND 컨트롤러를 포함하는 데이터 저장 시스템이 처음 개시된다.
- <51> 지금부터, 호스트 디바이스로부터 데이터를 기록하는 방법으로서, (a) 플래시 다이 상에 제조된 플래시 메모리 디바이스, 및 플래시 다이와 구분된 컨트롤러 다이 상에 제조된 컨트롤러를 제공하는 단계, (b) NAND 인터페이스 프로토콜에 따라 호스트 디바이스로부터 컨트롤러로 쓰기 커맨드를 발행하는 단계, (c) NAND 인터페이스 프로토콜에 따라 컨트롤러로부터 플래시 메모리 디바이스로 쓰기 커맨드를 발행하는 단계를 포함하는 호스트로부터 데이터를 기록하는 방법이 개시된다.
- <52> 몇몇 실시예에 따라, 현재 개시된 방법은 (d) 컨트롤러에 의해 패리티 비트를 계산하는 단계를 더 포함한다.
- <53> 지금부터, 호스트 디바이스로의 데이터를 관독하는 방법으로서, (a) 플래시 다이 상에 제조된 플래시 메모리 디바이스, 및 플래시 다이와 구분된 컨트롤러 다이 상에 제조된 컨트롤러를 제공하는 단계, (b) NAND 인터페이스 프로토콜에 따라 호스트 디바이스로부터 컨트롤러로 읽기 커맨드를 발행하는 단계, (c) NAND 인터페이스 프로토콜에 따라 컨트롤러로부터 플래시 메모리 디바이스로 읽기 커맨드를 발행하는 단계를 포함하는 호스트로의 데이터를 관독하는 방법이 개시된다.
- <54> 상기 플래시 컨트롤러가 상기 제1인터페이스를 통해 상기 플래시 메모리 디바이스와 통신하도록 동작하기 위해 상기 플래시 메모리 디바이스에 상기 플래시 컨트롤러를 배치하는 단계를 포함하는 것을 특징으로 하는 데이터 저장 시스템을 제조하는 방법.
- <55> 몇몇 실시예에 따라, 현재 개시된 방법은 (d) 플래시 메모리 디바이스로부터 컨트롤러로 데이터를 검색하는 단계, (e) 플래시 메모리 디바이스로부터 컨트롤러로 검색된 데이터와 연관된 패리티 비트를 검색하는 단계, (f) 검색된 패리티 비트에 따라 검색된 데이터를 보정하는 단계, 그로 인해 보정된 데이터를 생성하는 단계, 및 (g) 컨트롤러로부터 호스트 디바이스로 보정된 데이터를 검색하는 단계를 더 포함한다.
- <56> 지금부터, 데이터 저장 시스템을 제조하는 방법으로서, (a) 플래시 다이 상에 제조된 플래시 메모리 디바이스를 제공하는 단계, (b) 현재 개시된 NAND 컨트롤러를 제공하는 단계, (c) 플래시 컨트롤러가 제1인터페이스를 통해 플래시 메모리 디바이스와 통신하도록 동작하기 위해 플래시 메모리 디바이스에 플래시 컨트롤러를 배치하는 단계를 포함하는 데이터 저장 시스템을 제조하는 방법이 처음 개시된다.
- <57> 몇몇 실시예에 따라, 현재 개시된 방법은 (d) 플래시 컨트롤러 및 플래시 메모리 디바이스를 단일 패키지 내에 패키징하는 단계를 더 포함한다.
- <58> 몇몇 실시예에 따라, 플래시 메모리 디바이스 및 플래시 컨트롤러는 분리된 개별 패키지 내에 있고, 상기 배치하는 단계는 개별 패키지를 서로 인접이징하는 단계를 포함한다.
- <59> 몇몇 실시예에 따라, 현재 개시된 방법은 (d) 플래시 메모리 디바이스 및 컨트롤러를 인쇄회로기판에 마운팅하는 단계를 더 포함하고, 상기 마운팅하는 단계는 플래시 메모리 다이를 인쇄회로기판에 직접적으로 마운팅하는 단계를 포함한다.

- <60> 몇몇 실시예에 따라, 현재 개시된 방법은 (d) 플래시 메모리 디바이스 및 컨트롤러를 인쇄회로기판에 마운팅하는 단계를 더 포함하고, 상기 마운팅하는 단계는 컨트롤러를 인쇄회로기판에 직접적으로 마운팅하는 단계를 포함한다.
- <61> 몇몇 실시예에 따라, 현재 개시된 방법은 (d) 플래시 컨트롤러가 제2인터페이스를 통해 호스트 디바이스와 통신하도록 동작하기 위해 호스트 디바이스에 데이터 저장 시스템을 배치하는 단계를 더 포함한다.
- <62> 이러한 실시예 및 다른 실시예는 아래의 상세한 설명 및 예를 통해 명백해질 것이다.

실시예

- <75> 본 발명은 지금부터 특정의 실시예에 관하여 서술될 것이다. 본 발명이 개시된 실시예에 제한되지 않음을 이해해야 한다. 또한, 컨트롤러, 컨트롤러를 포함하는 시스템, 및 서술된 데이터 및 관독 방법의 모든 피처가 첨부된 청구항 중 임의의 특징 하나에 청구된 바와 같이 본 발명을 구현하기 위해 필수적인 것은 아님을 이해해야 한다. 다양한 엘리먼트 및 디바이스의 피처는 본 발명을 완전히 실시가능하도록 서술되어 있다. 프로세스 또는 방법이 도시되고 설명되어 있는, 본 명세서를 통해, 방법의 단계들은 한 단계가 먼저 수행된 다른 단계에 종속함이 구문에 명시되어 있지 않다면, 임의의 순서로 또는 동시에 수행될 수 있음을 이해해야 한다.
- <76> 본 발명자는 먼저 호스트 측으로 익스포트하는 인터페이스가 NAND 인터페이스라는 것을 특징으로 하는, 새로운 타입의 NAND 컨트롤러를 개시한다. 몇몇 실시예에서, 현재 개시된 컨트롤러는 양측에 - 컨트롤러가 NAND 디바이스를 향하는 호스트 역할을 하는 플래시 메모리 디바이스 측에, 그리고, 컨트롤러가 호스트를 향하는 NAND 디바이스 역할을 하는 호스트 디바이스 측에 - NAND 인터페이스를 가진다.
- <77> 본 명세서의 목적에 대하여, "NAND 플래시 메모리 디바이스"는 복수의 NAND 플래시 메모리 셀, 및 NAND 플래시 메모리 셀 내에 데이터를 저장하기 위한 임의의 필수적인 컨트롤 회로(예컨대, 플래시-타입 인터페이스를 제공하는 회로)를 포함하는 전자회로로 정의된다. "NAND 플래시 메모리 디바이스"는 반드시 자신의 지정된 하우스징을 가져야 하는 것은 아니고, 단일 하우스징 내의 컨트롤러와 같은, 다른 "디바이스"와 함께 상주할 수 있음을 이해해야 한다. 몇몇 실시예에서, "NAND 플래시 메모리 디바이스"는 임의의 패키징 없이 인쇄회로기판에 직접 마운팅된다.
- <78> 또한, 몇몇 실시예에서, 컨트롤러는 낮은-신뢰성의 NAND 디바이스의 많은 에러를 보정하기 충분한 에러 보정 능력을 포함한다. 이러한 에러는 컨트롤러에 의해 보정되기 때문에, 컨트롤러는 에러를 전혀 가지지 않거나, 호스트의 빌트-인 NAND 컨트롤러의 에러 보정 능력이 처리할 수 있을 만큼 작은 - 소수의 에러만 가진 호스트 플래시 디바이스에 설치될 수 있다.
- <79> 지금부터 도 5A를 참조하면, 본 발명의 몇몇 실시예에 따른 컨트롤러의 개략적인 블록 다이어그램을 제공한다. 컨트롤러(130)는 NAND 플래시 디바이스로의 인터페이싱을 위한 플래시 메모리 디바이스측 NAND 인터페이스(142)를 포함한다. 또한, 플래시 메모리 디바이스측 NAND 인터페이스(142)는 또한 호스트-타입 NAND 인터페이스임(즉, NAND 인터페이스 상의 인터랙션을 초기화하도록 조절된, 그리고 NAND 플래시 디바이스로의 호스트 디바이스에 설치됨)을 이해해야 한다.
- <80> 컨트롤러(130)는 또한 NAND 인터페이스 프로토콜을 지원하는 호스트로의 인터페이싱을 위한 호스트측 NAND 인터페이스(144)를 포함한다. 이 호스트측 NAND 인터페이스는 또한 플래시 메모리-타입 NAND 인터페이스이다(즉, 컨트롤러(130)는 호스트에 NAND 플래시 메모리 저장 디바이스를 제공하도록 조절되어 있다). 컨트롤러는 선택적으로, USB 또는 MMC 인터페이스와 같은 논-NAND 인터페이스를 사용하여 호스트로의 컨트롤러를 인터페이싱을 위한, 하나 이상의 추가 호스트측 인터페이스(146)포함할 수 있다.
- <81> 도 5A에도시된 바와 같이, 컨트롤러는 디바이스측 NAND 인터페이스(142)를 통해 NAND 디바이스로부터 검색된 데이터 내의 모든 또는 일부 에러를 검출하고 보정하기 위한 ECC 모듈(132)을 더 포함한다. ECC 모듈(132)은 하드웨어, 소프트웨어, 펌웨어 또는 이들의 임의의 조합을 포함할 수 있다. ECC 모듈(132)은 컨트롤러(130)가 호스트로 에러-프리 NAND 디바이스를 익스포트하는 경우에, 모든 에러를 보정할 수 있다. 대안으로써, ECC 모듈(132)은 플래시 메모리 디바이스측 NAND 인터페이스(142)를 통해 NAND 디바이스로부터 검색된 데이터에서 찾은 에러 중 일부만을 보정할 수도 있다.
- <82> 일 예로서, NAND 디바이스는 4-비트 ECC를 요구하는 신뢰도를 가질 수 있고, 플래시 메모리 디바이스측 NAND 인터페이스(142)는 데이터 신뢰도를 호스트의 빌트-인 NAND 컨트롤러 내의 1비트 ECC 모듈이 그 데이터를 처리할

수 있게 하는 레벨까지 증가시키기 충분한 에러를 보정한다.

- <83> NAND 컨트롤러(130)는 또한 선택적으로 암호화 기능 또는 호스트로부터 수신된 논리적 플래시 어드레스를 그 플래시 디바이스로 전송된 물리적 플래시 어드레스로 매핑하는 어드레스 매핑과 같은, 다른 기능을 제공하기 위한 (예컨대, 하드웨어, 소프트웨어, 펌웨어, 또는 이들의 임의의 조합을 포함하는) 하나 이상의 모듈(134)을 포함할 수 있음을 이해해야 한다.
- <84> 지금부터 도 5B를 참조하면, 도 5A에 도시된 외부 NAND 컨트롤러(130)(예컨대, 호스트 디바이스와 분리된 컨트롤러)를 포함하는 예시적인 시스템의 개략적인 블록 다이어그램이 도시되어 있다. 디바이스측 NAND 인터페이스(142)를 통해 외부 NAND 컨트롤러(130)는 NAND 플래시 디바이스(120A)와 인터페이싱한다. 호스트측 NAND 인터페이스(144)를 통해, NAND 컨트롤러(130)는 호스트 디바이스(110A)와 인터페이싱한다.
- <85> 외부 컨트롤러(130)가 두 NAND 인터페이스(142 와 144)를 통해 인터페이싱하는 방법은 동일하지 않음을 이해해야 한다. NAND 인터페이스 프로토콜은 대칭이 아니다 - 트랜잭션을 초기화하는 초기화 측(앞서 정의된 용어에 따라 "호스트-타입")이 있고, 초기화 신호에만 응답하는 응답 측(앞서 정의된 용어에 따라 "플래시-타입")이 있다.
- <86> 디바이스측 NAND 인터페이스(142)를 사용하여, 외부 NAND 컨트롤러(130)는 NAND 인터페이스 프로토콜의 호스트-타입 부분으로서 역할하고, NAND 디바이스(130)는 NAND 인터페이스 프로토콜의 플래시-타입 부분으로서 역할한다. 호스트측 인터페이스(144)를 사용하여, 외부 컨트롤러(130)는 NAND 인터페이스 프로토콜의 플래시-타입 부분으로서 역할하고, 호스트(110A)는 NAND 인터페이스 프로토콜의 호스트-타입 부분으로서 역할한다.
- <87> 지금부터 도 6A를 참조하면, 도 5A에 도시된 예시적인 시스템의 예시적인 다이 구성을 도시한다. 그러므로, NAND 컨트롤러(130)는 컨트롤러 다이(131) 상에 제조된 전자회로(135)를 포함하고, NAND 플래시 디바이스(120A)는 플래시 다이(133) 상에 제조된 전자회로(137)를 포함한다. 컨트롤러 다이(131) 및 플래시 다이(133)는 구분된 다이이다.
- <88> 도 5A에 도시된 바와 같이 NAND 컨트롤러(130) 내의 엘리먼트(즉, ECC 모듈(132), 플래시-타입 NAND 인터페이스(144), 호스트-타입 NAND 인터페이스)는 컨트롤러 다이 상에 상주하는 컨트롤러 전자회로(135)에 의해 적어도 부분적으로 구현된다.
- <89> 컨트롤러 전자회로(135)와 플래시 전자회로(137) 사이의 인터페이스(142)는 "인터-다이" 인터페이스이다. 본 명세서에서 사용된 바와 같이, "인터-다이 인터페이스"(예컨대, 인터-다이 NAND 인터페이스)는 구분된 다이에 상주하는 두 개의 구분된 유닛(예컨대, 하나 이상의 특정 프로토콜을 사용하여, 각각 통신하기 위해 전자회로의 구분된 유닛에 대한 필수적인 물리적 및 논리적 인프라구조를 제공하기 위한) 사이를 인터페이싱하도록 동작한다. 그러므로, 인터-다이 인터페이스는 분리된 다이 상에 상주하는 전자회로의 두 개의 구분된 유닛 사이를 인터페이싱하기 위해 필수적인 물리적 엘리먼트(패드, 입출력 드라이버 등)를 포함한다.
- <90> 몇몇 실시예에 따라, 인터-다이 인터페이스는 공동 패키지 내에 패키징된 구 대의 구분된 다이 상에 제조된 전자회로 사이를 인터페이싱한다. 본 예는 도 6B에 두 NAND 컨트롤러(130), 및 NAND 플래시 디바이스(120A)가 공동 멀티-칩 패키지(139) 내에 상주하는 것으로 도시되어 있다.
- <91> 대안으로서, 인터-다이 인터페이스는 (예컨대, 각각의 다이가 그 자신의 패키지에 패키징된) 구분된 패키지 내에 패키징된 두 개의 구분된 다이 상에 제조된 전자회로 사이를 인터페이싱할 수 있다. 본 예는 도 6C에 NAND 컨트롤러(130) 및 NAND 플래시 디바이스(120A)가 분리된 개별 패키지에 상주하는 것으로 도시되어 있다. 특히, NAND 컨트롤러(130)는 컨트롤러 패키지(141)에 상주하고, NAND 플래시 디바이스(120A)는 플래시 패키지(143)에 상주한다. 그러므로, 도 6C에 도시된 바와 같이, 인터페이스(142)는 "인터-패키지 인터페이스"이다.
- <92> (예컨대, 도 6A에 도시된 바와 같이) 다이가 공동 패키지에 상주하는 예, 및 (예컨대, 도 6B에 도시된 바와 같이) 다이가 분리된 패키지에 상주하는 예는 유일하게 가능한 구성은 아니다.
- <93> 그러므로, 대안으로서, 몇몇 실시예에서, 인터-다이 인터페이스는 다이들 중 하나 또는 둘 모두 전혀 패키징하지 않는 두 개의 구분된 다이 상에 제조된 전자회로 사이에 인터페이싱할 수 있다. 예를 들어, 많은 어플리케이션에서, 공간 절약의 필요성으로 인해, 메모리 다이는 전혀 패키징되지 않은 보드 상에 제공된다(예컨대, 마운팅된다, 예컨대 직접 마운팅된다). 그러므로, 일 예에서, 폰에 대한 새로운 세대의 메모리 카드에서, 메모리 다이는 종종 전혀 패키징되지 않은 모드 상에 설치됨을 이해해야 한다. 본 명세서에서 사용된 바와 같이, 인쇄회로기판에 "직접적으로 마운팅된" 다이는 먼저 패키징되지 않고 인쇄회로기판 상에 마운팅된다.

- <94> 도 7은 호스트(110A)(예컨대, 디바이스 내에 NAND 컨트롤러(114)를 포함한 호스트)가 외부 NAND 컨트롤러(130)를 통해 NAND 저장 디바이스(120A)에 데이터(예컨대, 한 페이지의 데이터)를 기록하는 방법을 설명하는 플로우 차트를 도시한다. 도 7에 도시된 바와 같이, 호스트(110A)는 외부 컨트롤러(130)로 쓰기 커맨드(예컨대, 커맨드 바이트, 어드레스 바이트, 및 데이터 바이트를 포함하는, NAND 인터페이스 프로토콜을 사용하여 발행된 쓰기 커맨드)를 발행한다(410). 호스트(110A)는 그것이 컨트롤러(130)로 그 커맨드를 발행한다는 사실을 반드시 인식할 필요는 없고, 그것이 처리할 수 있는 타입의 표준 NAND 플래시 저장 디바이스와 인터페이싱하고 있다고 가정할 수 있다.
- <95> NAND 컨트롤러(130)는 (예컨대, 호스트측 NAND 인터페이스(144)를 통해) 호스트에 의해 발행된 쓰기 커맨드를 수신한다. 쓰기 커맨드를 수신한 후, 컨트롤러는 (예컨대, ECC 모듈(132)을 사용하여) ECC 패리티 비트를 계산하고(420), (예컨대, 플래시 메모리 디바이스측 NAND 인터페이스(142)를 통해) 쓰기 커맨드를 NAND 디바이스로 발행한다. 다시, 커맨드는 호스트의 데이터 바이트 및 대응 ECC 패리티 비트를 포함한 커맨드 바이트, 어드레스 바이트, 데이터 바이트를 포함하는, NAND 인터페이스 프로토콜에 따라 발행된다. NAND 플래시 저장 디바이스는 그 커맨드가 호스트 디바이스(110A)로부터 직접적이지 않고, NAND 컨트롤러(130)를 통해 간접적으로 수신됨을 반드시 인식할 필요는 없다. 단계 (440)에서 NAND 플래시 저장 디바이스(120A)는 비휘발성 메모리 셀에 수신된 데이터 바이트를 저장하고, 그러므로 호스트(110A)의 요청을 수행한다.
- <96> 도 8은 호스트(110A)(예컨대, 디바이스 내에 NAND 컨트롤러(114)를 포함하는 호스트)가 외부 NAND 컨트롤러(130)를 통해 NAND 저장 디바이스(120A)로부터 데이터(예컨대, 한 페이지의 데이터)를 판독하는 방법을 설명하는 플로우 차트를 도시한다. 그러므로, 호스트(110A)는 외부 컨트롤러(130)로 읽기 커맨드(예컨대, 커맨드 바이트 및 어드레스 바이트를 포함하는, NAND 인터페이스 프로토콜을 사용하여 발행된 읽기 커맨드)를 발행한다(410). 상기 쓰기 커맨드에서와 마찬가지로, 호스트(110A)는 외부 컨트롤러(130)로 커맨드를 발행하는 사실을 인식할 필요는 없고, 그것이 처리할 수 있는 타입의 표준 NAND 디바이스와 인터페이싱하고 있는 것으로 가정할 수 있다.
- <97> 외부 NAND 컨트롤러(130)는 (예컨대, 호스트측 NAND 인터페이스(144)를 통해) 호스트에 의해 발행된 읽기 커맨드를 수신한다. 읽기 커맨드를 수신한 후, 컨트롤러(130)는 NAND 디바이스(120A)로 (예컨대, 디바이스측 NAND 인터페이스(142)를 통해) 읽기 커맨드를 발행한다(520). 다시, 커맨드는 커맨드 바이트 및 어드레스 바이트를 포함하는, NAND 인터페이스 프로토콜에 따라 발행된다. 단계 (530)에서, NAND 플래시 저장 디바이스(120A)는 비휘발성 셀 어레이로부터 요청된 데이터를 검색하고, 호스트 데이터는 그 데이터가 저장되었을 때 계산된 ECC 패리티 비트를 동반한다. 단계(540)에서, 데이터 바이트 및 동반하는 패리티 비트는 외부 NAND 컨트롤러로 전송된다. 이러한 전송은 컨트롤러에 의해 생성된 일련의 판독 스트로브에 의해 NAND 인터페이스 프로토콜에 따라 수행되고, 각각 (사용된 NAND 인터페이스가 8비트 폭인지 또는 16비트 폭인지에 따라) 한 바이트씩 또는 한 워드씩 컨트롤러로 순차적으로 판독한다. 단계 (550)에서, 외부 NAND 컨트롤러(130)는 예컨대 ECC 모듈(132)과 함께) 데이터 바이트 내의 에러를 보정하기 위해 패리티 비트를 사용한다. 단계 (560)에서, 보정된 데이터 바이트는 호스트 측 NAND 인터페이스(144)를 통해 호스트로 전송된다. 이러한 전송은 또한 호스트에서 생성된 일련의 판독 스트로브에 의해 NAND 인터페이스 프로토콜에 따라 수행된다. 호스트(110A)는 지금 플래시 메모리에 원래 저장된 동일한 데이터 바이트를 가진다.
- <98> 본 발명이 이전 세대의 NAND 디바이스를 지원하도록 설계된 빌트-인 NAND 컨트롤러를 통합하는 호스트 프로세서를 사용하면, 비용 측면에서 유리한 새로운 NAND 디바이스의 장점을 취할 수 있게 함을 알 수 있다.
- <99> 본 발명의 명세서 및 청구항에서, 각각의 동사, "포함하다" 및 "갖추다", 및 이들의 활용형은 그 동사의 목적어가 동사의 주어의 멤버, 컴포넌트, 엘리먼트, 또는 파트의 필수적으로 완전한 목록이 아님을 나타내기 위해 사용되었다.
- <100> 본 발명은 그 실시예의 상세한 설명을 사용하여 설명되었고, 이는 예시적인 방법으로 제공된 것이며, 본 발명의 범위를 제한하고자 한 것이 아니다. 서술된 실시예는, 본 발명의 모든 실시예에서 요구되는 것이 아닌 상이한 피처를 포함한다.

도면의 간단한 설명

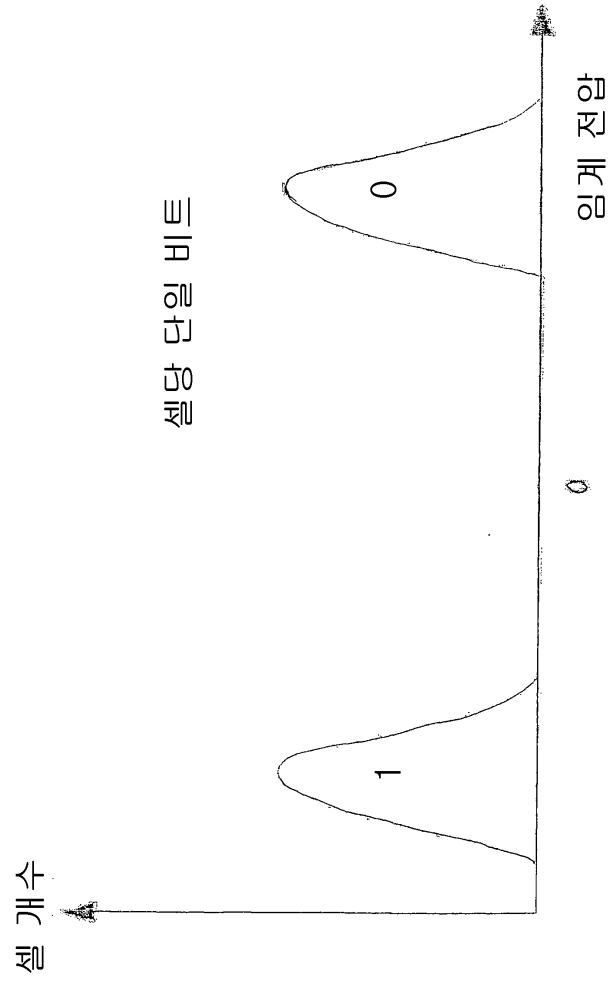
- <63> 도 1A-1B는 다수의 메모리 셀(종래기술)의 임계값의 분포를 도시한다.
- <64> 도 2는 호스트 디바이스 및 NAND 플래시 디바이스를 포함하는 종래기술의 시스템의 블록 다이어그램을

제공한다.

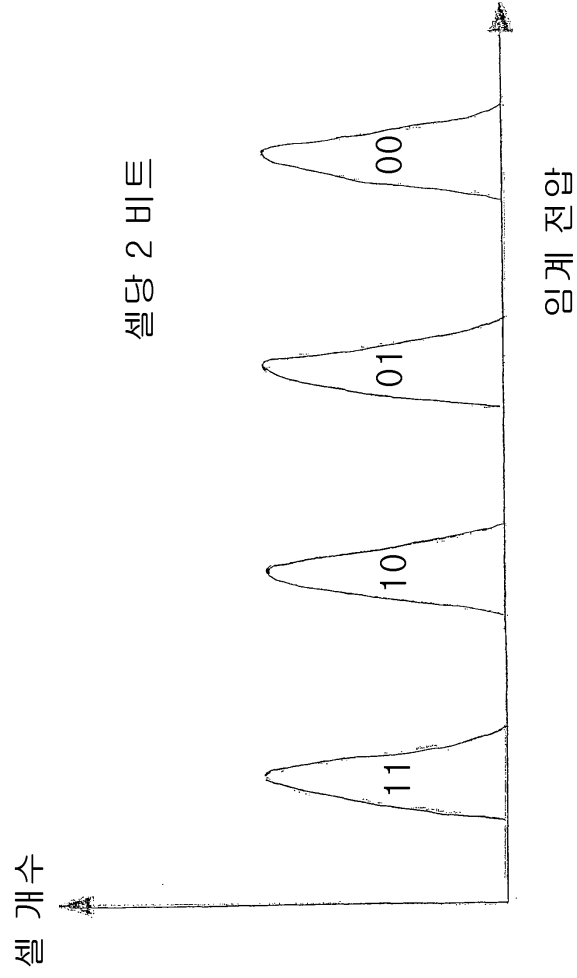
- <65> 도 3A는 호스트 디바이스, NAND 컨트롤러, 및 NAND 플래시 디바이스를 포함하는 종래기술의 시스템의 블록 다이어그램을 제공한다.
- <66> 도 3B는 호스트 측의 USB 인터페이스, 및 플래시 메모리 디바이스 측의 NAND 인터페이스를 가진 종래기술의 NAND 컨트롤러의 블록 다이어그램을 제공한다.
- <67> 도 4는 호스트 디바이스 및 NAND 플래시 디바이스를 포함하는 종래기술의 시스템의 블록 다이어그램을 제공한다.
- <68> 도 5A는 본 발명의 예시적인 실시예에 따른 호스트 측의 USB 인터페이스, 및 플래시 메모리 디바이스 측의 NAND 인터페이스를 가진 NAND 컨트롤러의 블록 다이어그램을 제공한다.
- <69> 도 5B는 본 발명의 예시적인 실시예를 따른 호스트 디바이스, 도 5A의 NAND 컨트롤러, NAND 플래시 디바이스를 포함한 시스템의 블록 다이어그램을 제공한다.
- <70> 도 6A는 도 5B에 도시된 예시적인 시스템의 예시적인 다이 구성을 도시한다.
- <71> 도 6B는 NAND 컨트롤러와 NAND 플래시 디바이스가 단일 멀티-칩 내에 상주하는 도 5B에 도시된 예시적인 시스템의 예시적인 구성을 도시한다.
- <72> 도 6C는 NAND 컨트롤러와 NAND 플래시 디바이스가 분리된 개별 패키지 내에 상주하는 도 5B에 도시된 예시적인 시스템의 예시적인 구성을 도시한다.
- <73> 도 7은 호스트가 외부 NAND 컨트롤러를 통해 NAND 저장 디바이스에 데이터를 기록하는 방법을 설명하는 플로우 차트를 도시한다.
- <74> 도 8은 호스트가 외부 NAND 컨트롤러를 통해 NAND 저장 디바이스(120)에 데이터를 기록하는 방법을 설명하는 플로우 차트를 도시한다.

도면

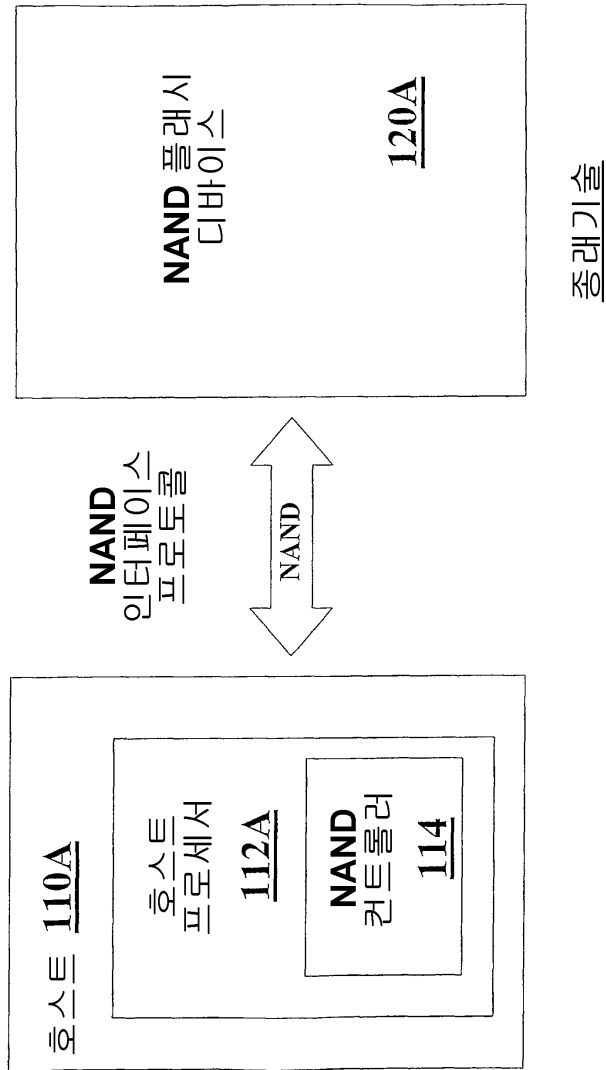
도면1A



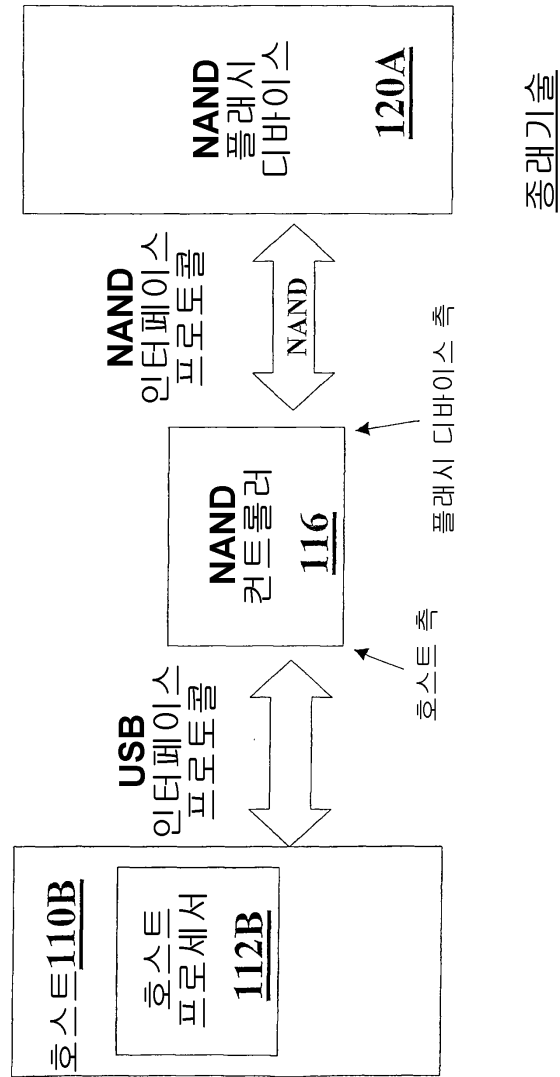
도면1B



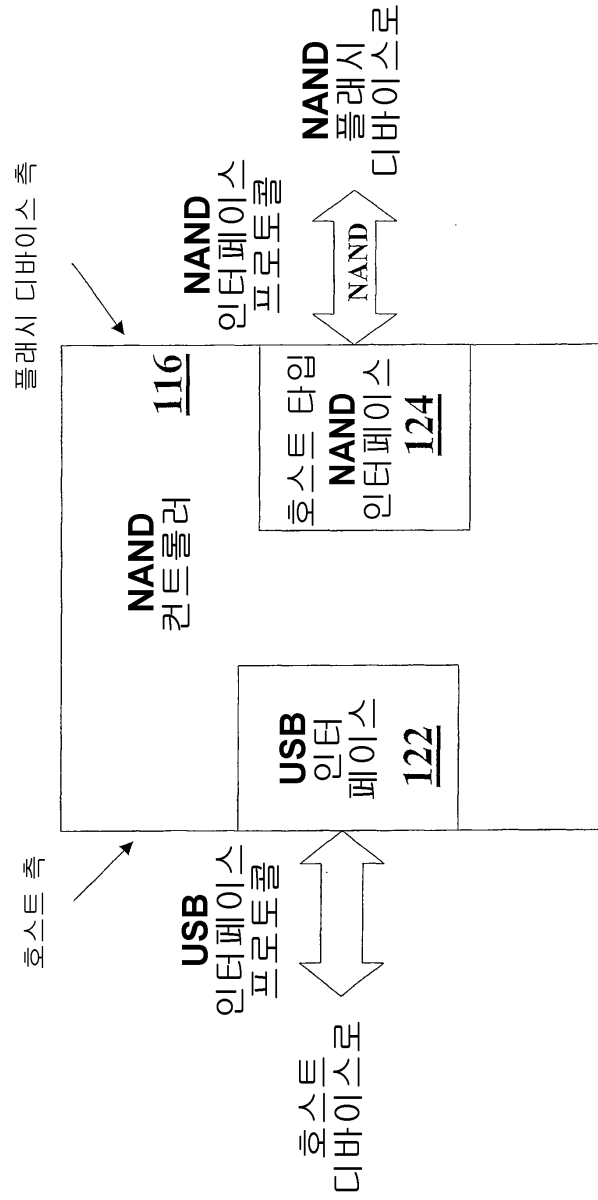
도면2



도면3A

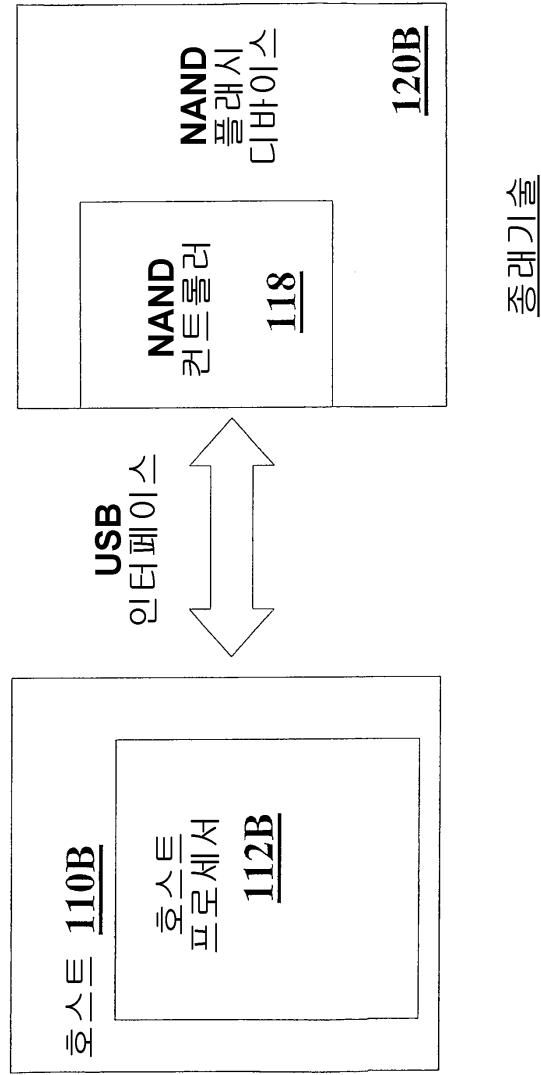


도면3B



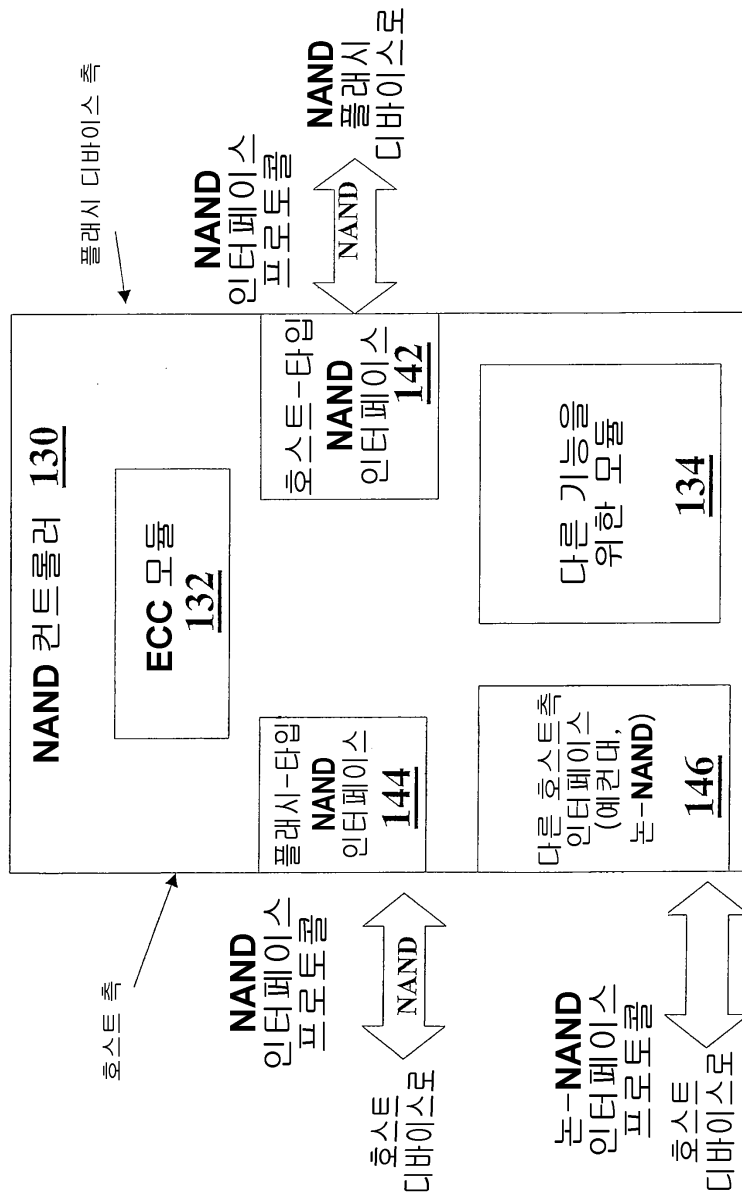
종래기술

도면4

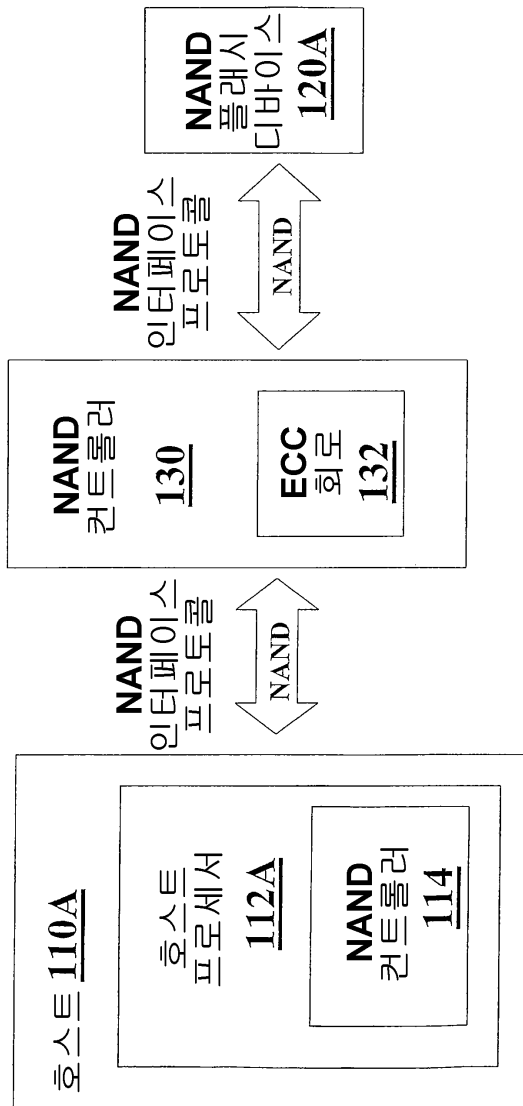


종래기술

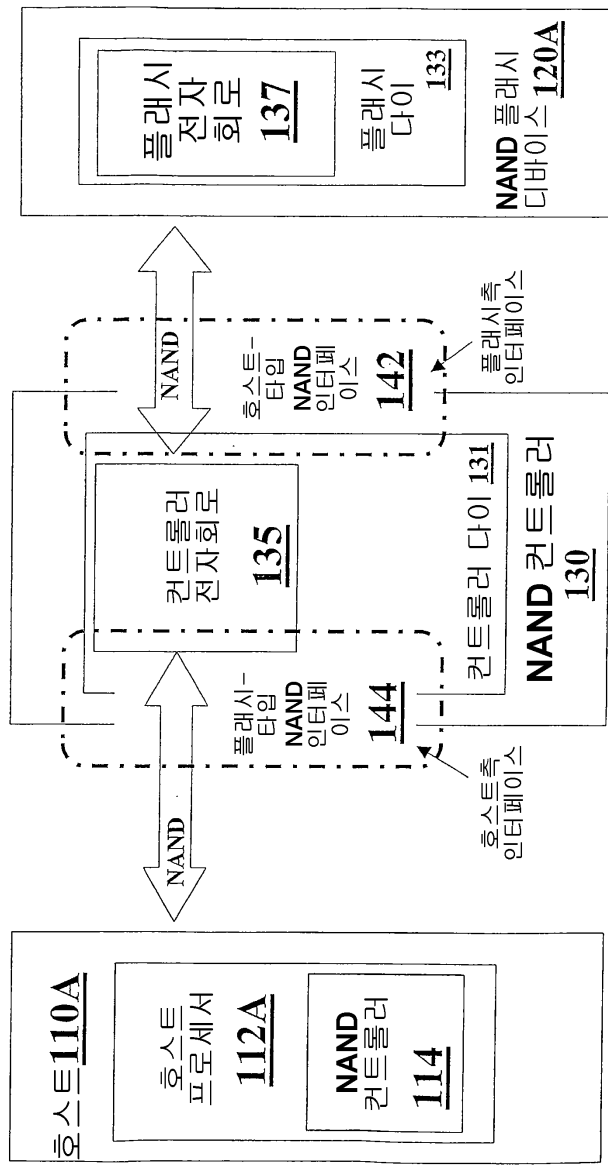
도면5A



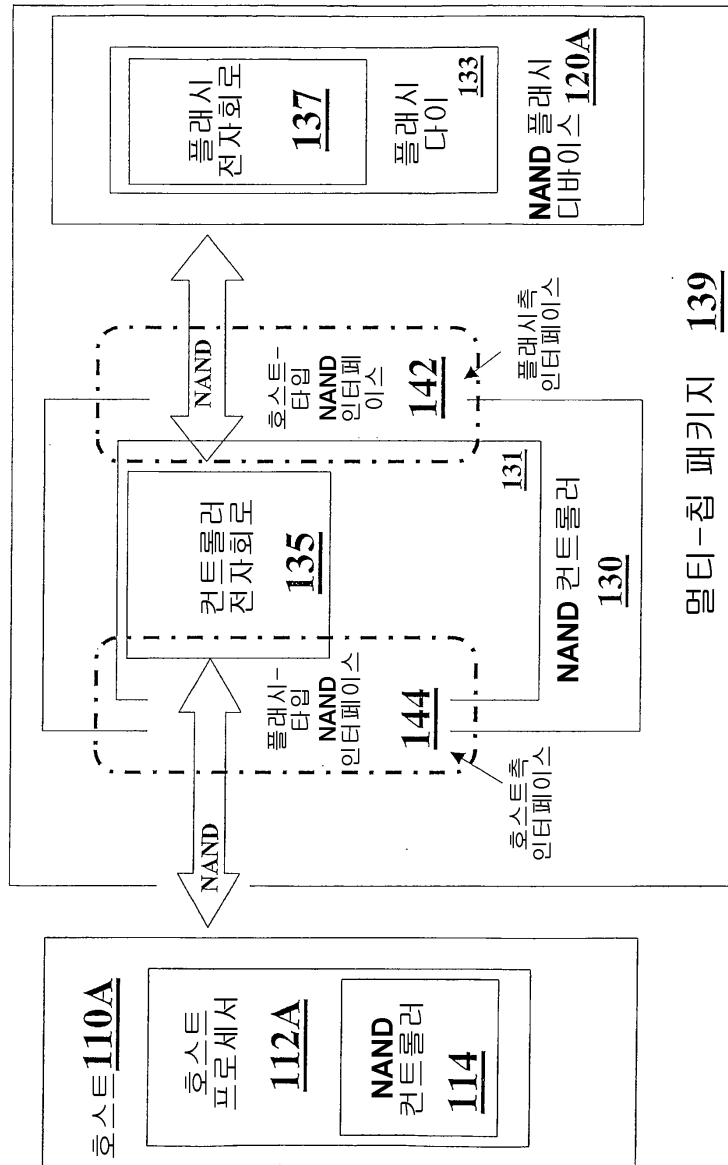
도면5B



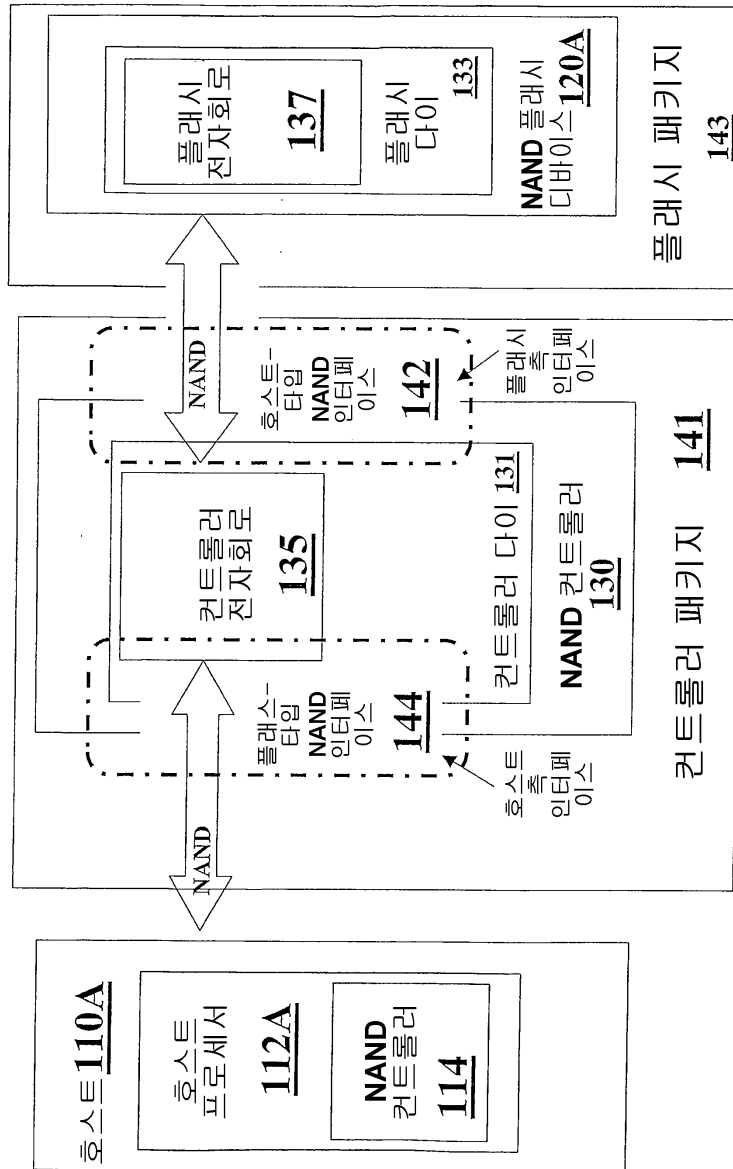
도면6A



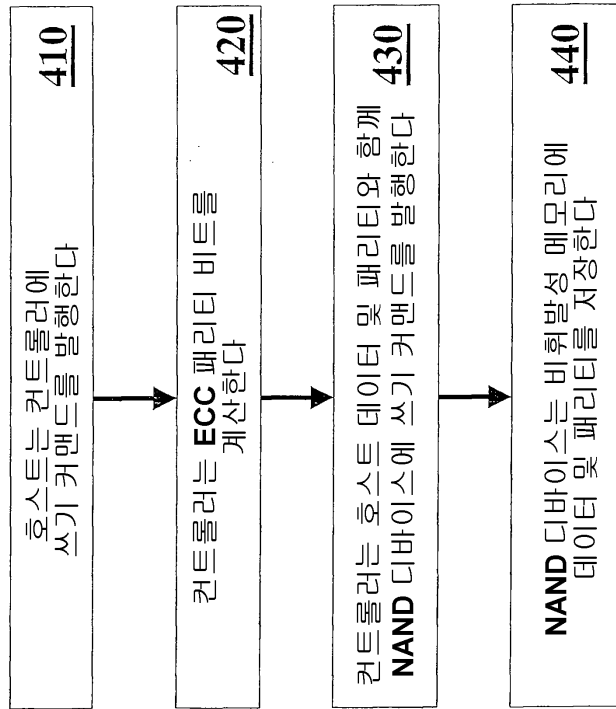
도면6B



도면6C



도면7



도면8

