

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6039690号
(P6039690)

(45) 発行日 平成28年12月7日(2016.12.7)

(24) 登録日 平成28年11月11日(2016.11.11)

(51) Int.Cl.

F 1

G09G 3/3233 (2016.01)

G09G 3/3233

G09G 3/20 (2006.01)

G09G 3/20 611H

H01L 51/50 (2006.01)

G09G 3/20 624B

G09G 3/20 641D

G09G 3/20 642A

請求項の数 13 (全 22 頁) 最終頁に続く

(21) 出願番号

特願2014-551503 (P2014-551503)

(86) (22) 出願日

平成24年12月17日(2012.12.17)

(65) 公表番号

特表2015-510141 (P2015-510141A)

(43) 公表日

平成27年4月2日(2015.4.2)

(86) 国際出願番号

PCT/CN2012/086799

(87) 国際公開番号

W02013/104236

(87) 国際公開日

平成25年7月18日(2013.7.18)

審査請求日

平成27年12月4日(2015.12.4)

(31) 優先権主張番号

201210008738.3

(32) 優先日

平成24年1月12日(2012.1.12)

(33) 優先権主張国

中国(CN)

(73) 特許権者 510280589

京東方科技集團股▲ふん▼有限公司
BOE TECHNOLOGY GROUP CO., LTD.中華人民共和国100015北京市朝陽區
酒仙橋路10號
No. 10 Jiuxiaqiao Road, Chaoyang District, Beijing 100015, CHINA

(73) 特許権者 511121702

成都京東方光電科技有限公司
中華人民共和国611731四川省成都市
高新區(西區)合作路1188號

最終頁に続く

(54) 【発明の名称】画素回路及びその駆動方法

(57) 【特許請求の範囲】

【請求項 1】

画素回路であって、

発光デバイスと、駆動トランジスタと、蓄積コンデンサと、第1のスイッチトランジスタと、第2のスイッチトランジスタと、補償トランジスタと、第5のスイッチトランジスタとを有し、

前記駆動トランジスタ、第1のスイッチトランジスタ、第2のスイッチトランジスタ、補償トランジスタ、第5のスイッチトランジスタはいずれもゲート極と、第1極と、第2極とを有し、

前記発光デバイスの一端は電源に接続され、

前記駆動トランジスタの第1極は前記発光デバイスの他端に接続され、第2極は前記第5のスイッチトランジスタの第1極に接続され、ゲート極は前記第1のスイッチトランジスタの第1極に接続され、

前記第1のスイッチトランジスタの第2極はデータラインに接続され、ゲート極はスキヤンラインに接続され、第1極は前記駆動トランジスタのゲート極に接続され、

前記第2のスイッチトランジスタのゲート極は制御ラインに接続され、第1極は電源に接続され、第2極は前記補償トランジスタの第2極に接続され、

前記補償トランジスタの第1極は前記駆動トランジスタの第1極に接続され、第2極は第2のスイッチトランジスタの第2極に接続され、ゲート極は前記補償トランジスタの第1極または第2極に接続され、

10

20

前記第5のスイッチトランジスタのゲート極は制御ラインに接続され、第1極は前記駆動トランジスタの第2極に接続され、第2極はグランドに接続され、

前記蓄積コンデンサの第1極板は前記駆動トランジスタのゲート極に接続され、第2極板は前記補償トランジスタの第2極に接続されることを特徴とする画素回路。

【請求項2】

第4のスイッチトランジスタをさらに有し、前記第4のスイッチトランジスタのゲート極はスキャンラインに接続され、第1極は前記第2のスイッチトランジスタの第1極に接続され、第2極は前記駆動トランジスタの第1極に接続され、前記第4のスイッチトランジスタと前記第1のスイッチトランジスタは同じ類型であることを特徴とする請求項1に記載の画素回路。 10

【請求項3】

前記駆動トランジスタ、補償トランジスタはいずれもN型薄膜トランジスタであり、前記駆動トランジスタと補償トランジスタの第1極はドレイン極であり、第2極はソース極であり、前記補償トランジスタのゲート極は前記補償トランジスタの第1極に接続され、

または、前記駆動トランジスタ、補償トランジスタはいずれもP型薄膜トランジスタであり、前記駆動トランジスタと補償トランジスタの第1極はソース極であり、第2極はドレイン極であり、前記補償トランジスタのゲート極は前記補償トランジスタの第2極に接続されることを特徴とする請求項1または2に記載の画素回路。

【請求項4】

前記第2のスイッチトランジスタ、第5のスイッチトランジスタはいずれもN型薄膜トランジスタであり、前記第2のスイッチトランジスタと第5のスイッチトランジスタの第1極はドレイン極であり、第2極はソース極であり、 20

または、前記第2のスイッチトランジスタ、第5のスイッチトランジスタはいずれもP型薄膜トランジスタであり、前記第2のスイッチトランジスタと第5のスイッチトランジスタの第1極はソース極であり、第2極はドレイン極であることを特徴とする請求項1ないし請求項3のいずれか1項に記載の画素回路。

【請求項5】

前記第1のスイッチトランジスタはN型薄膜トランジスタであり、前記第1のスイッチトランジスタの第1極はドレイン極であり、第2極はソース極であり、

または、前記第1のスイッチトランジスタはP型薄膜トランジスタであり、前記第1のスイッチトランジスタの第1極はソース極であり、第2極はドレイン極であることを特徴とする請求項1ないし請求項4のいずれか1項に記載の画素回路。 30

【請求項6】

前記発光デバイスは有機発光ダイオードであることを特徴とする請求項1または2に記載の画素回路。

【請求項7】

請求項1に記載の画素回路の駆動方法であって、

前記第1のスイッチトランジスタをオンにし、同時に前記第2のスイッチトランジスタと前記第5のスイッチトランジスタをオフにし、データラインにおけるデータ信号が第1のスイッチトランジスタを通じて前記蓄積コンデンサの第1極板に充電し、前記電源が前記発光デバイスと前記補償トランジスタを通じて前記蓄積コンデンサの第2極に充電するようとするステップと、 40

前記第1のスイッチトランジスタをオフにし、同時に前記第2のスイッチトランジスタと前記第5のスイッチトランジスタをオンにし、前記発光デバイスが前記電源により提供される、前記発光デバイス、前記駆動トランジスタと前記第5のスイッチトランジスタに順次流れる電流によって発光を駆動されるようにするステップとを有することを特徴とする駆動方法。

【請求項8】

前記第1のスイッチトランジスタをオンにし、同時に前記第2のスイッチトランジスタと前記第5のスイッチトランジスタをオフにし、データラインにおけるデータ信号が第1 50

のスイッチトランジスタを通じて前記蓄積コンデンサの第1極板に充電し、前記電源が前記発光デバイスと前記補償トランジスタを通じて前記蓄積コンデンサの第2極に充電するようとするステップは、

前記第1のスイッチトランジスタと第4のスイッチトランジスタを同時にオンにし、同時に前記第2のスイッチトランジスタと前記第5のスイッチトランジスタをオフにし、データラインに、前記第1のスイッチトランジスタを通じて前記蓄積コンデンサの第1極板を充電させ、前記電源に前記第4のスイッチトランジスタと前記補償トランジスタを通じて前記蓄積コンデンサの第2極板を充電させるステップを有し、

前記第1のスイッチトランジスタをオフにし、同時に前記第2のスイッチトランジスタと前記第5のスイッチトランジスタをオンにし、前記発光デバイスが前記電源により提供される、前記発光デバイス、前記駆動トランジスタと前記第5のスイッチトランジスタに順次流れる電流によって発光を駆動されるようにするステップは、10

前記第1のスイッチトランジスタと第4のスイッチトランジスタを同時にオフにし、同時に前記第2のスイッチトランジスタと前記第5のスイッチトランジスタをオンにし、前記発光デバイスが前記電源に提供される、前記発光デバイス、前記駆動トランジスタと前記第5のスイッチトランジスタに順次流れる電流によって発光を駆動されるようにするステップを有し、

前記第4のスイッチトランジスタのゲート極はスキャンラインに接続され、第1極は前記第2のスイッチトランジスタの第1極に接続され、第2極は前記駆動トランジスタの第1極に接続され、前記第4のスイッチトランジスタは前記第1のスイッチトランジスタと同じ類型であることを特徴とする請求項7に記載の方法。20

【請求項9】

前記第1のスイッチトランジスタはN型薄膜トランジスタであり、前記第1のスイッチトランジスタの第1極はドレイン極であり、第2極はソース極であり、

前記第2のスイッチトランジスタ、第5のスイッチトランジスタはいずれもN型薄膜トランジスタであり、前記第2のスイッチトランジスタと第5のスイッチトランジスタの第1極はドレイン極であり、第2極はソース極であり、

前記第1のスイッチトランジスタをオンにし、同時に前記第2のスイッチトランジスタと前記第5のスイッチトランジスタをオフにするステップは、

スキャンラインを通じて高レベルを前記第1のスイッチトランジスタのゲート極に入力して前記第1のスイッチトランジスタをオンにし、同時に制御ラインを通じて低レベルを前記第2のスイッチトランジスタのゲート極と前記第5のスイッチトランジスタのゲート極に入力して前記第2のスイッチトランジスタと前記第5のスイッチトランジスタをオフにするステップを有し、30

前記第1のスイッチトランジスタをオフにし、同時に前記第2のスイッチトランジスタと前記第5のスイッチトランジスタをオンにするステップは、

スキャンラインを通じて低レベルを前記第1のスイッチトランジスタのゲート極に入力して前記第1のスイッチトランジスタをオフにし、同時に制御ラインを通じて高レベルを前記第2のスイッチトランジスタのゲート極と前記第5のスイッチトランジスタのゲート極に入力して前記第2のスイッチトランジスタと前記第5のスイッチトランジスタをオンにするステップを有することを特徴とする請求項7に記載の方法。40

【請求項10】

前記第1のスイッチトランジスタはN型薄膜トランジスタであり、前記第1のスイッチトランジスタの第1極はドレイン極であり、第2極はソース極であり、

前記第2のスイッチトランジスタ、第5のスイッチトランジスタはいずれもP型薄膜トランジスタであり、前記第2のスイッチトランジスタと第5のスイッチトランジスタの第1極はソース極であり、第2極はドレイン極であり、

前記第1のスイッチトランジスタをオンにし、同時に前記第2のスイッチトランジスタと前記第5のスイッチトランジスタをオフにするステップは、

スキャンラインを通じて高レベルを前記第1のスイッチトランジスタのゲート極に入力50

して前記第1のスイッチトランジスタをオンにし、同時に制御ラインを通じて高レベルを前記第2のスイッチトランジスタのゲート極と前記第5のスイッチトランジスタのゲート極に入力して前記第2のスイッチトランジスタと前記第5のスイッチトランジスタをオフにするステップを有し、

前記第1のスイッチトランジスタをオフにし、同時に前記第2のスイッチトランジスタと前記第5のスイッチトランジスタをオンにするステップは、

スキャンラインを通じて低レベルを前記第1のスイッチトランジスタのゲート極に入力して前記第1のスイッチトランジスタをオフにし、同時に制御ラインを通じて低レベルを前記第2のスイッチトランジスタのゲート極と前記第5のスイッチトランジスタのゲート極に入力して前記第2のスイッチトランジスタと前記第5のスイッチトランジスタをオンにするステップを有することを特徴とする請求項7に記載の方法。10

【請求項11】

前記第1のスイッチトランジスタはP型薄膜トランジスタであり、前記第1のスイッチトランジスタの第1極はソース極であり、第2極はドレイン極であり、

前記第2のスイッチトランジスタ、第5のスイッチトランジスタはいずれもN型薄膜トランジスタであり、前記第2のスイッチトランジスタと第5のスイッチトランジスタの第1極はドレイン極であり、第2極はソース極であり、

前記第1のスイッチトランジスタをオンにし、同時に前記第2のスイッチトランジスタと前記第5のスイッチトランジスタをオフにするステップは、

スキャンラインを通じて低レベルを前記第1のスイッチトランジスタのゲート極に入力して前記第1のスイッチトランジスタをオンにし、同時に制御ラインを通じて低レベルを前記第2のスイッチトランジスタのゲート極と前記第5のスイッチトランジスタのゲート極に入力して前記第2のスイッチトランジスタと前記第5のスイッチトランジスタをオフにするステップを有し、20

前記第1のスイッチトランジスタをオフにし、同時に前記第2のスイッチトランジスタと前記第5のスイッチトランジスタをオンにするステップは、

スキャンラインを通じて高レベルを前記第1のスイッチトランジスタのゲート極に入力して前記第1のスイッチトランジスタをオフにし、同時に制御ラインを通じて高レベルを前記第2のスイッチトランジスタのゲート極と前記第5のスイッチトランジスタのゲート極に入力して前記第2のスイッチトランジスタと前記第5のスイッチトランジスタをオンにするステップを有することを特徴とする請求項7に記載の方法。30

【請求項12】

前記第1のスイッチトランジスタはP型薄膜トランジスタであり、前記第1のスイッチトランジスタの第1極はソース極であり、第2極はドレイン極であり、

前記第2のスイッチトランジスタ、第5のスイッチトランジスタはいずれもP型薄膜トランジスタであり、前記第2のスイッチトランジスタと第5のスイッチトランジスタの第1極はソース極であり、第2極はドレイン極であり、

前記第1のスイッチトランジスタをオンにし、同時に前記第2のスイッチトランジスタと前記第5のスイッチトランジスタをオフにするステップは、

スキャンラインを通じて低レベルを前記第1のスイッチトランジスタのゲート極に入力して前記第1のスイッチトランジスタをオンにし、同時に制御ラインを通じて高レベルを前記第2のスイッチトランジスタのゲート極と前記第5のスイッチトランジスタのゲート極に入力して前記第2のスイッチトランジスタと前記第5のスイッチトランジスタをオフにするステップを有し、40

前記第1のスイッチトランジスタをオフにし、同時に前記第2のスイッチトランジスタと前記第5のスイッチトランジスタをオンにするステップは、

スキャンラインを通じて高レベルを前記第1のスイッチトランジスタのゲート極に入力して前記第1のスイッチトランジスタをオフにし、同時に制御ラインを通じて低レベルを前記第2のスイッチトランジスタのゲート極と前記第5のスイッチトランジスタのゲート極に入力して前記第2のスイッチトランジスタと前記第5のスイッチトランジスタをオン50

にするステップを有することを特徴とする請求項 7 に記載の方法。

【請求項 1 3】

表示装置であって、請求項 1 ないし 6 のいずれか 1 項に記載の画素回路を有する表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示技術分野に関し、特に画素回路及びその駆動方法、表示装置に関する。

【背景技術】

【0002】

有機発光ダイオード (Organic Light Emitting Diode : OLED) は電流駆動能動発光型デバイスであり、自発光、高速反応、広視野角、可とう性基板での製造可などの独特なメリットを有する。OLED を基礎とした有機発光表示は今後数年間で表示分野の主流になる見通しである。有機発光表示の各表示素子はいずれも OLED により構成され、OLED は駆動方式によってパッシブマトリックス駆動有機発光ダイオード (Passive Matrix Driving OLED : PMOLED) とアクティブマトリックス駆動有機発光ダイオード (Active Matrix Driving OLED : AMOLED) の二種類に分けられる。アクティブマトリックス駆動方式は高品質の表示を実現できるため、情報量が大きい表示にかなり広く応用されている。そして、AMOLED 技術において、各 OLED はいずれも OLED に流れる電流を制御するための薄膜トランジスタ (Thin Film Transistor : TFT) 回路を有し、OLED と OLED を駆動する TFT 回路は画素回路を構成し、したがって、アクティブ有機発光表示パネルの輝度の均一性を保証するためには、バックボードの異なるエリア内の OLED を駆動する TFT の特性に一致性を有することが要求される。10 20

【発明の概要】

【発明が解決しようとする課題】

【0003】

TFT の閾値電圧は多くの要素と関係し、TFT 第 1 極の混入、誘電体の厚さ、ゲート極の材質と誘電体における過剰電荷が含まれる。現在はバックボード、特に大きいサイズのバックボードの製造過程において、プロセスの条件とレベルの制限により、これらの要素の一致性を確保するのは難しく、各 TFT の閾値電圧のオフセットが一致せず、また、長時間の作業による TFT の安定性低下も TFT の閾値電圧のオフセットを一致できなくなる原因となり、閾値電圧のオフセットが一致しなければ各 OLED に流れる電流も異なるため、この電流により駆動される OLED の発光均一性を悪化させる。30

【課題を解決するための手段】

【0004】

本発明の実施例は、発光デバイスの発光輝度の均一性を向上させる画素回路とその駆動方法、表示装置を提供する。

【0005】

本発明の実施例は以下のような技術方案を提供する。40

【0006】

画素回路であって、発光デバイスと、駆動トランジスタと、蓄積コンデンサと、第 1 のスイッチトランジスタと、第 2 のスイッチトランジスタと、補償トランジスタと、第 5 のスイッチトランジスタとを有し、前記駆動トランジスタ、第 1 のスイッチトランジスタ、第 2 のスイッチトランジスタ、補償トランジスタ、第 5 のスイッチトランジスタはいずれもゲート極と、第 1 極と、第 2 極とを有し、前記発光デバイスの一端は電源に接続され、前記駆動トランジスタの第 1 極は前記発光デバイスの他端に接続され、第 2 極は前記第 5 のスイッチトランジスタの第 1 極に接続され、ゲート極は前記第 1 のスイッチトランジスタの第 1 極に接続され、前記第 1 のスイッチトランジスタの第 2 極はデータラインに接続50

され、ゲート極はスキャンラインに接続され、第1極は前記駆動トランジスタのゲート極に接続され、前記第2のスイッチトランジスタのゲート極は制御ラインに接続され、第1極は電源に接続され、第2極は前記補償トランジスタの第2極に接続され、前記補償トランジスタの第1極は前記駆動トランジスタの第1極に接続され、第2極は第2のスイッチトランジスタの第2極に接続され、ゲート極は前記補償トランジスタの第1極または第2極に接続され、前記第5のスイッチトランジスタのゲート極は制御ラインに接続され、第1極は前記駆動トランジスタの第2極に接続され、第2極はグランドに接続され、前記蓄積コンデンサの第1極板は前記駆動トランジスタのゲート極に接続され、第2極板は前記補償トランジスタの第2極に接続される画素回路。

【0007】

10

前記画素回路の駆動方法であって、前記第1のスイッチトランジスタをオンにし、同時に前記第2のスイッチトランジスタと前記第5のスイッチトランジスタをオフにし、データラインにおけるデータ信号が第1のスイッチトランジスタを通じて前記蓄積コンデンサの第1極板に充電し、前記電源が前記発光デバイスと前記補償トランジスタを通じて前記蓄積コンデンサの第2極に充電するようにし、前記第1のスイッチトランジスタをオフにし、同時に前記第2のスイッチトランジスタと前記第5のスイッチトランジスタをオンにし、前記発光デバイスが前記電源により提供され、前記発光デバイス、前記駆動トランジスタと前記第5のスイッチトランジスタに順次流れる電流によって発光を駆動されるようする駆動方法。

【0008】

20

表示装置であって、本発明の実施例に係る画素回路を有する表示装置。

【0009】

本発明の実施例に係る画素回路及びその駆動方法、表示装置は、補償トランジスタ、コンデンサと複数のスイッチトランジスタが回路のスイッチと放充電を制御することによって、補償トランジスタの両端の電圧も駆動トランジスタに作用させることで、駆動トランジスタの駆動電流を駆動トランジスタの閾値電圧と無関係にさせ、駆動トランジスタの閾値電圧の不一致またはオフセットによる発光デバイスに流れる電流の差異を補償し、これにより発光デバイスの発光輝度の均一性を有効的に向上させることができる。

【図面の簡単な説明】

【0010】

30

本発明の実施例または従来技術における技術方案をより明確に説明するため、以下において実施例または従来技術の説明に用いる図面を簡単に紹介する。以下の説明において、図面は本発明のいくつかの実施例に過ぎず、当業者にとって、創造的労働を経ずにこれらの図面を基に他の図面を得られるのは明らかである。

【図1】本発明の実施例に係る画素回路の回路図である。

【図2】図1に示す画素回路を駆動するときの各信号ラインのシーケンス図である。

【図3】図1に示す画素回路の補償段階における等価回路の模式図である。

【図4】図1に示す画素回路のジャンプ発光段階における等価回路の模式図である。

【図5】本発明の実施例に係るもう一つの画素回路の回路図である。

【図6】本発明の実施例に係るもう一つの画素回路の回路図である。

40

【図7】本発明の実施例に係るもう一つの画素回路の回路図である。

【図8】本発明の実施例に係るもう一つの画素回路の回路図である。

【図9】図8に示す画素回路の補償段階における等価回路の模式図である。

【図10】図8に示す画素回路のジャンプ発光段階における等価回路の模式図である。

【図11】本発明の実施例に係る画素回路の駆動方法の一つのフロー図である。

【発明を実施するための形態】

【0011】

以下に本発明の実施例における図面を用いて、本発明の実施例における技術方案を明確且つ完全に説明するが、説明する実施例は本発明の一部の実施例に過ぎず、すべての実施例ではないことは明らかである。本発明における実施例を基に、当業者が創造的労働を経

50

ずに得られるすべての他の実施例は、いずれも本発明の保護範囲に属する。

【0012】

図1に示すように、本発明の実施例が画素回路は、発光デバイスOLEDと、駆動トランジスタDFTTと、蓄積コンデンサCstと、第1のスイッチトランジスタT1と、第2のスイッチトランジスタT2と、補償トランジスタT3と、第5のスイッチトランジスタT5とを有する。前記駆動トランジスタDFTT、第1のスイッチトランジスタT1、第2のスイッチトランジスタT2、補償トランジスタT3、第5のスイッチトランジスタT5はいずれもN型薄膜トランジスタであり、且ついずれもソース極と、ドレイン極と、ゲート極とを有する。

【0013】

発光デバイスOLEDの一端は電源VDDに接続され、前記駆動トランジスタDFTTのドレイン極(第1極)は前記発光デバイスOLEDの他端に接続され、ソース極(第2極)は前記第5のスイッチトランジスタT5のドレイン極(第1極)に接続され、ゲート極は前記第1のスイッチトランジスタT1のドレイン極(第1極)に接続され、前記第1のスイッチトランジスタT1のソース極(第2極)はデータラインに接続され、ゲート極はスキャンラインに接続され、ドレイン極(第1極)は前記駆動トランジスタDFTTのゲート極に接続され、前記第2のスイッチトランジスタT2のゲート極は制御ラインに接続され、ドレイン極(第1極)は電源VDDに接続され、ソース極(第2極)は前記補償トランジスタT3のソース極(第2極)に接続され、前記補償トランジスタT3のゲート極はドレイン極(第1極)に接続され、ドレイン極(第1極)は前記駆動トランジスタDFTTのドレイン極(第1極)に接続され、ソース極(第2極)は第2のスイッチトランジスタT2のソース極(第2極)に接続され、前記第5のスイッチトランジスタT5のゲート極は制御ラインに接続され、ドレイン極(第1極)は前記駆動トランジスタDFTTのソース極(第2極)に接続され、ソース極(第2極)はグランドに接続され、前記蓄積コンデンサCstの第1極板は駆動トランジスタDFTTのゲート極に接続され、第2極板は補償トランジスタT3のソース極(第2極)に接続される。

【0014】

説明すべきことは、本実施例において、補償トランジスタT3は一つのダイオードに相当し、そのドレイン極(第1極)は、ゲート極に接続された後は当該ダイオードの正極に相当し、駆動トランジスタDFTTのドレイン極(第1極)に接続され、ソース極は当該ダイオードの負極に相当し、第2のスイッチトランジスタT2のソース極(第2極)に接続される。

【0015】

なお、本実施例において、スキャンライン、制御ライン、データラインはそれぞれ異なる信号を伝送し、スキャンラインにおいて伝送するスキャン信号をVscanとし、制御ラインにおいて伝送される制御信号をEMとして、データラインにおいて伝送されるデータ信号をVdataとする。

【0016】

以下、図2-4を用いて図1に示す画素回路の作業プロセスを詳しく説明する。駆動するとき、図1に示す画素回路は補償段階とジャンプ発光段階の二つの駆動段階を有する。図2は図1に示す画素回路を駆動するときの各信号ラインのシーケンス図である。図2に示すように、図において、補償段階とジャンプ発光段階をそれぞれ(丸1)と(丸2)に対応させて表示する。図1に示す画素回路の駆動方法は具体的には以下のとおりである。

【0017】

第1の段階：補償段階。補償段階において、スキャン信号Vscanは高レベルであり、制御信号EMは低レベルである。第1のスイッチトランジスタT1は入力されるスキャン信号Vscanが高レベルであるためオンになり、第2のスイッチトランジスタT2と第5のスイッチトランジスタT5は制御信号EMが低レベルであるためオフになる。補償トランジスタT3は補償段階において正方向オン状態になる。このとき、図1に示す画素回路は図3に示す回路構造と等価である。

10

20

30

40

50

【0018】

図1と図3によれば、補償段階において、第1のスイッチトランジスタT1がオンになり、データ信号V_{data}は第1のスイッチトランジスタT1を通じて駆動トランジスタDTFTのゲート極に入力され、且つ蓄積コンデンサCstに充電して駆動トランジスタDTFTのゲート極に入力されたデータ信号V_{data}を保持させる。充電が完了した後、A点の電圧VAはデータ信号V_{data}となり、即ち

$$V_A = V_{data} \quad (1)$$

となり、B点の電圧は電源電圧VDDから発光デバイスOLEDの閾値電圧V_{oth}を引いて、更に補償トランジスタT3の閾値電圧V_{th3}を引いたもの、即ち

$$V_B = VDD - V_{oth} - V_{th3} \quad (2) \quad 10$$

となり、したがって蓄積コンデンサCstの両極板の間の電圧は

$$\begin{aligned} V_{AB} &= V_A - V_B = V_{data} - (VDD - V_{oth} - V_{th3}) \\ &= V_{data} - VDD + V_{oth} + V_{th3} \quad (3) \end{aligned}$$

となる。

【0019】

同時に、第2のスイッチトランジスタT2のゲート極に入力される制御信号EMは低レベルであるため、第2のスイッチトランジスタT2はオフになり、よって蓄積コンデンサCstと電源VDDとを切断することができ、発光デバイスOLEDと補償トランジスタT3の正方向のオンを保証でき、第5のスイッチトランジスタT5のゲート極に入力される制御信号EMは低レベルであるため、第5のスイッチトランジスタT5はオフになり、よって駆動トランジスタDTFTとグランドGNDとを切断することができ、駆動トランジスタDTFTのゲート極に入力されるデータ信号V_{data}が、第5のスイッチトランジスタT5を通じてグランドGNDに接続されて損なうのを防ぐ。 20

【0020】

第2の段階：ジャンプ発光段階。ジャンプ発光段階において、スキャン信号V_{scan}は低レベルであり、制御信号EMは高レベルである。第1のスイッチトランジスタT1は入力されるスキャン信号V_{scan}が低レベルであるためオフになり、第2のスイッチトランジスタT2と第5のスイッチトランジスタT5は制御信号EMが高レベルであるためオンになる。補償トランジスタT3はジャンプ発光段階において逆方向オフ状態になる。このとき、図1に示す画素回路は図4に示す回路構造と等価である。 30

【0021】

図1と図4によれば、第1のスイッチトランジスタT1のゲート極に入力されるスキャン信号V_{scan}は低レベルであり、第1のスイッチトランジスタT1がオフになり、こうして駆動トランジスタDTFTのゲート極とデータラインが隔離し、駆動トランジスタDTFTが発光デバイスOLEDに対する駆動は第1のスイッチトランジスタT1のソース極に入力されるデータ信号V_{data}の変化によって影響されなくなる。

【0022】

同時に、第2のスイッチトランジスタT2のゲート極に入力される制御信号EMは高レベルであるため、第2のスイッチトランジスタT2はオンになり、よって蓄積コンデンサCstと電源VDDとを接続し、よってB点の電圧VBは瞬時にVDDに変わる。物理の知識から分かるように、コンデンサの両極板の間の電圧は瞬時に変化することはなく、したがって、ジャンプ発光段階において、B点の電圧VBがVDDに変化したばかりのときは、式(3)は依然として成立する。よって、このときのA点の電圧VAはB点の電圧VBにA点とB点の間の電圧V_{AB}を加えたもの、即ち、 40

$$\begin{aligned} V_A &= V_B + V_{AB} = VDD + (V_{data} - VDD + V_{oth} + V_{th3}) \\ &= V_{data} + V_{oth} + V_{th3} \quad (4) \end{aligned}$$

となる。

【0023】

同時に、第5のスイッチトランジスタT5のゲート極に入力される制御信号EMは高レベルであるため、第5のスイッチトランジスタT5はオンになり、よって駆動トランジス 50

タD T F TとグランドG N Dとを接続される。このとき、駆動トランジスタD T F Tは飽和状態で作業し、駆動トランジスタD T F Tのソース極、ドレイン極に流れる電流I即ち発光デバイスO L E Dを駆動する駆動電流Iは、駆動トランジスタD T F Tのゲート極とソース極の間の電圧V g sの変化に伴い変化し、具体的な関係は式(5)に示すとおりである。駆動トランジスタD T F TはO L E Dの発光の駆動を開始する。

$$I = K (V g s - V t h)^2 \quad (5)$$

ただし、V g sは駆動トランジスタD T F Tのゲート・ソース電圧であり、本実施例において、

$$V g s = V A - 0 = V d a t a + V o t h + V t h 3 \quad (6)$$

K = $\mu_{e f f} * C o x * (W / L) / 2$ となり、ただし、 $\mu_{e f f}$ はD T F Tの有効キャリヤ移動度を示し、C o xは駆動トランジスタD T F Tのゲート絶縁層誘電率を示し、W / Lはチャネル幅とチャネル長の比を示し、ただしWはチャネル幅を示し、Lはチャネル長を示す。同一の構造において、W、L、C o x、 $\mu_{e f f}$ は比較的安定しているため、Kは定数とみなすことができる。
10

【0024】

したがって、式(6)を式(5)にはめ込めば、本実施例における駆動トランジスタD T F Tに流れる電流は、

$$I = K (V d a t a + V o t h + V t h 3 - V t h)^2 \quad (7)$$

となる。

【0025】

式(7)から分かるように、駆動トランジスタD T F Tの電流Iはデータ信号V d a t a及び定数Kと関係するほか、補償トランジスタT 3の閾値電圧V t h 3、駆動トランジスタD T F Tの閾値電圧V t h及び発光デバイスO L E Dの閾値電圧V o t hと関係する。低温ポリシリコン(Low Temperature Poly-silicon: L T P S)技術の近距離秩序の原理に基づき、近距離内の薄膜トランジスタは均一であるとみなすことができ、即ち近距離であり、構造が同一である薄膜トランジスタの特性はほぼ同一である。したがって、本実施例において、補償トランジスタT 3と駆動トランジスタD T F Tの位置がとても近いことが好ましく、短距離内とになされるため、補償トランジスタT 3の閾値電圧V t h 3と駆動トランジスタD T F Tの閾値電圧V t hがほぼ同一となり、即ちV t h 3 - V t h = 0となり、こうして、式(7)によれば、駆動トランジスタD T F Tに流れる電流は、
20

$$I = K (V d a t a + V o t h)^2 \quad (8)$$

となり、すなわち駆動トランジスタD T F Tに流れる電流Iはデータ信号V d a t aと発光デバイスO L E Dの閾値電圧V o t hのみと関係する。

【0026】

こうして、本発明の実施例に係る画素回路は、一方で、駆動電流Iは駆動トランジスタD T F Tの閾値電圧V t hと関係が無く、バークボードの製造技術の原因及び長時間作業による駆動トランジスタD T F Tの閾値電圧のオフセットに起因する駆動電流I即ち発光デバイスO L E Dに流れる電流の差異を防止し、よって発光デバイスの発光輝度の均一性を有効的に向上させる。
30

【0027】

他方で、式(8)によれば、本発明の実施例に係る画素回路は駆動トランジスタD T F Tの閾値電圧V t hのオフセットによる駆動電流Iの差異を補償するだけでなく、また、駆動電流Iが発光デバイスO L E Dの閾値電圧V o t hとも関係するため、発光デバイスO L E Dの閾値電圧V o t hが高めまたは低めであることによる発光デバイスO L E Dに流れる電流の差異をも補償することができ、発光デバイスの発光輝度の均一性を更に向上させることができる。なぜなら、式(8)によれば、本発明の実施例に係る画素回路において、駆動電流Iは発光デバイスO L E Dの閾値電圧V o t hの減少に伴い減少し、こうしてO L E Dが老化し、閾値電圧V o t hが上昇した場合は、駆動電流Iもこれに応じて上昇し、閾値電圧V o t hの上昇による駆動電流Iの減少を補償する。
40
50

【0028】

説明すべきことは、本実施例において、補償段階では駆動トランジスタD T F Tは発光デバイスO L E Dの発光を駆動していないが、発光デバイスO L E Dは蓄積コンデンサC s tの充電回路にあるため、データ信号V d a t aが駆動トランジスタD T F Tのゲート極に入力され、蓄積コンデンサに充電するときは、O L E Dは一定光を発する。

【0029】

上記の実施例において、駆動トランジスタD T F T、補償トランジスタT 3及び各スイッチトランジスタはいずれもN型薄膜トランジスタであるが、本発明はこれに限定されない。以下の条件を満たせば、上記の各N型薄膜トランジスタの全部または一部をP型薄膜トランジスタに替えることができる。

10

【0030】

まず、補償トランジスタT 3と駆動トランジスタD T F Tは同じ類型の薄膜トランジスタである条件、即ちいずれもN型であるかいずれもP型である条件を満たさなければならない。なぜなら、上記の本発明の実施例の二つの作業段階を分析して分かるように、補償トランジスタT 3は、駆動トランジスタD T F Tの駆動電流Iと駆動トランジスタのオン電圧V t hを無関係にさせるための補償電圧を提供するためのものである。したがって補償トランジスタT 3が提供する補償電圧V t h 3は駆動トランジスタD T F Tのオン電圧V t hと等しいことが要求される、このような効果を達するため、補償トランジスタT 3と駆動トランジスタD T F Tは同一の構造を有し、L T P S技術の近距離秩序の条件を満たすためのとても近い距離になければならない。

20

【0031】

次に、第2のスイッチトランジスタT 2と第5のスイッチトランジスタT 5が同じ類型の薄膜トランジスタである条件、即ちいずれもN型であるかいずれもP型である条件を満たさなければならない。なぜなら、第2のスイッチトランジスタT 2と第5のスイッチトランジスタT 5は同時にオンまたはオフにならなければならず、これらのオン、オフはいずれも制御ライン上の制御信号E Mによって制御される。

【0032】

説明すべきことは、P型薄膜トランジスタとN型薄膜トランジスタとではオンまたはオフの条件が異なるため、上記実施例においてN型薄膜トランジスタに替わってP型薄膜トランジスタを使用する場合、当該画素回路の機能が正常に実現するのを保証するため、相応の薄膜トランジスタのゲート極に入力する、例えば第1のスイッチトランジスタT 1に入力するスキャン信号V s c a n、第2のスイッチトランジスタT 2、第5のスイッチトランジスタT 5のゲート極に入力する制御信号E M、及び駆動トランジスタD T F Tのゲート極に入力されるデータ信号V d a t aなどの信号は、いずれも相応の調整をする必要がある。以下に具体的な実施例を用いて詳しく説明する。

30

【0033】

図5に示すように、本発明のもう一つの実施例において、画素回路は、発光デバイスO L E Dと、駆動トランジスタD T F Tと、蓄積コンデンサC s tと、第1のスイッチトランジスタT 1と、第2のスイッチトランジスタT 2と、補償トランジスタT 3と、第5のスイッチトランジスタT 5とを有する。このうち、前記駆動トランジスタD T F T、補償トランジスタT 3はP型薄膜トランジスタであり、第1のスイッチトランジスタT 1、第2のスイッチトランジスタT 2、第5のスイッチトランジスタT 5はいずれもN型薄膜トランジスタであり、且つ各薄膜トランジスタはいずれもソース極と、ドレイン極と、ゲート極とを有する。

40

【0034】

発光デバイスO L E Dの一端は電源V D Dに接続され、前記駆動トランジスタD T F Tのソース極（第1極）は前記発光デバイスO L E Dの他端に接続され、ドレイン極（第2極）は前記第5のスイッチトランジスタT 5のドレイン極（第1極）に接続され、ゲート極は前記第1のスイッチトランジスタT 1のドレイン極（第1極）に接続され、前記第1のスイッチトランジスタT 1のソース極（第2極）はデータラインに接続され、ゲート極

50

はスキャンラインに接続され、ドレイン極（第1極）は前記駆動トランジスタD T F Tのゲート極に接続され、前記第2のスイッチトランジスタT 2のゲート極は制御ラインに接続され、ドレイン極（第1極）は電源V D Dに接続され、ソース極（第2極）は前記補償トランジスタT 3のドレイン極（第2極）に接続され、前記補償トランジスタT 3のゲート極はドレイン極（第2極）に接続され、ソース極（第1極）は前記駆動トランジスタD T F Tのソース極（第1極）に接続され、ドレイン極（第2極）は第2のスイッチトランジスタT 2のソース極（第2極）に接続され、前記第5のスイッチトランジスタT 5のゲート極は制御ラインに接続され、ドレイン極（第1極）は前記駆動トランジスタD T F Tのドレイン極（第2極）に接続され、ソース極（第2極）はグランドに接続され、前記蓄積コンデンサC s tの第1極板は駆動トランジスタD T F Tのゲート極に接続され、第2極板は補償トランジスタT 3のドレイン極（第2極）に接続される。10

【0035】

図1に示す実施例に比べ、本実施例では駆動トランジスタD T F Tと補償トランジスタT 3のみが図1に示す実施例と異なり、これに対応して、駆動トランジスタD T F Tのゲート極に入力するデータ信号V d a t aも異なる。

【0036】

図1に示す実施例において、駆動トランジスタD T F TはN型であり、N型駆動トランジスタD T F Tのソース極とドレイン極に流れる電流Iはデータ信号V d a t aの上昇に伴い増大し、データ信号V d a t aの低下に伴い減少し、本実施例において、駆動トランジスタD T F TはP型であり、P型トランジスタD T F Tのソース極とドレイン極に流れる電流Iはデータ信号V d a t aの上昇に伴い減少し、データ信号V d a t aの低下に伴い増大する。したがって、同じ駆動トランジスタD T F Tに流れる電流Iに対応する図1に示す実施例におけるデータ信号V d a t aと本実施例におけるデータ信号V d a t aは異なってもよい。20

【0037】

説明すべきことは、上記の相違点のほか、本実施例における画素回路の他の部分は図1に示す構造と同一であり、ここでは説明しないこととする。

【0038】

本実施例に係る画素回路は、N型駆動トランジスタD T F TとN型補償トランジスタT 3に替えて、対応するP型トランジスタを使用するが、図1に示す実施例と同一の技術効果を実現でき、ここでは説明しないこととする。30

【0039】

図6は本発明の実施例に係る画素回路のもう一つの回路図である。図6に示すように、本実施例は、第2のスイッチトランジスタT 2と第5のスイッチトランジスタT 5はN型薄膜トランジスタではなく、P型薄膜トランジスタである点で図1に示す実施例と異なる。これに対応して、第2のスイッチトランジスタT 2のゲート極と第5のスイッチトランジスタT 5のゲート極に入力される制御信号E Mも図1に示す実施例と異なる。

【0040】

具体的には、図6に示すように、本発明の実施例に係る画素回路は、発光デバイスO L E Dと、駆動トランジスタD T F Tと、蓄積コンデンサC s tと、第1のスイッチトランジスタT 1と、第2のスイッチトランジスタT 2と、補償トランジスタT 3と、第5のスイッチトランジスタT 5とを有する。このうち、前記駆動トランジスタD T F T、第1のスイッチトランジスタT 1、補償トランジスタT 3はいずれもN型薄膜トランジスタであり、第2のスイッチトランジスタT 2、第5のスイッチトランジスタT 5はP型薄膜トランジスタであり、且つ各薄膜トランジスタはいずれもソース極と、ドレイン極と、ゲート極とを有する。40

【0041】

発光デバイスO L E Dの一端は電源V D Dに接続され、前記駆動トランジスタD T F Tのドレイン極（第1極）は前記発光デバイスO L E Dの他端に接続され、ソース極（第2極）は前記第5のスイッチトランジスタT 5のソース極（第1極）に接続され、ゲート極50

は前記第1のスイッチトランジスタT1のドレイン極(第1極)に接続され、前記第1のスイッチトランジスタT1のソース極(第2極)はデータラインに接続され、ゲート極はスキャンラインに接続され、ドレイン極(第1極)は前記駆動トランジスタD_{TFT}のゲート極に接続され、前記第2のスイッチトランジスタT2のゲート極は制御ラインに接続され、ソース極(第1極)は電源V_{DD}に接続され、ドレイン極(第2極)は前記補償トランジスタT3のソース極(第2極)に接続され、前記補償トランジスタT3のゲート極はドレイン極(第1極)に接続され、ドレイン極(第1極)は前記駆動トランジスタD_{TFT}のドレイン極(第1極)に接続され、ソース極(第2極)は第2のスイッチトランジスタT2のドレイン極(第2極)に接続され、前記第5のスイッチトランジスタT5のゲート極は制御ラインに接続され、ソース極(第1極)は前記駆動トランジスタD_{TFT}のソース極(第2極)に接続され、ドレイン極(第2極)はグランドに接続され、前記蓄積コンデンサC_stの第1極板は駆動トランジスタD_{TFT}のゲート極に接続され、第2極板は補償トランジスタT3のソース極(第2極)に接続される。
10

【0042】

本実施例において、画素回路の作業プロセスは図1に示す実施例の画素回路の作業プロセスと類似しており、制御信号EMが第2のスイッチトランジスタT2と第5のスイッチトランジスタT5のオンまたはオフを制御するときのみ、図1に示す実施例と異なる。

【0043】

具体的には、図1に示す実施例との相違点は、本実施例において、補償段階で制御信号EMが高レベルであり、第2のスイッチトランジスタT2と第5のスイッチトランジスタT5をオフにさせる。本実施例に係る画素回路の補償段階での作業プロセスは図1-4に示す実施例と類似しているため、ここでは説明しないこととする。
20

【0044】

これに対応して、図1に示す実施例とのもう一つの相違点は、本実施例において、ジャンプ発光段階で制御信号EMは低レベルであり、第2のスイッチトランジスタT2と第5のスイッチトランジスタT5をオンにさせる。本実施例に係る画素回路のジャンプ発光段階での作業プロセスは図1-4に示す実施例と類似しているため、ここでは説明しないこととする。

【0045】

図7に示すように、本発明のもう一つの実施例において、画素回路は、発光デバイスOLEDと、駆動トランジスタD_{TFT}と、蓄積コンデンサC_stと、第1のスイッチトランジスタT1と、第2のスイッチトランジスタT2と、補償トランジスタT3と、第5のスイッチトランジスタT5とを有する。このうち、前記駆動トランジスタD_{TFT}、第2のスイッチトランジスタT2、補償トランジスタT3、第5のスイッチトランジスタT5はいずれもN型薄膜トランジスタであり、第1のスイッチトランジスタT1はP型薄膜トランジスタであり、且つ各薄膜トランジスタはいずれもソース極と、ドレイン極と、ゲート極とを有する。
30

【0046】

発光デバイスOLEDの一端は電源V_{DD}に接続され、前記駆動トランジスタD_{TFT}のドレイン極(第1極)は前記発光デバイスOLEDの他端に接続され、ソース極(第2極)は前記第5のスイッチトランジスタT5のドレイン極(第1極)に接続され、ゲート極は前記第1のスイッチトランジスタT1のソース極(第1極)に接続され、前記第1のスイッチトランジスタT1のドレイン極(第2極)はデータラインに接続され、ゲート極はスキャンラインに接続され、ソース極(第1極)は前記駆動トランジスタD_{TFT}のゲート極に接続され、前記第2のスイッチトランジスタT2のゲート極は制御ラインに接続され、ドレイン極(第1極)は電源V_{DD}に接続され、ソース極(第2極)は前記補償トランジスタT3のソース極(第2極)に接続され、前記補償トランジスタT3のゲート極はドレイン極(第1極)に接続され、ドレイン極(第1極)は前記駆動トランジスタD_{TFT}のドレイン極(第1極)に接続され、ソース極(第2極)は第2のスイッチトランジスタT2のソース極(第2極)に接続され、前記第5のスイッチトランジスタT5のゲー
40
50

ト極は制御ラインに接続され、ドレイン極（第1極）は前記駆動トランジスタD T F Tのソース極（第2極）に接続され、ソース極（第2極）はグランドに接続され、前記蓄積コンデンサC s tの第1極板は駆動トランジスタD T F Tのゲート極に接続され、第2極板は補償トランジスタT 3のソース極（第2極）に接続される。

【0047】

本実施例において、画素回路の作業プロセスは図1に示す実施例における画素回路の作業プロセスと類似しており、スキャンラインV s c a nが第1のスイッチトランジスタT 1のオンまたはオフを制御するときのみ、図1に示す実施例における画素回路と異なる。

【0048】

具体的には、補償段階でスキャン信号V s c a nが低レベルであり、第1のスイッチトランジスタT 1をオンにさせる。本実施例に係る画素回路の補償段階での作業プロセスは図1-4に示す実施例と類似しているため、ここでは説明しないこととする。

【0049】

具体的には、ジャンプ発光段階でスキャン信号V s c a nが高レベルであり、第1のスイッチトランジスタT 1をオフにさせる。本実施例に係る画素回路のジャンプ発光段階での作業プロセスは図1-4に示す実施例と類似しているため、ここでは説明しないこととする。

【0050】

以上の実施例は、本発明の提供する画素回路の各薄膜トランジスタがいずれもN型の場合、駆動トランジスタD T F Tと補償トランジスタT 3がP型であり、その他の各薄膜トランジスタがN型の場合、第2のスイッチトランジスタT 2と第5のスイッチトランジスタT 5がP型であり、その他の各薄膜トランジスタがN型の場合、及び第1のスイッチトランジスタT 1がP型であり、その他の各薄膜トランジスタがN型の場合、をそれぞれ詳しく説明した。しかし、本発明はこれに限らず、本発明の他の実施例において、上記各スイッチトランジスタ、駆動トランジスタD T F T及び補償トランジスタT 3がいずれもP型薄膜トランジスタであってもよいし、または他の形式の一部の薄膜トランジスタがP型薄膜トランジスタであり、一部の薄膜トランジスタがN型薄膜トランジスタである組み合わせであっても、補償トランジスタT 3と駆動トランジスタD T F Tが同じ類型の薄膜トランジスタ、すなわち共にN型でありまたは共にP型であり、同時に、第2のスイッチトランジスタT 2と第5のスイッチトランジスタT 5が同じ類型の薄膜トランジスタであれば足りる。

【0051】

図1に示す回路のいずれか又はいくつかのN型薄膜トランジスタをP型薄膜トランジスタに替える場合、各P型薄膜トランジスタが回路における接続方法は、元のN型薄膜トランジスタの接続方法と類似し、半導体の物理的知識におけるP型トランジスタとN型トランジスタの各ゲート極、ドレイン極、ソース極の電位を対応関係に基づいて接続関係を適宜調整すればよい。例えば、図1に示す実施例において、各薄膜トランジスタはいずれもN型薄膜トランジスタであり、且つ各薄膜トランジスタの第1極はいずれもドレイン極であり、第2極はいずれもソース極であるが、本発明の他の実施例において、いずれかの薄膜トランジスタをN型からP型に替える場合は、その接続関係は依然として図1に示す実施例における薄膜トランジスタの第1極と第2極の接続関係の説明を用いてもよいが、具体的に、第1極と第2極が表すものが当該薄膜トランジスタのソース極であるか、ドレイン極であるかは異なる類型の薄膜トランジスタで異なる場合がある。

【0052】

図1に示す実施例において、補償トランジスタT 3以外の薄膜トランジスタをN型薄膜トランジスタからP型薄膜トランジスタに替える場合、第1極は当該P型薄膜トランジスタのソース極に対応し、第2極は当該P型薄膜トランジスタのドレイン極に対応し、補償トランジスタT 3については、そのゲート極は常にドレイン極に接続されているため、T 3がN型薄膜トランジスタであるときはゲート極はドレイン極（第1極）に接続され、T 3がP型薄膜トランジスタであるときはゲート極はドレイン極（第2極）に接続され、こ

10

20

30

40

50

のときの補償トランジスタ T 3 は一つのダイオードに相当し、そのドレイン極とゲート極が接続された後は当該ダイオードの一極に相当し、ソース極は当該ダイオードの他方の極に相当する。回路を接続するとき、ダイオードの正方向バイアスまたは逆方向バイアスの要求に基づいて対応する電極を回路の高い方の電位または低い方の電位に接続すればよい。

【 0 0 5 3 】

説明すべきことは、本発明の実施例に係る回路構造は図 1 に示す実施例と類似しており、相違点は各薄膜トランジスタが N 型であるか P 型であるか違いにより、これに対応して回路における接続も微調整し、どのような変化に対しても、上記実施例における補償段階とジャンプ発光段階の回路の機能が正常に発揮することを補償できればよい。

10

【 0 0 5 4 】

更に、図 8 に示すように、本発明の他の実施例において、画素回路は第 4 のスイッチトランジスタ T 4 を有してもよい。説明すべきことは、第 4 のスイッチトランジスタ T 4 以外は、本実施例における画素回路は図 1 に示す実施例における画素回路と同一である。

【 0 0 5 5 】

具体的には、第 4 のスイッチトランジスタ T 4 のゲート極はスキャンラインに接続され、ドレイン極（第 1 極）は第 2 のスイッチトランジスタ T 2 のドレイン極（第 1 極）に接続され、ソース極（第 2 極）は駆動トランジスタ D T F T のソース極（第 1 極）に接続され、第 4 のスイッチトランジスタ T 4 は第 1 のスイッチトランジスタ T 1 と同じ類型であり、即ち共に N 型薄膜トランジスタであるか、又は共に P 型薄膜トランジスタである。発光デバイス O L E D , 駆動トランジスタ D T F T , 蓄積コンデンサ C s t 、第 1 のスイッチトランジスタ T 1 、第 2 のスイッチトランジスタ T 2 、補償トランジスタ T 3 、第 5 のスイッチトランジスタ T 5 の接続については、図 1 に示す実施例の詳細な説明を参照できるため、ここでは説明しないこととする。

20

【 0 0 5 6 】

以下図 2 、図 8 - 10 を用いて本発明における画素回路の作業工程を詳しく説明する。

【 0 0 5 7 】

図 2 に示す信号のシーケンスのもとで、図 8 に示す画素回路の作業プロセスは同じく二つの段階に分けられる。

【 0 0 5 8 】

30

第 1 の段階：補償段階。補償段階において、スキャン信号 V s c a n は高レベルであり、制御信号 E M は低レベルであり、図 8 に示す画素回路が図 9 に示すような回路構造と等価である。図 8 と図 9 によれば、第 1 のスイッチトランジスタ T 1 と第 4 のスイッチトランジスタ T 4 は N 型薄膜トランジスタであり、第 1 のスイッチトランジスタ T 1 と第 4 のスイッチトランジスタ T 4 のゲート極に入力されるスキャン信号 V s c a n が高レベルであるため、第 1 のスイッチトランジスタ T 1 と第 4 のスイッチトランジスタ T 4 はオンになる。第 2 のスイッチトランジスタ T 2 と第 5 のスイッチトランジスタ T 5 も N 型薄膜トランジスタであり、これらに入力する制御信号 E M が低レベルであるため、第 2 のスイッチトランジスタ T 2 と第 5 のスイッチトランジスタ T 5 はオフになる。

【 0 0 5 9 】

40

具体的には、第 4 のスイッチトランジスタ T 4 がオンになった後、発光デバイス O L E D はオンになった第 4 のスイッチトランジスタ T 4 によってショートされるため、図 1 に示す実施例と異なり、本実施例において、当該段階では発光デバイス O L E D に電流が流れず、発光デバイス O L E D は発光しない。第 1 のスイッチトランジスタ T 1 がオンになった後、データ信号 V d a t a は第 1 のスイッチトランジスタ T 1 を通じて駆動トランジスタ D T F T のゲート極に入力され、且つ蓄積コンデンサ C s t に充電して駆動トランジスタ D T F T のゲート極に入力されたデータ信号 V d a t a を保持させる。

【 0 0 6 0 】

充電が完了した後、A 点の電圧 V A はデータ信号 V d a t a となり、即ち

$$V A = V d a t a$$

となり、B点の電圧 V_B は電源電圧 V_{DD} から補償トランジスタT3の閾値電圧 V_{th3} を引いたもの、即ち

$$V_B = V_{DD} - V_{th3} \quad (10)$$

となり、したがって蓄積コンデンサCstの両極板の間の電圧は

$$\begin{aligned} V_{AB} &= V_A - V_B = V_{data} - (V_{DD} - V_{th3}) \\ &= V_{data} - V_{DD} + V_{th3} \end{aligned} \quad (11)$$

となる。

【0061】

このとき、第2のスイッチトランジスタT2は、入力される低レベルの制御信号EMにより、蓄積コンデンサCstと電源 V_{DD} とを切断し、発光デバイスOLEDと補償トランジスタT3の正方向のオンを保証する。第5のスイッチトランジスタT5は、入力される低レベルの制御信号EMにより、駆動トランジスタDTFTとグランドGNDとを切断し、駆動トランジスタDTFTのゲート極に入力されるデータ信号 V_{data} が、第5のスイッチトランジスタT5を通じてグランドGNDに接続されて損なうのを防ぐ。
10

【0062】

第2の段階：ジャンプ発光段階。ジャンプ発光段階において、スキャン信号 V_{scan} は低レベルであり、制御信号EMは高レベルである。このときの図8に示す画素回路は図10に示すような回路構造と等価である。

【0063】

図8と図10によれば、第1のスイッチトランジスタT1はゲート極に入力されるスキャン信号 V_{scan} が低レベルであることによりオフになり、駆動トランジスタDTFTのゲート極と第1のスイッチトランジスタT1のソース極、即ちデータライン V_{data} の入力端とを隔離させる。こうして駆動トランジスタDTFTが発光デバイスOLEDに対する駆動は第1のスイッチトランジスタT1のソース極の信号変化によって影響されなくなる。同時に、第4のスイッチトランジスタT4は入力されるスキャン信号 V_{scan} が低レベルによりオフになり、こうして発行デバイスOLEDはショートされず、これにより発光デバイスOLEDの発光を駆動することができる。
20

【0064】

同時に、第2のスイッチトランジスタT2は制御信号EMが高レベルであることにより、オンになり、蓄積コンデンサCstの上極板は電源 V_{DD} と直接接続され、よってB点の電圧 V_B は瞬時に V_{DD} にジャンプする。物理の知識から分かるように、コンデンサの両極板の間の電圧は瞬時に変化することはなく、したがって、B点の電圧 V_B が V_{DD} にジャンプしたばかりのときは、式(11)は依然として成立する。よって、このときのA点の電圧 V_A はB点の電圧 V_B にA点とB点の間の電圧 V_{AB} を加えたもの、即ち、
30

$$\begin{aligned} V_A &= V_B + V_{AB} = V_{DD} + (V_{data} - V_{DD} + V_{th3}) \\ &= V_{data} + V_{th3} \end{aligned} \quad (12)$$

となる。

【0065】

第5のスイッチトランジスタT5は制御信号EMは高レベルであることによりオンになり、よって駆動トランジスタDTFTのソース極はグランドGNDと直接接続される。このとき、駆動トランジスタDTFTはOLEDの発光の駆動を開始する。駆動トランジスタDTFTのゲート・ソース電圧は、
40

$$V_{gs} = V_A - 0 = V_{data} + V_{th3} \quad (13)$$

であり、式(5)と式(13)により、本実施例において、駆動トランジスタDTFTに流れる電流は、

$$I = K (V_{gs} + V_{th3} - V_{th})^2 \quad (14)$$

となる。

【0066】

前述した実施例の原理と類似するように、補償トランジスタT3が駆動トランジスタDTFTの位置がとても近いとき、補償トランジスタT3の閾値電圧 V_{th3} と駆動トラン
50

ジスタ D T F T の閾値電圧 $V_{t h}$ はほぼ同一となり、即ち $V_{t h3} - V_{t h} = 0$ となる。よって、式(14)は

$$I = K \cdot V_{data}^2 \quad (15)$$

によって表すことができる。

【0067】

ただし、Kの意義は前述した実施例と同一であり、定数とみなすことができる。こうして、駆動トランジスタ D T F T に流れる電流はデータ信号 V_{data} にのみ関連し、駆動トランジスタ D T F T の閾値電圧 $V_{t h}$ とは無関係になり、したがってパークボードの製造技術の原因及び長時間作業による駆動トランジスタ D T F T の閾値電圧のオフセットに起因する駆動電流 I 即ち発光デバイス O L E D に流れる電流の差異を防止し、よって発光デバイスの発光輝度の均一性を有効的に向上させる。
10

【0068】

また、本実施例において、第4のスイッチトランジスタ T 4 は補償段階で発光デバイス O L E D をショートし、即ち補償段階で発光デバイス O L E D に電流が流れず、発光デバイス O L E D は発光しないため、発光デバイス O L E D が補償段階で点滅するのを防ぐ。

【0069】

説明すべきことは、本実施例は O L E D を例にとって説明しているが、本発明の実施例に係る発光デバイスは他の本発明の実施例における画素回路を用いて駆動できる発光デバイスであってもよく、本発明はこれに限定されない。
20

【0070】

更に説明すべきことは、本発明において、図1に示す実施例のみ、即ち各薄膜トランジスタがいずれもN型薄膜トランジスタである実施例を基に、第4のスイッチトランジスタ T 4 を追加して説明したが、本発明はこれに限定されない。本発明の他の実施例において、各薄膜トランジスタは、以下の条件を満たせば、全部または一部をP型薄膜トランジスタに替えることができる。その条件とは、補償トランジスタ T 3 と駆動トランジスタ D T F T は同じ類型の薄膜トランジスタであり、第4のスイッチトランジスタ T 4 と第1のスイッチトランジスタ T 1 は同じ類型の薄膜トランジスタであり、第2のスイッチトランジスタ T 2 と第5のスイッチトランジスタ T 5 は同じ類型の薄膜トランジスタであればよい。ここで、同じ類型の薄膜トランジスタとは、共にN型薄膜トランジスタであるか、あるいは共にP型薄膜トランジスタであることをいう。
30

【0071】

前述した画素回路に対応して、図11に示すように、更に、本発明の実施例は画素回路の駆動方法であって、第1のスイッチトランジスタ T 1 をオンにし、同時に第2のスイッチトランジスタ T 2 と第5のスイッチトランジスタ T 5 をオフにして、データラインにおけるデータ信号 V_{data} が第1のスイッチトランジスタ T 1 を通じて蓄積コンデンサ C s t の第1の極板に充電するようにし、電源 V D D が発光デバイス O L E D と補償トランジスタ T 3 を通じて蓄積コンデンサ C s t の第2の極板に充電するようにする S 1 1 と、第1のスイッチトランジスタ T 1 をオフにし、同時に第2のスイッチトランジスタ T 2 と第5のスイッチトランジスタ T 5 をオンにして、発光デバイス O L E D が電源 V D D により提供される、発光デバイス O L E D 、駆動トランジスタ D T F T 、第5のスイッチトランジスタ T 5 に順次流れる電流によって発光されるようにする S 1 2 とを有する画素回路の駆動方法を提供する。
40

【0072】

本発明の実施例に係る画素回路の駆動方法は、補償トランジスタ T 3 、蓄積コンデンサと複数のスイッチトランジスタによって回路の開閉及び充放電を制御し、画素回路に対する駆動を二つの段階に分けることにより、駆動トランジスタ D T F T を駆動トランジスタ D T F T の閾値電圧 $V_{t h}$ と無関係にさせ、駆動トランジスタ D T F T の閾値電圧 $V_{t h}$ の不一致またはオフセットによる発光デバイスに流れる電流の差異を補償し、したがって発光デバイスの発光輝度の均一性を向上させることができる。

【0073】

10

20

30

40

50

同時に、OLEDなどの発光デバイスのオン電圧 V_{oth} はジャンプ発光段階で駆動トランジスタ TFT のゲート極と第2極の間に印加されてもよく、よって発光デバイス OLED の閾値電圧の上昇による発光デバイス OLED に流れる電流の差異を補償することができる。

【0074】

説明すべきことは、本実施例において、発光デバイスはOLEDであるが、本発明はこれに限定されず、他の本発明の実施例に係る画素回路によって駆動できる発光デバイスであってもよく、本発明はこれを制限しない。

【0075】

オプションとして、本発明の一つの実施例において、第1のスイッチトランジスタ T1 10 、第2のスイッチトランジスタ T2 と第5のスイッチトランジスタ T5 をいずれもN型薄膜トランジスタとし、これらの第1極をドレイン極とし、第2極をソース極とする。ステップ S11 について、本発明の実施例に係る画素回路の駆動方法は、スキャンラインを通じて高レベルを第1のスイッチトランジスタ T1 のゲート極に入力して第1のスイッチトランジスタ T1 をオンにし、同時に制御ラインを通じて低レベルを第2のスイッチトランジスタ T2 のゲート極と第5のスイッチトランジスタ T5 のゲート極に入力して第2のスイッチトランジスタ T2 と第5のスイッチトランジスタ T5 をオフにすることができ、これに対応して、ステップ S12 については、スキャンラインを通じて低レベルを第1のスイッチトランジスタ T1 のゲート極に入力して第1のスイッチトランジスタ T1 をオフにし、同時に制御ラインを通じて高レベルを第2のスイッチトランジスタ T2 のゲート極と第5のスイッチトランジスタ T5 のゲート極に入力して第2のスイッチトランジスタ T2 と第5のスイッチトランジスタ T5 をオンにすることができる。
20

【0076】

オプションとして、本発明のもう一つの実施例において、第1のスイッチトランジスタ T1 をN型薄膜トランジスタとし、その第1極をドレイン極とし、第2極をソース極とし、第2のスイッチトランジスタ T2 と第5のスイッチトランジスタ T5 をいずれもP型薄膜トランジスタとし、第2のスイッチトランジスタ T2 と第5のスイッチトランジスタ T5 の第1極をソース極とし、第2極をドレイン極とする。ステップ S11 について、本発明の実施例に係る画素回路の駆動方法は、スキャンラインを通じて高レベルを第1のスイッチトランジスタ T1 のゲート極に入力して第1のスイッチトランジスタ T1 をオンにし、同時に制御ラインを通じて高レベルを第2のスイッチトランジスタ T2 のゲート極と第5のスイッチトランジスタ T5 のゲート極に入力して第2のスイッチトランジスタ T2 と第5のスイッチトランジスタ T5 をオフにすることができ、これに対応して、ステップ S12 については、スキャンラインを通じて低レベルを第1のスイッチトランジスタ T1 のゲート極に入力して第1のスイッチトランジスタ T1 をオフにし、同時に制御ラインを通じて低レベルを第2のスイッチトランジスタ T2 のゲート極と第5のスイッチトランジスタ T5 のゲート極に入力して第2のスイッチトランジスタ T2 と第5のスイッチトランジスタ T5 をオンにすることができる。
30

【0077】

オプションとして、本発明のもう一つの実施例において、第1のスイッチトランジスタ T1 をP型薄膜トランジスタとし、第1のスイッチトランジスタ T1 の第1極をソース極とし、第2極をドレイン極とし、第2のスイッチトランジスタ T2 と第5のスイッチトランジスタ T5 をいずれもN型薄膜トランジスタとし、これらの第1極をドレイン極とし、第2極をソース極とする。
40

【0078】

ステップ S11 について、本発明の実施例に係る画素回路の駆動方法は、スキャンラインを通じて低レベルを第1のスイッチトランジスタ T1 のゲート極に入力して第1のスイッチトランジスタ T1 をオンにし、同時に制御ラインを通じて低レベルを第2のスイッチトランジスタ T2 のゲート極と第5のスイッチトランジスタ T5 のゲート極に入力して第2のスイッチトランジスタ T2 と第5のスイッチトランジスタ T5 をオフにすることができる
50

き、これに対応して、ステップS12については、スキャンラインを通じて高レベルを第1のスイッチトランジスタT1のゲート極に入力して第1のスイッチトランジスタT1をオフにし、同時に制御ラインを通じて高レベルを第2のスイッチトランジスタT2のゲート極と第5のスイッチトランジスタT5のゲート極に入力して第2のスイッチトランジスタT2と第5のスイッチトランジスタT5をオンにことができる。

【0079】

オプションとして、本発明の一つの実施例において、第1のスイッチトランジスタT1、第2のスイッチトランジスタT2と第5のスイッチトランジスタT5をいずれもP型薄膜トランジスタとする。ステップS11について、本発明の実施例に係る画素回路の駆動方法は、スキャンラインを通じて低レベルを第1のスイッチトランジスタT1のゲート極に入力して第1のスイッチトランジスタT1をオンにし、同時に制御ラインを通じて高レベルを第2のスイッチトランジスタT2のゲート極と第5のスイッチトランジスタT5のゲート極に入力して第2のスイッチトランジスタT2と第5のスイッチトランジスタT5をオフにすることができ、これに対応して、ステップS12については、スキャンラインを通じて高レベルを第1のスイッチトランジスタT1のゲート極に入力して第1のスイッチトランジスタT1をオフにし、同時に制御ラインを通じて低レベルを第2のスイッチトランジスタT2のゲート極と第5のスイッチトランジスタT5のゲート極に入力して第2のスイッチトランジスタT2と第5のスイッチトランジスタT5をオンにすることができる。

【0080】

更に、本発明のもう一つの実施例において、ステップS11において、前記第1のスイッチトランジスタT1をオンにするのを第1のスイッチトランジスタT1と第4のスイッチトランジスタT4を同時にオンにする、とすることができる。

【0081】

具体的には、第1のスイッチトランジスタT1と第4のスイッチトランジスタT4を同時にオンにし、同時に第2のスイッチトランジスタT2のゲート極と第5のスイッチトランジスタT5をオフにし、データライン即ちデータ信号Vdataがある信号ラインに、第1のスイッチトランジスタT1を通じて蓄積コンデンサCstの第1極板を充電させ、電源VDDに第4のスイッチトランジスタT4と補償トランジスタT3を通じて蓄積コンデンサCstの第2極板を充電させることができる。

【0082】

これに対応して、ステップS12において、第1のスイッチトランジスタT1をオフにするのを第1のスイッチトランジスタT1と第4のスイッチトランジスタT4を同時にオフにする、とすることができる。具体的には、第1のスイッチトランジスタT1と第4のスイッチトランジスタT4を同時にオフにし、同時に第2のスイッチトランジスタT2と第5のスイッチトランジスタT5をオンにし、発光デバイスOLEDが電源VDDに提供される、発光デバイスOLED、駆動トランジスタDTFTと第5のスイッチトランジスタT5を順次流れる電流によって発光を駆動されるようにし、そして、第4のスイッチトランジスタT4のゲート極はスキャンラインに接続され、第1極は第2のスイッチトランジスタT2の第1極に接続され、第2極は駆動トランジスタDTFTの第1極に接続され、第4のスイッチトランジスタT4は第1のスイッチトランジスタT1と同じ類型である。

【0083】

第4のスイッチトランジスタT4と第1のスイッチトランジスタT1はいずれもスキャン信号Vscanによって制御されるため、第4のスイッチトランジスタT4と第1のスイッチトランジスタT1は同時にオン又はオフになり、本実施例において、第4のスイッチトランジスタT4と第1のスイッチトランジスタT1のオンまたはオフの原理及び詳細なプロセスは前述した実施例を参照できるため、ここでは説明しないこととする。

【0084】

補償段階で第4のスイッチトランジスタT4をオンにするため、発光デバイスOLED

10

20

30

40

50

は第4のスイッチトランジスタT4によってショートされ、即ち補償段階では発光デバイスOLEDに電流が流れず、発光デバイスOLEDは発光しないため、発光デバイスOLEDが補償段階で点滅するのを防ぐ。

【0085】

これに対応して、本発明は、前述した実施例に係るいずれかの画素回路を有する表示装置を更に提供し、よって本発明の実施例に係る画素回路がもたらす有益な技術効果を有するが、前記にすでに詳細な説明をしたので、ここで説明しないこととする。

【0086】

当業者が理解するように、上記方法の実施例を実現する全部または一部のフローは、コンピュータプログラムのコマンドに関するハードウェアを通じて行うことができ、前述のプログラムはコンピュータに読み取り可能な媒体に格納することができ、当該プログラムを実行するときに、上記方法の実施例のステップが含まれ、前記格納媒体はROM、RAM、磁気ディスク、光ディスクなどの様々なプログラムコードを格納できる媒体が含まれる。

10

【0087】

以上の記載は、本発明の具体的な実施形態にすぎず、本発明の保護範囲はこれに限定されず、当業者が本発明が公開する技術範囲内において容易に想到できるいかなる変化や置換も本発明の保護範囲に含まれる。したがって、本発明の保護範囲は前記特許請求の範囲の保護範囲を基準とする。

【符号の説明】

20

【0088】

OLED	発行デバイス
DFT	駆動トランジスタ
Cst	蓄積コンデンサ
T1	第1のスイッチトランジスタ
T2	第2のスイッチトランジスタ
T3	補償トランジスタ
T5	第5のスイッチトランジスタ
VDD	電源
GND	グランド
EM	制御信号

30

【図1】

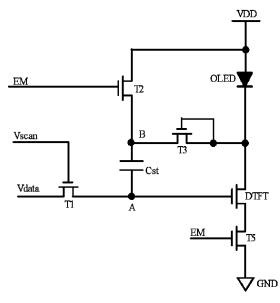


图1

【図3】

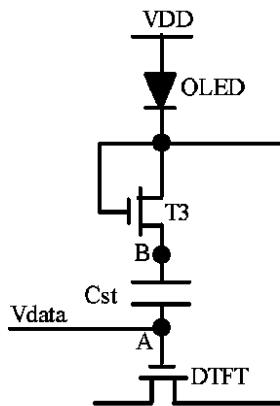


图3

【図2】

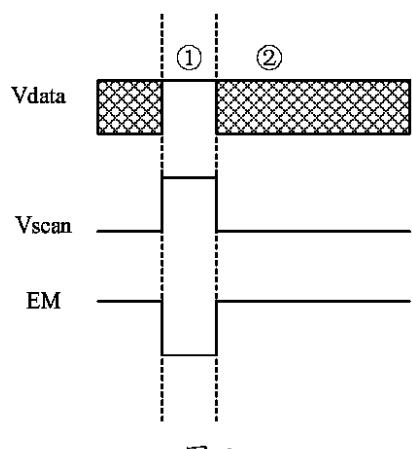


图2

【図4】

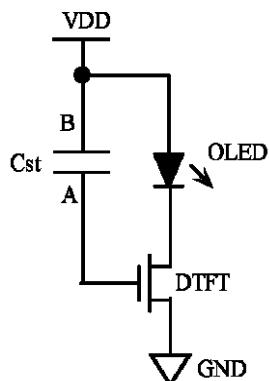


图4

【図5】

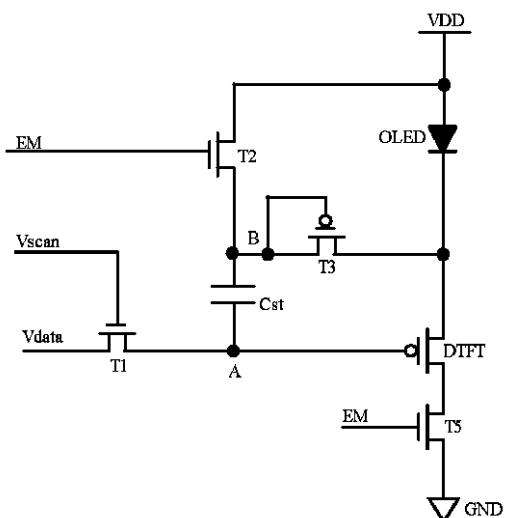


图5

【図6】

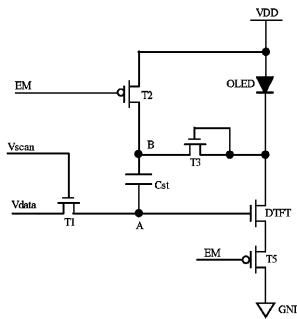


图6

【図8】

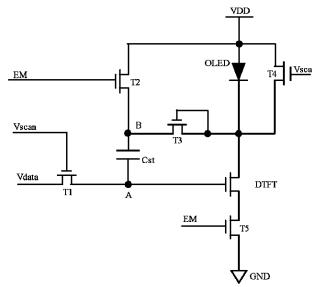


图8

【図7】

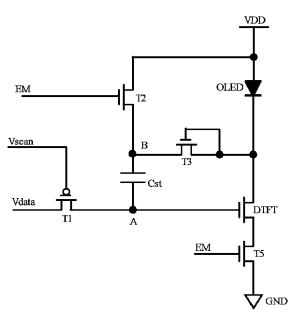


图7

【図9】

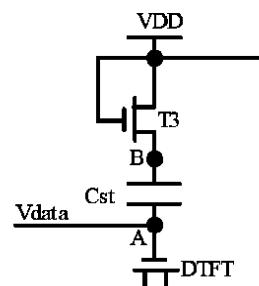
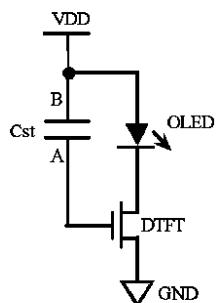


图9

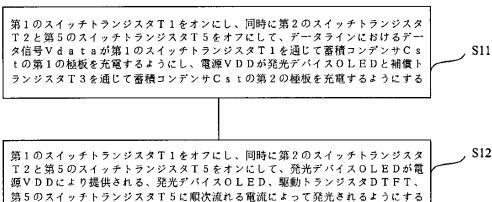
【図10】



②

图10

【図11】



フロントページの続き

(51)Int.Cl.

F I

H 0 5 B 33/14

A

(74)代理人 100108453

弁理士 村山 靖彦

(74)代理人 100089037

弁理士 渡邊 隆

(74)代理人 100110364

弁理士 実広 信哉

(72)発明者 祁 小敬

中華人民共和国 1 0 0 1 7 6 北京市 経 濟 技 術 開 發 区 地 澤 路 9 号

(72)発明者 周 全国

中華人民共和国 1 0 0 1 7 6 北京市 経 濟 技 術 開 發 区 地 澤 路 9 号

(72)発明者 邱 云

中華人民共和国 1 0 0 1 7 6 北京市 経 濟 技 術 開 發 区 地 澤 路 9 号

審査官 武田 悟

(56)参考文献 特開 2 0 0 4 - 3 6 1 7 5 3 (J P , A)

特開 2 0 0 3 - 1 7 3 1 5 4 (J P , A)

特開 2 0 0 6 - 1 7 9 6 8 (J P , A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G 3 / 0 0 - 3 / 3 8

H 0 1 L 5 1 / 5 0