

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6039690号  
(P6039690)

(45) 発行日 平成28年12月7日(2016.12.7)

(24) 登録日 平成28年11月11日(2016.11.11)

(51) Int.Cl.

F I

G 0 9 G 3/3233 (2016.01)

G 0 9 G 3/20 (2006.01)

H 0 1 L 51/50 (2006.01)

G 0 9 G 3/3233

G 0 9 G 3/20 6 1 1 H

G 0 9 G 3/20 6 2 4 B

G 0 9 G 3/20 6 4 1 D

G 0 9 G 3/20 6 4 2 A

請求項の数 13 (全 22 頁) 最終頁に続く

(21) 出願番号 特願2014-551503 (P2014-551503)  
 (86) (22) 出願日 平成24年12月17日(2012.12.17)  
 (65) 公表番号 特表2015-510141 (P2015-510141A)  
 (43) 公表日 平成27年4月2日(2015.4.2)  
 (86) 国際出願番号 PCT/CN2012/086799  
 (87) 国際公開番号 W02013/104236  
 (87) 国際公開日 平成25年7月18日(2013.7.18)  
 審査請求日 平成27年12月4日(2015.12.4)  
 (31) 優先権主張番号 201210008738.3  
 (32) 優先日 平成24年1月12日(2012.1.12)  
 (33) 優先権主張国 中国(CN)

(73) 特許権者 510280589  
 京東方科技集團股▲ふん▼有限公司  
 BOE TECHNOLOGY GROU  
 P CO., LTD.  
 中華人民共和国100015北京市朝陽區  
 酒仙橋路10號  
 No. 10 Jiuxianqiao R  
 d., Chaoyang Distric  
 t, Beijing 100015, CH  
 INA

(73) 特許権者 511121702  
 成都京東方光電科技有限公司  
 中華人民共和国611731四川省成都市  
 高新區(西區)合作路1188號

最終頁に続く

(54) 【発明の名称】 画素回路及びその駆動方法

(57) 【特許請求の範囲】

【請求項1】

画素回路であって、

発光デバイスと、駆動トランジスタと、蓄積コンデンサと、第1のスイッチトランジスタと、第2のスイッチトランジスタと、補償トランジスタと、第5のスイッチトランジスタとを有し、

前記駆動トランジスタ、第1のスイッチトランジスタ、第2のスイッチトランジスタ、補償トランジスタ、第5のスイッチトランジスタはいずれもゲート極と、第1極と、第2極とを有し、

前記発光デバイスの一端は電源に接続され、

前記駆動トランジスタの第1極は前記発光デバイスの他端に接続され、第2極は前記第5のスイッチトランジスタの第1極に接続され、ゲート極は前記第1のスイッチトランジスタの第1極に接続され、

前記第1のスイッチトランジスタの第2極はデータラインに接続され、ゲート極はスキャンラインに接続され、第1極は前記駆動トランジスタのゲート極に接続され、

前記第2のスイッチトランジスタのゲート極は制御ラインに接続され、第1極は電源に接続され、第2極は前記補償トランジスタの第2極に接続され、

前記補償トランジスタの第1極は前記駆動トランジスタの第1極に接続され、第2極は第2のスイッチトランジスタの第2極に接続され、ゲート極は前記補償トランジスタの第1極または第2極に接続され、

10

20

前記第 5 のスイッチトランジスタのゲート極は制御ラインに接続され、第 1 極は前記駆動トランジスタの第 2 極に接続され、第 2 極はグランドに接続され、

前記蓄積コンデンサの第 1 極板は前記駆動トランジスタのゲート極に接続され、第 2 極板は前記補償トランジスタの第 2 極に接続されることを特徴とする画素回路。

【請求項 2】

第 4 のスイッチトランジスタをさらに有し、前記第 4 のスイッチトランジスタのゲート極はスキャンラインに接続され、第 1 極は前記第 2 のスイッチトランジスタの第 1 極に接続され、第 2 極は前記駆動トランジスタの第 1 極に接続され、前記第 4 のスイッチトランジスタと前記第 1 のスイッチトランジスタは同じ類型であることを特徴とする請求項 1 に記載の画素回路。

10

【請求項 3】

前記駆動トランジスタ、補償トランジスタはいずれも N 型薄膜トランジスタであり、前記駆動トランジスタと補償トランジスタの第 1 極はドレイン極であり、第 2 極はソース極であり、前記補償トランジスタのゲート極は前記補償トランジスタの第 1 極に接続され、

または、前記駆動トランジスタ、補償トランジスタはいずれも P 型薄膜トランジスタであり、前記駆動トランジスタと補償トランジスタの第 1 極はソース極であり、第 2 極はドレイン極であり、前記補償トランジスタのゲート極は前記補償トランジスタの第 2 極に接続されることを特徴とする請求項 1 または 2 に記載の画素回路。

【請求項 4】

前記第 2 のスイッチトランジスタ、第 5 のスイッチトランジスタはいずれも N 型薄膜トランジスタであり、前記第 2 のスイッチトランジスタと第 5 のスイッチトランジスタの第 1 極はドレイン極であり、第 2 極はソース極であり、

20

または、前記第 2 のスイッチトランジスタ、第 5 のスイッチトランジスタはいずれも P 型薄膜トランジスタであり、前記第 2 のスイッチトランジスタと第 5 のスイッチトランジスタの第 1 極はソース極であり、第 2 極はドレイン極であることを特徴とする請求項 1 ないし請求項 3 のいずれか 1 項に記載の画素回路。

【請求項 5】

前記第 1 のスイッチトランジスタは N 型薄膜トランジスタであり、前記第 1 のスイッチトランジスタの第 1 極はドレイン極であり、第 2 極はソース極であり、

または、前記第 1 のスイッチトランジスタは P 型薄膜トランジスタであり、前記第 1 のスイッチトランジスタの第 1 極はソース極であり、第 2 極はドレイン極であることを特徴とする請求項 1 ないし請求項 4 のいずれか 1 項に記載の画素回路。

30

【請求項 6】

前記発光デバイスは有機発光ダイオードであることを特徴とする請求項 1 または 2 に記載の画素回路。

【請求項 7】

請求項 1 に記載の画素回路の駆動方法であって、

前記第 1 のスイッチトランジスタをオンにし、同時に前記第 2 のスイッチトランジスタと前記第 5 のスイッチトランジスタをオフにし、データラインにおけるデータ信号が第 1 のスイッチトランジスタを通じて前記蓄積コンデンサの第 1 極板に充電し、前記電源が前記発光デバイスと前記補償トランジスタを通じて前記蓄積コンデンサの第 2 極に充電するようにするステップと、

40

前記第 1 のスイッチトランジスタをオフにし、同時に前記第 2 のスイッチトランジスタと前記第 5 のスイッチトランジスタをオンにし、前記発光デバイスが前記電源により提供される、前記発光デバイス、前記駆動トランジスタと前記第 5 のスイッチトランジスタに順次流れる電流によって発光を駆動されるようにするステップとを有することを特徴とする駆動方法。

【請求項 8】

前記第 1 のスイッチトランジスタをオンにし、同時に前記第 2 のスイッチトランジスタと前記第 5 のスイッチトランジスタをオフにし、データラインにおけるデータ信号が第 1

50

のスイッチトランジスタを通じて前記蓄積コンデンサの第1極板に充電し、前記電源が前記発光デバイスと前記補償トランジスタを通じて前記蓄積コンデンサの第2極に充電するようにするステップは、

前記第1のスイッチトランジスタと第4のスイッチトランジスタを同時にオンにし、同時に前記第2のスイッチトランジスタと前記第5のスイッチトランジスタをオフにし、データラインに、前記第1のスイッチトランジスタを通じて前記蓄積コンデンサの第1極板を充電させ、前記電源に前記第4のスイッチトランジスタと前記補償トランジスタを通じて前記蓄積コンデンサの第2極板を充電させるステップを有し、

前記第1のスイッチトランジスタをオフにし、同時に前記第2のスイッチトランジスタと前記第5のスイッチトランジスタをオンにし、前記発光デバイスが前記電源により提供される、前記発光デバイス、前記駆動トランジスタと前記第5のスイッチトランジスタに順次流れる電流によって発光を駆動されるようにするステップは、

10

前記第1のスイッチトランジスタと第4のスイッチトランジスタを同時にオフにし、同時に前記第2のスイッチトランジスタと前記第5のスイッチトランジスタをオンにし、前記発光デバイスが前記電源に提供される、前記発光デバイス、前記駆動トランジスタと前記第5のスイッチトランジスタに順次流れる電流によって発光を駆動されるようにするステップを有し、

前記第4のスイッチトランジスタのゲート極はスキャンラインに接続され、第1極は前記第2のスイッチトランジスタの第1極に接続され、第2極は前記駆動トランジスタの第1極に接続され、前記第4のスイッチトランジスタは前記第1のスイッチトランジスタと同じ種類であることを特徴とする請求項7に記載の方法。

20

【請求項9】

前記第1のスイッチトランジスタはN型薄膜トランジスタであり、前記第1のスイッチトランジスタの第1極はドレイン極であり、第2極はソース極であり、

前記第2のスイッチトランジスタ、第5のスイッチトランジスタはいずれもN型薄膜トランジスタであり、前記第2のスイッチトランジスタと第5のスイッチトランジスタの第1極はドレイン極であり、第2極はソース極であり、

前記第1のスイッチトランジスタをオンにし、同時に前記第2のスイッチトランジスタと前記第5のスイッチトランジスタをオフにするステップは、

スキャンラインを通じて高レベルを前記第1のスイッチトランジスタのゲート極に入力して前記第1のスイッチトランジスタをオンにし、同時に制御ラインを通じて低レベルを前記第2のスイッチトランジスタのゲート極と前記第5のスイッチトランジスタのゲート極に入力して前記第2のスイッチトランジスタと前記第5のスイッチトランジスタをオフにするステップを有し、

30

前記第1のスイッチトランジスタをオフにし、同時に前記第2のスイッチトランジスタと前記第5のスイッチトランジスタをオンにするステップは、

スキャンラインを通じて低レベルを前記第1のスイッチトランジスタのゲート極に入力して前記第1のスイッチトランジスタをオフにし、同時に制御ラインを通じて高レベルを前記第2のスイッチトランジスタのゲート極と前記第5のスイッチトランジスタのゲート極に入力して前記第2のスイッチトランジスタと前記第5のスイッチトランジスタをオンにするステップを有することを特徴とする請求項7に記載の方法。

40

【請求項10】

前記第1のスイッチトランジスタはN型薄膜トランジスタであり、前記第1のスイッチトランジスタの第1極はドレイン極であり、第2極はソース極であり、

前記第2のスイッチトランジスタ、第5のスイッチトランジスタはいずれもP型薄膜トランジスタであり、前記第2のスイッチトランジスタと第5のスイッチトランジスタの第1極はソース極であり、第2極はドレイン極であり、

前記第1のスイッチトランジスタをオンにし、同時に前記第2のスイッチトランジスタと前記第5のスイッチトランジスタをオフにするステップは、

スキャンラインを通じて高レベルを前記第1のスイッチトランジスタのゲート極に入力

50

して前記第 1 のスイッチトランジスタをオンにし、同時に制御ラインを通じて高レベルを前記第 2 のスイッチトランジスタのゲート極と前記第 5 のスイッチトランジスタのゲート極に入力して前記第 2 のスイッチトランジスタと前記第 5 のスイッチトランジスタをオフにするステップを有し、

前記第 1 のスイッチトランジスタをオフにし、同時に前記第 2 のスイッチトランジスタと前記第 5 のスイッチトランジスタをオンにするステップは、

スキャンラインを通じて低レベルを前記第 1 のスイッチトランジスタのゲート極に入力して前記第 1 のスイッチトランジスタをオフにし、同時に制御ラインを通じて低レベルを前記第 2 のスイッチトランジスタのゲート極と前記第 5 のスイッチトランジスタのゲート極に入力して前記第 2 のスイッチトランジスタと前記第 5 のスイッチトランジスタをオンにするステップを有することを特徴とする請求項 7 に記載の方法。

**【請求項 1 1】**

前記第 1 のスイッチトランジスタは P 型薄膜トランジスタであり、前記第 1 のスイッチトランジスタの第 1 極はソース極であり、第 2 極はドレイン極であり、

前記第2のスイッチトランジスタ、第5のスイッチトランジスタはいずれもN型薄膜トランジスタであり、前記第2のスイッチトランジスタと第5のスイッチトランジスタの第1極はドレイン極であり、第2極はソース極であり、

前記第 1 のスイッチトランジスタをオンにし、同時に前記第 2 のスイッチトランジスタと前記第 5 のスイッチトランジスタをオフにするステップは、

スキャンラインを通じて低レベルを前記第 1 のスイッチトランジスタのゲート極に入力して前記第 1 のスイッチトランジスタをオンにし、同時に制御ラインを通じて低レベルを前記第 2 のスイッチトランジスタのゲート極と前記第 5 のスイッチトランジスタのゲート極に入力して前記第 2 のスイッチトランジスタと前記第 5 のスイッチトランジスタをオフにするステップを有し、

前記第 1 のスイッチトランジスタをオフにし、同時に前記第 2 のスイッチトランジスタと前記第 5 のスイッチトランジスタをオンにするステップは、

スキャンラインを通じて高レベルを前記第 1 のスイッチトランジスタのゲート極に入力して前記第 1 のスイッチトランジスタをオフにし、同時に制御ラインを通じて高レベルを前記第 2 のスイッチトランジスタのゲート極と前記第 5 のスイッチトランジスタのゲート極に入力して前記第 2 のスイッチトランジスタと前記第 5 のスイッチトランジスタをオンにするステップを有することを特徴とする請求項 7 に記載の方法。

【請求項 1 2】

前記第 1 のスイッチトランジスタは P 型薄膜トランジスタであり、前記第 1 のスイッチトランジスタの第 1 極はソース極であり、第 2 極はドレイン極であり、

前記第2のスイッチトランジスタ、第5のスイッチトランジスタはいずれもP型薄膜トランジスタであり、前記第2のスイッチトランジスタと第5のスイッチトランジスタの第1極はソース極であり、第2極はドレイン極であり、

前記第 1 のスイッチトランジスタをオンにし、同時に前記第 2 のスイッチトランジスタと前記第 5 のスイッチトランジスタをオフにするステップは、

スキャンラインを通じて低レベルを前記第 1 のスイッチトランジスタのゲート極に入力して前記第 1 のスイッチトランジスタをオンにし、同時に制御ラインを通じて高レベルを前記第 2 のスイッチトランジスタのゲート極と前記第 5 のスイッチトランジスタのゲート極に入力して前記第 2 のスイッチトランジスタと前記第 5 のスイッチトランジスタをオフにするステップを有し、

前記第 1 のスイッチトランジスタをオフにし、同時に前記第 2 のスイッチトランジスタと前記第 5 のスイッチトランジスタをオンにするステップは、

スキャンラインを通じて高レベルを前記第1のスイッチトランジスタのゲート極に入力して前記第1のスイッチトランジスタをオフにし、同時に制御ラインを通じて低レベルを前記第2のスイッチトランジスタのゲート極と前記第5のスイッチトランジスタのゲート極に入力して前記第2のスイッチトランジスタと前記第5のスイッチトランジスタをオン

10

20

30

40

50

にするステップを有することを特徴とする請求項 7 に記載の方法。

【請求項 13】

表示装置であって、請求項 1 ないし 6 のいずれか 1 項に記載の画素回路を有する表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示技術分野に関し、特に画素回路及びその駆動方法、表示装置に関する。

【背景技術】

【0002】

有機発光ダイオード (Organic Light Emitting Diode: OLED) は電流駆動能動発光型デバイスであり、自発光、高速反応、広視野角、可とう性基板での製造可などの独特なメリットを有する。OLED を基礎とした有機発光表示は今後数年間で表示分野の主流になる見通しである。有機発光表示の各表示素子はいずれも OLED により構成され、OLED は駆動方式によってパッシブマトリックス駆動有機発光ダイオード (Passive Matrix Driving OLED: PMOLED) とアクティブマトリックス駆動有機発光ダイオード (Active Matrix Driving OLED: AMOLED) の二種類に分けられる。アクティブマトリックス駆動方式は高品質の表示を実現できるため、情報量が大きい表示にかなり広く応用されている。そして、AMOLED 技術において、各 OLED はいずれも OLED に流れる電流を制御するための薄膜トランジスタ (Thin Film Transistor: TFT) 回路を有し、OLED と OLED を駆動する TFT 回路は画素回路を構成し、したがって、アクティブ有機発光表示パネルの輝度の均一性を保証するためには、バックボードの異なるエリア内の OLED を駆動する TFT の特性に一致性を有することが要求される。

【発明の概要】

【発明が解決しようとする課題】

【0003】

TFT の閾値電圧は多くの要素と関係し、TFT 第 1 極の混入、誘電体の厚さ、ゲート極の材質と誘電体における過剰電荷が含まれる。現在はバックボード、特に大きいサイズのバックボードの製造過程において、プロセスの条件とレベルの制限により、これらの要素の一致性を確保するのは難しく、各 TFT の閾値電圧のオフセットが一致せず、また、長時間の作業による TFT の安定性低下も TFT の閾値電圧のオフセットを一致できなくなる原因となり、閾値電圧のオフセットが一致しなければ各 OLED に流れる電流も異なるため、この電流により駆動される OLED の発光均一性を悪化させる。

【課題を解決するための手段】

【0004】

本発明の実施例は、発光デバイスの発光輝度の均一性を向上させる画素回路とその駆動方法、表示装置を提供する。

【0005】

本発明の実施例は以下のような技術方案を提供する。

【0006】

画素回路であって、発光デバイスと、駆動トランジスタと、蓄積コンデンサと、第 1 のスイッチトランジスタと、第 2 のスイッチトランジスタと、補償トランジスタと、第 5 のスイッチトランジスタとを有し、前記駆動トランジスタ、第 1 のスイッチトランジスタ、第 2 のスイッチトランジスタ、補償トランジスタ、第 5 のスイッチトランジスタはいずれもゲート極と、第 1 極と、第 2 極とを有し、前記発光デバイスの一端は電源に接続され、前記駆動トランジスタの第 1 極は前記発光デバイスの他端に接続され、第 2 極は前記第 5 のスイッチトランジスタの第 1 極に接続され、ゲート極は前記第 1 のスイッチトランジスタの第 1 極に接続され、前記第 1 のスイッチトランジスタの第 2 極はデータラインに接続

10

20

30

40

50

され、ゲート極はスキャンラインに接続され、第1極は前記駆動トランジスタのゲート極に接続され、前記第2のスイッチトランジスタのゲート極は制御ラインに接続され、第1極は電源に接続され、第2極は前記補償トランジスタの第2極に接続され、前記補償トランジスタの第1極は前記駆動トランジスタの第1極に接続され、第2極は第2のスイッチトランジスタの第2極に接続され、ゲート極は前記補償トランジスタの第1極または第2極に接続され、前記第5のスイッチトランジスタのゲート極は制御ラインに接続され、第1極は前記駆動トランジスタの第2極に接続され、第2極はグランドに接続され、前記蓄積コンデンサの第1極板は前記駆動トランジスタのゲート極に接続され、第2極板は前記補償トランジスタの第2極に接続される画素回路。

【0007】

10

前記画素回路の駆動方法であって、前記第1のスイッチトランジスタをオンにし、同時に前記第2のスイッチトランジスタと前記第5のスイッチトランジスタをオフにし、データラインにおけるデータ信号が第1のスイッチトランジスタを通じて前記蓄積コンデンサの第1極板に充電し、前記電源が前記発光デバイスと前記補償トランジスタを通じて前記蓄積コンデンサの第2極に充電するようにし、前記第1のスイッチトランジスタをオフにし、同時に前記第2のスイッチトランジスタと前記第5のスイッチトランジスタをオンにし、前記発光デバイスが前記電源により提供され、前記発光デバイス、前記駆動トランジスタと前記第5のスイッチトランジスタに順次流れる電流によって発光を駆動されるようにする駆動方法。

【0008】

20

表示装置であって、本発明の実施例に係る画素回路を有する表示装置。

【0009】

本発明の実施例に係る画素回路及びその駆動方法、表示装置は、補償トランジスタ、コンデンサと複数のスイッチトランジスタが回路のスイッチと放充電を制御することによって、補償トランジスタの両端の電圧も駆動トランジスタに作用させることで、駆動トランジスタの駆動電流を駆動トランジスタの閾値電圧と無関係にさせ、駆動トランジスタの閾値電圧の不一致またはオフセットによる発光デバイスに流れる電流の差異を補償し、これにより発光デバイスの発光輝度の均一性を有効的に向上させることができる。

【図面の簡単な説明】

【0010】

30

本発明の実施例または従来技術における技術方案をより明確に説明するため、以下において実施例または従来技術の説明に用いる図面を簡単に紹介する。以下の説明において、図面は本発明のいくつかの実施例に過ぎず、当業者にとって、創造的労働を経ずにこれらの図面を基に他の図面を得られるのは明らかである。

【図1】本発明の実施例に係る画素回路の回路図である。

【図2】図1に示す画素回路を駆動するときの各信号ラインのシーケンス図である。

【図3】図1に示す画素回路の補償段階における等価回路の模式図である。

【図4】図1に示す画素回路のジャンプ発光段階における等価回路の模式図である。

【図5】本発明の実施例に係るもう一つの画素回路の回路図である。

【図6】本発明の実施例に係るもう一つの画素回路の回路図である。

40

【図7】本発明の実施例に係るもう一つの画素回路の回路図である。

【図8】本発明の実施例に係るもう一つの画素回路の回路図である。

【図9】図8に示す画素回路の補償段階における等価回路の模式図である。

【図10】図8に示す画素回路のジャンプ発光段階における等価回路の模式図である。

【図11】本発明の実施例に係る画素回路の駆動方法の一つのフロー図である。

【発明を実施するための形態】

【0011】

以下に本発明の実施例における図面を用いて、本発明の実施例における技術方案を明確且つ完全に説明するが、説明する実施例は本発明の一部の実施例に過ぎず、すべての実施例ではないことは明らかである。本発明における実施例を基に、当業者が創造的労働を経

50

ずに得られるすべての他の実施例は、いずれも本発明の保護範囲に属する。

【0012】

図1に示すように、本発明の実施例が画素回路は、発光デバイスOLEDと、駆動トランジスタDTFTと、蓄積コンデンサCstと、第1のスイッチトランジスタT1と、第2のスイッチトランジスタT2と、補償トランジスタT3と、第5のスイッチトランジスタT5とを有する。前記駆動トランジスタDTFT、第1のスイッチトランジスタT1、第2のスイッチトランジスタT2、補償トランジスタT3、第5のスイッチトランジスタT5はいずれもN型薄膜トランジスタであり、且ついずれもソース極と、ドレイン極と、ゲート極とを有する。

【0013】

発光デバイスOLEDの一端は電源VDDに接続され、前記駆動トランジスタDTFTのドレイン極（第1極）は前記発光デバイスOLEDの他端に接続され、ソース極（第2極）は前記第5のスイッチトランジスタT5のドレイン極（第1極）に接続され、ゲート極は前記第1のスイッチトランジスタT1のドレイン極（第1極）に接続され、前記第1のスイッチトランジスタT1のソース極（第2極）はデータラインに接続され、ゲート極はスキャンラインに接続され、ドレイン極（第1極）は前記駆動トランジスタDTFTのゲート極に接続され、前記第2のスイッチトランジスタT2のゲート極は制御ラインに接続され、ドレイン極（第1極）は電源VDDに接続され、ソース極（第2極）は前記補償トランジスタT3のソース極（第2極）に接続され、前記補償トランジスタT3のゲート極はドレイン極（第1極）に接続され、ドレイン極（第1極）は前記駆動トランジスタDTFTのドレイン極（第1極）に接続され、ソース極（第2極）は第2のスイッチトランジスタT2のソース極（第2極）に接続され、前記第5のスイッチトランジスタT5のゲート極は制御ラインに接続され、ドレイン極（第1極）は前記駆動トランジスタDTFTのソース極（第2極）に接続され、ソース極（第2極）はグランドに接続され、前記蓄積コンデンサCstの第1極板は駆動トランジスタDTFTのゲート極に接続され、第2極板は補償トランジスタT3のソース極（第2極）に接続される。

【0014】

説明すべきことは、本実施例において、補償トランジスタT3は一つのダイオードに相当し、そのドレイン極（第1極）は、ゲート極に接続された後は当該ダイオードの正極に相当し、駆動トランジスタDTFTのドレイン極（第1極）に接続され、ソース極は当該ダイオードの負極に相当し、第2のスイッチトランジスタT2のソース極（第2極）に接続される。

【0015】

なお、本実施例において、スキャンライン、制御ライン、データラインはそれぞれ異なる信号を伝送し、スキャンラインにおいて伝送するスキャン信号をVscanとし、制御ラインにおいて伝送される制御信号をEMとして、データラインにおいて伝送されるデータ信号をVdataとする。

【0016】

以下、図2-4を用いて図1に示す画素回路の作業プロセスを詳しく説明する。駆動するとき、図1に示す画素回路は補償段階とジャンプ発光段階の二つの駆動段階を有する。図2は図1に示す画素回路を駆動するときの各信号ラインのシーケンス図である。図2に示すように、図において、補償段階とジャンプ発光段階をそれぞれ（丸1）と（丸2）に対応させて表示する。図1に示す画素回路の駆動方法は具体的には以下のとおりである。

【0017】

第1の段階：補償段階。補償段階において、スキャン信号Vscanは高レベルであり、制御信号EMは低レベルである。第1のスイッチトランジスタT1は入力されるスキャン信号Vscanが高レベルであるためオンになり、第2のスイッチトランジスタT2と第5のスイッチトランジスタT5は制御信号EMが低レベルであるためオフになる。補償トランジスタT3は補償段階において正方向オン状態になる。このとき、図1に示す画素回路は図3に示す回路構造と等価である。

## 【 0 0 1 8 】

図 1 と図 3 によれば、補償段階において、第 1 のスイッチトランジスタ T 1 がオンになり、データ信号 V d a t a は第 1 のスイッチトランジスタ T 1 を通じて駆動トランジスタ D T F T のゲート極に入力され、且つ蓄積コンデンサ C s t に充電して駆動トランジスタ D T F T のゲート極に入力されたデータ信号 V d a t a を保持させる。充電が完了した後、A 点の電圧 V A はデータ信号 V d a t a となり、即ち

$$V A = V d a t a \quad ( 1 )$$

となり、B 点の電圧は電源電圧 V D D から発光デバイス O L E D の閾値電圧 V o t h を引いて、更に補償トランジスタ T 3 の閾値電圧 V t h 3 を引いたもの、即ち

$$V B = V D D - V o t h - V t h 3 \quad ( 2 )$$

となり、したがって蓄積コンデンサ C s t の両極板の間の電圧は

$$\begin{aligned} V A B &= V A - V B = V d a t a - ( V D D - V o t h - V t h 3 ) \\ &= V d a t a - V D D + V o t h + V t h 3 \quad ( 3 ) \end{aligned}$$

となる。

## 【 0 0 1 9 】

同時に、第 2 のスイッチトランジスタ T 2 のゲート極に入力される制御信号 E M は低レベルであるため、第 2 のスイッチトランジスタ T 2 はオフになり、よって蓄積コンデンサ C s t と電源 V D D とを切断することができ、発光デバイス O L E D と補償トランジスタ T 3 の正方向のオンを保証でき、第 5 のスイッチトランジスタ T 5 のゲート極に入力される制御信号 E M は低レベルであるため、第 5 のスイッチトランジスタ T 5 はオフになり、よって駆動トランジスタ D T F T とグランド G N D とを切断することができ、駆動トランジスタ D T F T のゲート極に入力されるデータ信号 V d a t a が、第 5 のスイッチトランジスタ T 5 を通じてグランド G N D に接続されて損なうのを防ぐ。

## 【 0 0 2 0 】

第 2 の段階：ジャンプ発光段階。ジャンプ発光段階において、スキャン信号 V s c a n は低レベルであり、制御信号 E M は高レベルである。第 1 のスイッチトランジスタ T 1 は入力されるスキャン信号 V s c a n が低レベルであるためオフになり、第 2 のスイッチトランジスタ T 2 と第 5 のスイッチトランジスタ T 5 は制御信号 E M が高レベルであるためオンになる。補償トランジスタ T 3 はジャンプ発光段階において逆方向オフ状態になる。このとき、図 1 に示す画素回路は図 4 に示す回路構造と等価である。

## 【 0 0 2 1 】

図 1 と図 4 によれば、第 1 のスイッチトランジスタ T 1 のゲート極に入力されるスキャン信号 V s c a n は低レベルであり、第 1 のスイッチトランジスタ T 1 がオフになり、こうして駆動トランジスタ D T F T のゲート極とデータラインが隔離し、駆動トランジスタ D T F T が発光デバイス O L E D に対する駆動は第 1 のスイッチトランジスタ T 1 のソース極に入力されるデータ信号 V d a t a の変化によって影響されなくなる。

## 【 0 0 2 2 】

同時に、第 2 のスイッチトランジスタ T 2 のゲート極に入力される制御信号 E M は高レベルであるため、第 2 のスイッチトランジスタ T 2 はオンになり、よって蓄積コンデンサ C s t と電源 V D D とを接続し、よって B 点の電圧 V B は瞬時に V D D に変わる。物理の知識から分かるように、コンデンサの両極板の間の電圧は瞬時に変化することはない、したがって、ジャンプ発光段階において、B 点の電圧 V B が V D D に変化したばかりのときは、式 ( 3 ) は依然として成立する。よって、このときの A 点の電圧 V A は B 点の電圧 V B に A 点と B 点の間の電圧 V A B を加えたもの、即ち、

$$\begin{aligned} V A &= V B + V A B = V D D + ( V d a t a - V D D + V o t h + V t h 3 ) \\ &= V d a t a + V o t h + V t h 3 \quad ( 4 ) \end{aligned}$$

となる。

## 【 0 0 2 3 】

同時に、第 5 のスイッチトランジスタ T 5 のゲート極に入力される制御信号 E M は高レベルであるため、第 5 のスイッチトランジスタ T 5 はオンになり、よって駆動トランジスタ



タDTFTとグランドGNDとを接続される。このとき、駆動トランジスタDTFTは飽和状態で作業し、駆動トランジスタDTFTのソース極、ドレイン極に流れる電流I即ち発光デバイスOLEDを駆動する駆動電流Iは、駆動トランジスタDTFTのゲート極とソース極の間の電圧Vgsの変化に伴い変化し、具体的な関係は式(5)に示すとおりである。駆動トランジスタDTFTはOLEDの発光の駆動を開始する。

$$I = K (V_{gs} - V_{th})^2 \quad (5)$$

ただし、Vgsは駆動トランジスタDTFTのゲート・ソース電圧であり、本実施例において、

$$V_{gs} = V_A - 0 = V_{data} + V_{oth} + V_{th3} \quad (6)$$

$K = \mu_{eff} * Cox * (W/L) / 2$  となり、ただし、 $\mu_{eff}$  はDTFTの有効キャリア移動度を示し、Coxは駆動トランジスタDTFTのゲート絶縁層誘電率を示し、W/Lはチャネル幅とチャネル長の比を示し、ただしWはチャネル幅を示し、Lはチャネル長を示す。同一の構造において、W、L、Cox、 $\mu_{eff}$  は比較的安定しているため、Kは定数とみなすことができる。

【0024】

したがって、式(6)を式(5)にはめ込めば、本実施例における駆動トランジスタDTFTに流れる電流は、

$$I = K (V_{data} + V_{oth} + V_{th3} - V_{th})^2 \quad (7)$$

となる。

【0025】

式(7)から分かるように、駆動トランジスタDTFTの電流Iはデータ信号Vdata及び定数Kと関係するほか、補償トランジスタT3の閾値電圧Vth3、駆動トランジスタDTFTの閾値電圧Vth及び発光デバイスOLEDの閾値電圧Vothと関係する。低温ポリシリコン(Low Temperature Poly-silicon: LTPS)技術の近距離秩序の原理に基づき、近距離内の薄膜トランジスタは均一であるとみなすことができ、即ち近距離であり、構造が同一である薄膜トランジスタの特性はほぼ同一である。したがって、本実施例において、補償トランジスタT3と駆動トランジスタDTFTの位置がとても近いことが好ましく、短距離内とみなされるため、補償トランジスタT3の閾値電圧Vth3と駆動トランジスタDTFTの閾値電圧Vthがほぼ同一となり、即ちVth3 - Vth = 0となり、こうして、式(7)によれば、駆動トランジスタDTFTに流れる電流は、

$$I = K (V_{data} + V_{oth})^2 \quad (8)$$

となり、すなわち駆動トランジスタDTFTに流れる電流Iはデータ信号Vdataと発光デバイスOLEDの閾値電圧Vothのみと関係する。

【0026】

こうして、本発明の実施例に係る画素回路は、一方で、駆動電流Iは駆動トランジスタDTFTの閾値電圧Vthと関係が無く、バークボードの製造技術の原因及び長時間作業による駆動トランジスタDTFTの閾値電圧のオフセットに起因する駆動電流I即ち発光デバイスOLEDに流れる電流の差異を防止し、よって発光デバイスの発光輝度の均一性を有効的に向上させる。

【0027】

他方で、式(8)によれば、本発明の実施例に係る画素回路は駆動トランジスタDTFTの閾値電圧Vthのオフセットによる駆動電流Iの差異を補償するだけでなく、また、駆動電流Iが発光デバイスOLEDの閾値電圧Vothとも関係するため、発光デバイスOLEDの閾値電圧Vothが高めまたは低めであることによる発光デバイスOLEDに流れる電流の差異をも補償することができ、発光デバイスの発光輝度の均一性を更に向上させることができる。なぜなら、式(8)によれば、本発明の実施例に係る画素回路において、駆動電流Iは発光デバイスOLEDの閾値電圧Vothの減少に伴い減少し、こうしてOLEDが老化し、閾値電圧Vothが上昇した場合は、駆動電流Iもこれに応じて上昇し、閾値電圧Vothの上昇による駆動電流Iの減少を補償する。

## 【0028】

説明すべきことは、本実施例において、補償段階では駆動トランジスタD T F Tは発光デバイスO L E Dの発光を駆動していないが、発光デバイスO L E Dは蓄積コンデンサC s tの充電回路にあるため、データ信号V d a t aが駆動トランジスタD T F Tのゲート極に入力され、蓄積コンデンサに充電するときは、O L E Dは一定光を発する。

## 【0029】

上記の実施例において、駆動トランジスタD T F T、補償トランジスタT 3及び各スイッチトランジスタはいずれもN型薄膜トランジスタであるが、本発明はこれに限定されない。以下の条件を満たせば、上記の各N型薄膜トランジスタの全部または一部をP型薄膜トランジスタに替えることができる。

## 【0030】

まず、補償トランジスタT 3と駆動トランジスタD T F Tは同じ種類の薄膜トランジスタである条件、即ちいずれもN型であるかいずれもP型である条件を満たさなければならない。なぜなら、上記の本発明の実施例の二つの作業段階を分析して分かるように、補償トランジスタT 3は、駆動トランジスタD T F Tの駆動電流Iと駆動トランジスタのオン電圧V t hを無関係にさせるための補償電圧を提供するためのものである。したがって補償トランジスタT 3が提供する補償電圧V t h 3は駆動トランジスタD T F Tのオン電圧V t hと等しいことが要求される、このような効果を達するため、補償トランジスタT 3と駆動トランジスタD T F Tは同一の構造を有し、L T P S技術の近距離秩序の条件を満たすためのとても近い距離になければならない。

## 【0031】

次に、第2のスイッチトランジスタT 2と第5のスイッチトランジスタT 5が同じ種類の薄膜トランジスタである条件、即ちいずれもN型であるかいずれもP型である条件を満たさなければならない。なぜなら、第2のスイッチトランジスタT 2と第5のスイッチトランジスタT 5は同時にオンまたはオフにならなければならない、これらのオン、オフはいずれも制御ライン上の制御信号E Mによって制御される。

## 【0032】

説明すべきことは、P型薄膜トランジスタとN型薄膜トランジスタとではオンまたはオフの条件が異なるため、上記実施例においてN型薄膜トランジスタに替わってP型薄膜トランジスタを使用する場合、当該画素回路の機能が正常に実現するのを保証するため、相応の薄膜トランジスタのゲート極に入力する、例えば第1のスイッチトランジスタT 1に入力するスキャン信号V s c a n、第2のスイッチトランジスタT 2、第5のスイッチトランジスタT 5のゲート極に入力する制御信号E M、及び駆動トランジスタD T F Tのゲート極に入力されるデータ信号V d a t aなどの信号は、いずれも相応の調整をする必要がある。以下に具体的な実施例を用いて詳しく説明する。

## 【0033】

図5に示すように、本発明のもう一つの実施例において、画素回路は、発光デバイスO L E Dと、駆動トランジスタD T F Tと、蓄積コンデンサC s tと、第1のスイッチトランジスタT 1と、第2のスイッチトランジスタT 2と、補償トランジスタT 3と、第5のスイッチトランジスタT 5とを有する。このうち、前記駆動トランジスタD T F T、補償トランジスタT 3はP型薄膜トランジスタであり、第1のスイッチトランジスタT 1、第2のスイッチトランジスタT 2、第5のスイッチトランジスタT 5はいずれもN型薄膜トランジスタであり、且つ各薄膜トランジスタはいずれもソース極と、ドレイン極と、ゲート極とを有する。

## 【0034】

発光デバイスO L E Dの一端は電源V D Dに接続され、前記駆動トランジスタD T F Tのソース極（第1極）は前記発光デバイスO L E Dの他端に接続され、ドレイン極（第2極）は前記第5のスイッチトランジスタT 5のドレイン極（第1極）に接続され、ゲート極は前記第1のスイッチトランジスタT 1のドレイン極（第1極）に接続され、前記第1のスイッチトランジスタT 1のソース極（第2極）はデータラインに接続され、ゲート極

10

20

30

40

50

はスキャンラインに接続され、ドレイン極（第1極）は前記駆動トランジスタDTFTのゲート極に接続され、前記第2のスイッチトランジスタT2のゲート極は制御ラインに接続され、ドレイン極（第1極）は電源VDDに接続され、ソース極（第2極）は前記補償トランジスタT3のドレイン極（第2極）に接続され、前記補償トランジスタT3のゲート極はドレイン極（第2極）に接続され、ソース極（第1極）は前記駆動トランジスタDTFTのソース極（第1極）に接続され、ドレイン極（第2極）は第2のスイッチトランジスタT2のソース極（第2極）に接続され、前記第5のスイッチトランジスタT5のゲート極は制御ラインに接続され、ドレイン極（第1極）は前記駆動トランジスタDTFTのドレイン極（第2極）に接続され、ソース極（第2極）はグランドに接続され、前記蓄積コンデンサCstの第1極板は駆動トランジスタDTFTのゲート極に接続され、第2極板は補償トランジスタT3のドレイン極（第2極）に接続される。

10

#### 【0035】

図1に示す実施例に比べ、本実施例では駆動トランジスタDTFTと補償トランジスタT3のみが図1に示す実施例と異なり、これに対応して、駆動トランジスタDTFTのゲート極に入力するデータ信号Vdataも異なる。

#### 【0036】

図1に示す実施例において、駆動トランジスタDTFTはN型であり、N型駆動トランジスタDTFTのソース極とドレイン極に流れる電流Iはデータ信号Vdataの上昇に伴い増大し、データ信号Vdataの低下に伴い減少し、本実施例において、駆動トランジスタDTFTはP型であり、P型トランジスタDTFTのソース極とドレイン極に流れる電流Iはデータ信号Vdataの上昇に伴い減少し、データ信号Vdataの低下に伴い増大する。したがって、同じ駆動トランジスタDTFTに流れる電流Iに対応する図1に示す実施例におけるデータ信号Vdataと本実施例におけるデータ信号Vdataは異なってもよい。

20

#### 【0037】

説明すべきことは、上記の相違点のほか、本実施例における画素回路の他の部分は図1に示す構造と同一であり、ここでは説明しないこととする。

#### 【0038】

本実施例に係る画素回路は、N型駆動トランジスタDTFTとN型補償トランジスタT3に替えて、対応するP型トランジスタを使用するが、図1に示す実施例と同一の技術効果を実現でき、ここでは説明しないこととする。

30

#### 【0039】

図6は本発明の実施例に係る画素回路のもう一つの回路図である。図6に示すように、本実施例は、第2のスイッチトランジスタT2と第5のスイッチトランジスタT5はN型薄膜トランジスタではなく、P型薄膜トランジスタである点で図1に示す実施例と異なる。これに対応して、第2のスイッチトランジスタT2のゲート極と第5のスイッチトランジスタT5のゲート極に入力される制御信号EMも図1に示す実施例と異なる。

#### 【0040】

具体的には、図6に示すように、本発明の実施例に係る画素回路は、発光デバイスOLEDと、駆動トランジスタDTFTと、蓄積コンデンサCstと、第1のスイッチトランジスタT1と、第2のスイッチトランジスタT2と、補償トランジスタT3と、第5のスイッチトランジスタT5とを有する。このうち、前記駆動トランジスタDTFT、第1のスイッチトランジスタT1、補償トランジスタT3はいずれもN型薄膜トランジスタであり、第2のスイッチトランジスタT2、第5のスイッチトランジスタT5はP型薄膜トランジスタであり、且つ各薄膜トランジスタはいずれもソース極と、ドレイン極と、ゲート極とを有する。

40

#### 【0041】

発光デバイスOLEDの一端は電源VDDに接続され、前記駆動トランジスタDTFTのドレイン極（第1極）は前記発光デバイスOLEDの他端に接続され、ソース極（第2極）は前記第5のスイッチトランジスタT5のソース極（第1極）に接続され、ゲート極

50

は前記第1のスイッチトランジスタT1のドレイン極(第1極)に接続され、前記第1のスイッチトランジスタT1のソース極(第2極)はデータラインに接続され、ゲート極はスキャンラインに接続され、ドレイン極(第1極)は前記駆動トランジスタDTFTのゲート極に接続され、前記第2のスイッチトランジスタT2のゲート極は制御ラインに接続され、ソース極(第1極)は電源VDDに接続され、ドレイン極(第2極)は前記補償トランジスタT3のソース極(第2極)に接続され、前記補償トランジスタT3のゲート極はドレイン極(第1極)に接続され、ドレイン極(第1極)は前記駆動トランジスタDTFTのドレイン極(第1極)に接続され、ソース極(第2極)は第2のスイッチトランジスタT2のドレイン極(第2極)に接続され、前記第5のスイッチトランジスタT5のゲート極は制御ラインに接続され、ソース極(第1極)は前記駆動トランジスタDTFTのソース極(第2極)に接続され、ドレイン極(第2極)はグランドに接続され、前記蓄積コンデンサCstの第1極板は駆動トランジスタDTFTのゲート極に接続され、第2極板は補償トランジスタT3のソース極(第2極)に接続される。

10

【0042】

本実施例において、画素回路の作業プロセスは図1に示す実施例の画素回路の作業プロセスと類似しており、制御信号EMが第2のスイッチトランジスタT2と第5のスイッチトランジスタT5のオンまたはオフを制御するときのみ、図1に示す実施例と異なる。

【0043】

具体的には、図1に示す実施例との相違点は、本実施例において、補償段階で制御信号EMが高レベルであり、第2のスイッチトランジスタT2と第5のスイッチトランジスタT5をオフにさせる。本実施例に係る画素回路の補償段階での作業プロセスは図1-4に示す実施例と類似しているため、ここでは説明しないこととする。

20

【0044】

これに対応して、図1に示す実施例とのもう一つの相違点は、本実施例において、ジャンプ発光段階で制御信号EMは低レベルであり、第2のスイッチトランジスタT2と第5のスイッチトランジスタT5をオンにさせる。本実施例に係る画素回路のジャンプ発光段階での作業プロセスは図1-4に示す実施例と類似しているため、ここでは説明しないこととする。

【0045】

図7に示すように、本発明のもう一つの実施例において、画素回路は、発光デバイスOLEDと、駆動トランジスタDTFTと、蓄積コンデンサCstと、第1のスイッチトランジスタT1と、第2のスイッチトランジスタT2と、補償トランジスタT3と、第5のスイッチトランジスタT5とを有する。このうち、前記駆動トランジスタDTFT、第2のスイッチトランジスタT2、補償トランジスタT3、第5のスイッチトランジスタT5はいずれもN型薄膜トランジスタであり、第1のスイッチトランジスタT1はP型薄膜トランジスタであり、且つ各薄膜トランジスタはいずれもソース極と、ドレイン極と、ゲート極とを有する。

30

【0046】

発光デバイスOLEDの一端は電源VDDに接続され、前記駆動トランジスタDTFTのドレイン極(第1極)は前記発光デバイスOLEDの他端に接続され、ソース極(第2極)は前記第5のスイッチトランジスタT5のドレイン極(第1極)に接続され、ゲート極は前記第1のスイッチトランジスタT1のソース極(第1極)に接続され、前記第1のスイッチトランジスタT1のドレイン極(第2極)はデータラインに接続され、ゲート極はスキャンラインに接続され、ソース極(第1極)は前記駆動トランジスタDTFTのゲート極に接続され、前記第2のスイッチトランジスタT2のゲート極は制御ラインに接続され、ドレイン極(第1極)は電源VDDに接続され、ソース極(第2極)は前記補償トランジスタT3のソース極(第2極)に接続され、前記補償トランジスタT3のゲート極はドレイン極(第1極)に接続され、ドレイン極(第1極)は前記駆動トランジスタDTFTのドレイン極(第1極)に接続され、ソース極(第2極)は第2のスイッチトランジスタT2のソース極(第2極)に接続され、前記第5のスイッチトランジスタT5のゲ

40

50

ト極は制御ラインに接続され、ドレイン極（第１極）は前記駆動トランジスタD T F Tのソース極（第２極）に接続され、ソース極（第２極）はグランドに接続され、前記蓄積コンデンサC s tの第１極板は駆動トランジスタD T F Tのゲート極に接続され、第２極板は補償トランジスタT 3のソース極（第２極）に接続される。

【 0 0 4 7 】

本実施例において、画素回路の作業プロセスは図１に示す実施例における画素回路の作業プロセスと類似しており、スキャンラインV s c a nが第１のスイッチトランジスタT 1のオンまたはオフを制御するときのみ、図１に示す実施例における画素回路と異なる。

【 0 0 4 8 】

具体的には、補償段階でスキャン信号V s c a nが低レベルであり、第１のスイッチトランジスタT 1をオンにさせる。本実施例に係る画素回路の補償段階での作業プロセスは図１ - ４に示す実施例と類似しているため、ここでは説明しないこととする。

【 0 0 4 9 】

具体的には、ジャンプ発光段階でスキャン信号V s c a nが高レベルであり、第１のスイッチトランジスタT 1をオフにさせる。本実施例に係る画素回路のジャンプ発光段階での作業プロセスは図１ - ４に示す実施例と類似しているため、ここでは説明しないこととする。

【 0 0 5 0 】

以上の実施例は、本発明の提供する画素回路の各薄膜トランジスタがいずれもN型の場合、駆動トランジスタD T F Tと補償トランジスタT 3がP型であり、その他の各薄膜トランジスタがN型の場合、第２のスイッチトランジスタT 2と第５のスイッチトランジスタT 5がP型であり、その他の各薄膜トランジスタがN型の場合、及び第１のスイッチトランジスタT 1がP型であり、その他の各薄膜トランジスタがN型の場合、をそれぞれ詳しく説明した。しかし、本発明はこれに限らず、本発明の他の実施例において、上記各スイッチトランジスタ、駆動トランジスタD T F T及び補償トランジスタT 3がいずれもP型薄膜トランジスタであってもよいし、または他の形式の一部の薄膜トランジスタがP型薄膜トランジスタであり、一部の薄膜トランジスタがN型薄膜トランジスタである組み合わせであっても、補償トランジスタT 3と駆動トランジスタD T F Tが同じ種類の薄膜トランジスタ、すなわち共にN型でありまたは共にP型であり、同時に、第２のスイッチトランジスタT 2と第５のスイッチトランジスタT 5が同じ種類の薄膜トランジスタであれば足りる。

【 0 0 5 1 】

図１に示す回路のいずれか又はいくつかのN型薄膜トランジスタをP型薄膜トランジスタに替える場合、各P型薄膜トランジスタが回路における接続方法は、元のN型薄膜トランジスタの接続方法と類似し、半導体の物理的知識におけるP型トランジスタとN型トランジスタの各ゲート極、ドレイン極、ソース極の電位を対応関係に基づいて接続関係を適宜調整すればよい。例えば、図１に示す実施例において、各薄膜トランジスタはいずれもN型薄膜トランジスタであり、且つ各薄膜トランジスタの第１極はいずれもドレイン極であり、第２極はいずれもソース極であるが、本発明の他の実施例において、いずれかの薄膜トランジスタをN型からP型に替える場合は、その接続関係は依然として図１に示す実施例における薄膜トランジスタの第１極と第２極の接続関係の説明を用いてもよいが、具体的に、第１極と第２極が表すものが当該薄膜トランジスタのソース極であるか、ドレイン極であるかは異なる種類の薄膜トランジスタで異なる場合がある。

【 0 0 5 2 】

図１に示す実施例において、補償トランジスタT 3以外の薄膜トランジスタをN型薄膜トランジスタからP型薄膜トランジスタに替える場合、第１極は当該P型薄膜トランジスタのソース極に対応し、第２極は当該P型薄膜トランジスタのドレイン極に対応し、補償トランジスタT 3については、そのゲート極は常にドレイン極に接続されているため、T 3がN型薄膜トランジスタであるときはゲート極はドレイン極（第１極）に接続され、T 3がP型薄膜トランジスタであるときはゲート極はドレイン極（第２極）に接続され、こ

のときの補償トランジスタT3は一つのダイオードに相当し、そのドレイン極とゲート極が接続された後は当該ダイオードの一極に相当し、ソース極は当該ダイオードの他方の極に相当する。回路を接続するとき、ダイオードの正方向バイアスまたは逆方向バイアスの要求に基づいて対応する電極を回路の高い方の電位または低い方の電位に接続すればよい。

#### 【0053】

説明すべきことは、本発明の実施例に係る回路構造は図1に示す実施例と類似しており、相違点は各薄膜トランジスタがN型であるかP型であるか違いにより、これに対応して回路における接続も微調整し、どのような変化に対しても、上記実施例における補償段階とジャンプ発光段階の回路の機能が正常に発揮することを補償できればよい。

10

#### 【0054】

更に、図8に示すように、本発明の他の実施例において、画素回路は第4のスイッチトランジスタT4を有してもよい。説明すべきことは、第4のスイッチトランジスタT4以外は、本実施例における画素回路は図1に示す実施例における画素回路と同一である。

#### 【0055】

具体的には、第4のスイッチトランジスタT4のゲート極はスキャンラインに接続され、ドレイン極(第1極)は第2のスイッチトランジスタT2のドレイン極(第1極)に接続され、ソース極(第2極)は駆動トランジスタDTFTのソース極(第1極)に接続され、第4のスイッチトランジスタT4は第1のスイッチトランジスタT1と同じ類型であり、即ち共にN型薄膜トランジスタであるか、又は共にP型薄膜トランジスタである。発光デバイスOLED, 駆動トランジスタDTFT, 蓄積コンデンサCst、第1のスイッチトランジスタT1、第2のスイッチトランジスタT2、補償トランジスタT3、第5のスイッチトランジスタT5の接続については、図1に示す実施例の詳細な説明を参照できるため、ここでは説明しないこととする。

20

#### 【0056】

以下図2、図8-10を用いて本発明における画素回路の作業工程を詳しく説明する。

#### 【0057】

図2に示す信号のシーケンスのもとで、図8に示す画素回路の作業プロセスは同じく二つの段階に分けられる。

#### 【0058】

30

第1の段階：補償段階。補償段階において、スキャン信号Vscanは高レベルであり、制御信号EMは低レベルであり、図8に示す画素回路が図9に示すような回路構造と等価である。図8と図9によれば、第1のスイッチトランジスタT1と第4のスイッチトランジスタT4はN型薄膜トランジスタであり、第1のスイッチトランジスタT1と第4のスイッチトランジスタT4のゲート極に入力されるスキャン信号Vscanが高レベルであるため、第1のスイッチトランジスタT1と第4のスイッチトランジスタT4はオンになる。第2のスイッチトランジスタT2と第5のスイッチトランジスタT5もN型薄膜トランジスタであり、これらに入力する制御信号EMが低レベルであるため、第2のスイッチトランジスタT2と第5のスイッチトランジスタT5はオフになる。

#### 【0059】

40

具体的には、第4のスイッチトランジスタT4がオンになった後、発光デバイスOLEDはオンになった第4のスイッチトランジスタT4によってショートされるため、図1に示す実施例と異なり、本実施例において、当該段階では発光デバイスOLEDに電流が流れず、発光デバイスOLEDは発光しない。第1のスイッチトランジスタT1がオンになった後、データ信号Vdataは第1のスイッチトランジスタT1を通じて駆動トランジスタDTFTのゲート極に入力され、且つ蓄積コンデンサCstに充電して駆動トランジスタDTFTのゲート極に入力されたデータ信号Vdataを保持させる。

#### 【0060】

充電が完了した後、A点の電圧VAはデータ信号Vdataとなり、即ち

$$V_A = V_{data} \quad (9)$$

50

となり、B点の電圧 $V_B$ は電源電圧 $V_{DD}$ から補償トランジスタ $T_3$ の閾値電圧 $V_{th3}$ を引いたもの、即ち

$$V_B = V_{DD} - V_{th3} \quad (10)$$

となり、したがって蓄積コンデンサ $C_{st}$ の両極板の間の電圧は

$$\begin{aligned} V_{AB} &= V_A - V_B = V_{data} - (V_{DD} - V_{th3}) \\ &= V_{data} - V_{DD} + V_{th3} \quad (11) \end{aligned}$$

となる。

#### 【0061】

このとき、第2のスイッチトランジスタ $T_2$ は、入力される低レベルの制御信号 $EM$ により、蓄積コンデンサ $C_{st}$ と電源 $V_{DD}$ とを切断し、発光デバイス $OLED$ と補償トランジスタ $T_3$ の正方向のオンを保証する。第5のスイッチトランジスタ $T_5$ は、入力される低レベルの制御信号 $EM$ により、駆動トランジスタ $DTFT$ とグランド $GND$ とを切断し、駆動トランジスタ $DTFT$ のゲート極に入力されるデータ信号 $V_{data}$ が、第5のスイッチトランジスタ $T_5$ を通じてグランド $GND$ に接続されて損なうのを防ぐ。

10

#### 【0062】

第2の段階：ジャンプ発光段階。ジャンプ発光段階において、スキャン信号 $V_{scan}$ は低レベルであり、制御信号 $EM$ は高レベルである。このときの図8に示す画素回路は図10に示すような回路構造と等価である。

#### 【0063】

図8と図10によれば、第1のスイッチトランジスタ $T_1$ はゲート極に入力されるスキャン信号 $V_{scan}$ が低レベルであることによりオフになり、駆動トランジスタ $DTFT$ のゲート極と第1のスイッチトランジスタ $T_1$ のソース極、即ちデータライン $V_{data}$ の入力端とを隔離させる。こうして駆動トランジスタ $DTFT$ が発光デバイス $OLED$ に対する駆動は第1のスイッチトランジスタ $T_1$ のソース極の信号変化によって影響されなくなる。同時に、第4のスイッチトランジスタ $T_4$ は入力されるスキャン信号 $V_{scan}$ が低レベルによりオフになり、こうして発光デバイス $OLED$ はショートされず、これにより発光デバイス $OLED$ の発光を駆動することができる。

20

#### 【0064】

同時に、第2のスイッチトランジスタ $T_2$ は制御信号 $EM$ が高レベルであることにより、オンになり、蓄積コンデンサ $C_{st}$ の上極板は電源 $V_{DD}$ と直接接続され、よってB点の電圧 $V_B$ は瞬時に $V_{DD}$ にジャンプする。物理の知識から分かるように、コンデンサの両極板の間の電圧は瞬時に変化することはない、したがって、B点の電圧 $V_B$ が $V_{DD}$ にジャンプしたばかりのときは、式(11)は依然として成立する。よって、このときのA点の電圧 $V_A$ はB点の電圧 $V_B$ にA点とB点の間の電圧 $V_{AB}$ を加えたもの、即ち、

30

$$\begin{aligned} V_A &= V_B + V_{AB} = V_{DD} + (V_{data} - V_{DD} + V_{th3}) \\ &= V_{data} + V_{th3} \quad (12) \end{aligned}$$

となる。

#### 【0065】

第5のスイッチトランジスタ $T_5$ は制御信号 $EM$ が高レベルであることによりオンになり、よって駆動トランジスタ $DTFT$ のソース極はグランド $GND$ と直接接続される。このとき、駆動トランジスタ $DTFT$ は $OLED$ の発光の駆動を開始する。駆動トランジスタ $DTFT$ のゲート・ソース電圧は、

40

$$V_{gs} = V_A - 0 = V_{data} + V_{th3} \quad (13)$$

であり、式(5)と式(13)により、本実施例において、駆動トランジスタ $DTFT$ に流れる電流は、

$$I = K (V_{gs} + V_{th3} - V_{th})^2 \quad (14)$$

となる。

#### 【0066】

前述した実施例の原理と類似するように、補償トランジスタ $T_3$ が駆動トランジスタ $DTFT$ の位置がとても近いとき、補償トランジスタ $T_3$ の閾値電圧 $V_{th3}$ と駆動トラン

50

ジスタDTFTの閾値電圧 $V_{th}$ はほぼ同一となり、即ち $V_{th3} - V_{th} = 0$ となる。  
よって、式(14)は

$$I = K \cdot V_{data}^2 \quad (15)$$

によって表すことができる。

【0067】

ただし、Kの意義は前述した実施例と同一であり、定数とみなすことができる。こうして、駆動トランジスタDTFTに流れる電流はデータ信号 $V_{data}$ にのみ関連し、駆動トランジスタDTFTの閾値電圧 $V_{th}$ とは無関係になり、したがってパークボードの製造技術の原因及び長時間作業による駆動トランジスタDTFTの閾値電圧のオフセットに起因する駆動電流 $I$ 即ち発光デバイスOLEDに流れる電流の差異を防止し、よって発光デバイスの発光輝度の均一性を有効的に向上させる。

10

【0068】

また、本実施例において、第4のスイッチトランジスタT4は補償段階で発光デバイスOLEDをショートし、即ち補償段階で発光デバイスOLEDに電流が流れず、発光デバイスOLEDは発光しないため、発光デバイスOLEDが補償段階で点滅するのを防ぐ。

【0069】

説明すべきことは、本実施例はOLEDを例にとって説明しているが、本発明の実施例に係る発光デバイスは他の本発明の実施例における画素回路を用いて駆動できる発光デバイスであってもよく、本発明はこれに限定されない。

【0070】

20

更に説明すべきことは、本発明において、図1に示す実施例のみ、即ち各薄膜トランジスタがいずれもN型薄膜トランジスタである実施例を基に、第4のスイッチトランジスタT4を追加して説明したが、本発明はこれに限定されない。本発明の他の実施例において、各薄膜トランジスタは、以下の条件を満たせば、全部または一部をP型薄膜トランジスタに替えることができる。その条件とは、補償トランジスタT3と駆動トランジスタDTFTは同じ種類の薄膜トランジスタであり、第4のスイッチトランジスタT4と第1のスイッチトランジスタT1は同じ種類の薄膜トランジスタであり、第2のスイッチトランジスタT2と第5のスイッチトランジスタT5は同じ種類の薄膜トランジスタであればよい。ここで、同じ種類の薄膜トランジスタとは、共にN型薄膜トランジスタであるか、あるいは共にP型薄膜トランジスタであることをいう。

30

【0071】

前述した画素回路に対応して、図11に示すように、更に、本発明の実施例は画素回路の駆動方法であって、第1のスイッチトランジスタT1をオンにし、同時に第2のスイッチトランジスタT2と第5のスイッチトランジスタT5をオフにして、データラインにおけるデータ信号 $V_{data}$ が第1のスイッチトランジスタT1を通じて蓄積コンデンサ $C_{st}$ の第1の極板に充電するようにし、電源VDDが発光デバイスOLEDと補償トランジスタT3を通じて蓄積コンデンサ $C_{st}$ の第2の極板に充電するようにするS11と、第1のスイッチトランジスタT1をオフにし、同時に第2のスイッチトランジスタT2と第5のスイッチトランジスタT5をオンにして、発光デバイスOLEDが電源VDDにより提供される、発光デバイスOLED、駆動トランジスタDTFT、第5のスイッチトランジスタT5に順次流れる電流によって発光されるようにするS12とを有する画素回路の駆動方法を提供する。

40

【0072】

本発明の実施例に係る画素回路の駆動方法は、補償トランジスタT3、蓄積コンデンサと複数のスイッチトランジスタによって回路の開閉及び充放電を制御し、画素回路に対する駆動を二つの段階に分けることにより、駆動トランジスタDTFTを駆動トランジスタDTFTの閾値電圧 $V_{th}$ と無関係にさせ、駆動トランジスタDTFTの閾値電圧 $V_{th}$ の不一致またはオフセットによる発光デバイスに流れる電流の差異を補償し、したがって発光デバイスの発光輝度の均一性を向上させることができる。

【0073】

50



同時に、O L E Dなどの発光デバイスのオン電圧 $V_{oth}$ はジャンプ発光段階で駆動トランジスタD T F Tのゲート極と第2極の間に印加されてもよく、よって発光デバイスO L E Dの閾値電圧の上昇による発光デバイスO L E Dに流れる電流の差異を補償することができる。

【0074】

説明すべきことは、本実施例において、発光デバイスはO L E Dであるが、本発明はこれに限定されず、他の本発明の実施例に係る画素回路によって駆動できる発光デバイスであってもよく、本発明はこれを制限しない。

【0075】

オプションとして、本発明の一つの実施例において、第1のスイッチトランジスタT 1、第2のスイッチトランジスタT 2と第5のスイッチトランジスタT 5をいずれもN型薄膜トランジスタとし、これらの第1極をドレイン極とし、第2極をソース極とする。ステップS 11について、本発明の実施例に係る画素回路の駆動方法は、スキャンラインを通じて高レベルを第1のスイッチトランジスタT 1のゲート極に入力して第1のスイッチトランジスタT 1をオンにし、同時に制御ラインを通じて低レベルを第2のスイッチトランジスタT 2のゲート極と第5のスイッチトランジスタT 5のゲート極に入力して第2のスイッチトランジスタT 2と第5のスイッチトランジスタT 5をオフにすることができ、これに対応して、ステップS 12については、スキャンラインを通じて低レベルを第1のスイッチトランジスタT 1のゲート極に入力して第1のスイッチトランジスタT 1をオフにし、同時に制御ラインを通じて高レベルを第2のスイッチトランジスタT 2のゲート極と第5のスイッチトランジスタT 5のゲート極に入力して第2のスイッチトランジスタT 2と第5のスイッチトランジスタT 5をオンにすることができる。

【0076】

オプションとして、本発明のもう一つの実施例において、第1のスイッチトランジスタT 1をN型薄膜トランジスタとし、その第1極をドレイン極とし、第2極をソース極とし、第2のスイッチトランジスタT 2と第5のスイッチトランジスタT 5をいずれもP型薄膜トランジスタとし、第2のスイッチトランジスタT 2と第5のスイッチトランジスタT 5の第1極をソース極とし、第2極をドレイン極とする。ステップS 11について、本発明の実施例に係る画素回路の駆動方法は、スキャンラインを通じて高レベルを第1のスイッチトランジスタT 1のゲート極に入力して第1のスイッチトランジスタT 1をオンにし、同時に制御ラインを通じて高レベルを第2のスイッチトランジスタT 2のゲート極と第5のスイッチトランジスタT 5のゲート極に入力して第2のスイッチトランジスタT 2と第5のスイッチトランジスタT 5をオフにすることができ、これに対応して、ステップS 12については、スキャンラインを通じて低レベルを第1のスイッチトランジスタT 1のゲート極に入力して第1のスイッチトランジスタT 1をオフにし、同時に制御ラインを通じて低レベルを第2のスイッチトランジスタT 2のゲート極と第5のスイッチトランジスタT 5のゲート極に入力して第2のスイッチトランジスタT 2と第5のスイッチトランジスタT 5をオンにすることができる。

【0077】

オプションとして、本発明のもう一つの実施例において、第1のスイッチトランジスタT 1をP型薄膜トランジスタとし、第1のスイッチトランジスタT 1の第1極をソース極とし、第2極をドレイン極とし、第2のスイッチトランジスタT 2と第5のスイッチトランジスタT 5をいずれもN型薄膜トランジスタとし、これらの第1極をドレイン極とし、第2極をソース極とする。

【0078】

ステップS 11について、本発明の実施例に係る画素回路の駆動方法は、スキャンラインを通じて低レベルを第1のスイッチトランジスタT 1のゲート極に入力して第1のスイッチトランジスタT 1をオンにし、同時に制御ラインを通じて低レベルを第2のスイッチトランジスタT 2のゲート極と第5のスイッチトランジスタT 5のゲート極に入力して第2のスイッチトランジスタT 2と第5のスイッチトランジスタT 5をオフにすることがで

き、これに対応して、ステップS 1 2については、スキャンラインを通じて高レベルを第1のスイッチトランジスタT 1のゲート極に入力して第1のスイッチトランジスタT 1をオフにし、同時に制御ラインを通じて高レベルを第2のスイッチトランジスタT 2のゲート極と第5のスイッチトランジスタT 5のゲート極に入力して第2のスイッチトランジスタT 2と第5のスイッチトランジスタT 5をオンにすることができる。

【0079】

オプションとして、本発明の一つの実施例において、第1のスイッチトランジスタT 1、第2のスイッチトランジスタT 2と第5のスイッチトランジスタT 5をいずれもP型薄膜トランジスタとする。ステップS 1 1について、本発明の実施例に係る画素回路の駆動方法は、スキャンラインを通じて低レベルを第1のスイッチトランジスタT 1のゲート極に入力して第1のスイッチトランジスタT 1をオンにし、同時に制御ラインを通じて高レベルを第2のスイッチトランジスタT 2のゲート極と第5のスイッチトランジスタT 5のゲート極に入力して第2のスイッチトランジスタT 2と第5のスイッチトランジスタT 5をオフにすることができ、これに対応して、ステップS 1 2については、スキャンラインを通じて高レベルを第1のスイッチトランジスタT 1のゲート極に入力して第1のスイッチトランジスタT 1をオフにし、同時に制御ラインを通じて低レベルを第2のスイッチトランジスタT 2のゲート極と第5のスイッチトランジスタT 5のゲート極に入力して第2のスイッチトランジスタT 2と第5のスイッチトランジスタT 5をオンにすることができる。

【0080】

更に、本発明のもう一つの実施例において、ステップS 1 1において、前記第1のスイッチトランジスタT 1をオンにするのを第1のスイッチトランジスタT 1と第4のスイッチトランジスタT 4を同時にオンにする、とすることができ、

【0081】

具体的には、第1のスイッチトランジスタT 1と第4のスイッチトランジスタT 4を同時にオンにし、同時に第2のスイッチトランジスタT 2のゲート極と第5のスイッチトランジスタT 5をオフにし、データライン即ちデータ信号V d a t aがある信号ラインに、第1のスイッチトランジスタT 1を通じて蓄積コンデンサC s tの第1極板を充電させ、電源V D Dに第4のスイッチトランジスタT 4と補償トランジスタT 3を通じて蓄積コンデンサC s tの第2極板を充電させることができる。

【0082】

これに対応して、ステップS 1 2において、第1のスイッチトランジスタをT 1オフにするのを第1のスイッチトランジスタT 1と第4のスイッチトランジスタT 4を同時にオフにする、とすることができる。具体的には、第1のスイッチトランジスタT 1と第4のスイッチトランジスタT 4を同時にオフにし、同時に第2のスイッチトランジスタT 2と第5のスイッチトランジスタT 5をオンにし、発光デバイスO L E Dが電源V D Dに提供される、発光デバイスO L E D、駆動トランジスタD T F Tと第5のスイッチトランジスタT 5を順次流れる電流によって発光を駆動されるようにし、そして、第4のスイッチトランジスタT 4のゲート極はスキャンラインに接続され、第1極は第2のスイッチトランジスタT 2の第1極に接続され、第2極は駆動トランジスタD T F Tの第1極に接続され、第4のスイッチトランジスタT 4は第1のスイッチトランジスタT 1と同じ類型である。

【0083】

第4のスイッチトランジスタT 4と第1のスイッチトランジスタT 1はいずれもスキャン信号V s c a nによって制御されるため、第4のスイッチトランジスタT 4と第1のスイッチトランジスタT 1は同時にオン又はオフになり、本実施例において、第4のスイッチトランジスタT 4と第1のスイッチトランジスタT 1のオンまたはオフの原理及び詳細なプロセスは前述した実施例を参照できるため、ここでは説明しないこととする。

【0084】

補償段階で第4のスイッチトランジスタT 4をオンにするため、発光デバイスO L E D

は第4のスイッチトランジスタT4によってショートされ、即ち補償段階では発光デバイスOLEDに電流が流れず、発光デバイスOLEDは発光しないため、発光デバイスOLEDが補償段階で点滅するのを防ぐ。

【0085】

これに対応して、本発明は、前述した実施例に係るいずれかの画素回路を有する表示装置を更に提供し、よって本発明の実施例に係る画素回路がもたらす有益な技術効果を有するが、前記にすでに詳細な説明をしたので、ここで説明しないこととする。

【0086】

当業者が理解するように、上記方法の実施例を実現する全部または一部のフローは、コンピュータプログラムのコマンドに関するハードウェアを通じて行うことができ、前述のプログラムはコンピュータに読み取り可能な媒体に格納することができ、当該プログラムを実行するときに、上記方法の実施例のステップが含まれ、前記格納媒体はROM、RAM、磁気ディスク、光ディスクなどの様々なプログラムコードを格納できる媒体が含まれる。

10

【0087】

以上の記載は、本発明の具体的な実施形態にすぎず、本発明の保護範囲はこれに限定されず、当業者が本発明が公開する技術範囲内において容易に想到できるいかなる変化や置換も本発明の保護範囲に含まれる。したがって、本発明の保護範囲は前記特許請求の範囲の保護範囲を基準とする。

【符号の説明】

20

【0088】

OLED	発行デバイス
DTFT	駆動トランジスタ
Cst	蓄積コンデンサ
T1	第1のスイッチトランジスタ
T2	第2のスイッチトランジスタ
T3	補償トランジスタ
T5	第5のスイッチトランジスタ
VDD	電源
GND	グラウンド
EM	制御信号

30

【 図 1 】

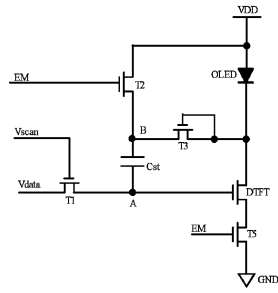


图 1

【 図 2 】

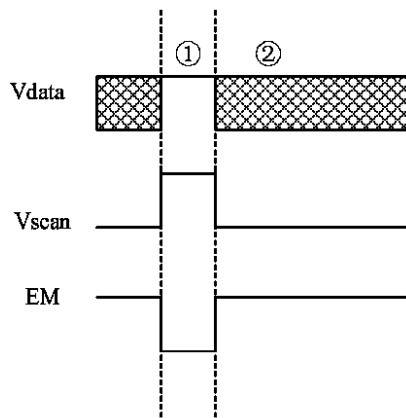


图 2

【 図 3 】

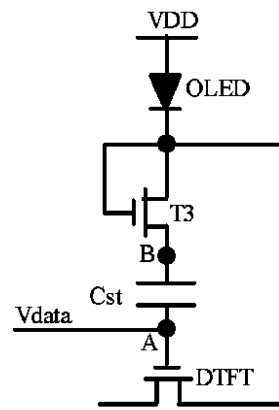


图 3

【 図 4 】

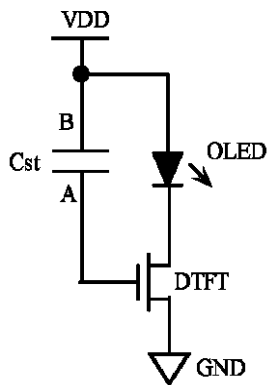


图 4

【 図 5 】

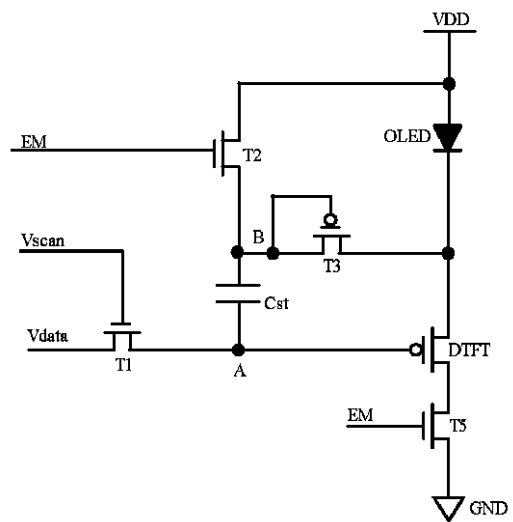


图 5

【図 6】

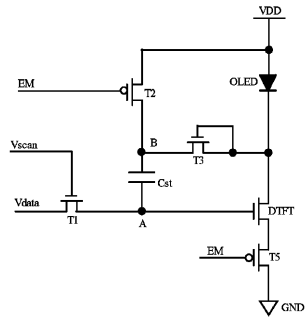


図 6

【図 7】

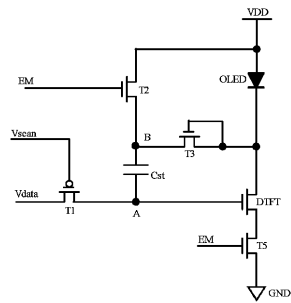


図 7

【図 8】

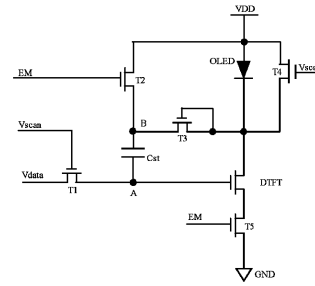


図 8

【図 9】

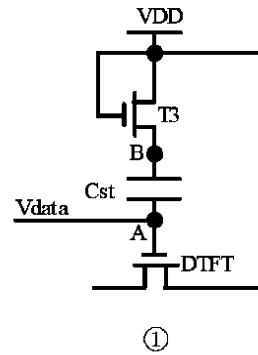


図 9

【図 10】

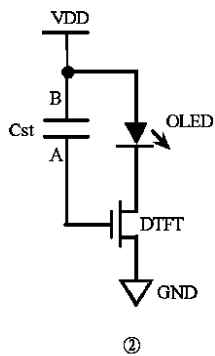
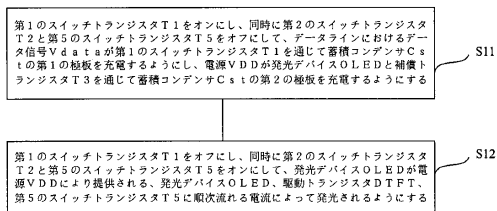


図 10

【図 11】



## フロントページの続き

(51)Int.Cl. F I  
H 0 5 B 33/14 A

(74)代理人 100108453  
弁理士 村山 靖彦

(74)代理人 100089037  
弁理士 渡邊 隆

(74)代理人 100110364  
弁理士 実広 信哉

(72)発明者 祁 小敬  
中華人民共和国 1 0 0 1 7 6 北京市 經 濟 技 術 開 發 区地 澤 路 9 号

(72)発明者 周 全国  
中華人民共和国 1 0 0 1 7 6 北京市 經 濟 技 術 開 發 区地 澤 路 9 号

(72)発明者 邱 云  
中華人民共和国 1 0 0 1 7 6 北京市 經 濟 技 術 開 發 区地 澤 路 9 号

審査官 武田 悟

(56)参考文献 特開 2 0 0 4 - 3 6 1 7 5 3 ( J P , A )  
特開 2 0 0 3 - 1 7 3 1 5 4 ( J P , A )  
特開 2 0 0 6 - 1 7 9 6 8 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)  
G 0 9 G 3 / 0 0 - 3 / 3 8  
H 0 1 L 5 1 / 5 0